

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷ (45) 공고일자 2005년10월24일
H01L 21/76 (11) 등록번호 10-0523648

(24) 등록일자 2005년10월17일

(21) 출원번호 10-2003-0101154

(65) 공개번호 10-2005-0069199

(22) 출원일자 2003년12월31일

(43) 공개일자 2005년07월05일

(73) 특허권자 동부아남반도체 주식회사
서울 강남구 대치동 891-10

(72) 발명자 고관주
경기도부천시원미구중4동금강마을407-101

(74) 대리인 장성구
김원준

심사관 : 김수미

(54) 반도체소자의 소자 분리 방법

요약

본 발명은 중횡비를 줄이면서도 누설 경로가 형성되는 것을 방지할 수 있는 반도체 소자의 소자분리 방법을 제공하기 위한 것으로, 이를 위해 본 발명은 반도체 기판 상에 패드층을 형성하는 단계와, 패드층을 식각 배리어로 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 트렌치 바닥쪽에 산화율을 높이기 위한 불순물을 이온 주입하는 단계와, 이온 주입된 불순물을 활성화시키기 위한 열처리 단계와, 트렌치의 바닥 및 측벽에 라이너 산화막을 성장시키는 단계와, 라이너 산화막 상에 트렌치를 갱필하는 절연막을 형성하는 단계와, 절연막을 평탄화시키는 단계를 포함함으로써, 트렌치 바닥쪽에 공핍층 또는 안정화층을 형성해주어 누설경로를 방지할 수 있다.

대표도

도 4i

색인어

트렌치, STI, 누설경로, 중횡비, 산화율, 불순물, 라이너 산화막

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 트렌치 내부의 보이드를 나타낸 도면,

도 2는 트렌치의 깊이를 감소시킨 종래 소자분리 구조를 도시한 도면,

도 3은 노말 산화율과 불순물 주입에 따른 산화율을 비교한 도면,

도 4a 내지 4i는 본 발명의 제 1 실시 예에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도,

도 5a 내지 5f는 본 발명의 제 2 실시 예에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도.

<도면의 주요부분에 대한 부호의 설명>

31 : 반도체 기판 32 : 패드 산화막

33 : 패드 질화막 34 : 트렌치

35 : 희생 산화막 36 : 희생 질화막

36a : 질화막 측벽 37a : 불순물 확산영역

38 : 라이너 산화막 39 : 절연막

40 : 웰 41 : 접합영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체소자의 소자분리 방법에 관한 것이다.

트렌치 소자분리(shallow trench isolation, STI) 공정은 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인과, 버즈비크(bird's beak)에 따른 활성영역의 감소와 같은 문제점을 근본적으로 해결할 수 있는 소자분리 공정으로 적용되고 있으며, 1G DRAM 또는 4G DRAM급 이상의 초고집적 반도체 소자 제조 공정에의 적용이 유망한 기술이다.

STI 공정은 실리콘 기판 상에 패드 산화막 및 패드 질화막을 형성하고, 이를 선택 식각하여 트렌치 마스크를 형성한 다음, 패터닝된 질화막을 식각 마스크로 사용하여 실리콘 기판을 건식 식각함으로써 트렌치를 형성하고, 계속하여 트렌치 매립용 산화막을 증착하여 트렌치를 매립하고, 화학기계적연마(chemicalmechanical polishing, CMP) 공정을 실시한 다음, 패드 질화막 및 패드 산화막을 제거하여 소자 분리막을 형성하게 된다.

도 1a 및 1b는 종래 기술에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도이다.

그러나, 반도체 소자의 고집적화가 진행되면서 소자분리 영역인 트렌치의 폭은 점점 더 줄어들고, 이처럼 트렌치의 폭이 줄어들면서 종횡비(Aspect Ratio)가 상대적으로 증가하여 트렌치를 충분히 갭필(Gap Fill)하는데 어려움이 있다.

도 1은 종래 기술에 따른 트렌치 내부의 보이드(void)를 나타낸 도면이다.

도 1에 도시된 바와 같이, 반도체기판(11)에 형성된 트렌치(12) 표면에 라이너 산화막(liner oxide, 13)을 형성한 후, 라이너 산화막(13) 상에 트렌치(12)를 갭필하는 절연막(14)을 증착한다. 그러나, 이때 트렌치(12)의 폭이 줄어 트렌치(12)를 충분히 갭필하지 못하면 절연막(14) 내에 보이드(void)가 형성되어 후속 공정에서 게이트 물질로 사용되는 폴리실리콘막이 보이드에 채워지면서 누설(leakage)의 소스가 된다. 게다가, 보이드가 심하면 소자분리 자체가 힘들어 지기도 한다.

이러한 높은 종횡비를 줄이고자 트렌치의 깊이를 점점 감소시키는 기술이 제안되었다.

도 2는 트렌치의 깊이를 감소시킨 종래 소자분리 구조를 도시한 도면이다.

도 2에 도시된 바와 같이, P형 기판(21)에서 NMOSFET 사이를 분리하는 트렌치 구조의 소자 분리막(22)은 NMOSFET의 N형 접합영역(23) 사이를 분리하며, NMOSFET는 P 웰(24)을 포함한다.

그러나, 도 2와 같이 트렌치의 깊이(h)가 감소하면 이웃한 NMOSFET 사이에 누설경로(Leakage Path)를 형성하게 되어 소자의 신뢰성에 치명적인 영향을 미친다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 중형비를 줄이면서도 누설 경로가 형성되는 것을 방지할 수 있는 반도체 소자의 소자분리 방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 소자분리방법은 반도체 기판 상에 패드층을 형성하는 단계, 상기 패드층을 식각 배리어로 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치 바닥쪽에 산화율을 높이기 위한 불순물을 이온 주입하는 단계와, 상기 이온 주입된 불순물을 활성화시키기 위한 열처리 단계와, 상기 트렌치의 바닥 및 측벽에 라이너 산화막을 성장시키는 단계와, 상기 라이너 산화막 상에 상기 트렌치를 갱필하는 절연막을 형성하는 단계와, 상기 절연막을 평탄화시키는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 소자분리 방법은 반도체 기판 상에 적어도 패드 질화막을 포함하는 패드층을 형성하는 단계와, 상기 패드층을 식각 배리어로 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치를 포함한 전면에 희생 산화막을 형성하는 단계와, 상기 희생 산화막 상에 상기 트렌치의 측벽에 위치하는 질화막 측벽을 형성하는 단계와, 상기 질화막 측벽 외측에 노출된 상기 트렌치의 바닥쪽에 산화율을 높이기 위한 불순물을 이온 주입하는 단계와, 상기 이온 주입된 불순물을 활성화시키기 위한 열처리 단계와, 상기 질화막 측벽과 희생 산화막을 제거하는 단계와, 상기 트렌치의 바닥 및 측벽에 라이너 산화막을 성장시키는 단계와, 상기 라이너 산화막 상에 상기 트렌치를 갱필하는 절연막을 형성하는 단계와, 상기 절연막을 평탄화시키는 단계를 포함하는 것을 특징으로 한다.

바람직하게, 상기 불순물을 이온 주입하는 단계에서 상기 불순물은 n형 불순물, p형 불순물 또는 질소이온 중에서 선택되는 것을 특징으로 하며, 상기 불순물을 이온 주입하는 단계는 에너지를 25~100KeV 범위로 하고, 불순물의 도즈량을 1.0E14~18 정도로 하여 진행하는 것을 특징으로 한다.

발명의 구성 및 작용

후술하는 본 발명의 실시 예는 중형비를 줄이고자 다음과 같은 세 가지 방법을 적용한다.

그 첫번째는 불순물 주입에 따른 산화공정(Oxidation)을 통해 트렌치의 중형비를 줄이는 방법으로, 이는 트렌치의 바닥에 형성되어 있는 불순물확산영역이 트렌치의 라이너 산화막을 형성할 때 순수한 실리콘에서 형성되는 산화율(Oxidation Rate)과 불순물이 주입된 실리콘에서 형성되는 산화율(Oxidation Rate)의 차이를 이용한 것으로 불순물이 주입된 실리콘의 산화율이 도즈량에 따라 수배~수십배 빨리 형성되기도 한다. 그러므로 트렌치의 측벽보다 바닥 부위의 산화율이 훨씬 빠르게 되어 동일 깊이의 트렌치를 형성하였을 때 산화가 실리콘 표면의 위, 아래로 0.46:0.54의 비율로 진행된다는 특징으로 봤을 때 위쪽으로는 트렌치의 중형비가 줄어든다는 장점이 있고 아래쪽으로는 자연적으로 더 깊은 트렌치가 형성된다는 장점이 있다.

도 3은 노말 산화율(Normal oxidation Rate)과 불순물 주입에 따른 산화율을 비교한 도면으로서, 인(P)과 붕소(B)의 도즈량에 따른 산화율을 보여주고 있다.

도 3에 도시된 바와 같이, 인과 붕소 모두 E12 수준보다 낮은 도즈량(Low dose)에서는 200Å 정도로 산화율 변화가 거의 없지만 E12 수준 이상의 높은 도즈량(High dose)에서는 400Å(붕소) 또는 700Å(인)까지 산화율 변화가 지수 함수적으로 증가함을 알 수 있다.

두번째는 불순물 주입 방법에 관한 것으로, 실리콘 내 불순물영역을 형성한 후 이를 산화공정을 진행하면 일반적으로 불순물층이 산화막 아래쪽으로 이동하여 층을 형성하게 된다. 여기서는 트렌치가 낮게 형성되어 있을 경우 트렌치 아래쪽으로 누설경로가 형성되는 것을 방지하기 위한 방법으로 불순물 주입시 NMOSFET의 경우는 p형 불순물을 주입하고, PMOSFET의 경우는 n형 불순물을 주입하여 트렌치 아래 부분에 공핍(Depletion) 영역을 형성하여 누설경로를 없애는 방법이다.

세번째도 불순물 주입 방법에 관한 것으로 두번째와는 다르게 불순물을 질소이온[N+]을 이용하는 방법이다. 화학적으로 가장 안정된 질소이온[N+]을 주입하여 트렌치 아래 부분에 안정된 질화 트랩(Nitride Trap)층을 형성하여 누설경로를 방지하는 방법이다.

도 4a 내지 4i는 본 발명의 제 1 실시 예에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도이다. 이하, 제 1 실시 예는 소자분리를 위한 트렌치가 경사진 형태로 형성된 경우이며, 종횡비를 줄이고자 트렌치의 깊이를 낮춘 경우이다.

도 4a에 도시된 바와 같이, 반도체 기판(31) 상에 패드 산화막(32)과 패드 질화막(33)을 순차적으로 형성한다. 여기서, 패드 산화막(32)은 100~200Å 두께로 형성하고, 패드 질화막(33)은 300~1000Å 두께로 형성한다.

이어서, 패드 질화막(33) 상에 감광막을 이용한 소자분리 마스크(도시 생략)를 형성한다. 다음에, 소자분리 마스크로 패드 질화막(33)과 패드 산화막(32)을 패터닝한 후, 연속해서 노출되는 반도체 기판(31)의 소자분리영역을 소정 깊이로 식각하여 트렌치(34)를 형성한다. 이후, 소자분리 마스크를 스트립 공정으로 제거한다.

도 4b에 도시된 바와 같이, 트렌치(34)를 포함한 패드 질화막(33) 상에 희생 산화막(35)과 희생 질화막(36)을 순차적으로 형성한다.

도 4c에 도시된 바와 같이, 희생 산화막(35)을 식각 배리어로 희생 질화막(36)을 에치백하여 트렌치(34)의 측벽 부분에 질화막 측벽(nitride sidewall, 36a)을 형성한다. 이때, 질화막 측벽(36a) 형성으로 인해 트렌치(34)의 바닥 부분이 드러난다.

도 4d에 도시된 바와 같이, 질화막 측벽(36a)을 이온주입 마스크로 이용하여 질화막 측벽(36a) 외측에 노출된 트렌치(34)의 바닥부분에 대해 불순물의 이온주입을 진행한다.

상기한 불순물의 이온주입은 전술한 제2방법(N형 불순물 또는 P형 불순물 이온주입)과 제3방법(질소이온 이온주입)을 이용하며, 이온주입 조건은 에너지는 25~100KeV, 도즈량(dose)은 약 1.0E14~18 정도가 적당하다. 이때, 불순물은 n형 불순물 또는 p형 불순물이 가능한데, n형 불순물로는 인(P) 또는 비소(As)를 이용하고, p형 불순물로는 붕소(B), 갈륨(Ga) 또는 인듐(In)을 주로 이용하며, 질소이온[N+]은 트랩(Trap) 및 안정화 이온으로 이용한다.

위와 같은 불순물 이온주입에 의해 트렌치(34)의 바닥에는 불순물 주입층(37)이 형성된다. 이때, 트렌치(34)의 측벽에는 질화막 측벽(36a)에 의해 불순물의 이온주입이 진행되지 않는다.

도 4e에 도시된 바와 같이, 불순물의 활성화를 위한 열처리를 진행하여 불순물 주입층(37)을 불순물 확산영역(37a)으로 활성화시킨다.

도 4f에 도시된 바와 같이, 질화막 측벽(36a)과 희생 산화막(35)을 제거한다. 이때, 질화막 측벽(36a)은 뜨거운 인산(H₃PO₄) 용액을 이용하여 제거하고, 희생 산화막(35)은 불산(HF) 용액을 이용하여 제거하나 여기서도 제거해도 되고 제거하지 않을 수도 있다.

위와 같은 일련의 공정시에, 먼저 질화막 측벽(36a)을 제거할 때는 희생 산화막(35)이 식각 배리어 역할을 하므로 패드 질화막(36a)이 인산용액에 노출되는 것을 방지하고, 희생 산화막(35) 제거시에는 패드 질화막(33)이 식각 배리어 역할을 하므로 패드 산화막(32)이 불산 용액에 노출되는 것을 방지한다.

도 4g에 도시된 바와 같이, 질화막 측벽(36a)과 희생 산화막(35)의 제거 후에 다시 노출된 트렌치(34)의 표면에 열 성장(thermal growth)을 통해 라이너 산화막(38)을 형성한다. 이때, 라이너 산화막(38)은 트렌치(34)의 바닥과 트렌치(34)의 측벽에서 서로 다른 두께로 형성되는데, 불순물 확산영역(37a)이 형성된 트렌치(34)의 바닥에서 측벽에 비해 더 두껍게 형성된다. 또한, 이러한 두께 차이는 시간과 비례 함수이므로 라이너 산화막(38)의 열성장 시간에 의해 두께를 얼마든지 조절할 수 있다.

도 4h에 도시된 바와 같이, 라이너 산화막(38) 상에 트렌치(34)를 충분히 매립할 때까지 절연막(39)을 형성하고, 이를 CMP를 이용하여 평탄화를 진행한 후 잔존하는 패드 질화막(33)과 패드 산화막(32)을 제거한다.

이때, 패드 질화막(33)은 인산 용액을 이용하여 제거하고, 패드 산화막(32)은 불산 용액을 이용하여 제거한다.

도 4i에 도시된 바와 같이, 패드 산화막(32) 제거 후에 노출된 반도체 기판(31)에 웰(40)을 형성하기 위한 불순물의 이온 주입을 진행하고, 트랜지스터의 소스/드레인과 같은 접합(41)을 위한 이온주입을 진행한다.

위에서 기재한 제1실시 예는 트렌치(34)의 깊이가 h1만큼 깊어질 뿐만 아니라 트렌치의 바닥에 불순물 확산영역(37a)을 형성해주어 누설경로를 방지하고 있다. 여기서, 불순물 확산영역(37a)은 N형 불순물 또는 P형 불순물 주입에 의한 공핍층 또는 질소이온 주입에 의한 안정화층이다.

도 5a 내지도 5f는 본 발명의 제2실시 예에 따른 반도체소자의 소자분리 방법을 도시한 공정 단면도이다.

도 5a에 도시된 바와 같이, 반도체 기판(51) 상에 패드 산화막(52)과 패드 질화막(53)을 순차적으로 형성한다. 여기서, 패드 산화막(52)은 100~200Å 두께로 형성하고, 패드 질화막(53)은 300~1000Å 두께로 형성한다.

이어서, 패드 질화막(53) 상에 감광막을 이용한 소자분리 마스크(도시 생략)를 형성한다. 다음에, 소자분리 마스크로 패드 질화막(53)과 패드 산화막(52)을 패터닝한 후, 연속해서 노출되는 반도체 기판(51)의 소자분리 영역을 소정 깊이로 식각하여 수직(vertical) 프로파일을 갖는 트렌치(54)를 형성한다. 이후, 소자분리 마스크를 스트립 공정으로 제거한다.

도 5b에 도시된 바와 같이, 패드 질화막(53)을 이온주입 마스크로 이용하여 트렌치(54)의 바닥부분에 대해 불순물의 이온주입을 진행한다.

상기한 불순물의 이온주입은 전술한 제2방법과 제3방법을 이용하며, 이온주입 조건은 에너지는 25~100KeV, 도즈량(dose)은 약 1.0E14~18 정도가 적당하다. 이때, 불순물은 n형 불순물 또는 p형 불순물이 가능한데, n형 불순물로는 인(P) 또는 비소(As)를 이용하고, p형 불순물로는 붕소(B), 갈륨(Ga) 또는 인듐(In)을 주로 이용하며, 질소이온[N⁺]은 트랩(Trap) 및 안정화 이온으로 이용한다.

위와 같은 불순물 이온주입에 의해 트렌치(54)의 바닥에는 불순물 주입층(55)이 형성된다. 한편, 트렌치(54)의 측벽은 그 형태가 수직하므로 불순물의 이온주입이 진행되지 않는다.

도 5c에 도시된 바와 같이, 불순물의 활성화를 위한 열처리를 진행하여 불순물 주입층(55)을 불순물 확산영역(55a)으로 활성화시킨다.

도 5d에 도시된 바와 같이, 트렌치(34)의 표면에 열 성장(thermal growth)을 통해 라이너 산화막(56)을 형성한다. 이때, 라이너 산화막(56)은 트렌치(54)의 바닥과 트렌치(54)의 측벽에서 서로 다른 두께로 형성되는데, 불순물 확산영역(55a)이 형성된 트렌치(54)의 바닥에서 측벽에 비해 더 두껍게 형성된다. 또한, 이러한 두께 차이는 시간과 비례 함수이므로 라이너 산화막(56)의 열성장 시간에 의해 두께를 얼마든지 조절할 수 있다.

도 5e에 도시된 바와 같이, 라이너 산화막(56) 상에 트렌치(54)를 충분히 매립할 때까지 절연막(57)을 형성하고, 이를 CMP를 이용하여 평탄화를 진행한다.

도 5f에 도시된 바와 같이, 잔존하는 패드 질화막(53)과 패드 산화막(52)을 제거한다. 이때, 패드 질화막(53)은 인산 용액을 이용하여 제거하고, 패드 산화막(52)은 불산 용액을 이용하여 제거한다.

다음으로, 패드 산화막(52) 제거 후에 노출된 반도체 기판(51)에 웰(58)을 형성하기 위한 불순물의 이온주입을 진행하고, 트랜지스터의 소스/드레인과 같은 접합(59)을 위한 이온주입을 진행한다.

위에서 기재한 제2실시 예는 트렌치(54)의 깊이가 h2만큼 깊어질 뿐만 아니라 트렌치(54)의 바닥에 불순물확산영역(55a)을 형성해주어 누설경로를 방지하고 있다. 여기서, 불순물확산영역(55a)은 N형 불순물 또는 P형 불순물 주입에 의한 공핍층 또는 질소이온주입에 의한 안정화층이다.

상술한 본 발명은 미세회로 생성에 있어서 트렌치 생성 윈도우(window)를 넓힐 뿐만 아니라 다양한 프로파일을 갖는 트렌치에서도 적용 가능하다.

발명의 효과

상술한 본 발명은 트렌치의 측벽보다 바닥부위의 산화율을 훨씬 빠르게 하여 트렌치 위쪽으로는 중형비를 줄임과 동시에 트렌치 아래쪽으로는 더욱 깊은 트렌치를 형성할 수 있는 효과가 있다.

또한, 본 발명은 트렌치 아래쪽에 공핍층 또는 안정화층을 형성해줌으로써 트렌치의 깊이가 얕더라도 이웃한 트랜지스터 사이에 누설경로가 형성되는 것을 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 패드층을 형성하는 단계와,
 상기 패드층을 식각 배리어로 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와,
 상기 트렌치 바닥쪽에 산화율을 높이기 위한 불순물을 이온 주입하는 단계와,
 상기 이온 주입된 불순물을 활성화시키기 위한 열처리 단계와,
 상기 트렌치의 바닥 및 측벽에 라이너 산화막을 성장시키는 단계와,
 상기 라이너 산화막 상에 상기 트렌치를 깎필하는 절연막을 형성하는 단계와,
 상기 절연막을 평탄화시키는 단계
 를 포함하는 반도체소자의 소자분리 방법.

청구항 2.

제 1 항에 있어서,
 상기 불순물을 이온 주입하는 단계에서, 상기 불순물은 n형 불순물, p형 불순물 또는 질소이온 중에서 선택되는 것을 특징으로 하는 반도체소자의 소자분리 방법.

청구항 3.

제 1 항에 있어서,
 상기 불순물을 이온 주입하는 단계는, 에너지를 25~100KeV 범위로 하고, 불순물의 도즈량을 1.0E14~18 정도로 하여 진행하는 것을 특징으로 하는 반도체소자의 소자분리 방법.

청구항 4.

반도체 기판 상에 적어도 패드 질화막을 포함하는 패드층을 형성하는 단계와,
 상기 패드층을 식각 배리어로 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와,
 상기 트렌치를 포함한 전면에 희생 산화막을 형성하는 단계와,

상기 희생 산화막 상에 상기 트렌치의 측벽에 위치하는 질화막 측벽을 형성하는 단계와,
상기 질화막 측벽 외측에 노출된 상기 트렌치의 바닥쪽에 산화율을 높이기 위한 불순물을 이온 주입하는 단계와,
상기 이온 주입된 불순물을 활성화시키기 위한 열처리 단계와,
상기 질화막 측벽과 희생 산화막을 제거하는 단계와,
상기 트렌치의 바닥 및 측벽에 라이너 산화막을 성장시키는 단계와,
상기 라이너 산화막 상에 상기 트렌치를 갱필하는 절연막을 형성하는 단계와,
상기 절연막을 평탄화시키는 단계
를 포함하는 반도체소자의 소자분리 방법.

청구항 5.

제 4 항에 있어서,
상기 질화막 측벽을 형성하는 단계는,
상기 희생 산화막 상에 질화막을 증착하는 단계와,
상기 질화막을 에치백하는 단계
를 포함하는 것을 특징으로 하는 반도체소자의 소자분리 방법.

청구항 6.

제 4 항에 있어서,
상기 불순물을 이온 주입하는 단계에서, 상기 불순물은 n형 불순물, p형 불순물 또는 질소이온 중에서 선택되는 것을 특징으로 하는 반도체소자의 소자분리 방법.

청구항 7.

제 4 항에 있어서,
상기 불순물을 이온 주입하는 단계는, 에너지를 25~100KeV 범위로 하고, 불순물의 도즈량을 1.0E14~18 정도로 하여 진행하는 것을 특징으로 하는 반도체소자의 소자분리 방법.

청구항 8.

제 4 항에 있어서,
상기 트렌치는 경사진 프로파일을 갖는 것을 특징으로 하는 반도체소자의 소자분리 방법.

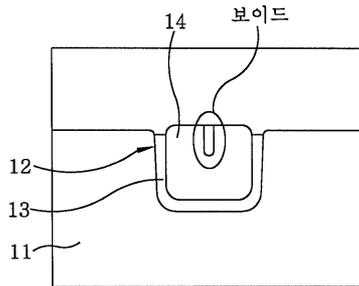
청구항 9.

제 4 항에 있어서,

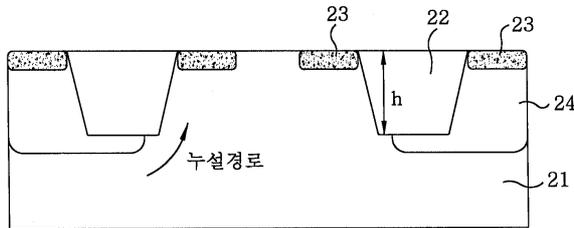
상기 질화막 측벽은 인산용액을 이용하여 제거하고, 상기 희생 산화막은 불산 용액을 이용하여 제거하는 것을 특징으로 하는 반도체소자의 소자분리 방법.

도면

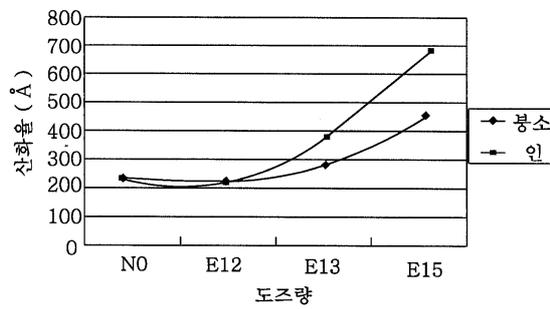
도면1



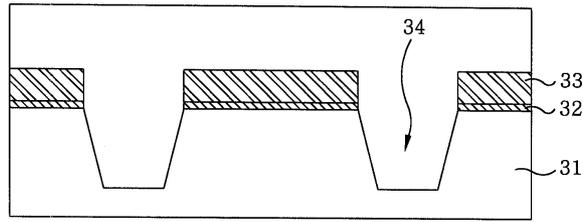
도면2



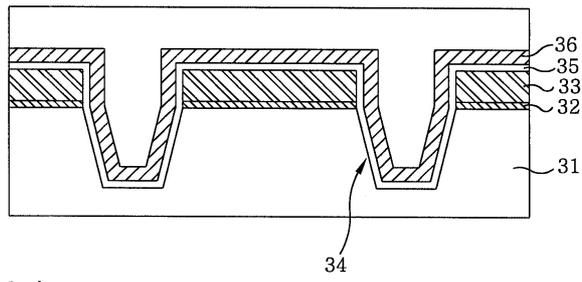
도면3



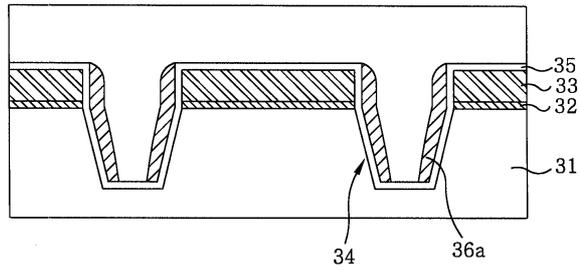
도면4a



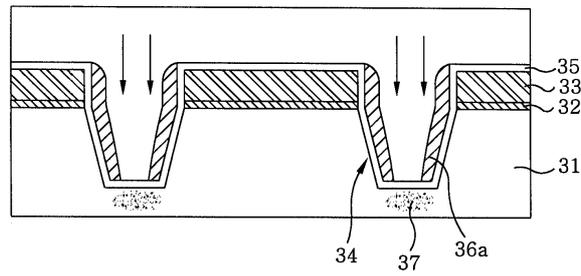
도면4b



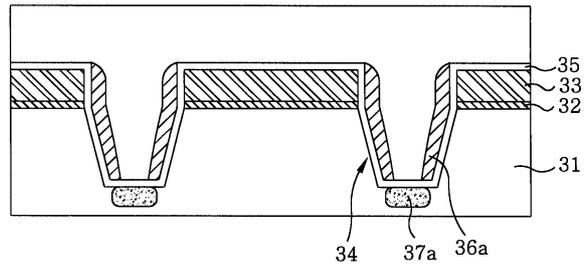
도면4c



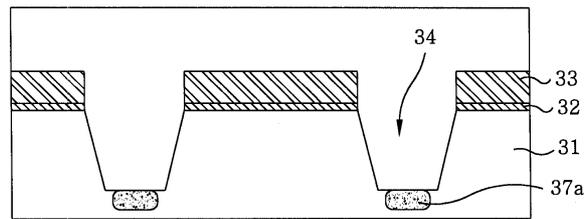
도면4d



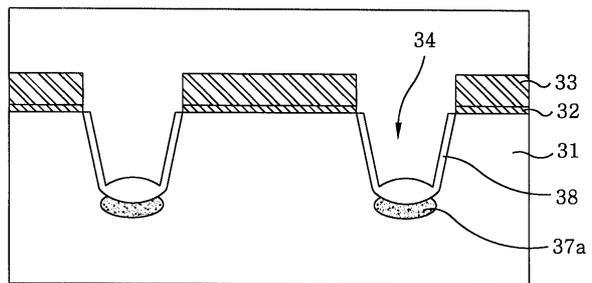
도면4e



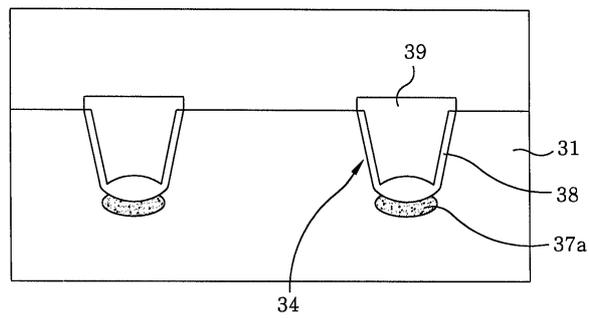
도면4f



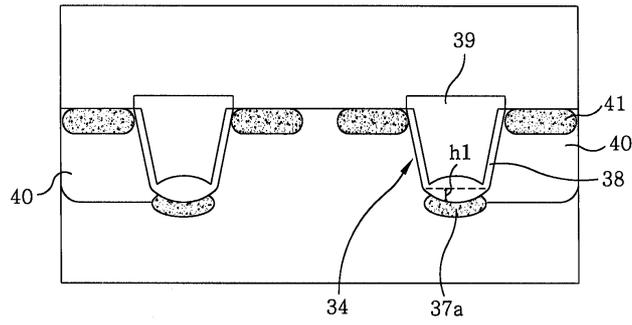
도면4g



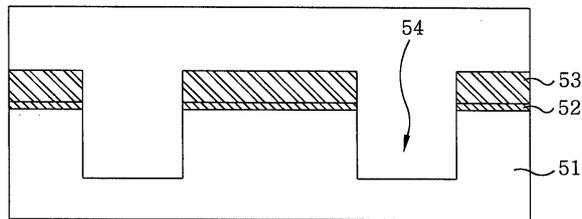
도면4h



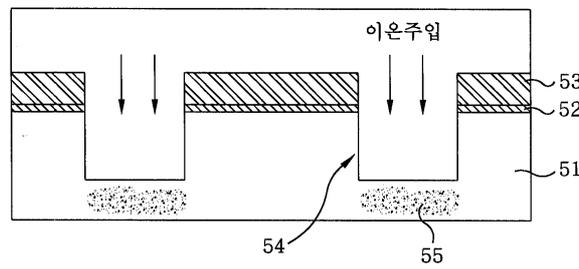
도면4i



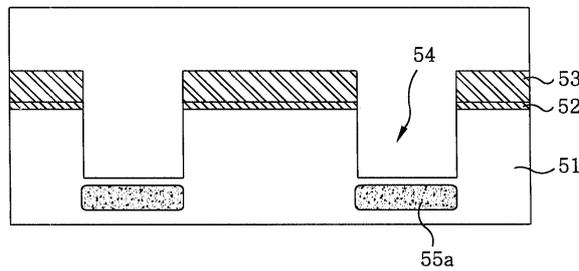
도면5a



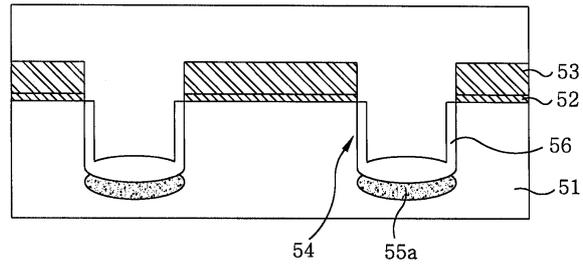
도면5b



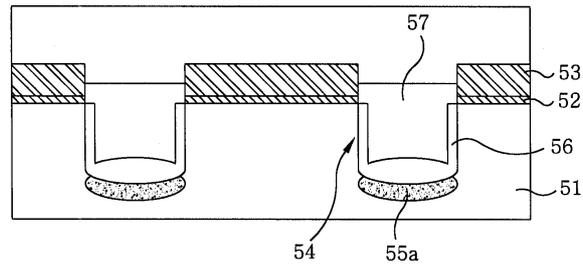
도면5c



도면5d



도면5e



도면5f

