



(12) 发明专利申请

(10) 申请公布号 CN 116097921 A

(43) 申请公布日 2023. 05. 09

(21) 申请号 202180003342.7

(51) Int.Cl.

(22) 申请日 2021.08.31

H10B 80/00 (2023.01)

(85) PCT国际申请进入国家阶段日

2021.11.15

(86) PCT国际申请的申请数据

PCT/CN2021/115652 2021.08.31

(87) PCT国际申请的公布数据

W02023/028829 EN 2023.03.09

(71) 申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 朱宏斌 刘威 王言虹

(74) 专利代理机构 北京永新同创知识产权代理有限公司 11376

专利代理师 林锦辉 刘景峰

权利要求书3页 说明书61页 附图82页

(54) 发明名称

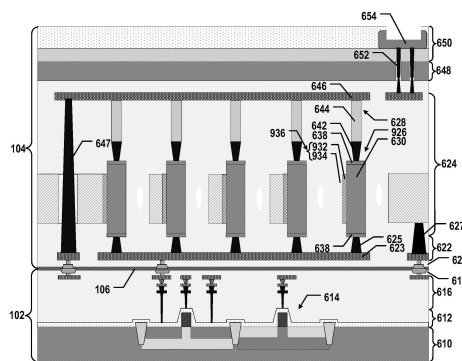
电路。

具有垂直晶体管的存储器器件及其形成方法

(57) 摘要

在某些方面中,一种三维(3D)存储器器件包括第一半导体结构、第二半导体结构以及第一半导体结构与第二半导体结构之间的键合界面。第一半导体结构包括外围电路。第二半导体结构包括存储器单元阵列,耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线;以及耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。存储器单元阵列经过键合界面耦合到外围

900



1. 一种三维(3D)存储器器件,包括:

第一半导体结构,所述第一半导体结构包括外围电路;

第二半导体结构,所述第二半导体结构包括:

存储器单元阵列,所述存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到所述垂直晶体管的存储单元;

多条位线,所述多条位线耦合到所述存储器单元并且各自在垂直于所述第一方向的第二方向上延伸;以及

多条字线,所述多条字线耦合到所述存储器单元并且各自在垂直于所述第一方向和所述第二方向的第三方向上延伸,

其中,所述垂直晶体管包括在所述第一方向上延伸的半导体主体、以及在所述第三方向上与所述半导体主体的两个相对侧面接触并且在所述第二方向上与所述半导体主体的一个侧面接触的栅极结构;并且

所述位线中的相应一条位线和相应存储单元在所述第一方向上耦合到所述存储器单元中的每一个存储器单元的相对端部;以及

键合界面,所述键合界面在所述第一方向上在所述第一半导体结构与所述第二半导体结构之间,其中,所述存储器单元阵列经过所述键合界面耦合到所述外围电路。

2. 根据权利要求1所述的3D存储器器件,其中,所述垂直晶体管是三栅极晶体管,其中,所述栅极结构在平面图中部分地外接所述半导体主体。

3. 根据权利要求1或2所述的3D存储器器件,其中,所述半导体主体在所述第二方向上的所述一个侧面与所述字线中的相应一条字线的一个边缘对准。

4. 根据权利要求1-3中任一项所述的3D存储器器件,其中,所述栅极结构包括栅极电极以及在所述第三方向上在所述栅极电极与所述半导体主体之间的栅极电介质。

5. 根据权利要求4所述的3D存储器器件,其中,所述垂直晶体管中的在所述第三方向上的两个相邻垂直晶体管的所述栅极电介质是分离的。

6. 根据权利要求1-5中任一项所述的3D存储器器件,其中,所述垂直晶体管还包括分别在所述第一方向上设置在所述半导体主体的两个端部处的源极和漏极。

7. 根据权利要求6所述的3D存储器器件,其中,所述垂直晶体管的所述源极和所述漏极中的一个耦合到相应存储单元中的所述存储单元。

8. 根据权利要求7所述的3D存储器器件,其中,所述垂直晶体管的所述源极和所述漏极中的另一个耦合到相应位线。

9. 根据权利要求1-8中任一项所述的3D存储器器件,其中,所述位线设置在所述垂直晶体管与所述键合界面之间。

10. 根据权利要求1-9中任一项所述的3D存储器器件,其中,所述半导体主体在所述第一方向上的两个端部分别延伸超过所述栅极结构。

11. 根据权利要求1-10中任一项所述的3D存储器器件,其中,

所述第二半导体结构还包括焊盘引出互连层;并且

所述存储单元设置在所述垂直晶体管与所述焊盘引出互连层之间。

12. 根据权利要求1-10中任一项所述的3D存储器器件,其中,

所述第一半导体结构还包括焊盘引出互连层;并且

所述外围电路设置在所述键合界面与所述焊盘引出互连层之间。

13. 一种存储器系统, 包括:

存储器器件, 所述存储器器件被配置为存储数据, 并且包括:

第一半导体结构, 所述第一半导体结构包括外围电路;

第二半导体结构, 所述第二半导体结构包括:

存储器单元阵列, 所述存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到所述垂直晶体管的存储单元;

多条位线, 所述多条位线耦合到所述存储器单元并且各自在垂直于所述第一方向的第二方向上延伸; 以及

多条字线, 所述多条字线耦合到所述存储器单元并且各自在垂直于所述第一方向和所述第二方向的第三方向上延伸,

其中, 所述垂直晶体管包括在所述第一方向上延伸的半导体主体、以及在所述第三方向上与所述半导体主体的两个相对侧面接触并且在所述第二方向上与所述半导体主体的一个侧面接触的栅极结构; 并且

所述位线中的相应一条位线和相应存储单元在所述第一方向上耦合到所述存储器单元中的每一个存储器单元的相对端部; 以及

键合界面, 所述键合界面在所述第一方向上在所述第一半导体结构与所述第二半导体结构之间, 其中, 所述存储器单元阵列经过所述键合界面耦合到所述外围电路; 以及

存储器控制器, 所述存储器控制器耦合到所述存储器器件, 并且被配置为通过所述外围电路、所述位线和所述字线来控制所述存储器单元阵列。

14. 根据权利要求13所述的存储器系统, 还包括主机, 所述主机耦合到所述存储器控制器并且被配置为将所述数据发送到所述存储器器件或从所述存储器器件接收所述数据。

15. 根据权利要求13或14所述的存储器系统, 其中, 所述存储器单元至少包括动态随机存取存储器 (DRAM) 单元、相变存储器 (PCM) 单元或铁电RAM (FRAM) 单元。

16. 一种用于形成三维 (3D) 存储器器件的方法, 包括:

形成包括外围电路的第一半导体结构;

形成第二半导体结构, 包括:

形成存储器单元阵列, 所述存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到所述垂直晶体管的存储单元;

形成多条位线, 所述多条位线耦合到所述存储器单元并且各自在垂直于所述第一方向的第二方向上延伸; 以及

形成多条字线, 所述多条字线耦合到所述存储器单元并且各自在垂直于所述第一方向和所述第二方向的第三方向上延伸,

其中, 所述垂直晶体管包括在所述第一方向上延伸的半导体主体、以及在所述第三方向上与所述半导体主体的两个相对侧面接触并且在所述第二方向上与所述半导体主体的一个侧面接触的栅极结构; 并且

所述位线中的相应一条位线和相应存储单元在所述第一方向上耦合到所述存储器单元中的每一个存储器单元的相对端部; 以及

以面对面的方式键合所述第一半导体结构和所述第二半导体结构, 使得所述存储器单

元阵列经过键合界面耦合到所述外围电路。

17. 根据权利要求16所述的方法,还包括在所述键合之后,在所述第一半导体结构或所述第二半导体结构的背面上形成焊盘引出互连层。

18. 根据权利要求16或17所述的方法,其中,所述键合包括混合键合。

19. 根据权利要求16-18中任一项所述的方法,其中,形成所述存储器单元阵列包括:

在衬底上形成电介质层的堆叠体;

形成从所述衬底延伸穿过所述电介质层的堆叠体的半导体主体;

去除所述电介质层的堆叠体中的一个电介质层以暴露所述半导体主体的部分;

形成与所述半导体主体的暴露的所述部分的三个侧面接触的栅极结构;以及

形成与所述半导体主体接触的存储单元。

20. 根据权利要求19所述的方法,其中,形成所述半导体主体包括:

蚀刻延伸穿过所述电介质层的堆叠体的开口以暴露所述衬底的部分;以及

从所述衬底在所述开口中的暴露的所述部分外延生长所述半导体主体。

21. 根据权利要求19或20所述的方法,其中,去除所述电介质层的堆叠体中的一个电介质层包括:

穿过所述电介质层的堆叠体的至少一部分蚀刻沟槽以暴露所述电介质层的堆叠体中的所述一个电介质层,其中,将所述沟槽蚀刻成与所述半导体主体的一个侧面对准以从所述侧面暴露所述半导体主体;以及

经由所述沟槽蚀刻掉所述电介质层的堆叠体中的所述一个电介质层。

22. 根据权利要求21所述的方法,其中,形成所述栅极结构包括:

在所述半导体主体的暴露的所述部分之上形成栅极电介质;

在所述栅极电介质之上沉积导电层;以及

对所述导电层进行图案化以在所述栅极电介质之上形成栅极电极。

23. 根据权利要求19-22中任一项所述的方法,其中,形成所述存储器单元阵列还包括:

在形成所述存储单元之前掺杂所述半导体主体的远离所述衬底的第一端部;

在形成所述存储单元之后去除所述衬底以暴露所述半导体主体的与第一端部相对的第二端部;以及

掺杂所述半导体主体的暴露的所述第二端部。

24. 根据权利要求23所述的方法,其中,形成所述存储单元包括:

在所述半导体主体的掺杂的所述第一端部上形成第一电极;

在所述第一电极上形成电容器电介质;以及

在所述电容器电介质上形成第二电极。

25. 根据权利要求23或24所述的方法,其中,形成所述位线包括在所述半导体主体的掺杂的所述第二端部上形成所述位线中的相应一条位线。

具有垂直晶体管的存储器器件及其形成方法

背景技术

[0001] 本公开内容涉及存储器器件及其制造方法。

[0002] 通过改进工艺技术、电路设计、编程算法和制造工艺,将平面存储器单元缩放到更小的尺寸。然而,随着存储器单元的特征尺寸接近下限,平面工艺和制造技术变得具有挑战性且成本高。结果,用于平面存储器单元的存储器密度接近上限。

[0003] 三维(3D)存储器架构可以解决平面存储器单元中的密度限制。3D存储器架构包括存储器阵列和用于促进存储器阵列的操作的外围电路。

发明内容

[0004] 在一个方面中,一种3D存储器器件包括第一半导体结构、第二半导体结构以及第一半导体结构与第二半导体结构之间的键合界面。第一半导体结构包括外围电路。第二半导体结构包括存储器单元阵列,耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线;以及耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。存储器单元阵列经过键合界面耦合到外围电路。

[0005] 在另一方面中,一种存储器系统包括被配置为存储数据的存储器器件和耦合到存储器器件的存储器控制器。存储器器件包括第一半导体结构、第二半导体结构以及第一半导体结构与第二半导体结构之间的键合界面。第一半导体结构包括外围电路。第二半导体结构包括存储器单元阵列,耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线;以及耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。存储器单元阵列经过键合界面耦合到外围电路。存储器控制器被配置为通过外围电路、位线和字线来控制存储器单元阵列。

[0006] 在又一方面中,公开了一种用于形成3D存储器器件的方法。形成包括外围电路的第一半导体结构。形成第二半导体结构。为了形成第二半导体结构,形成存储器单元阵列,形成耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线,并且形成耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上

与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储单元的相对端部。第一半导体结构和第二半导体结构以面对面的方式键合,使得存储器单元阵列经过键合界面耦合到外围电路。

附图说明

[0007] 并入本文并且形成说明书的一部分的附图示出了本公开内容的方面,并且与说明书一起进一步用于解释本公开内容的原理并且使得相关领域技术人员能够制成和使用本公开内容。

[0008] 图1A示出了根据本公开内容的一些方面的3D存储器器件的横截面的示意图。

[0009] 图1B示出了根据本公开内容的一些方面的另一3D存储器器件的横截面的示意图。

[0010] 图2示出了根据本公开内容的一些方面的包括外围电路和各自具有垂直晶体管的存储器单元阵列的存储器器件的示意图。

[0011] 图3示出了根据本公开内容的一些方面的包括外围电路和动态随机存取存储器(DRAM)单元阵列的存储器器件的示意性电路图。

[0012] 图4示出了根据本公开内容的一些方面的包括外围电路和相变存储器(PCM)单元阵列的存储器器件的示意性电路图。

[0013] 图5示出了根据本公开内容的一些方面的存储器器件中的各自包括垂直晶体管的存储器单元阵列的平面图。

[0014] 图6A示出了根据本公开内容的一些方面的包括垂直晶体管的3D存储器器件的横截面的侧视图。

[0015] 图6B示出了根据本公开内容的一些方面的包括垂直晶体管的另一3D存储器器件的横截面的侧视图。

[0016] 图6C示出了根据本公开内容的一些方面的包括垂直晶体管的又一3D存储器器件的横截面的侧视图。

[0017] 图6D示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0018] 图6E示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0019] 图7示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0020] 图8示出了根据本公开内容的一些方面的存储器器件中的各自包括垂直晶体管的另一存储器单元阵列的平面图。

[0021] 图9示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0022] 图10A-图10M示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的3D存储器器件的制造工艺。

[0023] 图11A-图11I示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的另一3D存储器器件的制造工艺。

[0024] 图12A-图12H示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的又一3D存储器器件的制造工艺。

[0025] 图13A-图13H示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的再一3D存储器器件的制造工艺。

[0026] 图14A-图14E示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的再一3D存储器器件的制造工艺。

[0027] 图15A-图15D示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的再一3D存储器器件的制造工艺。

[0028] 图16示出了根据本公开内容的一些方面的存储器器件中的各自包括垂直晶体管的又一存储器单元阵列的平面图。

[0029] 图17示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0030] 图18示出了根据本公开内容的一些方面的垂直晶体管阵列的透视图。

[0031] 图19A-图19M示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的再一3D存储器器件的制造工艺。

[0032] 图20示出了根据本公开内容的一些方面的存储器器件中的各自包括垂直晶体管的再一存储器单元阵列的平面图。

[0033] 图21示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件的横截面的侧视图。

[0034] 图22A-图22M示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的再一3D存储器器件的制造工艺。

[0035] 图23示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的3D存储器器件的方法的流程图。

[0036] 图24示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的存储器单元阵列的方法的流程图。

[0037] 图25示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的另一存储器单元阵列的方法的流程图。

[0038] 图26示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的又一存储器单元阵列的方法的流程图。

[0039] 图27示出了根据本公开内容的一些方面的具有存储器器件的示例性系统的框图。

[0040] 将参考附图来描述本公开内容。

具体实施方式

[0041] 尽管讨论了具体的构造和布置,但是应当理解,这样做仅仅是出于说明的目的。这样,在不脱离本公开内容的范围的情况下,可以使用其他构造和布置。此外,本公开内容也可以用于各种其他应用。如本公开内容中描述的功能和结构特征可以彼此组合、调整和修改,并且以在附图中未具体描绘的方式,使得这些组合、调整和修改在本公开内容的范围内。

[0042] 一般地,术语可以至少部分地从上下文中的使用来理解。例如,至少部分地取决于

上下文,如本文所用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性,或者可以用于以复数意义描述特征、结构或特性的组合。类似地,诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法,这至少部分地取决于上下文。另外,术语“基于”可以被理解为不一定旨在传达排他的一组因素,并且可以替代地允许存在不一定明确描述的附加因素,这同样至少部分地取决于上下文。

[0043] 应当容易理解,在本公开内容中的“在…上”、“在…上方”和“在…之上”的含义应该以最广泛的方式来解释,使得“在…上”不仅意味着“直接在某物上”,而且还包括“在某物上”并且其间具有中间特征或层的含义,并且“在…上方”或“在…之上”不仅意味着“在某物上方”或“在某物之上”的含义,而且还可以包括“在某物上方”或“在某物之上”并且其间不具中间特征或层(即,直接在某物上)的含义。

[0044] 此外,诸如“在…下面”、“在…下方”、“下部”、“在…上方”、“上部”等的空间相对术语在本文中为了便于描述可以用于描述一个元件或特征与(一个或多个)另一元件或特征的如图中所示的关系。空间相对术语旨在涵盖除了图中描绘的取向之外的在器件使用或操作中的不同取向。装置可以以其他方式定向(旋转90度或在其他取向下),并且本文所用的空间相对描述词也可以被相应地解释。

[0045] 如本文所用,术语“衬底”是指一种在其上添加后续材料层的材料。这种衬底本身可以被图案化。添加在衬底的顶部上的材料可以被图案化,或者可以保持不被图案化。此外,衬底可以包括多种半导体材料,例如硅、锗、砷化镓、磷化铟等。替代地,衬底可以由诸如玻璃、塑料、或蓝宝石晶圆的非导电材料制成。

[0046] 如本文所用,术语“层”是指包括具有厚度的区域的材料部分。层可以在整个下层结构或上层结构之上延伸,或者可以具有小于下层结构或上层结构的范围的范围。此外,层可以是同质或非同质的连续结构的区域,其厚度小于连续结构的厚度。例如,层可以位于处于连续结构的顶表面与底表面之间的或处于连续结构的顶表面和底表面处的任何一对水平面之间。层可以水平地、垂直地和/或沿着锥形表面延伸。衬底可以是层,可以在其中包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体和接触层(其中形成互连线 and/或垂直互连通路(过孔)触点)以及一个或多个电介质层。

[0047] 晶体管被用作一些存储器器件(例如,DRAM、PCM和铁电DRAM (FRAM))的存储器单元中的开关或选择器件。然而,现有存储器单元中常用的平面晶体管通常具有水平结构,其中掩埋字线在衬底中,并且位线在衬底上方。因为平面晶体管的源极和漏极横向地设置在不同的位置处,这增加了晶体管占用的面积。平面晶体管的设计也使耦合到存储器单元的互连结构(例如,字线和位线)的布置复杂化,例如限制了字线和/或位线的间距,从而增加了制造复杂性并且降低了产品良率。此外,由于位线和存储单元(例如,电容或PCM元件)布置在平面晶体管的同一侧(位于晶体管与衬底上方),因此位线工艺裕度会受到存储单元的限制,并且位线与存储单元(例如,电容器)之间的耦合电容会增加。当饱和漏极电流不断增加时,平面晶体管也可能遭受高泄漏电流,这对于存储器器件的性能来说是不期望的。

[0048] 另一方面,存储器单元阵列和用于控制存储器单元阵列的外围电路通常并排布置在同一平面中。随着存储器单元的数量不断增加,为了维持相同的芯片大小,存储器单元阵列中的部件(例如,晶体管、字线和/或位线)的尺寸需要不断减小,以避免显著降低存储器

单元阵列效率。

[0049] 为了解决上述问题中的一个或多个问题,本公开内容介绍了一种解决方案,其中垂直晶体管代替常规平面晶体管作为存储器器件(例如,DRAM、PCM和FRAM)的存储器单元阵列中的开关和选择器件。与平面晶体管相比,垂直布置的晶体管(即,漏极与源极在平面图中重叠)可以减小晶体管的面积,并且简化互连结构的布局,例如,金属布线字线与位线,这可以降低制造复杂性并且提高良率。例如,为了易于制造,可以减小字线和/或位线的间距。晶体管的垂直结构还允许位线和存储单元(例如,电容器)在垂直方向上布置在晶体管的相对侧面上(例如,一个在晶体管上方,一个在晶体管下方),使得位线的工艺裕度可以增加,并且位线与存储单元之间的耦合电容可以减小。

[0050] 与本公开内容的范围一致,根据本公开内容的一些方面,具有垂直晶体管的存储器单元阵列和存储器单元阵列的外围电路可以形成在不同的晶圆上并且以面对面的方式键合在一起。因此,制造存储器单元阵列的热预算不会影响外围电路的制造。与并排布置相比,堆叠的存储器单元阵列和外围电路还可以减小芯片尺寸,从而提高阵列效率。在一些实施方式中,使用键合技术将多于一个的存储器单元阵列堆叠在彼此之上以进一步增加阵列效率。在一些实施方式中,由于垂直布置的晶体管,字线和位线靠近键合界面设置,该垂直布置的晶体管可以通过经过键合界面的大量(例如,数百万)平行键合触点耦合到外围电路,可以在存储器单元阵列与外围电路之间进行直接、短距离(例如,微米级)电连接以增加存储器器件的吞吐量和输入/输出(I/O)速度。

[0051] 在一些实施方式中,本文公开的垂直晶体管包括多栅极晶体管(例如,全环栅(gate-all-around,GAA)晶体管、三栅极晶体管或双栅极晶体管),多栅极晶体管可以具有较大的栅极控制面积以用较小的亚阈值摆幅实现较好的沟道控制。在截止状态期间,由于沟道完全耗尽,所以多栅极晶体管的泄漏电流也可以显著地降低。因此,使用多栅极晶体管代替平面晶体管可以实现好得多的速度(饱和漏极电流)/泄漏电流性能。

[0052] 在一些实施方式中,由于使用沿字线方向延伸的沟槽隔离来分离多栅极晶体管(例如,双栅极晶体管),因此本文公开的垂直晶体管包括相对于位线方向上的相邻晶体管镜像对称布置的单栅极晶体管(也被称为单侧栅极晶体管)。因此,与使用例如自对准双图案化(self-aligned double patterning,SADP)等工艺相比,可以显著增加(例如,加倍)位线方向上的存储器单元密度而不会使制造工艺过度复杂。此外,与常规平面晶体管或多栅极垂直晶体管(例如,具有双侧或全环栅极)相比,镜像对称的单栅极晶体管具有更大的工艺窗口以用于字线、位线和晶体管间距减小。

[0053] 图1A示出了根据本公开内容的一些方面的3D存储器器件100的横截面的示意图。3D存储器器件100表示经键合芯片的示例。3D存储器器件100的部件(例如,存储器单元阵列和外围电路)可以单独形成在不同衬底上并且然后键合以形成经键合芯片。3D存储器器件100可以包括第一半导体结构102,第一半导体结构102包括存储器单元阵列的外围电路。3D存储器器件100还可以包括第二半导体结构104,第二半导体结构104包括存储器单元阵列。外围电路(又被称为控制和感测电路)可以包括用于促进存储器单元阵列的操作的任何合适的数字、模拟和/或混合信号电路。例如,外围电路可以包括页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器(例如,字线驱动器)、输入/输出(I/O)电路、电荷泵、电压源或发生器、电流或电压基准、上述功能电路的任何部分(例如,子电路)、或电路的任

何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一个或多个。根据一些实施方式,第一半导体结构102中的外围电路使用互补金属氧化物半导体(complementary metal-oxide-semiconductor,CMOS)技术,例如,其可以利用逻辑工艺(例如,90nm、65nm、60nm、45nm、32nm、28nm、22nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nm等的技术节点)来实施。

[0054] 如图1A所示,3D存储器器件100还可以包括第一半导体结构104,第一半导体结构104包括可以使用晶体管作为开关和选择器件的存储器单元的阵列(存储器单元阵列)。在一些实施方式中,存储器单元阵列包括DRAM单元阵列。为了便于描述,DRAM单元阵列可以用于描述本公开内容中的存储器单元阵列的示例。但是应当理解,存储器单元阵列不限于DRAM单元阵列,并且可以包括可以使用晶体管作为开关和选择器件的任何其他合适类型的存储器单元阵列,例如PCM单元阵列、静态随机存取存储器(static random-access memory,SRAM)单元阵列、FRAM单元阵列、电阻存储器单元阵列、磁存储器单元阵列、自旋转移矩(spin transfer torque,STT)存储器单元阵列,仅举几个示例,或者其任何组合。

[0055] 第二半导体结构104可以是DRAM器件,其中以DRAM单元阵列的形式提供存储器单元。在一些实施例中,每个DRAM单元包括用于将数据位存储为正电荷或负电荷的电容器以及控制(例如,开关和选择)对该DRAM单元的访问的一个或多个晶体管(又被称传输晶体管)。在一些实施方式中,每个DRAM单元是一晶体管-电容器(1T1C)单元。由于晶体管总是泄漏少量电荷,所以电容器将缓慢放电,从而导致存储在其中的信息耗尽。这样,根据一些实施方式,DRAM单元必须例如通过第一半导体结构102中的外围电路来刷新以保持数据。

[0056] 如图1A所示,3D存储器器件100还包括垂直地在第一半导体结构102与第二半导体结构104之间(在垂直方向上,例如,图1A中的z方向)的键合界面106。如下面详细描述的,第一半导体结构102和第二半导体结构104可以分开制造(并且在一些实施方式中并行制造),使得制造第一半导体结构102和第二半导体结构104中的一个半导体结构的热预算不限制制造第一半导体结构102和第二半导体结构104中的另一半导体结构的工艺。此外,可以通过键合界面106形成大量互连(例如,键合触点),以在第一半导体结构102与第二半导体结构104之间进行直接的短距离(例如,微米级)电连接,而不是在电路板(例如,印刷电路板(printed circuit board,PCB))上的长距离(例如,毫米或厘米级)芯片到芯片数据总线,由此消除芯片接口延迟并且以降低的功耗实现高速I/O吞吐量。第二半导体结构104中的存储器单元阵列与第一半导体结构102中的外围电路之间的数据传送可以通过经过键合界面106的互连(例如,键合触点)来执行。通过垂直集成第一半导体结构102和第二半导体结构104,可以减小芯片尺寸,并且可以增加存储器单元密度。

[0057] 应当理解,堆叠的第一半导体结构102和第二半导体结构104的相对位置不受限制。图1B示出了根据一些实施方式的另一示例性3D存储器器件101的横截面的示意图。与图1A中的3D存储器器件100不同,在3D存储器器件100中,包括存储器单元阵列的第二半导体结构104在包括外围电路的第一半导体结构102上方,在图1B中的3D存储器器件101中,包括外围电路的第一半导体结构102在包括存储器单元阵列的第二半导体结构104上方。然而,根据一些实施方式,键合界面106垂直地形成在3D存储器器件101中的第一半导体结构102与第二半导体结构104之间,并且第一半导体结构102和第二半导体结构104通过键合(例如,混合键合)垂直地接合。混合键合(也被称为“金属/电介质混合键合”)是直接键合技术

(例如,在不使用中间层(例如,焊料或粘合剂)的情况下在表面之间形成键合),并且可以同时获得金属-金属(例如,铜-铜)键合和电介质-电介质(例如,氧化硅-氧化硅)键合。第二半导体结构104中的存储器单元阵列与第一半导体结构102中的外围电路之间的数据传送可以通过经过键合界面106的互连(例如,键合触点)来执行。

[0058] 注意,图1A和图1B中包括x、y和z轴以进一步示出3D存储器器件100和101中的部件的空间关系。3D存储器器件的衬底包括在x-y平面中横向延伸的两个横向表面:在晶圆的正面上的顶表面,在该顶表面上可以形成半导体器件,以及在与晶圆的正面相对的背面上的底表面。z轴垂直于x和y轴两者。如本文所使用,当衬底在z方向(垂直于x-y平面的垂直方向,例如,衬底的厚度方向)上定位在3D存储器器件的最低平面中时,在z方向上相对于3D存储器器件的衬底确定3D存储器器件的一个部件(例如,层或器件)是在另一部件(例如,层或器件)“上”、“上方”还是“下方”。在本公开内容全文中应用了用于描述空间关系的相同概念。

[0059] 图2示出了根据本公开内容的一些方面的包括外围电路和各自具有垂直晶体管的存储器单元阵列的存储器器件200的示意图。存储器器件200可以包括存储器单元阵列201和耦合到存储器单元阵列201的外围电路202。3D存储器器件100和101可以是其中存储器单元阵列201和外围电路202可以分别包括在第二半导体结构104和第一半导体结构102中的存储器器件200的示例。存储器单元阵列201可以是任何合适的存储器单元阵列,其中每个存储器单元208包括垂直晶体管210和耦合到垂直晶体管210的存储单元212。在一些实施方式中,存储器单元阵列201是DRAM单元阵列,并且存储单元212是用于将电荷存储为由相应DRAM单元存储的二进制信息的电容器。在一些实施方式中,存储器单元阵列201是PCM单元阵列,并且存储单元212是用于基于PCM元件在非晶相和晶相中的不同电阻率来存储相应PCM单元的二进制信息的PCM元件(例如,包括硫属化合物合金)。在一些实施方式中,存储器单元阵列201是FRAM单元阵列,并且存储单元212是用于基于铁电材料在外部电场下的两个极化状态之间的切换来存储相应FRAM单元的二进制信息的铁电电容器。

[0060] 如图2所示,存储器单元208可以布置在具有行和列的二维(2D)阵列中。存储器器件200可以包括耦合外围电路202与存储器单元阵列201以用于控制位于行中的存储器单元208中的垂直晶体管210的开关的字线204,以及耦合外围电路202与存储器单元阵列201以用于将数据发送到位于列中的存储器单元208和/或从位于列中的存储器单元208接收数据的位线206。即,每条字线204耦合到相应行的存储器单元208,并且每条位线耦合到相应列的存储器单元208。

[0061] 与本公开内容的范围一致,诸如垂直金属氧化物半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor, MOSFET)的垂直晶体管210可以代替常规的平面晶体管作为存储器单元208的传输晶体管,以减小由传输晶体管占用的面积、耦合电容以及互连布线复杂性,如下面详细描述。如图2所示,在一些实施方式中,与其中在衬底中形成有源区的平面晶体管不同,垂直晶体管210包括在衬底(未示出)上方垂直(在z方向上)延伸的半导体主体214。即,半导体主体214可以在衬底的顶表面上方延伸,以不仅暴露半导体主体214的顶表面,还暴露半导体主体214的一个或多个侧面。如图2所示,例如,半导体主体214可以具有立方体形状以暴露其四个侧面。应当理解,半导体主体214可以具有任何合适的3D形状,例如多面体形状或圆柱体形状。即,半导体主体214在平面图中(例

如,在x-y平面中)的横截面可以具有正方形形状、矩形形状(或梯形形状)、圆形(或椭圆形形状)或任何其他合适的形状。应当理解,与本公开内容的范围一致,对于在平面图中具有圆形或椭圆形形状的横截面的半导体主体,半导体主体仍然可以被认为具有多个侧面,使得栅极结构与半导体主体的多于一个的侧面接触。如下面关于制造工艺所述,半导体主体214可以由衬底形成(例如,通过蚀刻或外延),并且因此具有与衬底(例如,硅衬底)相同的半导体材料(例如,硅晶体硅)。

[0062] 如图2所示,垂直晶体管210还可以包括与半导体主体214的一个或多个侧面接触的栅极结构216,即,在有源区的(一个或多个)侧表面的一个或多个平面中。即,垂直晶体管210的有源区(即,半导体主体214)可以至少部分地被栅极结构216围绕。栅极结构216可以包括在半导体主体214的一个或多个侧面之上的栅极电介质218,例如,如图2所示与半导体主体214的四个侧表面接触。栅极结构216还可以包括在栅极电介质218之上并且与栅极电介质218接触的栅极电极220。栅极电介质218可以包括任何合适的电介质材料,例如,氧化硅、氮化硅、氮氧化硅或高k电介质。例如,栅极电介质218可以包括氧化硅,即栅极氧化物。栅极电极220可以包括任何合适的导电材料,例如多晶硅、金属(例如,钨(W)、铜(Cu)、铝(Al)等)、金属化合物(例如,氮化钛(TiN)、氮化钽(TaN)等)或硅化物。例如,栅极电极220可以包括掺杂多晶硅,即,栅极多晶硅。在一些实施方式中,栅极电极220包括多个导电层,例如TiN层之上的W层。应当理解,在一些示例中,栅极电极220和字线204可以是连续导电结构。即,栅极电极220可以被视为形成栅极结构216的字线204的部分,或者字线204可以被视为栅极电极220的延伸以耦合到外围电路202。

[0063] 如图2所示,垂直晶体管210还可以包括分别在垂直方向(z方向)上形成在半导体主体214的两个端部处的一对源极和漏极(S/D,掺杂区,又被称源极电极和漏极电极)。源极和漏极可以掺杂有任何合适的P型掺杂剂(例如,硼(B)或镓(Ga))或者任何合适的N型掺杂剂(例如,磷(P)或砷(As))。源极和漏极可以在垂直方向(z方向)上被栅极结构216分离。即,栅极结构216垂直地形成在源极与漏极之间。结果,当施加到栅极结构216的栅极电极220的栅极电压高于垂直晶体管210的阈值电压时,垂直晶体管210的一个或多个沟道(未示出)可以在源极与漏极之间垂直地形成在半导体主体214中。即,根据一些实施方式,垂直晶体管210的每个沟道也在半导体主体214延伸所沿的垂直方向上形成。

[0064] 在一些实施方式中,如图2所示,垂直晶体管210为多栅极晶体管。即,栅极结构216可以与半导体主体214的多于一个的侧面(例如,图2中的四个侧面)接触以形成多于一个的栅极,使得在操作中可以在源极与漏极之间形成多于一个的沟道。即,与仅包括单个平面栅极(并且产生单个平面沟道)的平面晶体管不同,由于半导体主体214的3D结构和围绕半导体主体214的多个侧面的栅极结构216,图2中所示的垂直晶体管210可以包括在半导体主体214的多个侧面上的多个垂直栅极。结果,与平面晶体管相比,图2中所示的垂直晶体管210可以具有更大的栅极控制面积,以用更小的亚阈值摆幅实现更好的沟道控制。在截止状态期间,由于沟道完全耗尽,因此垂直晶体管210的泄漏电流(I_{off})也可以显著减小。如下面详细描述,多栅极垂直晶体管可以包括双栅极垂直晶体管(例如,双侧栅极垂直晶体管)、三栅极垂直晶体管(例如,三侧栅极垂直晶体管)和GAA垂直晶体管。

[0065] 应当理解,尽管垂直晶体管210在图2中被示为多栅极晶体管,但本文中所公开的垂直晶体管还可以包括如下文详细描述的单栅极晶体管。即,例如,出于增加晶体管和存储

器单元密度的目的,栅极结构216可以与半导体主体214的单个侧面接触。还应当理解,尽管栅极电介质218被示为与相邻垂直晶体管(未示出)的其他栅极电介质分离(即,分离结构),但是栅极电介质218可以是具有垂直晶体管的多个栅极电介质的连续电介质层的部分。

[0066] 在平面晶体管和某些横向多栅极晶体管(例如,FinFET)中,有源区(例如,半导体主体(例如,鳍状物))横向延伸(在x-y平面中),并且源极和漏极设置在相同横向平面(x-y平面)中的不同位置处。相反,根据某些实施方式,在垂直晶体管210中,半导体主体214垂直(在z方向上)延伸,并且源极和漏极设置在不同的横向平面中。在某些实施方式中,源极和漏极分别在垂直方向(z方向)上形成在半导体主体214的两个端部处,从而在平面图中重叠。结果,与平面晶体管和横向多栅极晶体管相比,可以减小垂直晶体管210所占用的面积(在x-y平面中)。此外,耦合到垂直晶体管210的金属布线也可以被简化,因为互连可以在不同平面中布线。例如,位线206和存储单元212可以形成在垂直晶体管210的相对侧面上。在一个示例中,位线206可以耦合到半导体主体214的上端部处的源极或漏极,而存储单元212可以耦合到半导体主体214的下端部处的另一源极或漏极。

[0067] 如图2所示,存储单元212可以耦合到垂直晶体管210的源极或漏极。存储单元212可以包括能够存储二进制数据(例如,0和1)的任何器件,包括但不限于用于DRAM单元和FRAM单元的电容器以及用于PCM单元的PCM元件。在某些实施方式中,垂直晶体管210控制耦合到垂直晶体管210的相应存储单元212的选择和/或状态切换。在如图3所示的一些实施方式中,每个存储器单元208是包括晶体管304(例如,使用图2中的垂直晶体管210实施)和电容器306(例如,图2中的存储单元212的示例)的DRAM单元302。晶体管304的栅极(例如,对应于栅极电极220)可以耦合到字线204,晶体管304的源极和漏极中的一个可以耦合到位线206,晶体管304的源极和漏极中的另一个可以耦合到电容器306的一个电极,并且电容器306的另一个电极可以耦合到地。在如图4中所示的一些实施方式中,每个存储器单元208是包括晶体管404(例如,使用图2中的垂直晶体管210实施)和PCM元件406(例如,图2中的存储单元212的示例)PCM单元402。晶体管404的栅极(例如,对应于栅极电极220)可以耦合到字线204,晶体管404的源极和漏极中的一个可以耦合到地,晶体管404的源极和漏极中的另一个可以耦合到PCM元件406的一个电极,并且PCM元件406的另一个电极可以耦合到位线206。

[0068] 外围电路202可以通过位线206、字线204和任何其他合适的金属布线耦合到存储器单元阵列201。如上所述,外围电路202可以包括任何合适的电路,以用于通过经由字线204和位线206向每个存储器单元208施加电压信号和/或电流信号并且从每个存储器单元208感测电压信号和/或电流信号来促进存储器单元阵列201的操作。外围电路202可以包括使用CMOS技术形成的各种类型的外围电路。

[0069] 根据本公开内容的一些方面,存储器器件(例如,存储器器件200)中的存储器单元的垂直晶体管是多栅极晶体管,并且字线方向上的垂直晶体管的栅极电介质是分离的。例如,图5示出了根据本公开内容的一些方面的存储器器件500中的各自包括垂直晶体管的存储器单元502的阵列的平面图。如图5中所示,存储器器件500可以包括各自在第一横向方向(x方向,被称为字线方向)上延伸的多条字线504。存储器器件500还可以包括各自在垂直于第一横向方向的第二横向方向(y方向,被称为位线方向)上延伸的多条位线506。应当理解,图5未示出存储器器件500在相同横向平面中的横截面,并且字线504和位线506可以形成在不同横向平面中以便于如下文详细描述布线。

[0070] 存储器单元502可以形成在字线504与位线506的交叉处。在一些实施方式中,每个存储器单元502包括具有半导体主体508和栅极结构510的垂直晶体管(例如,图2中的垂直晶体管210)。半导体主体508可以在垂直于第一横向方向和第二横向方向的垂直方向(z方向,未示出)上延伸。垂直晶体管可以是多栅极晶体管,其中栅极结构510与半导体主体508(其中形成沟道的有源区)的多个侧面(例如,图5中的所有4个侧面)接触。如图5所示,垂直晶体管是GAA晶体管,其中栅极结构510在平面图中完全外接半导体主体508。即,根据一些实施方式,栅极结构510在平面图中外接(例如,围绕并且接触)半导体主体508的所有四个侧面(具有矩形或正方形形状的横截面)。栅极结构510可以包括在平面图中完全外接半导体主体508的栅极电介质512,以及完全外接栅极电介质512的栅极电极514。在一些实施方式中,栅极电介质512在位线方向和字线方向上横向地在栅极电极514与半导体主体508之间。如上所述,栅极电极514可以是字线504的部分,并且字线504可以是栅极电极514的延伸。

[0071] 如图5所示,在字线方向(x方向)上相邻的垂直晶体管的栅极电极514是连续的,例如,是具有栅极电极514和504的连续导电层的部分。相反,在字线方向上相邻的垂直晶体管的栅极电介质512是分离的,例如,不是具有栅极电介质512的连续电介质层的部分。

[0072] 图6A示出了根据本公开内容的一些方面的包括垂直晶体管的3D存储器器件600的横截面的侧视图。3D存储器器件600可以是包括多栅极垂直晶体管的存储器器件500的一个示例,其中栅极结构在平面图中完全外接半导体主体,例如GAA垂直晶体管。应当理解,图6A仅用于说明性目的,并且实际上可以不必反映实际器件结构(例如,互连)。作为上文关于图1A描述的3D存储器器件100的一个示例,3D存储器器件600是包括第一半导体结构102和堆叠在第一半导体结构102之上的第二半导体结构104的经键合芯片。根据一些实施方式,第一半导体结构102和第二半导体结构104在它们之间的键合界面106处接合。如图6A所示,第一半导体结构102可以包括衬底610,衬底610可以包括硅(例如,单晶硅、c-Si)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他合适的材料。

[0073] 第一半导体结构102可以包括衬底610上的外围电路612。在一些实施方式中,外围电路612包括多个晶体管614(例如,平面晶体管和/或3D晶体管)。沟槽隔离(例如浅沟槽隔离(shallow trench isolation,STI))和掺杂区(例如,晶体管614的阱、源极和漏极)也可以形成在衬底610上或衬底610中。

[0074] 在一些实施方式中,第一半导体结构102还包括在外围电路612上方的互连层616,以向和从外围电路612传送电信号。互连层616可以包括多个互连(本文也被称为“触点”),包括横向互连线和垂直互连通路(vertical interconnect access,VIA)触点。如本文所使用的,术语“互连”可以广泛地包括任何合适类型的互连,例如中段制程(middle-end-of-line,MEOL)互连和后段制程(back-end-of-line,BEOL)互连。互连层616还可以包括一个或多个层间电介质(interlayer dielectric,ILD)层(也被称为“金属间电介质(intermetal dielectric,IMD)层”),其中可以形成互连线和过孔触点。即,互连层616可以包括多个ILD层中的互连线和过孔触点。在一些实施方式中,外围电路612通过互连层616中的互连彼此耦合。互连层616中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0075] 如图6A所示,第一半导体结构102还可以包括在键合界面106处并且在互连层616和外围电路612上方的键合层618。键合层618可以包括多个键合触点619和对键合触点619进行电隔离的电介质。键合触点619可以包括导电材料,例如Cu。键合层618的剩余区域可以由电介质材料(例如,氧化硅)形成。键合层618中的键合触点619和周围电介质可以用于混合键合。类似地,如图6A所示,第二半导体结构104也可以包括在键合界面106处并且在第一半导体结构102的键合层618上方的键合层620。键合层620可以包括多个键合触点621和对键合触点621进行电隔离的电介质。键合触点621可以包括导电材料,例如Cu。键合层620的剩余区域可以由电介质材料(例如,氧化硅)形成。键合层620中的键合触点621和周围电介质可以用于混合键合。根据一些实施方式,键合触点621在键合界面106处与键合触点619接触。

[0076] 第二半导体结构104可以在键合界面106处以面对面的方式键合在第一半导体结构102的顶部上。在一些实施方式中,作为混合键合(也被称为“金属/电介质混合键合”)的结果,键合界面106设置在键合层620与618之间,混合键合是直接键合技术(例如,在不使用中间层(例如,焊料或粘合剂)的情况下在表面之间形成键合)并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施方式中,键合界面106是键合层620和618相遇并且键合的位置。实际上,键合界面106可以是具有一定厚度的层,其包括第一半导体结构102的键合层618的顶表面和第二半导体结构104的键合层620的底表面。

[0077] 在一些实施方式中,第二半导体结构104还包括互连层622,互连层622包括在键合层620上方的位线623以传送电信号。互连层622可以包括多个互连,例如MEOL互连和BEOL互连。在一些实施方式中,互连层622中的互连还包括局部互连,例如位线623(例如,图5中的位线506的示例)、位线触点625(其在一些示例中可以省略)和字线触点627。互连层622还可以包括一个或多个ILD层,在ILD层中可以形成互连线 and 过孔触点。互连层622中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,外围电路612包括字线驱动器/行解码器,字线驱动器/行解码器通过键合层620和618中的键合触点621和619以及互连层616耦合到互连层622中的字线触点627。在一些实施方式中,外围电路612包括位线驱动器/列解码器,位线驱动器/列解码器通过键合层620和618中的键合触点621和619以及互连层616耦合到互连层622中的位线623和位线触点625。

[0078] 在一些实施方式中,第二半导体结构104包括DRAM器件,其中存储器单元以DRAM单元624(例如,图5中的存储器单元502的示例)的阵列的形式提供在互连层622和键合层620上方。即,包括位线623的互连层622可以设置在键合层620与DRAM单元624的阵列之间。应当理解,图6A中的3D存储器器件600的横截面可以沿着位线方向(y方向)截取,并且互连层622中在y方向上横向延伸的一条位线623可以耦合到一系列DRAM单元624。

[0079] 每个DRAM单元624可以包括垂直晶体管626(例如,图2中的垂直晶体管210的示例)和耦合到垂直晶体管626的电容器628(例如,图2中的存储单元212的示例)。DRAM单元624可以是由一个晶体管和一个电容器组成的1T1C单元。应当理解,DRAM单元624可以是任何合适的构造,例如2T1C单元、3T1C单元等。

[0080] 垂直晶体管626可以是用于切换相应DRAM单元624的MOSFET。在一些实施方式中,

垂直晶体管626包括垂直(在z方向上)延伸的半导体主体630(即,其中可以形成多个沟道的有源区)以及与半导体主体630的多个侧面接触的栅极结构636。如上所述,如在GAA垂直晶体管中,半导体主体630可以具有立方体形状或圆柱体形状,并且栅极结构636可以在平面图中完全外接半导体主体630,例如,如图5所示。根据一些实施方式,栅极结构636包括栅极电极634和横向地在栅极电极634与半导体主体630之间的栅极电介质632。例如,对于具有圆柱体形状的半导体主体630,半导体主体630、栅极电介质632和栅极电极634可以从垂直晶体管626的中心以该顺序径向设置。在一些实施方式中,栅极电介质632围绕并且接触半导体主体630,并且栅极电极634围绕并且接触栅极电介质632。

[0081] 如图6A所示,在一些实施方式中,半导体主体630在垂直方向(z方向)上具有两个端部(上端部和下端部),并且两个端部在垂直方向(z方向)上分别延伸超过栅极结构636进入ILD层。即,半导体主体630可以具有比栅极结构636的垂直尺寸(例如,深度)(例如,在z方向上)更大的垂直尺寸,并且半导体主体630的上端部和下端部都不与栅极结构636的相应端部齐平。因此,可以避免位线623与字线/栅极电极634之间或者字线/栅极电极634与电容器628之间的短路。在一些实施方式中,半导体主体630延伸进入的两个ILD层(例如,垂直地在位线触点625与字线634之间的ILD层,以及垂直地在字线634与电容器628之间的ILD层)包括相同的电介质材料,例如氧化硅。垂直晶体管626还可以包括分别在垂直方向(z方向)上设置在半导体主体630的两个端部(上端部和下端部)处的源极和漏极(由于它们的位置可以互换,所以都被称为638)。在一些实施方式中,源极和漏极638中的一个(例如,在图6A中的上端部处)耦合到电容器628,并且源极和漏极638中的另一个(例如,在图6A中的下端部处)耦合到位线623(例如,通过位线触点625或直接地)。

[0082] 在一些实施方式中,半导体主体630包括半导体材料,例如单晶硅、多晶硅、非晶硅、Ge、任何其他半导体材料或其任何组合。在一个示例中,半导体主体630可以包括单晶硅。源极和漏极638可以掺杂有期望掺杂水平的N型掺杂剂(例如,P或As)或P型掺杂剂(例如,B或Ga)。在一些实施方式中,在源极和漏极638与位线触点625或第一电极642之间形成硅化物层(例如,金属硅化物层)以减小接触电阻。在一些实施方式中,栅极电介质632包括诸如氧化硅、氮化硅或高k电介质的电介质材料,包括但不限于氧化铝(Al_2O_3)、氧化铪(HfO_2)、氧化钽(Ta_2O_5)、氧化锆(ZrO_2)、氧化钛(TiO_2)、或其任何组合。在一些实施方式中,栅极电极634包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中,栅极电极634包括多个导电层,例如TiN层之上的W层。在一个示例中,栅极结构636可以是“栅极氧化物/栅极多晶硅”栅极,其中栅极电介质632包括氧化硅,并且栅极电极634包括掺杂多晶硅。在另一示例中,栅极结构636可以是高k金属栅极(high-k metal gate, HKMG),其中栅极电介质632包括高k电介质,并且栅极电极634包括金属。

[0083] 如上所述,由于栅极电极634可以是字线的部分或者作为字线在字线方向(例如,图5中的x方向)上延伸,因此尽管在图6A中未直接示出,但是3D存储器器件600的第二半导体结构104也可以包括各自在字线方向(x方向)上延伸的多条字线(例如,图5中的字线504的示例,也被称为634)。每条字线634可以耦合到一行DRAM单元624。即,位线623和字线634可以在两个垂直的横向方向上延伸,并且垂直晶体管626的半导体主体630可以在与位线623和字线634延伸所沿的两个横向方向垂直的垂直方向上延伸。根据一些实施方式,字线634与字线触点627接触。在一些实施方式中,字线634包括导电材料,包括但不限于W、Co、

Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中，字线634包括多个导电层，例如TiN层之上的W层。

[0084] 如图6A所示，根据一些实施方式，垂直晶体管626垂直延伸穿过字线634并且接触字线634，并且垂直晶体管626在其下端部处的源极或漏极638与位线触点625接触或者直接与位线623接触。因此，由于垂直晶体管626的垂直布置，字线634和位线623可以在垂直方向上设置在不同的平面中，这简化了字线634和位线623的布线。在一些实施方式中，位线623垂直地设置在键合层620与字线634之间，并且字线634垂直地设置在位线623与电容器628之间。字线634可以通过互连层622中的字线触点627、键合层620和618中的键合触点621和619以及互连层616中的互连耦合到第一半导体结构102中的外围电路612。类似地，互连层622中的位线623可以通过键合层620和618中的键合触点621和619以及互连层616中的互连耦合到第一半导体结构102中的外围电路612。

[0085] 在一些实施方式中，第二半导体结构104还包括各自横向设置在相邻字线634之间的多个气隙640。每个气隙640可以是在字线方向（例如，x方向）上平行于字线634延伸以分离相邻行的垂直晶体管626的沟槽。如下面关于制造工艺所述，由于字线634（和DRAM单元624的各行）在位线方向（例如y方向）上的间距相对较小，可以形成气隙640。另一方面，与一些电介质（例如，氧化硅）相比，气隙640中的空气的相对大的介电常数（例如，氧化硅的介电常数的约4倍）可以改进字线634（和DRAM单元624的各行）之间的绝缘效果。

[0086] 如图6A所示，在一些实施方式中，电容器628包括在垂直晶体管626的源极或漏极638（例如，半导体主体630的上端部）上方并且与垂直晶体管626的源极或漏极638接触的第一电极642。电容器628还可以包括在第一电极642上方并且与第一电极642接触的电容器电介质644，以及在电容器电介质644上方并且与电容器电介质644接触的第二电极646。即，电容器628可以是垂直电容器，其中电极642和646以及电容器电介质644垂直（在z方向上）堆叠，并且电容器电介质644可以夹在电极642与646之间。在一些实施方式中，每个第一电极642耦合到同一DRAM单元中的相应垂直晶体管626的源极或漏极638，而所有第二电极646是耦合到地（例如，公共接地）的公共板的部分。如图6A所示，第二半导体结构104还可以包括与第二电极646的公共板接触的电容器触点647，用于将电容器628的第二电极646耦合到外围电路612或直接耦合到地。在一些实施方式中，其中形成电容器628的ILD层具有与半导体主体630延伸到其中的两个ILD层相同的电介质材料，例如氧化硅。

[0087] 应当理解，电容器628的结构和构造不限于图6A中的示例，并且可以包括任何合适的结构和构造，例如平面电容器、堆叠电容器、多鳍电容器、圆柱电容器、沟槽电容器或衬底-平板电容器。在一些实施方式中，电容器电介质644包括诸如氧化硅、氮化硅或高k电介质的电介质材料，包括但不限于 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 、或其任何组合。应当理解，在一些示例中，电容器628可以是在FRAM单元中使用的铁电电容器，并且电容器电介质644可以由具有铁电材料（例如，锆钛酸铅（PZT）或钽酸铋（SBT））的铁电层代替。在一些实施方式中，电极642和646包括导电材料，包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。

[0088] 如图6A所示，根据一些实施方式，垂直晶体管626垂直延伸穿过字线634并且接触字线634，垂直晶体管626在其下端部处的源极或漏极638与位线触点625接触或直接与位线623接触，并且垂直晶体管626在其上端部处的源极或漏极638与电容器628的电极642接触。

即,位线623和电容器628可以在垂直方向上设置在不同的平面中,并且由于垂直晶体管626的垂直布置而在垂直方向上耦合到DRAM单元624的垂直晶体管626的相对端部。在一些实施方式中,位线623和电容器628在垂直方向上设置在垂直晶体管626的相对侧上,与其中位线和电容器设置在平面晶体管的同一侧上的传统DRAM单元相比,这简化了位线623的布线并且减小了位线623与电容器628之间的耦合电容。

[0089] 如图6A所示,在一些实施方式中,垂直晶体管626垂直设置在电容器628与键合界面106之间。即,垂直晶体管626可以被布置为比电容器628更靠近第一半导体结构102的外围电路612和键合界面106。根据一些实施方式,由于位线623和电容器628如上所述耦合到垂直晶体管626的相对端部,所以位线623(作为互连层622的部分)垂直设置在垂直晶体管626和键合界面106之间。结果,包括位线623的互连层622可以被布置为靠近键合界面106,以减小互连布线距离和复杂性。

[0090] 在一些实施方式中,第二半导体结构104还包括设置在DRAM单元624上方的衬底648。如下面关于制造工艺所述,衬底648可以是载体晶圆的部分。应当理解,在一些示例中,衬底648可以不包括在第二半导体结构104中。

[0091] 如图6A所示,第二半导体结构104还可以包括衬底648和DRAM单元624上方的焊盘引出互连层650。焊盘引出互连层650可以包括在一个或多个ILD层中的互连,例如接触焊盘654。焊盘引出互连层650和互连层622可以形成在DRAM单元624的相对侧上。根据一些实施方式,电容器628垂直地设置在垂直晶体管626与焊盘引出互连层650之间。在一些实施方式中,例如出于焊盘引出的目的,焊盘引出互连层650中的互连可以在3D存储器器件600与外部电路之间传送电信号。在一些实施方式中,第二半导体结构104还包括一个或多个触点652,触点652延伸穿过衬底648和焊盘引出互连层650的部分以将焊盘引出互连层650耦合到DRAM单元624和互连层622。结果,外围电路612可以通过互连层616和622以及键合层620和618耦合到DRAM单元624,并且外围电路612和DRAM单元624可以通过触点652和焊盘引出互连层650耦合到外部电路。接触焊盘654和触点652可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,接触焊盘654可以包括Al,并且触点652可以包括W。在一些实施方式中,触点652包括由电介质间隔件(例如,具有氧化硅)围绕的过孔以将过孔与衬底648电分离。取决于衬底648的厚度,触点652可以是具有亚微米级(例如,10nm与1 μ m之间)深度的层间过孔(interlayer via, ILV),或者是具有微米级或数十微米级(例如,1 μ m与100 μ m之间)深度的穿衬底过孔(through substrate via, TSV)。

[0092] 应当理解,3D存储器器件的焊盘引出不限于来自如图6A中所示的具有DRAM单元624的第二半导体结构104,并且可以来自具有外围电路612的第一半导体结构102。例如,如图6B所示,3D存储器器件601可以包括在第一半导体结构102中的焊盘引出互连层650。焊盘引出互连层650可以设置在其上形成有外围电路612的晶体管614的第一半导体结构102的衬底610上方并且与该衬底610接触。在一些实施方式中,第一半导体结构102还包括垂直延伸穿过衬底610的一个或多个触点653。在一些实施方式中,触点653将第一半导体结构102中的互连层616中的互连耦合到焊盘引出互连层650中的接触焊盘654以穿过衬底610进行电连接。触点653可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,触点653可以包括W。在一些实施方式中,触点653包括被电介质间隔件(例如,具有氧化硅)围绕的过孔,以将过孔与衬底610电分离。应当理解,在一些示例中,例如与图6A

中的衬底610相比,图6B中的衬底610可以是减薄的衬底。取决于衬底610的厚度,触点653可以是具有亚微米级(例如,10nm与1 μ m之间)深度的ILV,或者是具有微米级或数十微米级(例如,1 μ m与100 μ m之间)深度的TSV。应当理解,为了易于描述,不重复3D存储器器件600和601两者中的相同部件的细节(例如,材料、制造工艺、功能等)。来自包括外围电路612的第一半导体结构102的焊盘引出可以减小接触焊盘654与外围电路612之间的互连距离,从而减小来自互连的寄生电容并且改进3D存储器器件601的电性能。

[0093] 还应当理解,半导体主体与相应的栅极结构和字线之间的相对垂直位置不限于图6A所示的示例,其中半导体主体630的上端部和下端部分别延伸超过栅极结构636(和字线634),这取决于下面详细描述的各种制造工艺。例如,如图6C所示,3D存储器器件603可以包括各自具有半导体主体630和栅极结构636的垂直晶体管626,并且半导体主体630的在垂直方向(z方向)上的一个端部可以与栅极结构636齐平。在一些实施方式中,半导体主体630的与电容器628的第一电极642接触的上端部或下端部与栅极结构636和字线634的相应端部齐平。即,根据一些实施方式,半导体主体630的上端部和下端部中与电容器628接触的一个端部不延伸超过栅极结构636和字线634的相应端部。在一些实施方式中,如图6C所示,半导体主体630在垂直方向上与位线触点625接触的另一端部仍然延伸超过栅极结构636和字线634的相应端部进入ILD层中,该ILD层垂直地在位线触点625与字线634之间。应当理解,为了易于描述,不重复3D存储器器件600和603两者中的相同部件的细节(例如,材料、制造工艺、功能等)。

[0094] 还应当理解,半导体主体延伸进入其中的ILD层的电介质材料不限于图6A中所示的示例,其中ILD层包括氧化硅,例如,与其中形成电容器628的ILD层相同的材料,这取决于如下面详细描述的各种制造工艺。例如,如图6D所示,3D存储器器件605可以包括半导体主体630延伸进入其中的两个ILD层660和662。根据一些实施方式,ILD层660垂直地在位线触点625与字线634之间,并且ILD层662垂直地在字线634与电容器628的第一电极642之间。ILD层660和662可以包括与其中形成电容器628的ILD层的电介质材料不同的电介质材料。在一些实施方式中,ILD层660和662包括氮化硅,而电容器628的ILD层包括氧化硅。如图6D所示,在一些实施方式中,半导体主体630在垂直方向(z方向)上与电容器628接触的一个端部与ILD层662的相应端部齐平。在一些实施方式中,气隙640垂直延伸穿过ILD层662以分离ILD层662,但是不进一步延伸到ILD层660中,即,被ILD层660停止。应当理解,为了易于描述,不重复3D存储器器件600和605两者中的相同部件的细节(例如,材料、制造工艺、功能等)。

[0095] 还应当理解,字线之间的气隙可以部分或完全用电介质填充。例如,如图6E所示,存储器器件607在相邻字线634之间可以不包括气隙(例如,图6A中的气隙640)。相反,存储器器件607可以包括各自形成在相邻字线634之间的电介质壁结构641(例如,填充有电介质,例如氧化硅)。应当理解,在一些示例(未示出)中,气隙640仍然可以存在于字线634之间,但是与字线634相比具有较小的垂直尺寸(深度)。应当理解,为了易于描述,不重复3D存储器器件600和607两者中的相同部件的细节(例如,材料、制造工艺、功能等)。

[0096] 还应当理解,可以将多于一个的DRAM单元阵列彼此堆叠,以便垂直地按比例增加DRAM单元的数量。例如,如图7所示,存储器器件700还可以包括具有堆叠在第二半导体结构104和第一半导体结构102之上的DRAM单元624的阵列的第三半导体结构702。根据一些实施

方式,第三半导体结构702和第二半导体结构104在其间的另一键合界面704处接合。第三半导体结构702和第二半导体结构104可以具有相同的DRAM单元624的阵列和互连层622,并且因此,为了易于描述,不再重复第三半导体结构702中的DRAM单元624和互连层622的细节。

[0097] 根据一些实施方式,第三半导体结构702和第二半导体结构104可以以面对面的方式键合,使得第三半导体结构702和第二半导体结构104中的至少一些部件(例如,DRAM单元624)可以关于键合界面704对称。键合界面704可以垂直地形成在第三半导体结构702中的DRAM单元624与第二半导体结构104中的DRAM单元624之间。如图7所示,在一些实施方式中,第二半导体结构104中的电容器628垂直地设置在键合界面704与第二半导体结构104中的垂直晶体管626之间,并且第三半导体结构702中的电容器628垂直地设置在键合界面704与第三半导体结构702中的垂直晶体管626之间。即,第二半导体结构104中的电容器628和第三半导体结构702中的电容器628可以设置在键合界面704的相对侧上。在一些实施方式中,第三半导体结构702中的电容器628的第二电极646在键合界面704处与第二半导体结构104中的电容器628的第二电极646接触。

[0098] 在一些实施方式中,3D存储器器件700包括附加的互连,该附加的互连将第三半导体结构702中的DRAM单元624跨键合界面704和106耦合到外围电路612,该附加的互连例如耦合第三半导体结构702中的字线634和第一半导体结构102中的外围电路612的字线触点734。如图7所示,与第一半导体结构102或第二半导体结构104相反,第三半导体结构702可以包括焊盘引出互连层650。在一些实施方式中,第三半导体结构702中的垂直晶体管626垂直地设置在第三半导体结构702中的电容器628与焊盘引出互连层650之间。应当理解,为了易于描述,不重复3D存储器器件600和700两者中的相同部件的细节(例如,材料、制造工艺、功能等)。

[0099] 应当理解,图7中所示的多个存储器单元阵列的架构不限于DRAM单元624的设计,并且可以应用于本文所公开的任何合适的存储器单元。还应当理解,本文所公开的存储器单元的各种设计可以在图7中所示的多个存储器单元阵列的架构中混合。例如,第二半导体结构104和第三半导体结构702可以包括本文公开的存储器单元的不同设计。

[0100] 还应当理解,存储器单元阵列不限于图5、图6A-图6D和图7中所示的垂直晶体管是GAA晶体管的示例,而可以是任何其他合适的多栅极垂直晶体管。例如,图8示出了根据本公开内容的一些方面的存储器器件800中的各自包括垂直晶体管的另一存储器单元802的阵列的平面图。如图8所示,存储器器件800可以包括各自在第一横向方向(x方向,被称为字线方向)上延伸的多条字线804。存储器器件800还可以包括各自在垂直于第一横向方向的第二横向方向(y方向,被称为位线方向)上延伸的多条位线806。应当理解,图8未示出存储器器件800在相同横向平面中的横截面,并且字线804和位线806可以形成在不同横向平面中以便于布线,如下文详细描述。

[0101] 存储器单元802可以形成在字线804和位线806的交叉处。在一些实施方式中,每个存储器单元802包括具有半导体主体808和栅极结构810的垂直晶体管(例如,图2中的垂直晶体管210)。图8中的存储器单元802的垂直晶体管可以是三栅极垂直晶体管(例如,三侧栅极垂直晶体管)的示例。半导体主体808可以在垂直于第一横向方向和第二横向方向的垂直方向(z方向,未示出)上延伸。栅极结构810可以与半导体主体808(其中形成沟道的有源区)的多个侧面(例如,图8中所有四个侧面中的三个侧面)接触。即,与图5中的存储器单元502

中的GAA垂直晶体管不同,在平面图中,存储器单元802中的垂直晶体管的栅极结构810部分地外接半导体主体808。即,根据一些实施方式,在平面图中,栅极结构810外接(例如,围绕并且接触)半导体主体808的所有四个侧面中的三个侧面(具有矩形或正方形形状的横截面)。根据一些实施方式,栅极结构810不围绕和接触半导体主体808的至少一个侧面。栅极结构810可以包括在平面图中部分或完全外接半导体主体808的栅极电介质812,以及部分外接栅极电介质812的栅极电极814。因此,具有栅极结构810的垂直晶体管可以被视为“三栅极”垂直晶体管,其中栅极结构810在字线方向(x方向)上与半导体主体808的两个相对侧面接触,并且在位线方向(y方向)上与半导体主体808的一个侧面接触。如上所述,栅极电极814可以是字线804的部分,并且字线804可以是栅极电极814的延伸。例如,如图8所示,每条字线804的一个边缘可以形成为与每个半导体主体808的同一侧面对齐,使得栅极电极814可以不延伸到半导体主体808的该侧面以形成GAA晶体管。通过将存储器单元802的半导体主体808布置为与字线804的一个侧面对齐,可以进一步增加位线方向(y方向)上的字线804的间距和/或存储器单元802间距,以降低制造复杂性并且增加良率。

[0102] 类似于图5中的存储器器件500,如图8中所示,在字线方向(x方向)上相邻的垂直晶体管的栅极电极814是连续的,例如,是具有栅极电极814和804的连续导电层的部分。相反,在字线方向上相邻的垂直晶体管的栅极电介质812是分离的,例如,不是具有栅极电介质812的连续电介质层的部分。

[0103] 图9示出了根据本公开内容的一些方面的包括垂直晶体管的3D存储器器件900的横截面的侧视图。3D存储器器件900可以是包括多栅极垂直晶体管的存储器器件800的一个示例,其中栅极结构在平面图中部分地外接半导体主体。3D存储器器件900类似于图6A中的3D存储器器件600,除了DRAM单元624中的多栅极垂直晶体管的不同结构之外。应当理解,为了易于描述,不重复3D存储器器件600和900两者中的相同部件的细节(例如,材料、制造工艺、功能等)。类似于图6A,图9中的3D存储器器件900的横截面可以沿着位线方向(y方向)截取。

[0104] 垂直晶体管926可以是用于切换相应DRAM单元624的MOSFET。在一些实施方式中,垂直晶体管926包括垂直(在z方向上)延伸的半导体主体630(即,其中可以形成多个沟道的有源区)以及与半导体主体630的多个侧面接触的栅极结构936。半导体主体630可以具有立方体形状或圆柱体形状,并且栅极结构936可以在平面图中部分地外接半导体主体630,例如,如图8所示。如图9所示,根据一些实施方式,栅极结构936不延伸到半导体主体630的至少一个侧面。根据一些实施方式,栅极结构936包括栅极电极934和横向地在栅极电极934与半导体主体630之间的栅极电介质932。如图9所示,根据一些实施方式,栅极电极934不延伸到半导体主体630的至少一个侧面。由于位线方向(y方向)上的字线934的间距和/或DRAM单元624的间距增加,所以字线934之间的气隙可以部分或完全用电介质填充。

[0105] 还应当理解,多栅极晶体管中的栅极的数量可以变化,即,不受图5中的GAA垂直晶体管示例和图8中的三栅极垂直晶体管示例的限制。例如,多栅极垂直晶体管还可以包括双栅极垂直晶体管(又被称为双侧栅极垂直晶体管),其中栅极结构与半导体主体的两个侧面接触,例如位线方向或字线方向上的两个相对侧面。

[0106] 还应当理解,尽管在图6A-图6D、图7和图9中将存储单元描述为电容器628,但是在一些示例中,存储单元可以包括任何其他合适的器件,例如PCM元件,如以上关于图4所描述

的。例如,电容器628的电容器电介质644可以用相变材料层(例如,硫属化合物合金)替换,相变材料层垂直地夹在电极642与646之间以形成PCM元件。此外,代替将垂直晶体管626或926的源极或漏极638耦合到位线623,PCM元件的电极642或646可以耦合到位线623,而垂直晶体管626或926的源极或漏极638可以耦合到地,例如公共接地板。

[0107] 根据本公开内容的一些方面,存储器器件(例如,存储器器件200)中的存储器单元的垂直晶体管是单栅极晶体管,并且垂直晶体管的栅极电介质在字线方向上是连续的。例如,图16示出了根据本公开内容的一些方面的存储器器件1600中的各自包括垂直晶体管的又一存储器单元1602的阵列的平面图。如图16中所示,存储器器件1600可以包括各自在第一横向方向(x方向,被称为字线方向)上延伸的多条字线1604。存储器器件1600还可以包括各自在垂直于第一横向方向的第二横向方向(y方向,被称为位线方向)上延伸的多条位线1606。应当理解,图16未示出存储器器件1600在同一横向平面中的横截面,并且字线1604和位线1606可以形成在不同横向平面中以便于布线,如下文详细描述。

[0108] 存储器单元1602可以形成在字线1604和位线1606的交叉处。在一些实施方式中,每个存储器单元1602包括具有半导体主体1608和栅极结构1610的垂直晶体管(例如,图2中的垂直晶体管210)。半导体主体1608可以在垂直于第一横向方向和第二横向方向的垂直方向(z方向,未示出)上在衬底中延伸。垂直晶体管可以是单栅极晶体管,其中栅极结构1610与半导体主体1608(其中形成沟道的有源区)的单个侧面(例如,图16中的四个侧面中的一个侧面)接触。如图16所示,垂直晶体管是单栅极晶体管,其中栅极结构1610在平面图中在位线方向(y方向)上邻接半导体主体1608的一个侧面(具有矩形或正方形形状横截面)。根据一些实施方式,栅极结构1610不围绕和接触半导体主体1608的其他三个侧面。栅极结构1610可以包括在平面图中邻接半导体主体1608的一个侧面的栅极电介质1612,以及与栅极电介质1612接触的栅极电极1614。在一些实施方式中,栅极电介质1612在位线方向(y方向)上横向地在栅极电极1614与半导体主体1608之间。如上所述,栅极电极1614可以是字线1604的部分,并且字线1604可以是栅极电极1614的延伸。即,在字线方向(x方向)上相邻的垂直晶体管的栅极电极1614是连续的,例如,是具有栅极电极1614和1604的连续导电层的部分。

[0109] 与图5和图8中的分离的栅极电介质512和812不同,如图16所示,字线方向上相邻的垂直晶体管的栅极电介质1612是连续的,例如,是具有栅极电介质1612并且在字线方向上延伸以邻接同一侧面上的同一行中的垂直晶体管的连续电介质层的部分。栅极结构1610因此可以被视为在字线方向上延伸的连续结构的部分,在该字线方向上,该连续结构邻接同一侧面上的同一行中的垂直晶体管。

[0110] 如图16所示,根据一些实施方式,在位线方向(y方向)上的存储器单元的两个相邻垂直晶体管(例如,1602A和1602B)彼此镜像对称。如下文关于制造工艺所描述的,可以通过使用在字线方向(x方向)上并且平行于字线1604延伸的沟槽隔离1616将半导体柱分离成两片来形成存储器单元的在位线方向(y方向)上的每一对两个相邻垂直晶体管(例如,1602A和1602B)的半导体主体1608。沟槽隔离1616和字线1604可以在位线方向上以交错的方式设置。在一些实施方式中,沟槽隔离1616形成在半导体柱(未示出)的中间,使得所得到的半导体主体1608对相对于沟槽隔离1616彼此镜像对称,当相应的栅极结构1610也相对于沟槽隔离1616彼此镜像对称时,具有半导体主体1608的垂直晶体管对也是如此。

[0111] 应当理解,在一些示例中,可以不形成在字线方向上延伸的沟槽隔离1616,使得由相应沟槽隔离1616分离的两个相邻半导体主体1608可以合并为在位线方向上具有与栅极结构1610接触的两个相对侧面的单个半导体主体。即,在没有沟槽隔离1616的情况下,相邻单栅极垂直晶体管可以合并以形成具有增加的栅极控制面积和较低的泄漏电流的双栅极垂直晶体管。双栅极垂直晶体管的栅极结构可以包括图16中的两个镜像对称的栅极结构1610,使得合并的半导体主体1608的在位线方向上的两个侧面可以与双栅极垂直晶体管中的栅极结构接触。另一方面,通过使用沟槽隔离1616将双栅极垂直晶体管分成单栅极垂直晶体管,与双栅极垂直晶体管相比,位线方向上的存储器单元1602的数量(和单元密度)可以加倍,而不会不适当地使制造工艺复杂化(例如,与使用SADP工艺相比)。

[0112] 图17示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件1700的横截面的侧视图。3D存储器器件1700可以是包括单栅极垂直晶体管的存储器器件1600的一个示例,其中栅极结构在平面图中邻接半导体主体的单个侧面。应当理解,图17仅用于说明性目的,并且实际上可以不必反映实际器件结构(例如,互连)。作为以上关于图1A描述的3D存储器器件100的一个示例,3D存储器器件1700是包括第一半导体结构102和堆叠在第一半导体结构102之上的第二半导体结构104的经键合芯片。根据一些实施方式,第一半导体结构102和第二半导体结构104在它们之间的键合界面106处接合。如图17所示,第一半导体结构102可以包括衬底1710,衬底1710可以包括硅(例如,单晶硅,c-Si)、SiGe、GaAs、Ge、SOI或任何其他合适的材料。

[0113] 第一半导体结构102可以包括衬底1710上的外围电路1712。在一些实施方式中,外围电路1712包括多个晶体管1714(例如,平面晶体管和/或3D晶体管)。沟槽隔离(例如,浅沟槽隔离(STI))和掺杂区(例如,晶体管1714的阱、源极和漏极)也可以形成在衬底1710上或衬底1710中。

[0114] 在一些实施方式中,第一半导体结构102还包括外围电路1712上方的互连层1716以传送往来于外围电路1712的电信号。互连层1716可以包括多个互连(本文也被称为“触点”),互连包括横向互连线和VIA触点。互连层1716还可以包括一个或多个ILD层,其中可以形成互连线和过孔触点。即,互连层1716可以包括多个ILD层中的互连线和过孔触点。在一些实施方式中,外围电路1712通过互连层1716中的互连彼此耦合。互连层1716中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0115] 如图17所示,第一半导体结构102还可以包括在键合界面106处并且在互连层1716和外围电路1712上方的键合层1718。键合层1718可以包括多个键合触点1719和对键合触点1719进行电隔离的电介质。键合触点1719可以包括导电材料,例如Cu。键合层1718的剩余区域可以用电介质材料(例如,氧化硅)形成。键合层1718中的键合触点1719和周围电介质可以用于混合键合。类似地,如图17所示,第二半导体结构104也可以包括在键合界面106处并且在第一半导体结构102的键合层1718上方的键合层1720。键合层1720可以包括多个键合触点1721和对键合触点1721进行电隔离的电介质。键合触点1721可以包括导电材料,例如Cu。键合层1720的剩余区域可以由电介质材料(例如,氧化硅)形成。键合层1720中的键合触点1721和周围电介质可以用于混合键合。根据一些实施方式,键合触点1721在键合界面106

处与键合触点1719接触。

[0116] 第二半导体结构104可以在键合界面106处以面对面的方式键合在第一半导体结构102的顶部上。在一些实施方式中,作为混合键合(也被称为“金属/电介质混合键合”)的结果,键合界面106设置在键合层1720与1718之间,混合键合是直接键合技术(例如,在不使用中间层(例如,焊料或粘合剂)的情况下在表面之间形成键合)并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施方式中,键合界面106是键合层1720和1718相遇并且键合的位置。实际上,键合界面106可以是具有一定厚度的层,其包括第一半导体结构102的键合层1718的顶表面和第二半导体结构104的键合层1720的底表面。

[0117] 在一些实施方式中,第二半导体结构104还包括互连层1722,互连层1722包括键合层1720上方的位线1723以传送电信号。互连层1722可以包括多个互连,例如MEOL互连和BEOL互连。在一些实施方式中,互连层1722中的互连还包括局部互连,例如位线1723(例如,图16中的位线1606的示例)和字线触点(未示出)。互连层1722还可以包括一个或多个ILD层,其中可以形成互连线 and 过孔触点。互连层1722中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,外围电路1712包括通过键合层1720和1718中的键合触点1721和1719以及互连层1716耦合到互连层1722中的字线触点的字线驱动器/行解码器。在一些实施方式中,外围电路1712包括通过键合层1720和1718中的键合触点1721和1719以及互连层1716耦合到互连层1722中的位线1723和位线触点(如果有的话)的位线驱动器/列解码器。

[0118] 在一些实施方式中,第二半导体结构104包括DRAM器件,其中存储器单元以DRAM单元1724的阵列的形式(例如,图16中的存储器单元1602的示例)提供在互连层1722和键合层1720上方。即,包括位线1723的互连层1722可以设置在键合层1720与DRAM单元1724的阵列之间。应当理解,图17中的3D存储器器件1700的横截面可以沿着位线方向(y方向)截取,并且在y方向横向延伸的互连层1722中的一条位线1723可以被耦合到一系列DRAM单元1724。

[0119] 每个DRAM单元1724可以包括垂直晶体管1726(例如,图2中的垂直晶体管210的示例)和耦合到垂直晶体管1726的电容器1728(例如,图2中的存储单元212的示例)。DRAM单元1724可以是由一个晶体管和一个电容器组成的1T1C单元。应当理解,DRAM单元1724可以是任何合适的构造,例如2T1C单元、3T1C单元等。为了更好地示出垂直晶体管1726,图18示出了根据本公开内容的一些方面的垂直晶体管1726的阵列的透视图。当描述垂直晶体管1726时,将一起描述图17和图18。

[0120] 垂直晶体管1726可以是用于切换相应DRAM单元1724的MOSFET。在一些实施方式中,垂直晶体管1726包括垂直(在z方向上)延伸的半导体主体1730(即,其中可以形成沟道的有源区域),以及在位线方向(y方向)上与半导体主体1730的一个侧面接触的栅极结构1736。如上所述,如在单栅极垂直晶体管中,半导体主体1730可以具有立方体形状或圆柱体形状,并且栅极结构1736可以在平面图中邻接半导体主体1730的单个侧面,例如,如图17和图18所示。根据一些实施方式,栅极结构1736包括栅极电极1734和在位线方向上横向地在栅极电极1734与半导体主体1730之间的栅极电介质1732。在一些实施方式中,栅极电介质1732邻接半导体主体1730的一个侧面,并且栅极电极1734邻接栅极电介质1732。

[0121] 如图17和图18所示,在一些实施方式中,半导体主体1730在垂直方向(z方向)上具

有两个端部(上端部和下端部),并且至少一个端部(例如,图17和图18中的下端部)在垂直方向(z方向)上延伸超过栅极电介质1732进入ILD层。在一些实施方式中,半导体主体1730的一个端部(例如,图17和图18中的上端部)与栅极电介质1732的相应端部(例如,图17和图18中的上端部)齐平。在一些实施方式中,半导体主体1730的两个端部(上端部和下端部)分别在垂直方向(z方向)上延伸超过栅极电极1734进入ILD层。即,半导体主体1730可以具有比栅极电极1734的垂直尺寸(例如,深度)(例如,在z方向上)更大的垂直尺寸,并且半导体主体1730的上端部和下端部都不与栅极电极1734的相应端部齐平。因此,可以避免位线1723与字线/栅极电极1734之间或字线/栅极电极1734与电容器1728之间的短路。垂直晶体管1726还可以包括在垂直方向(z方向)上分别设置在半导体主体1730的两个端部(上端部和下端部)处的源极和漏极(由于它们的位置可以互换,所以都被称为1738)。在一些实施方式中,源极和漏极1738中的一个(例如,在图17和图18中的上端部处)耦合到电容器1728,并且源极和漏极1738中的另一个(例如,在图17和图18中的下端部处)耦合到位线1723。

[0122] 在一些实施方式中,半导体主体1730包括半导体材料,例如单晶硅、多晶硅、非晶硅、Ge、任何其他半导体材料或其任何组合。在一个示例中,半导体主体1730可以包括单晶硅。源极和漏极1738可以掺杂有期望掺杂水平的N型掺杂剂(例如,P或As)或P型掺杂剂(例如,B或Ga)。在一些实施方式中,在源极和漏极1738与位线1723或第一电极1742之间形成硅化物层(例如,金属硅化物层),以减小接触电阻。在一些实施方式中,栅极电介质1732包括诸如氧化硅、氮化硅或高k电介质的电介质材料,包括但不限于 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 或其任何组合。在一些实施方式中,栅极电极1734包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中,栅极电极1734包括多个导电层,例如TiN层之上的W层,如图17和图18中所示。在一个示例中,栅极结构1736可以是“栅极氧化物/栅极多晶硅”栅极,其中栅极电介质1732包括氧化硅,并且栅极电极1734包括掺杂多晶硅。在另一示例中,栅极结构1736可以是HKMG,其中栅极电介质1732包括高k电介质,并且栅极电极1734包括金属。

[0123] 如上所述,由于栅极电极1734可以是字线的部分或者作为字线在字线方向(例如,图18中的x方向)上延伸,如图18所示,所以3D存储器器件1700的第二半导体结构104也可以包括各自在字线方向(x方向)上延伸的多条字线(例如,图16中的字线1604的示例,也被称为1734)。每条字线1734可以耦合到一行DRAM单元1724。即,位线1723和字线1734可以在两个垂直的横向方向上延伸,并且垂直晶体管1726的半导体主体1730可以在与位线1723和字线1734延伸所沿的两个横向方向垂直的垂直方向上延伸。根据一些实施方式,字线1734与字线触点(未示出)接触。在一些实施方式中,字线1734包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中,字线1734包括多个导电层,例如TiN层之上的W层,如图17中所示。

[0124] 如图17和图18所示,根据一些实施方式,垂直晶体管1726垂直延伸穿过字线1734并且与字线1734接触,并且垂直晶体管1726在其下端部处的源极或漏极1738与位线1723接触(或与位线触点接触,如果有的话)。因此,由于垂直晶体管1726的垂直布置,字线1734和位线1723可以在垂直方向上设置在不同的平面中,这简化了字线1734和位线1723的布线。在一些实施方式中,位线1723垂直地设置在键合层1720与字线1734之间,并且字线1734垂直地设置在位线1723与电容器1728之间。字线1734可以通过互连层1722中的字线触点(未

示出)、键合层1720和1718中的键合触点1721和1719以及互连层1716中的互连耦合到第一半导体结构102中的外围电路1712。类似地,互连层1722中的位线1723可以通过键合层1720和1718中的键合触点1721和1719以及互连层1716中的互连耦合到第一半导体结构102中的外围电路1712。

[0125] 如上关于图16所述,垂直晶体管1726可以以镜像对称的方式布置,以增加在位线方向(y方向)上的DRAM单元1724的密度。如图17中所示,根据一些实施方式,在位线方向上两个相邻的垂直晶体管1726相对于沟槽隔离1760(例如,对应于图16中的沟槽隔离1616)彼此镜像对称。即,第二半导体结构104可以包括多个沟槽隔离1760,每个沟槽隔离1760在字线方向(x方向)上与字线1734平行地延伸并且设置在相邻两行垂直晶体管1726的半导体主体1730之间。在一些实施方式中,由沟槽隔离1760分离的垂直晶体管1726的行相对于沟槽隔离1760彼此镜像对称。沟槽隔离1760可以用电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。应当理解,沟槽隔离1760可以包括各自横向地设置在相邻的半导体主体1730之间的气隙。如下面关于制造工艺所述,由于垂直晶体管1726在位线方向(例如y方向)上的间距相对较小,所以可以形成气隙。另一方面,与一些电介质(例如,氧化硅)相比,气隙中的空气的相对大的介电常数(例如,氧化硅的介电常数的约4倍)可以改进垂直晶体管1726(和DRAM单元1724的各行)之间的隔离效应。类似地,在一些实施方式中,取决于字线/栅极电极1734在位线方向上的间距,也在位线方向上在字线/栅极电极1734之间横向地形成气隙。

[0126] 如图17所示,在一些实施方式中,电容器1728包括在垂直晶体管1726的源极或漏极1738(例如,半导体主体1730的上端部)上方并且与源极或漏极1738接触的第一电极1742。电容器1728还可以包括在第一电极1742上方并且与第一电极1742接触的电容器电介质1744,以及在电容器电介质1744上方并且与电容器电介质1744接触的第二电极1746。即,电容器1728可以是垂直电容器,其中电极1742和1746以及电容器电介质1744垂直地(在z方向上)堆叠,并且电容器电介质1744可以夹在电极1742和1746之间。在一些实施方式中,每个第一电极1742耦合到同一DRAM单元中的相应垂直晶体管1726的源极或漏极1738,而所有第二电极1746是耦合到地的公共板(例如,公共接地)的部分。如图17所示,第二半导体结构104还可以包括与第二电极1746的公共板接触的电容器触点1747,以用于将电容器1728的第二电极1746耦合到外围电路1712或直接耦合到地。在一些实施方式中,其中形成电容器1728的ILD层具有与半导体主体1730延伸进入其中的两个ILD层相同的电介质材料,例如氧化硅。

[0127] 应当理解,电容器1728的结构和构造不限于图17中的示例,并且可以包括任何合适的结构和构造,例如平面电容器、堆叠电容器、多鳍电容器、圆柱电容器、沟槽电容器或衬底-平板电容器。在一些实施方式中,电容器电介质1744包括诸如氧化硅、氮化硅或高k电介质的电介质材料,包括但不限于 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 或其任何组合。应当理解,在一些示例中,电容器1728可以是在FRAM单元中使用的铁电电容器,并且电容器电介质1744可以由具有铁电材料(例如,PZT或SBT)的铁电层代替。在一些实施方式中,电极1742和1746包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。

[0128] 如图17所示,根据一些实施方式,垂直晶体管1726垂直延伸穿过字线1734并且与字线1734接触,垂直晶体管1726在其下端部处的源极或漏极1738与位线1723接触,并且垂

直晶体管1726在其上端部处的源极或漏极1738与电容器1728的电极1742接触。即,由于垂直晶体管1726的垂直布置,位线1723和电容器1728可以在垂直方向上设置在不同平面中,并且在垂直方向上耦合到DRAM单元1724的垂直晶体管1726的相对端部。在一些实施方式中,位线1723和电容器1728在垂直方向上设置在垂直晶体管1726的相对侧面上,与其中位线和电容器设置在平面晶体管的同一侧面上的常规DRAM单元相比,这简化了位线1723的布线并且减小了位线1723与电容器1728之间的耦合电容。

[0129] 如图17所示,在一些实施方式中,垂直晶体管1726垂直地设置在电容器1728与键合界面106之间。即,垂直晶体管1726可以被布置为比电容器1728更靠近第一半导体结构102的外围电路1712和键合界面106。由于位线1723和电容器1728耦合到垂直晶体管1726的相对端部,如上所述,根据一些实施方式,位线1723(作为互连层1722的部分)垂直地设置在垂直晶体管1726与键合界面106之间。结果,包括位线1723的互连层1722可以被布置为靠近键合界面106,以减少互连布线距离和复杂性。

[0130] 在一些实施方式中,第二半导体结构104还包括设置在DRAM单元1724上方的衬底1748。如下文关于制造工艺所描述的,衬底1748可以是载体晶圆的部分。应当理解,在一些示例中,衬底1748可以不包括在第二半导体结构104中。

[0131] 如图17所示,第二半导体结构104还可以包括衬底1748和DRAM单元1724上方的焊盘引出互连层1750。焊盘引出互连层1750可以包括一个或多个ILD层中的互连,例如,接触焊盘1754。焊盘引出互连层1750和互连层1722可以形成在DRAM单元1724的相对侧面上。根据一些实施方式,电容器1728垂直地设置在垂直晶体管1726与焊盘引出互连层1750之间。在一些实施方式中,例如出于焊盘引出的目的,焊盘引出互连层1750中的互连可以在3D存储器器件1700与外部电路之间传送电信号。在一些实施方式中,第二半导体结构104还包括一个或多个触点1752,触点1752延伸穿过焊盘引出互连层1750的部分和衬底1748以将焊盘引出互连层1750耦合到DRAM单元1724和互连层1722。结果,外围电路1712可以通过互连层1716和1722以及键合层1720和1718耦合到DRAM单元1724,并且外围电路1712和DRAM单元1724可以通过触点1752和焊盘引出互连层1750耦合到外部电路。接触焊盘1754和触点1752可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,接触焊盘1754可以包括Al,并且触点1752可以包括W。在一些实施方式中,触点1752包括由电介质间隔件(例如,具有氧化硅)围绕的过孔以将过孔与衬底1748电分离。取决于衬底1748的厚度,触点1752可以是具有亚微米级(例如,10nm与1 μ m之间)深度的ILV,或者是具有微米级或数十微米级(例如,1 μ m与100 μ m之间)深度的TSV。

[0132] 尽管未示出,但是应当理解,3D存储器器件的焊盘引出不限于来自图17所示的具有DRAM单元1724的第二半导体结构104,并且可以以与上面关于图6B所述的类似方式来自具有外围电路1712的第一半导体结构102。虽然未示出,但是还应当理解,字线1734之间和/或半导体主体1730之间的气隙可以以与上面关于图6E所述的类似方式部分或完全填充有电介质。尽管未示出,还应当理解,多于一个的DRAM单元1724的阵列可以以与上面关于图7所述的类似方式彼此堆叠,以垂直地按比例增加DRAM单元1724的数量。

[0133] 如上所述,在一些示例中,可以不形成在图16中的字线方向上延伸的沟槽隔离1616,使得由相应沟槽隔离1616分离的两个相邻半导体主体1608可以合并为在位线方向上具有与栅极结构1610接触的两个相对侧面的单个半导体主体。即,在没有沟槽隔离1616的

情况下,相邻的单栅极垂直晶体管可以合并以形成具有增加的栅极控制面积和较低的泄漏电流的双栅极垂直晶体管(例如,双侧栅极垂直晶体管)。例如,图20示出了根据本公开内容的一些方面的存储器器件2000中的各自包括垂直晶体管的再一存储器单元2002的阵列的平面图。如图20所示,存储器器件2000可以包括各自在第一横向方向(x方向,被称为字线方向)上延伸的多条字线2004。存储器器件2000还可以包括各自在垂直于第一横向方向的第二横向方向(y方向,被称为位线方向)上延伸的多条位线2006。应当理解,图20未示出存储器器件2000在同一横向平面中的横截面,并且字线2004和位线2006可以形成在不同横向平面中以便于布线,如下文详细描述。

[0134] 存储器单元2002可以形成在字线2004和位线2006的交叉处。在一些实施方式中,每个存储器单元2002包括具有半导体主体2008和栅极结构2010的垂直晶体管(例如,图2中的垂直晶体管210)。半导体主体2008可以在垂直于第一横向方向和第二横向方向的垂直方向(z方向,未示出)上在衬底中延伸。垂直晶体管可以是双栅极晶体管,其中栅极结构2010与半导体主体2008(其中形成沟道的有源区)的两个侧面(例如,图20中的四个侧面中的两个侧面)接触。如图20所示,垂直晶体管是双栅极晶体管,其中栅极结构2010在平面图中的位线方向(y方向)上邻接半导体主体1608的两个相对侧面(具有矩形或正方形形状的横截面)。根据一些实施方式,栅极结构2010在字线方向(x方向)上不围绕和接触半导体主体2008的另外两个侧面。即,栅极结构2010可以在平面图中部分地外接半导体主体2008。栅极结构2010可以包括在平面图中邻接半导体主体2008的两个相对侧面的栅极电介质2012,以及与栅极电介质2012接触的栅极电极2014。在一些实施方式中,栅极电介质2012在位线方向(y方向)上横向地在栅极电极2014与半导体主体2008之间。如上所述,栅极电极2014可以是字线2004的部分,并且字线2004可以是栅极电极2014的延伸。即,在字线方向(x方向)上相邻的垂直晶体管的栅极电极1614是连续的,例如,是具有栅极电极1614和1604的连续导电层的部分。

[0135] 与图5和图8中的分离的栅极电介质512和812不同,如图20所示,在字线方向上相邻的垂直晶体管的栅极电介质2012是连续的,例如,是具有栅极电介质2012并且在字线方向上延伸的连续电介质层的部分。栅极结构2010因此可以被视为在字线方向上延伸的连续结构的部分,在该字线方向上,连续结构与同一行中的垂直晶体管相交。

[0136] 图21示出了根据本公开内容的一些方面的包括垂直晶体管的再一3D存储器器件2100的横截面的侧视图。3D存储器器件2100可以是包括双栅极垂直晶体管的存储器器件2000的一个示例,其中栅极结构在平面图中邻接半导体主体的两个侧面。应当理解,图21仅用于说明性目的,并且实际上可以不必反映实际器件结构(例如,互连)。作为以上关于图1A描述的3D存储器器件100的一个示例,3D存储器器件2100是包括第一半导体结构102和堆叠在第一半导体结构102之上的第二半导体结构104的经键合芯片。根据一些实施方式,第一半导体结构102和第二半导体结构104在它们之间的键合界面106处接合。如图21所示,第一半导体结构102可以包括衬底2110,衬底2110可以包括硅(例如,单晶硅,c-Si)、SiGe、GaAs、Ge、SOI或任何其他合适的材料。

[0137] 第一半导体结构102可以包括衬底2110上的外围电路2112。在一些实施方式中,外围电路2112包括多个晶体管2114(例如,平面晶体管和/或3D晶体管)。沟槽隔离(例如,浅沟槽隔离(STI))和掺杂区(例如,晶体管2114的阱、源极和漏极)也可以形成在衬底2110上或

衬底2110中。

[0138] 在一些实施方式中,第一半导体结构102还包括在外围电路2112上方的互连层2116,以向和从外围电路2112传送电信号。互连层2116可以包括多个互连(本文也被称为“触点”),互连包括横向互连线和VIA触点。互连层2116还可以包括一个或多个ILD层,其中可以形成互连线和过孔触点。即,互连层2116可以包括多个ILD层中的互连线和过孔触点。在一些实施方式中,外围电路2112通过互连层2116中的互连彼此耦合。互连层2116中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0139] 如图21所示,第一半导体结构102还可以包括在键合界面106处并且在互连层2116和外围电路2112上方的键合层2118。键合层2118可以包括多个键合触点2119和对键合触点2119进行电隔离的电介质。键合触点2119可以包括导电材料,例如Cu。键合层2118的剩余区域可以由电介质材料(例如,氧化硅)形成。键合层2118中的键合触点2119和周围电介质可以用于混合键合。类似地,如图21所示,第二半导体结构104还可以包括在键合界面106处并且在第一半导体结构102的键合层2118上方的键合层2120。键合层2120可以包括多个键合触点2121和对键合触点2121进行电隔离的电介质。键合触点2121可以包括导电材料,例如Cu。键合层2120的剩余区域可以由电介质材料(例如,氧化硅)形成。键合层2120中的键合触点2121和周围电介质可以用于混合键合。根据一些实施方式,键合触点2121在键合界面106处与键合触点2119接触。

[0140] 第二半导体结构104可以在键合界面106处以面对面的方式键合在第一半导体结构102的顶部上。在一些实施方式中,作为混合键合(也被称为“金属/电介质混合键合”)的结果,键合界面106设置在键合层2120与2118之间,混合键合是直接键合技术(例如,在不使用中间层(例如,焊料或粘合剂)的情况下在表面之间形成键合)并且可以同时获得金属-金属键合和电介质-电介质键合。在一些实施方式中,键合界面106是键合层2120和2118相遇并且键合的位置。实际上,键合界面106可以是具有一定厚度的层,其包括第一半导体结构102的键合层2118的顶表面和第二半导体结构104的键合层2120的底表面。

[0141] 在一些实施方式中,第二半导体结构104还包括互连层2122,互连层2122包括键合层2120上方的位线2123以传送电信号。互连层2122可以包括多个互连,例如MEOL互连和BEOL互连。在一些实施方式中,互连层2122中的互连还包括局部互连,例如位线2123(例如,图20中的位线2006的示例)和字线触点(未示出)。互连层2122还可以包括一个或多个ILD层,其中可以形成互连线和过孔触点。互连层2122中的互连可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以由电介质材料形成,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,外围电路2112包括通过键合层2120和2118中的键合触点2121和2119以及互连层2116耦合到互连层2122中的字线触点的字线驱动器/行解码器。在一些实施方式中,外围电路2112包括通过键合层2120和2118中的键合触点2121和2119以及互连层2116耦合到互连层2122中的位线2123和位线触点(如果有的话)的位线驱动器/列解码器。

[0142] 在一些实施方式中,第二半导体结构104包括DRAM器件,其中存储器单元以DRAM单元2124(例如,图20中的存储器单元2002的示例)的阵列的形式提供在互连层2122和键合层2120上方。即,包括位线2123的互连层2122可以设置在键合层2120与DRAM单元2124的阵列

之间。应当理解,图21中的3D存储器器件2100的横截面可以沿着位线方向(y方向)截取,并且在y方向上横向延伸的互连层2122中的一条位线2123可以耦合到一系列DRAM单元2124。

[0143] 每个DRAM单元2124可以包括垂直晶体管2126(例如,图2中的垂直晶体管210的示例)和耦合到垂直晶体管2126的电容器2128(例如,图2中的存储单元212的示例)。DRAM单元2124可以由一个晶体管和一个电容器组成的1T1C单元。应当理解,DRAM单元2124可以是任何合适的构造,例如2T1C单元、3T1C单元等。

[0144] 垂直晶体管2126可以是用于切换相应DRAM单元2124的MOSFET。在一些实施方式中,垂直晶体管2126包括垂直(在z方向上)延伸的半导体主体2130(即,其中可以形成沟道的有源区)和在位线方向(y方向)上与半导体主体2130的两个相对侧面接触的栅极结构2136。如上所述,如在双栅极垂直晶体管中,半导体主体2130可以具有立方体形状或圆柱体形状,并且栅极结构2136可以在平面图中邻接半导体主体2130的两个侧面,例如,如图21所示。根据一些实施方式,栅极结构2136包括栅极电极2134和在位线方向上横向地在栅极电极2134与半导体主体2130之间的栅极电介质2132。在一些实施方式中,栅极电介质2132邻接半导体主体2130的两个侧面,并且栅极电极2134邻接栅极电介质2132。

[0145] 如图21所示,在一些实施方式中,半导体主体2130在垂直方向(z方向)上具有两个端部(上端部和下端部),并且至少一个端部(例如,图21中的下端部)在垂直方向(z方向)上延伸超过栅极电介质2132进入ILD层中。在一些实施方式中,半导体主体2130的一个端部(例如,图21中的上端部)与栅极电介质2132的相应端部(例如,图21中的上端部)齐平。在一些实施方式中,半导体主体2130的两个端部(上端部和下端部)在垂直方向(z方向)上分别延伸超过栅极电极2134进入ILD层。即,半导体主体2130可以具有比栅极电极2134的垂直尺寸(例如,深度)(例如,在z方向上)更大的垂直尺寸,并且半导体主体2130的上端部和下端部都不与栅极电极2134的相应端部齐平。因此,可以避免位线2123与字线/栅极电极2134之间或者字线/栅极电极2134与电容器2128之间的短路。垂直晶体管2126还可以包括在垂直方向(z方向)上分别设置在半导体主体2130的两个端部(上端部和下端部)处的源极和漏极(由于它们的位置可以互换,所以都被称为2138)。在一些实施方式中,源极和漏极2138中的一个(例如,在图21中的上端部处)耦合到电容器2128,并且源极和漏极2138中的另一个(例如,在图21中的下端部处)耦合到位线2123。

[0146] 在一些实施方式中,半导体主体2130包括半导体材料,例如单晶硅、多晶硅、非晶硅、Ge、任何其他半导体材料或其任何组合。在一个示例中,半导体主体2130可以包括单晶硅。源极和漏极2138可以掺杂有期望掺杂水平的N型掺杂剂(例如,P或As)或P型掺杂剂(例如,B或Ga)。在一些实施方式中,在源极和漏极2138与位线2123或第一电极2142之间形成硅化物层(例如,金属硅化物层),以减小接触电阻。在一些实施方式中,栅极电介质2132包括诸如氧化硅、氮化硅或高k电介质的电介质材料,包括但不限于 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 或其任何组合。在一些实施方式中,栅极电极2134包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中,栅极电极2134包括多个导电层,例如TiN层之上的W层。在一个示例中,栅极结构2136可以是“栅极氧化物/栅极多晶硅”栅极,其中栅极电介质2132包括氧化硅并且栅极电极2134包括掺杂多晶硅。在另一示例中,栅极结构2136可以是HKMG,其中栅极电介质2132包括高k电介质并且栅极电极2134包括金属。

[0147] 如上所述,由于栅极电极2134可以是字线的部分或者作为字线在字线方向上延伸,因此3D存储器器件2100的第二半导体结构104也可以包括各自在字线方向上延伸的多条字线(例如,图20中的字线2004的示例,也被称为2134)。每条字线2134可以耦合到一行DRAM单元2124。即,位线2123和字线2134可以在两个垂直的横向方向上延伸,并且垂直晶体管2126的半导体主体2130可以在与位线2123和字线2134延伸所沿的两个横向方向垂直的垂直方向上延伸。根据一些实施方式,字线2134与字线触点(未示出)接触。在一些实施方式中,字线2134包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。在一些实施方式中,字线2134包括多个导电层,例如TiN层之上的W层。

[0148] 如图21所示,根据一些实施方式,垂直晶体管2126垂直延伸穿过字线2134并且接触字线2134,并且垂直晶体管2126在其下端部处的源极或漏极2138与位线2123(或位线触点,如果有的话)接触。因此,由于垂直晶体管2126的垂直布置,字线2134和位线2123可以在垂直方向上设置在不同平面中,这简化了字线2134和位线2123的布线。在一些实施方式中,位线2123垂直地设置在键合层2120与字线2134之间,并且字线2134垂直地设置在位线2123与电容器2128之间。字线2134可以通过互连层2122中的字线触点、键合层2120和2118中的键合触点2121和2119以及互连层2116中的互连耦合到第一半导体结构102中的外围电路2112。类似地,互连层2122中的位线2123可以通过键合层2120和2118中的键合触点2121和2119以及互连层2116中的互连耦合到第一半导体结构102中的外围电路2112。

[0149] 在一些实施方式中,第二半导体结构104还包括各自横向地设置在相邻字线2134之间的多个气隙2140。每个气隙2140可以是在字线方向(例如x方向)上与字线2134平行地延伸以分离相邻行的垂直晶体管2126的沟槽。如下面关于制造工艺所述,由于在位线方向(例如y方向)上字线2134(和DRAM单元2124的各行)的间距相对较小,可以形成气隙2140。另一方面,与一些电介质(例如,氧化硅)相比,气隙2140中的空气的相对大的介电常数(例如,氧化硅的介电常数的约4倍)可以改进字线2134(和DRAM单元2124的各行)之间的绝缘效果。

[0150] 如图21所示,在一些实施方式中,电容器2128包括在垂直晶体管2126的源极或漏极2138(例如半导体主体2130的上端部)上方并且与源极或漏极2138接触的第一电极2142。电容器2128还可以包括在第一电极2142上方并且与第一电极2142接触的电容器电介质2144,以及在电容器电介质2144上方并且与电容器电介质2144接触的第二电极2146。即,电容器2128可以是垂直电容器,其中电极2142和2146以及电容器电介质2144垂直堆叠(在z方向上),并且电容器电介质2144可以夹在电极2142与2146之间。在一些实施方式中,每个第一电极2142耦合到同一DRAM单元中的相应垂直晶体管2126的源极或漏极2138,而所有第二电极2146是耦合到地的公共板(例如,公共接地)的部分。如图21所示,第二半导体结构104还可以包括与第二电极2146的公共板接触的电容器触点2147,用于将电容器2128的第二电极2146耦合到外围电路2112或直接耦合到地。在一些实施方式中,其中形成电容器2128的ILD层具有与半导体主体2130延伸进入其中的两个ILD层相同的电介质材料,例如氧化硅。

[0151] 应当理解,电容器2128的结构和构造不限于图21中的示例,并且可以包括任何合适的结构和构造,例如平面电容器、堆叠电容器、多鳍电容器、圆柱电容器、沟槽电容器或衬底-平板电容器。在一些实施方式中,电容器电介质2144包括诸如氧化硅、氮化硅或高k电介质的电介质材料,包括但不限于 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 或其任何组合。应当理解,在一些示例中,电容器2128可以是FRAM单元中使用的铁电电容器,并且电容器电介质2144可以

由具有铁电材料(例如,PZT或SBT)的铁电层代替。在一些实施方式中,电极2142和2146包括导电材料,包括但不限于W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物或其任何组合。

[0152] 如图21所示,根据一些实施方式,垂直晶体管2126垂直延伸穿过字线2134并且接触字线2134,垂直晶体管2126在其下端部处的源极或漏极2138直接或通过位线触点与位线2123接触,并且垂直晶体管2126在其上端部处的源极或漏极2138与电容器2128的电极2142接触。即,由于垂直晶体管2126的垂直布置,位线2123和电容器2128可以在垂直方向上设置在不同平面中,并且在垂直方向上耦合到DRAM单元2124的垂直晶体管2126的相对端部。在一些实施方式中,位线2123和电容器2128在垂直方向上设置在垂直晶体管2126的相对侧面上,与其中位线和电容器设置在平面晶体管的同一侧面上的常规DRAM单元相比,这简化了位线2123的布线并且减小了位线2123与电容器2128之间的耦合电容。

[0153] 如图21所示,在一些实施方式中,垂直晶体管2126垂直地设置在电容器2128与键合界面106之间。即,垂直晶体管2126可以被布置为比电容器2128更靠近键合界面106和第一半导体结构102的外围电路2112。如上所述,根据一些实施方式,由于位线2123和电容器2128耦合到垂直晶体管2126的相对端部,位线2123(作为互连层2122的部分)垂直地设置在垂直晶体管2126与键合界面106之间。结果,包括位线2123的互连层2122可以被布置为靠近键合界面106,以减小互连布线距离和复杂性。

[0154] 在一些实施方式中,第二半导体结构104还包括设置在DRAM单元2124上方的衬底2148。如下面关于制造工艺所述,衬底2148可以是载体晶圆的部分。应当理解,在一些示例中,衬底2148可以不包括在第二半导体结构104中。

[0155] 如图21所示,第二半导体结构104还可以包括衬底2148和DRAM单元2124上方的焊盘引出互连层2150。焊盘引出互连层2150可以包括一个或多个ILD层中的互连,例如,接触焊盘2154。焊盘引出互连层2150和互连层2122可以形成在DRAM单元2124的相对侧面上。根据一些实施方式,电容器2128垂直地设置在垂直晶体管2126与焊盘引出互连层2150之间。在一些实施方式中,例如出于焊盘引出的目的,焊盘引出互连层2150中的互连可以在3D存储器器件2100与外部电路之间传送电信号。在一些实施方式中,第二半导体结构104还包括一个或多个触点2152,触点2152延伸穿过衬底2148以及焊盘引出互连层2150的部分,以将焊盘引出互连层2150耦合到DRAM单元2124和互连层2122。结果,外围电路2112可以通过互连层2116和2122以及键合层2120和2118耦合到DRAM单元2124,并且外围电路2112和DRAM单元2124可以通过触点2152和焊盘引出互连层2150耦合到外部电路。接触焊盘2154和触点2152可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。在一个示例中,接触焊盘2154可以包括Al,并且触点2152可以包括W。在一些实施方式中,触点2152包括由电介质间隔件(例如,具有氧化硅)围绕的过孔以将过孔与衬底2148电分离。取决于衬底2148的厚度,触点2152可以是具有亚微米级(例如,10nm与1 μ m之间)深度的ILV,或者是具有微米级或数十微米级(例如,1 μ m与100 μ m之间)深度的TSV。

[0156] 尽管未示出,但是应当理解,3D存储器器件的焊盘引出不限于如图21所示的来自具有DRAM单元2124的第二半导体结构104,并且可以以与上面关于图6B所述的类似方式来自具有外围电路2112的第一半导体结构102。虽然未示出,但是还应当理解,字线2134之间的气隙可以以与上面关于图6E所述的类似方式部分或完全地填充有电介质。尽管未示出,但是还应当理解,多于一个的DRAM单元2124的阵列可以以与上面关于图7所述的类似方式

彼此堆叠,以垂直地按比例增加DRAM单元2124的数量。

[0157] 图27示出了根据本公开内容的一些方面的具有存储器器件的系统2700的框图。系统2700可以是移动电话、台式计算机、膝上型计算机、平板计算机、车辆计算机、游戏控制台、打印机、定位设备、可穿戴电子设备、智能传感器、虚拟现实(virtual reality,VR)设备、增强现实(argument reality,AR)设备或其中具有存储器的任何其他合适的电子设备。如图27所示,系统2700可以包括主机2708和具有一个或多个存储器器件2704和存储器控制器2706的存储器系统2702。主机2708可以是电子设备的处理器,例如中央处理单元(central processing unit,CPU),或者片上系统(system-on-chip,SoC),例如应用处理器(application processor,AP)。主机2708可以被配置为向存储器器件2704发送数据或从存储器器件2704接收数据。

[0158] 存储器器件2704可以是本文所公开的任何存储器器件,例如3D存储器器件100和101、存储器器件200、500、800、1600和2000以及3D存储器器件600、601、603、605、607、700、900、1700和2100。在一些实施方式中,存储器器件2704包括存储器单元阵列,每个存储器单元包括垂直晶体管,如上文详细描述。

[0159] 根据一些实施方式,存储器控制器2706耦合到存储器器件2704和主机2708,并且被配置为控制存储器器件2704。存储器控制器2706可以管理存储在存储器器件2704中的数据,并且与主机2708通信。存储器控制器2706可以被配置为控制存储器器件2704的操作,例如读取、写入和刷新操作。存储器控制器2706还可以被配置为管理关于存储或要存储在存储器器件2704中的数据的各种功能,包括但不限于刷新和定时控制、命令/请求转译、缓冲和调度以及功率管理。在一些实施方式中,存储器控制器2706还被配置为确定计算机系统可以使用的最大存储器容量、存储器库(memory bank)的数量、存储器类型和速度、存储器颗粒数据深度和数据宽度、以及其他重要参数。也可以由存储器控制器2706执行任何其他合适的功能。存储器控制器2706可以根据特定通信协议与外部设备(例如,主机2708)通信。例如,存储器控制器2706可以通过各种接口协议中的至少一种接口协议与外部设备通信,接口协议例如USB协议、MMC协议、外围部件互连(peripheral component interconnection,PCI)协议、PCI高速(PCI-E)协议、高级技术附件(advanced technology attachment,ATA)协议、串行ATA协议、并行ATA协议、小型计算机小型接口(small computer small interface,SCSI)协议、增强型小型磁盘接口(enhanced small disk interface,ESDI)协议、集成驱动电子(integrated drive electronics,IDE)协议、火线协议等。

[0160] 图10A-图10M示出了根据本公开内容的一些方面的用于形成包括垂直晶体管的3D存储器器件的制造工艺。图11A-图11I示出了根据本公开内容的一些方面的用于形成包括垂直晶体的另一3D存储器器件的制造工艺。图12A-图12H示出了根据本公开内容的一些方面的用于形成包括垂直晶体的又一3D存储器器件的制造工艺。图13A-图13H示出了根据本公开内容的一些方面的用于形成包括垂直晶体的再一3D存储器器件的制造工艺。图14A-图14E示出了根据本公开内容的一些方面的用于形成包括垂直晶体的再一3D存储器器件的制造工艺。图15A-图15D示出了根据本公开内容的一些方面的用于形成包括垂直晶体的再一3D存储器器件的制造工艺。图19A-图19M示出了根据本公开内容的一些方面的用于形成包括垂直晶体的再一3D存储器器件的制造工艺。图22A-图22M示出了根据本公开内容的一些方面的用于形成包括垂直晶体的再一3D存储器器件的制造工艺。图23示出

了根据本公开内容的一些方面的用于形成包括垂直晶体管的3D存储器器件的方法2300的流程图。图10A-图10M中描绘的3D存储器器件的示例包括图6A和图6B中描绘的3D存储器器件600和601。图11A-图11I中描绘的3D存储器器件的示例包括图9中描绘的3D存储器器件900。图12A-图12H中描绘的3D存储器器件的示例包括图6C中描绘的3D存储器器件603。图13A-图13H中描绘的3D存储器器件的示例包括图6D中描绘的3D存储器器件605。图14A-图14E和15A-图15D中描绘的3D存储器器件的示例包括图7中描绘的3D存储器器件700。图19A-图19M中描绘的3D存储器器件的示例包括图17中描绘的3D存储器器件1700。图22A-22M中描绘的3D存储器器件的示例包括图21中描绘的3D存储器器件2100。将一起描述图10A-图10M、图11A-图11I、图12A-图12H、图13A-图13H、图14A-图14E、图15A-图15D、图19A-图19M、图22A-图22M和图23。应当理解,方法2300中所示的操作不是详尽无遗的,并且也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,一些操作可以同时执行,或者以与图23所示的不同的顺序执行。

[0161] 在一些实施方式中,形成包括外围电路的第一半导体结构。如图10L或图19L所描绘的,形成包括外围电路的第一半导体结构。在一些实施方式中,形成包括第一存储器单元阵列和耦合到存储器单元的多条位线的第二半导体结构。存储器单元中的每一个存储器单元可以包括垂直晶体管和耦合到垂直晶体管的存储单元。位线中的相应一条位线和相应存储单元垂直地耦合到存储器单元中的每一个存储器单元的相对端部。如图10L、图11I、图12H、图13H、图19L或图22L所描绘的,形成包括DRAM单元阵列的第二半导体结构,DRAM单元中的每一个DRAM单元包括垂直晶体管和耦合到垂直晶体管的电容器。第二半导体结构还包括耦合到存储器单元的多条位线,并且位线中的相应一条位线和相应存储单元垂直地耦合到存储器单元中的每一个存储器单元中的相对端部。在一些实施方式中,第一半导体结构和第二半导体结构以面对面的方式键合,使得第一存储器单元阵列经过键合界面耦合到外围电路。如图10L和图10M、图19L或图22L所描绘的,第一半导体结构和第二半导体结构以面对面的方式键合,使得DRAM单元阵列经过键合界面耦合到外围电路。

[0162] 参考图23,方法2300开始于操作2302,其中在第一衬底上形成外围电路。第一衬底可以包括硅衬底。在一些实施方式中,在外围电路上方形成互连层。互连层可以包括在一个或多个ILD层中的多个互连。

[0163] 如图10L所示,在硅衬底1038上形成多个晶体管1042。晶体管1042可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、化学机械抛光(chemical mechanical polishing,CMP)和任何其他合适的工艺。在一些实施方式中,通过离子注入和/或热扩散在硅衬底1038中形成掺杂区,掺杂区例如用作晶体管1042的源极和漏极。在一些实施方式中,也通过湿法/干法蚀刻和薄膜沉积在硅衬底1038中形成隔离区(例如,STI)。晶体管1042可以在硅衬底1038上形成外围电路1040。

[0164] 如图10L所示,可以在具有晶体管1042的外围电路1040上方形成互连层1044。互连层1044可以包括在多个ILD层中的MEOL互连和/或BEOL互连以与外围电路1040进行电连接。在一些实施方式中,互连层1044包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1044中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于化学气相沉积(chemical vapor deposition,CVD)、物理气相沉积(physical vapor deposition,PVD)、原子层沉积(atomic layer deposition,ALD)、电镀、无电镀或其任何组合)沉积的导电材

料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图10L中示出的ILD层和互连可以被统称为互连层1044。

[0165] 方法2300进行到操作2304,如图23所示,其中在外围电路(和互连层)上方形成第一键合层。第一键合层可以包括第一键合触点。如图10L所示,在互连层1044和外围电路1040上方形成键合层1046。键合层1046可以包括被电介质围绕的多个键合触点1047。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1044的顶表面上沉积电介质层(例如,ILD层)。然后,通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,可以形成穿过电介质层并且与互连层1044中的互连接触的键合触点1047。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0166] 方法2300进行到操作2306,如图23所示,其中在第二衬底上形成存储器单元阵列,每个存储器单元包括垂直晶体管和存储单元。第二衬底可以包括载体衬底。存储单元可以包括电容器或PCM元件。在一些实施方式中,电容器被形成为耦合到相应存储器单元中的垂直晶体管。

[0167] 例如,图24示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的存储器单元阵列的方法2400的流程图。在图24中的操作2402处,在衬底上形成电介质层的堆叠体。在一些实施方式中,为了形成电介质层的堆叠体,随后在衬底上沉积分别具有第一电介质、第二电介质和第一电介质的三个层。第一电介质可以包括氧化硅,并且第二电介质可以包括氮化硅。具有第二电介质的层可以用作垂直地夹在具有第一电介质的两个层之间的牺牲层。可以通过相对于具有第一电介质的两个层的选择性蚀刻来去除牺牲层,并且在随后的工艺中用导电层来代替牺牲层。

[0168] 如图10A所示,在硅衬底1002上形成氧化硅层1004、氮化硅层1006和氧化硅层1008的堆叠体。为了形成电介质堆叠体,随后使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)将氧化硅、氮化硅和氧化硅沉积到硅衬底1002上。在一些实施方式中,通过使用干法氧化和/或湿法氧化(例如,原位蒸汽生成(situ steam generation, ISSG)氧化工艺)来氧化硅衬底1002的顶部部分来形成氧化硅层1004。在一些实施方式中,氧化硅层1004(例如,ISSG氧化硅)的厚度小于氧化硅层1008(例如,CVD氧化硅)的厚度。图10A示出了沿y方向(位线方向,例如,在CC平面中)的横截面的侧视图(在图10A的顶部部分中)和在x-y平面中(例如,在穿过氮化硅层1006的AA平面中)的横截面的平面图(在图10A的底部部分中)。在图10B-图10G中也布置了相同的绘图布局。

[0169] 在图24中的操作2404处,形成从衬底垂直延伸穿过电介质层的堆叠体的半导体主体。在一些实施方式中,为了形成半导体主体,蚀刻延伸穿过电介质层的堆叠体的开口以暴露衬底的部分,并且半导体主体从衬底在开口中的暴露部分外延生长。

[0170] 如图10B所示,形成开口1010的阵列,开口中的每个开口垂直(在z方向上)延伸穿过氧化硅层1008、氮化硅层1006和氧化硅层1004的堆叠体到达硅衬底1002。结果,硅衬底1002的部分可以从开口1010暴露。在一些实施方式中,例如基于字线和位线的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模)图案化开口1010的阵列,并且执行一种或

多种干法蚀刻和/或湿法蚀刻工艺(例如反应离子蚀刻(reactive ion etch,RIE))以穿过氧化硅层1008、氮化硅层1006和氧化硅层1004蚀刻开口1010,直到被硅衬底1002停止。

[0171] 如图10C所示,在开口1010中形成半导体主体1012的阵列。半导体主体1012可以从硅衬底1002在相应开口1010中的相应暴露部分外延生长。用于外延生长半导体主体1012的制造工艺可以包括但不限于气相外延(vapor-phase epitaxy,VPE)、液相外延(liquid-phase epitaxy,LPE)、分子束外延(molecular-beam epitaxy,MPE)或其任何组合。外延可以从硅衬底1002在开口1010中的暴露部分向上(朝向正z方向)进行。半导体主体1012因此可以具有与硅衬底1002相同的材料,即单晶硅。取决于开口1010的形状,半导体主体1012可以具有与开口1010相同的形状,例如立方体形状或圆柱体形状。在一些实施方式中,执行平面化工艺(例如,CMP)以去除半导体主体1012的超出氧化硅层1008的顶表面的多余部分。结果,根据一些实施方式,由此形成从硅衬底1002垂直(在z方向上)延伸穿过氧化硅层1008、氮化硅层1006和氧化硅层1004的堆叠体的半导体主体1012(例如,单晶硅主体)的阵列。

[0172] 在图24中的操作2406处,去除电介质层的堆叠体中的一个电介质层以暴露半导体主体的部分。在一些实施方式中,为了去除电介质层的堆叠体中的一个电介质层,穿过电介质层的堆叠体的至少一部分蚀刻沟槽以暴露具有第二电介质的层,并且经由沟槽蚀刻掉具有第二电介质的层(例如,牺牲层)。在一些实施方式中,在相邻行的半导体主体之间蚀刻沟槽,而不接触半导体主体的任何侧面。

[0173] 如图10D所示,形成多个沟槽1014(缝隙开口)以暴露氮化硅层1006,每个沟槽1014沿字线方向(x方向)横向延伸,并且垂直延伸穿过至少氧化硅层1008和氮化硅层1006。结果,氮化硅层1006的部分可以从沟槽1014暴露。在一些实施方式中,例如基于字线(字线沟槽)的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模)来图案化沟槽1014。如图10D所示,沟槽1014被图案化为形成在相邻行的半导体主体1012之间,而不接触半导体主体1012的任何侧面,使得半导体主体1012不从其任何侧面暴露。在一个示例中,沟槽1014被图案化为形成在相邻行的半导体主体1012之间的中间,即,具有相同距离的两个相邻行的半导体主体1012。在一些实施方式中,执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以穿过氧化硅层1008、氮化硅层1006和氧化硅层1004蚀刻沟槽1014,直到被硅衬底1002停止。应当理解,在一些示例中,沟槽1014的蚀刻可以不一直到达硅衬底1002,而是可以在氧化硅层1004处停止,只要氮化硅层1006从沟槽1014暴露即可。

[0174] 如图10E所示,去除氮化硅层1006(如图10D所示),以暴露半导体主体1012的邻接氮化硅层1006的部分。在一些实施方式中,经由沟槽1014蚀刻掉氮化硅层1006。例如,可以通过沟槽1014施加包括磷酸的湿法蚀刻剂,以选择性地湿法蚀刻氮化硅层1006,而不蚀刻氧化硅层1004和1008以及半导体主体1012和硅衬底1002。结果,横向凹槽1016可以垂直地形成在氧化硅层1004与1008之间,该横向凹槽1016由此暴露半导体主体1012的部分。如平面图所示,每个半导体主体1012的所有侧面可以从横向凹槽1016暴露。

[0175] 在图24中的操作2408处,形成与半导体主体的暴露部分的多个侧面接触的栅极结构。在一些实施方式中,为了形成栅极结构,在半导体主体的暴露部分之上形成栅极电介质,在栅极电介质之上沉积导电层,并且对导电层进行图案化以在栅极电介质之上形成栅极电极。

[0176] 如图10F所示,栅极电介质1018形成在每个半导体主体1012的暴露部分之上,即,

围绕并且接触半导体主体1012的暴露部分的所有侧面。如平面图所示,栅极电介质1018可以完全外接相应半导体主体1012。在一些实施方式中,执行湿法氧化和/或干法氧化工艺(例如,ISSG)以在半导体主体1012(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质1018。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1014和横向凹槽1016在半导体主体1012的暴露部分之上沉积电介质层(例如,氧化硅)而不填充横向凹槽1016和沟槽1014,来形成栅极电介质1018。

[0177] 如图10G所示,穿过沟槽1014在横向凹槽1016(图10F所示)中的栅极电介质1018之上形成导电层1020。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1014在栅极电介质1018之上沉积导电材料(例如,金属或金属化合物(例如TiN))以填充横向凹槽1016来形成导电层1020。在一个示例中,导电层1020的沉积被控制为不填充沟槽1014。应当理解,在一些示例中,导电层1020的沉积也可填充以沟槽1014。因此,可以执行平面化工艺(例如,CMP)以去除氧化硅层1008的顶表面上的多余导电层1020,并且可以图案化导电层1020以在相应栅极电介质之上形成栅极电极。例如,可以同样图案化和蚀刻填充有导电层1020的沟槽1014,以分离在相邻行的半导体主体1012与栅极电介质1018之间的导电层1020。如上所述,例如基于字线(字线沟槽)的设计,可以执行光刻工艺以同样使用蚀刻掩模(例如,光致抗蚀剂掩模)来图案化沟槽1014。

[0178] 结果,经图案化的导电层1020可以变成字线,每条字线在字线方向(x方向)上延伸并且被相邻的沟槽1014分离,并且经图案化的导电层1020的在栅极电介质1018之上的部分(例如,在平面图中完全外接相应的栅极电介质1018)可以变成栅极电极。由此可以形成栅极结构,每个栅极结构包括在半导体主体1012的暴露部分之上的相应栅极电介质1018和在栅极电介质1018之上的相应栅极电极(即,导电层1020的部分)。如图10G所示,根据一些实施方式,由于在图案化导电层1020(蚀刻沟槽1014)时,导电层1020保留在半导体主体1012(以及其之上的栅极电介质1018)的所有侧面上,所以栅极结构与半导体主体1012的所有侧面接触。如平面图所示,栅极结构(具有栅极电介质1018和栅极电极)可以完全外接相应的半导体主体1012,并且每个半导体主体1012的所有侧面可以被相应的栅极结构围绕并且接触。将图10G与图10A进行比较,根据一些实施方式,图10A中的氮化硅层1006(牺牲层)最终由图10G中的导电层1020代替。

[0179] 在图24中的操作2410处,掺杂远离衬底的半导体主体的第一端部。如图10G所示,掺杂每个半导体主体1012的暴露的上端部(即半导体主体1012在垂直方向(z方向)上远离硅衬底1002的两个端部中的一个端部),以形成源极/漏极1021。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1012的暴露的上端部以形成源极/漏极1021。在一些实施方式中,通过在半导体主体1012的暴露的上端部处执行硅化工艺,在源极/漏极1021上形成硅化物层。

[0180] 在图24中的操作2412处,形成与半导体主体(例如,其掺杂的第一端部)接触的存储单元。存储单元可以包括电容器或PCM元件。在一些实施方式中,为了形成是电容器的存储单元,在半导体主体的掺杂的第一端部上形成第一电极,在第一电极上形成电容器电介质,并且在电容器电介质上形成第二电极。

[0181] 如图10H所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质,在氧化硅层1008的顶表面之上形成一个或多个ILD层。应当

理解,在其中ILD层包括氧化硅(与氧化硅层1008相同的材料)的一些示例中,在沉积之后ILD层与氧化硅层1008之间的边界和分界面可能变得不可区分。取决于沟槽1014的横向尺寸(如图10G所示),当形成ILD层时,沟槽1014可能没有完全被电介质(例如,氧化硅)填充,并且因此变成相邻字线(经图案化的导电层1020)之间的气隙1022。应当理解,在一些示例中,当沟槽1014的横向尺寸足够大时,电介质可以在ILD层形成期间完全填充沟槽1014,由此消除气隙1022。

[0182] 如图10H所示,随后在ILD层中形成第一电极1024、电容器电介质1026和第二电极1028,以形成与半导体主体1012接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化并且蚀刻与相应的源极/漏极1021对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极1021(即,相应的半导体主体1012的掺杂的上端部)上形成每个第一电极1024。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化并且蚀刻与相应的电容器电介质1026对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质1026上形成第二电极1028。

[0183] 在图24中的操作2414处,去除衬底以暴露半导体主体的与第一端部相对的第二端部。如图10I所示,将载体衬底1030(又被称为处理衬底)键合到硅衬底1002的正面上,在硅衬底1002的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得硅衬底1002变为在载体衬底1030上方。

[0184] 如图10J所示,去除硅衬底1002(图10I所示)以暴露半导体主体1012的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除硅衬底1002,直到被氧化硅层1004和半导体主体1012的上端部停止。

[0185] 在图24中的操作2416处,掺杂半导体主体的暴露的第二端部。如图10J所示,掺杂每个半导体主体1012的暴露的上端部(即,半导体主体1012在垂直方向(z方向)上远离载体衬底1030的两个端部中的一个端部)以形成另一个源极/漏极1023。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1012的暴露的上端部,以形成源极/漏极1023。在一些实施方式中,通过在半导体主体1012的暴露的上端部处执行硅化工艺,在源极/漏极1023上形成硅化物层。结果,如图10J所示,根据一些实施方式,由此形成具有半导体主体1012、源极/漏极1021和1023、栅极电介质1018和栅极电极(导电层1020的部分)的垂直晶体管。如上所述,如图10J所示,根据一些实施方式,由此也形成了各自具有第一电极1024和第二电极1028以及电容器电介质1026的电容器,并且由此形成了各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1080。

[0186] 返回参考图23,方法2300进行到操作2308,如图23所示,其中在存储器单元阵列上方形成包括位线的互连层。如图10K所示,可以在DRAM单元1080上方形成互连层1032。互连层1032可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1080进行电连接。在一些实施方式中,互连层1032包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1032中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1004上的电介质材料。图10K中所示

的ILD层和互连可以统称为互连层1032。

[0187] 如图24所示,在操作2418处,为了形成互连层,在掺杂的第二端部上形成位线。如图10K所示,可以通过使用光刻和蚀刻工艺图案化并且蚀刻与相应的源极/漏极1023对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极1023上形成位线1034。结果,位线1034和具有电极1024和1028以及电容器电介质1026的电容器可以形成在半导体主体1012的相对侧面上,并且耦合到半导体主体1012的相对端部。应当理解,也可以类似地形成附加的局部互连,例如字线触点1039、电容器触点1083和位线触点1041。

[0188] 方法2300进行到操作2310,如图23所示,其中在存储器单元阵列和互连层上方形成第二键合层。第二键合层可以包括第二键合触点。如图10K所示,在互连层1032和DRAM单元1080上方形成键合层1036。键合层1036可以包括被电介质围绕的多个键合触点1037。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1032的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1032中的互连接触的键合触点1037。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0189] 方法2300进行到操作2312,如图23所示,其中将第一半导体结构和第二半导体结构以面对面的方式键合,使得第一存储器单元阵列经过键合界面耦合到外围电路。键合可以包括混合键合。在一些实施方式中,在键合之后,第一键合触点与第二键合触点在键合界面处接触。在一些实施方式中,第二半导体结构在键合之后在第一半导体结构上方。在一些实施方式中,第一半导体结构在键合之后在第二半导体结构上方。

[0190] 如图10L所示,将载体衬底1030和形成在其上的部件(例如DRAM单元1080)上下翻转。如图10M所示,面向下的键合层1036与面向上的键合层1046键合(即,以面对面的方式),由此形成键合界面1050。在一些实施方式中,在键合之前,对键合表面应用处理工艺,例如等离子体处理、湿法处理和/或热处理。虽然图10L和图10M中未示出,但硅衬底1038和形成在其上的部件(例如,外围电路1040)可以上下翻转,并且面向下的键合层1046可以与面向上的键合层1036键合(即,以面对面方式),从而形成键合界面1050。在键合之后,键合层1036中的键合触点1037和键合层1046中的键合触点1047对准并且彼此接触,使得DRAM单元1080可以经过键合界面1050电连接到外围电路1040。可以理解,在经键合的芯片中,DRAM单元1080可以在外围电路1040上方或下方。然而,在键合之后,键合界面1050可以垂直地形成在外围电路1040与DRAM单元1080之间。

[0191] 方法2300进行到操作2314,如图23所示,其中在第一半导体结构或第二半导体结构的背面上形成焊盘引出互连层。如图10M所示,在载体衬底1030的背面上形成焊盘引出互连层1052。焊盘引出互连层1052可以包括在一个或多个ILD层中形成的互连,例如焊盘触点1054。焊盘触点1054可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,在键合之后,例如通过湿法/干法蚀刻工艺,随后沉积导电材料,来形成垂直延伸穿过载体衬底1030的触点1056。触点1056可以与焊盘引出互连层1052中的互连接触。应当理解,在一些示例中,可以在键合之后并且在形成焊盘引出互连层

1052和触点1056之前,例如使用平面化工艺和/或蚀刻工艺来减薄或去除载体衬底1030。

[0192] 尽管未示出,但是应当理解,在一些示例中,焊盘引出互连层1052可以形成在硅衬底1038的背面上,并且触点1056可以形成为垂直延伸穿过硅衬底1038。可以在形成焊盘引出互连层1052和触点1056之前,例如使用平面化工艺和/或蚀刻工艺减薄硅衬底1038。

[0193] 如上所述,图10A-图10M示出了形成具有垂直晶体管的DRAM阵列的制造工艺,其中栅极结构与半导体主体的所有侧面接触,即GAA晶体管。在如图11A-图11I所示的一些实施方式中,通过改变字线沟槽的布局,以相对较大的字线间距和降低的制造复杂性形成了具有垂直晶体管的DRAM阵列,其中栅极结构与半导体主体的一些侧面(例如,四个侧面中的三个侧面)接触。

[0194] 如图11A所示,在硅衬底1102上形成氧化硅层1104、氮化硅层1106和氧化硅层1108的堆叠体。为了形成电介质堆叠体,随后使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)将氧化硅、氮化硅和氧化硅沉积到硅衬底1102上。在一些实施方式中,通过使用干法氧化和/或湿法氧化(例如,ISSG氧化工艺)来氧化硅衬底1102的顶部部分,来形成氧化硅层1104。在一些实施方式中,氧化硅层1104(例如,ISSG氧化硅)的厚度小于氧化硅层1108(例如,CVD氧化硅)的厚度。除了图11A的顶部部分中所示的沿着y方向(例如,位线方向)的横截面的侧视图之外,图11A的底部部分中还示出了穿过氮化硅层1106的x-y平面中的横截面的平面图。在图11B-图11E中也布置了相同的绘图布局。

[0195] 如图11B所示,形成半导体主体1112的阵列,每个半导体主体1112垂直延伸穿过氧化硅层1108、氮化硅层1106和氧化硅层1104的堆叠体。半导体主体1112可以从硅衬底1102在相应开口(未示出)中的相应暴露部分外延生长。用于外延生长半导体主体1112的制造工艺可以包括但不限于VPE、LPE、MPE或其任何组合。外延可以从硅衬底1102在开口中的暴露部分向上(朝向正z方向)进行。半导体主体1112因此可以具有与硅衬底1102相同的材料,即单晶硅。在一些实施方式中,执行平面化工艺(例如,CMP)以去除半导体主体1112的超出氧化硅层1108的顶表面的多余部分。结果,根据一些实施方式,由此形成从硅衬底1102垂直(在z方向上)延伸穿过氧化硅层1108、氮化硅层1106和氧化硅层1104的堆叠体的半导体主体1112(例如,单晶硅主体)的阵列。

[0196] 在一些实施方式中,在图24中的操作2406处,去除电介质层的堆叠体中的一个电介质层以暴露半导体主体的部分。在一些实施方式中,为了去除电介质层的堆叠体中的一个电介质层,穿过电介质层的堆叠体的至少一部分蚀刻沟槽以暴露具有第二电介质的层,并且经由沟槽蚀刻掉具有第二电介质的层(例如,牺牲层)。在一些实施方式中,沟槽被蚀刻为与半导体主体的一个侧面对准以从该侧面暴露半导体主体。

[0197] 如图11C所示,形成多个沟槽1114(缝隙开口)以暴露氮化硅层1106,每个沟槽1114沿字线方向(x方向)横向延伸并且垂直延伸穿过至少氧化硅层1108和氮化硅层1106。结果,氮化硅层1106的部分可以从沟槽1114暴露。在一些实施方式中,例如,基于字线(字线沟槽)的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模)图案化沟槽1114。如图11C所示,根据一些实施方式,沟槽1114被图案化为形成在相邻行的半导体主体1112之间,并且与半导体主体1112的一个侧面对准以从该侧面暴露半导体主体1112。即,沟槽1114可以被图案化为接触半导体主体1112的一个侧面,使得半导体主体1112从该侧面暴露。在一些实施方式中,执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以穿过氧化硅层1108、

氮化硅层1106和氧化硅层1104蚀刻沟槽1114,直到被硅衬底1102停止。应当理解,在一些示例中,沟槽1114的蚀刻可以不一直到达硅衬底1102,而是可以在氧化硅层1104处停止,只要氮化硅层1106从沟槽1114暴露即可。

[0198] 如图11D所示,去除氮化硅层1106(图11C所示)以暴露半导体主体1112的邻接氮化硅层1106的部分。在一些实施方式中,经由沟槽1114蚀刻掉氮化硅层1106。例如,可以通过沟槽1114施加包括磷酸的湿法蚀刻剂以选择性地湿法蚀刻氮化硅层1106,而不蚀刻氧化硅层1104和1108以及半导体主体1112和硅衬底1102。结果,横向凹槽1116可以垂直地形成在氧化硅层1104和1108之间,由此暴露半导体主体1112的部分。

[0199] 如图11D所示,栅极电介质1118形成在每个半导体主体1112的暴露部分之上,即,包围并且接触半导体主体1112的暴露部分的所有侧面。如平面图所示,栅极电介质1118可以完全外接相应的半导体主体1112。在一些实施方式中,执行湿法氧化和/或干法氧化工艺(例如,ISSG)以在半导体主体1112(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质1118。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1114和横向凹槽1116在半导体主体1112的暴露部分之上沉积电介质层(例如,氧化硅)而不填充横向凹槽1116和沟槽1114,来形成栅极电介质1118。

[0200] 与图10F不同,在图10F中因为半导体主体1112的所有侧面被具有相同垂直尺寸的横向凹槽1116围绕,所以栅极电介质1118具有一致的垂直尺寸(z方向上的厚度),在图11D中,因为半导体主体1112的一个侧面与具有比横向凹槽1116的垂直尺寸更大的垂直尺寸的沟槽1114对准并且接触,所以形成在半导体主体1112的该侧面上的栅极电介质1118的部分(称为延长的栅极电介质部分1119)可以具有比形成在半导体主体1112的接触横向凹槽1116的其他侧面上的栅极电介质1118的剩余部分更大的垂直尺寸,如图11D的侧视图所示。

[0201] 如图11E所示,导电层1120形成在穿过沟槽1114的横向凹槽1116(如图11D所示)中的栅极电介质1118之上,但不在延长的栅极电介质部分1119之上。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1114在栅极电介质1118之上沉积导电材料(例如,金属或金属化合物(例如,TiN))以填充横向凹槽1116来形成导电层1120。在一个示例中,导电层1120的沉积被控制为不填充沟槽1114(并且不在延长的栅极电介质部分1119之上)。应当理解,在一些示例中,导电层1120的沉积也可填充沟槽1114。因此,可以执行平面化工艺(例如,CMP)以去除氧化硅层1108的顶表面之上的多余的导电层1120,并且可以图案化导电层1120以仅在栅极电介质1118之上而不是延长的栅极电介质部分1119之上形成栅极电极。例如,可以同样图案化并且蚀刻填充有导电层1120的沟槽1114,以分离在相邻行的半导体主体1112与栅极电介质1118之间的导电层1120。如上所述,例如,基于字线(字线沟槽)的设计,可以执行光刻工艺以同样使用蚀刻掩模(例如,光致抗蚀剂掩模)图案化沟槽1114。

[0202] 结果,图案化的导电层1120可以变成字线,每条字线在字线方向(x方向)上延伸并且被相邻的沟槽1114分离,并且图案化的导电层1120的在栅极电介质1118之上而不在延长的栅极电介质部分1119之上的部分可以变成栅极电极。由此可以形成栅极结构,每个栅极结构包括在暴露的部分半导体主体1112之上的相应栅极电介质1118和在栅极电介质1118之上的相应栅极电极(即,导电层1120的部分)。如图11E所示,根据一些实施方式,由于当图案化导电层1120(蚀刻沟槽1114)时,导电层1120仅保留在半导体主体1112(以及其之上的

栅极电介质1018)的一些侧面上,所以栅极结构与半导体主体1012的一些侧面而不是所有侧面接触。如平面图所示,栅极结构(具有栅极电介质1118和栅极电极)可以部分地外接相应的半导体主体1112,并且并非每个半导体主体1112的所有侧面都可以被相应的栅极结构围绕并且接触。与图10G的示例中的字线1020的间距相比,图11E的字线1120的间距可以增加以降低制造复杂性。

[0203] 如图11E所示,掺杂每个半导体主体1112的暴露的上端部(即半导体主体1112在垂直方向(z方向)上远离硅衬底1102的两个端部中的一个端部)以形成源极/漏极1121。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1112的暴露的上端部,以形成源极/漏极1021。

[0204] 如图11F所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质,在氧化硅层1108的顶表面之上形成一个或多个ILD层。应该理解,在其中ILD层包括氧化硅(与氧化硅层1108相同的材料)的一些示例中,在沉积之后ILD层与氧化硅层1108之间的边界和分界面可能变得不可区分。由于与沟槽1014相比沟槽1114(图11E中示出)的相对较大的横向尺寸(作为字线1120的较大间距的结果),当形成ILD层时,沟槽1114可以完全或至少部分地用电介质(例如,氧化硅)填充,并且因此消除了相邻字线(图案化的导电层1120)之间的气隙1022或至少减小了相邻字线之间的气隙1022。

[0205] 如图11F所示,随后在ILD层中形成第一电极1124、电容器电介质1126和第二电极1128,以形成与半导体主体1112接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1121对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极1121(即,相应的半导体主体1112的掺杂的上端部)上形成每个第一电极1124。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的电容器电介质1126对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质1126上形成第二电极1128。

[0206] 如图11G所示,将载体衬底1130(又被称为处理衬底)键合到硅衬底1102的正面上,在硅衬底1102的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得硅衬底1102变为在载体衬底1130上方。

[0207] 如图11H所示,去除硅衬底1102(图11G所示),以暴露半导体主体1112的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除硅衬底1102,直到被氧化硅层1104和半导体主体1112的上端部停止。

[0208] 如图11H所示,掺杂每个半导体主体1112的暴露的上端部(即半导体主体1112在垂直方向(z方向)上远离载体衬底1130的两个端部中的一个端部),以形成另一个源极/漏极1123。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1112的暴露的上端部,以形成源极/漏极1123。结果,如图11H所示,根据一些实施方式,由此形成具有半导体主体1112、源极/漏极1121和1123、栅极电介质1118(不包括延长的栅极电介质部分1119)和栅极电极(导电层1120的部分)的多栅极垂直晶体管。如上所述,如图11H所示,根据一些实施方式,由此也形成了各自具有第一电极1124和第二电极1128以及电容器电介质1126的电容器,并且由此形成了各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1180。

[0209] 如图11I所示,可以在DRAM单元1180上方形成互连层1132。互连层1132可以包括在多个ILD层中的MEOL互连和/或BEOL互连,以形成与DRAM单元1180的电连接。在一些实施方式中,互连层1132包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1132中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1104上的电介质材料。图11I中所示的ILD层和互连可以统称为互连层1132。如图11I所示,可以通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1123对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极1123上形成位线1134。

[0210] 如图11I所示,在互连层1132和DRAM单元1180上方形成键合层1136。键合层1136可以包括被电介质围绕的多个键合触点1137。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1132的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1132中的互连接触的键合触点1137。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0211] 如上所述,图10A-图10M示出了由三层电介质堆叠体形成DRAM单元阵列的制造工艺,该三层电介质堆叠体具有夹在两个电介质层(例如,氧化硅层1004和1008)之间的牺牲层(例如,氮化硅层1006)。应当理解,在其他示例中,形成DRAM单元阵列的电介质堆叠体的构造可以变化,从而产生具有不同结构的DRAM单元,例如在图6C和图6D中的3D存储器器件603和605中。在如图12A-图12H所示的一些实施方式中,DRAM单元阵列由具有在电介质层上的牺牲层的两层电介质堆叠体形成。

[0212] 在图24中的操作2402处,在衬底上形成电介质层的堆叠体。在一些实施方式中,为了形成电介质层的堆叠体,随后在衬底上沉积分别具有第一电介质和第二电介质的两个层。第一电介质可以包括氧化硅,并且第二电介质可以包括氮化硅。具有第二电介质的层可以用作具有第一电介质的层上的牺牲层。可以通过相对于具有第一电介质的另一层的选择性蚀刻来去除牺牲层,并且在随后的工艺中用导电层来代替牺牲层。

[0213] 如图12A所示,在硅衬底1202上形成氧化硅层1204和氮化硅层1206的堆叠体。为了形成电介质堆叠体,随后使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)将氧化硅和氮化硅沉积到硅衬底1202上。在一些实施方式中,通过使用干法氧化和/或湿法氧化(例如,原位蒸汽生成(ISSG)氧化工艺)来氧化硅衬底1202的顶部部分,形成氧化硅层1204。

[0214] 如图12B所示,形成半导体主体1212的阵列,每个半导体主体1212垂直延伸穿过氮化硅层1206和氧化硅层1204的堆叠体。半导体主体1212可以从硅衬底1202在相应开口(未示出)中的相应暴露部分外延生长。用于外延生长半导体主体1212的制造工艺可以包括但不限于VPE、LPE、MPE或其任何组合。外延可以从硅衬底1202在开口中的暴露部分向上(朝向正z方向)进行。半导体主体1212因此可以具有与硅衬底1202相同的材料,即单晶硅。在一些实施方式中,执行平面化工艺(例如,CMP)以去除半导体主体1212的超出氮化硅层1206的顶

表面的多余部分。结果,根据一些实施方式,由此形成从硅衬底1202垂直(在z方向上)延伸穿过氮化硅层1206和氧化硅层1204的堆叠体的半导体主体1212(例如,单晶硅主体)的阵列。

[0215] 如图12C所示,形成多个沟槽1214(缝隙开口)以暴露氮化硅层1206,每个沟槽1214沿字线方向(x方向)横向延伸并且垂直延伸穿过至少氮化硅层1206。结果,氮化硅层1206的部分可以从沟槽1214暴露。在一些实施方式中,例如基于字线(字线沟槽)的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模)来图案化沟槽1214。在一些实施方式中,执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以穿过氮化硅层1206和氧化硅层1204蚀刻沟槽1214,直到被硅衬底1202停止。应当理解,在一些示例中,沟槽1214的蚀刻可以不一直到达硅衬底1202,并且可以在氧化硅层1204处停止,只要氮化硅层1206从沟槽1214暴露即可。

[0216] 如图12D所示,去除氮化硅层1206(图12C所示),以暴露半导体主体1212的邻接氮化硅层1206的部分。在一些实施方式中,经由沟槽1214蚀刻掉氮化硅层1206。例如,可以通过沟槽1214施加包括磷酸的湿法蚀刻剂以选择性地湿法蚀刻氮化硅层1206,而不蚀刻氧化硅层1204以及半导体主体1212和硅衬底1202。结果,由此可以形成暴露半导体主体1212的部分的横向凹槽1216。应当理解,在一些示例中,可以暴露氮化硅层1206的顶表面,使得可以不需要沟槽1214来去除氮化硅层1206。干法蚀刻和/或湿法蚀刻工艺可以直接应用于氮化硅层1206上,以去除氮化硅层1206(即,从图12B直接到图12D而不经图12C)。

[0217] 如图12D所示,栅极电介质1218形成在每个半导体主体1212的暴露部分之上,即,围绕并且接触半导体主体1212的暴露部分的所有侧面。在一些实施方式中,执行湿法氧化和/或干法氧化工艺(例如,ISSG)以在半导体主体1212(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质1218。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1214和横向凹槽1216在半导体主体1212的暴露部分之上沉积电介质层(例如,氧化硅)而不填充横向凹槽1216和沟槽1214,来形成栅极电介质1218。由于省略了氧化硅层1008,所以栅极电介质1218的上端部可以与半导体主体1212的上端部齐平,如图12D所示,而在图10F中栅极电介质1018的上端部在半导体主体1012的上端部下方。

[0218] 如图12E所示,穿过沟槽1214在横向凹槽1216(图12D所示)中的栅极电介质1218之上形成导电层1220。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1214在栅极电介质1218之上沉积导电材料(例如,金属或金属化合物(例如,TiN))以填充横向凹槽1216来形成导电层1220。在一个示例中,导电层1220的沉积被控制为不填充沟槽1214。应当理解,在一些示例中,导电层1220的沉积也可以填充沟槽1214。因此,可以执行平面化工艺(例如,CMP),以去除多余的导电层1220以而暴露半导体主体1212的上端部,并且可以图案化导电层1220,以在相应的栅极电介质之上形成栅极电极。例如,可以同样图案化并且蚀刻填充有导电层1220的沟槽1214,以分离在相邻的半导体主体1212与栅极电介质1218之间的导电层1220。如上所述,例如基于字线(字线沟槽)的设计,可以执行光刻工艺以同样使用蚀刻掩模(例如,光致抗蚀剂掩模)图案化沟槽1214。由于省略了氧化硅层1008,导电层1220(包括栅极电极和字线)的顶表面可以与半导体主体1212的上端部齐平,如图12E所示,而在图10G中字线1020的顶表面在半导体主体

1012的上端部下方。

[0219] 结果,图案化的导电层1220可以变成字线,每条字线在字线方向(x方向)上延伸并且由相邻沟槽1214分离,并且图案化的导电层1220在栅极电介质1218之上的部分(例如,在平面图中完全外接相应的栅极电介质1218)可以变成栅极电极。由此可以形成栅极结构,每个栅极结构包括在暴露的部分半导体主体1212之上的相应栅极电介质1218和在栅极电介质1218之上的相应栅极电极(即,导电层1220的部分)。将图12E与图12A进行比较,根据一些实施方式,图12A中的氮化硅层1206(牺牲层)最终被图12E中的导电层1220代替。

[0220] 如图12E所示,掺杂每个半导体主体1212的暴露的上端部(即半导体主体1212在垂直方向(z方向)上远离硅衬底1202的两个端部中的一个端部)以形成源极/漏极1221。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1212的暴露的上端部,以形成源极/漏极1221。

[0221] 如图12F所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质,在导电层1220的顶表面上方形成一个或多个ILD层。取决于沟槽1214的横向尺寸(如图12E所示),当形成ILD层时,沟槽1214可以不完全用电介质(例如,氧化硅)填充,并且因此成为相邻字线(图案化的导电层1220)之间的气隙1222。应当理解,在一些示例中,当沟槽1214的横向尺寸足够大时,电介质可以在ILD层形成期间完全填充沟槽1214,由此消除气隙1222。

[0222] 如图12F所示,随后在ILD层中形成第一电极1224、电容器电介质1226和第二电极1228,以形成与半导体主体1212接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1221对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极1221(即,相应的半导体主体1212的掺杂的上端部)上形成每个第一电极1224。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的电容器电介质1226对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质1226上形成第二电极1228。

[0223] 如图12G所示,将载体衬底(又被称为处理衬底)1230键合到硅衬底1202的正面上,在硅衬底1202的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得硅衬底1202变为在载体衬底1230上方。

[0224] 如图12G所示,去除硅衬底1202(图12F所示)以暴露半导体主体1212的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除硅衬底1202,直到被氧化硅层1204和半导体主体1212的上端部停止。

[0225] 如图12G所示,掺杂每个半导体主体1212的暴露的上端部(即半导体主体1212在垂直方向(z方向)上远离载体衬底1230的两个端部中的一个端部),以形成另一个源极/漏极1223。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1212的暴露的上端部,以形成源极/漏极1223。结果,如图12G所示,根据一些实施方式,由此形成具有半导体主体1212、源极/漏极1221和1223、栅极电介质1218和栅极电极(导电层1220的部分)的多栅极垂直晶体管。如上所述,如图12G所示,根据一些实施方式,由此也形成了各自具有第一电极1224和第二电极1228以及电容器电介质1226的电容器,并且由此形成了各自具有多栅极垂直晶体管和耦合到该多栅极垂直晶体管的电容器的

DRAM单元1280。

[0226] 如图12H所示,可以在DRAM单元1280上方形成互连层1232。互连层1232可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1280进行电连接。在一些实施方式中,互连层1232包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1232中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1204上的电介质材料。图12H中示出的ILD层和互连可以被统称为互连层1232。如图12H所示,可以通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1223对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极1223上形成位线1234。

[0227] 如图12H所示,键合层1236形成在互连层1232和DRAM单元1280上方。键合层1236可以包括被电介质围绕的多个键合触点1237。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1232的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1232中的互连接触的键合触点1237。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0228] 在如图13A-图13H所示的一些实施方式中,DRAM单元阵列由四层电介质堆叠体形成,该四层电介质堆叠体具有夹在焊盘层(例如,氧化硅层)上的两个电介质层(例如,氮化硅层)之间的牺牲层(例如,氧化硅层)。

[0229] 在图24中的操作2402处,在衬底上形成电介质层的堆叠体。在一些实施方式中,为了形成电介质层的堆叠体,随后在衬底上沉积分别具有第一电介质、第二电介质、第三电介质和第二电介质的四个层。第二电介质可以包括氮化硅,并且第三电介质可以包括氧化硅。具有第三电介质的层可以用作垂直地夹在具有第二电介质的两个层之间的牺牲层。可以通过相对于具有第二电介质的另一层的选择性蚀刻来去除牺牲层,并且在随后的工艺中用导电层来代替牺牲层。

[0230] 如图13A所示,在硅衬底1302上形成氧化硅层1304、氮化硅层1306、氧化硅层1308和氮化硅层1309的堆叠体。为了形成电介质堆叠体,随后并且交替地使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)将氧化硅和氮化硅沉积到硅衬底1202上。在一些实施方式中,通过使用干法氧化和/或湿法氧化(例如,ISSG氧化工艺)来氧化硅衬底1302的顶部部分,形成氧化硅层1304(焊盘层)。在一些实施方式中,氧化硅层1304(例如,ISSG氧化硅)的厚度小于氧化硅层1308(例如,CVD氧化硅)的厚度。

[0231] 如图13B所示,形成半导体主体1312的阵列,每个半导体主体1312垂直延伸穿过氧化硅层1304、氮化硅层1306、氧化硅层1308和氮化硅层1309的堆叠体。半导体主体1312可以从硅衬底1302在相应开口(未示出)中的相应暴露部分外延生长。用于外延生长半导体主体1312的制造工艺可以包括但不限于VPE、LPE、MPE或其任何组合。外延可以从硅衬底1302在开口中的暴露部分向上(朝向正z方向)进行。半导体主体1312因此可以具有与硅衬底1302相同的材料,即单晶硅。在一些实施方式中,执行平面化工艺(例如,CMP)以去除半导体主体

1312的超出氮化硅层1309的顶表面的多余部分。结果,根据一些实施方式,由此形成从硅衬底1302垂直(在z方向上)延伸穿过氧化硅层1304、氮化硅层1306、氧化硅层1308和氮化硅层1309的堆叠体的半导体主体1312(例如,单晶硅主体)的阵列。

[0232] 在图24中的操作2406处,去除电介质层的堆叠体中的一个电介质层以暴露半导体主体的部分。在一些实施方式中,为了去除电介质层的堆叠体中的一个电介质层,穿过电介质层的堆叠体的至少一部分蚀刻沟槽以暴露具有第三电介质的层,并且经由沟槽蚀刻掉具有第三电介质的层(例如,牺牲层)。

[0233] 如图13C所示,形成多个沟槽1314(缝隙开口)以暴露氧化硅层1308,每个沟槽1314沿着字线方向(x方向)横向延伸并且垂直延伸穿过至少氮化硅层1309和氧化硅层1308。结果,氧化硅层1308的部分可以从沟槽1314暴露。在一些实施方式中,例如基于字线(字线沟槽)的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模)来图案化沟槽1314。在一些实施方式中,执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以穿过氮化硅层1309和氧化硅层1308蚀刻沟槽1314,直到被氮化硅层1306停止。应当理解,在一些示例中,沟槽1314的蚀刻可以进一步进入氮化硅层1306中,但不进入氧化硅层1304中。

[0234] 如图13D所示,去除氧化硅层1308(图13C所示),以暴露半导体主体1312的邻接氧化硅层1308的部分。在一些实施方式中,经由沟槽1314蚀刻掉氧化硅层1308。例如,可以通过沟槽1314施加包括氢氟酸的湿法蚀刻剂,以选择性地湿法蚀刻氧化硅层1308,而不蚀刻氮化硅层1309和1306以及半导体主体1312。结果,由此可以形成暴露半导体主体1312的部分的横向凹槽1316。

[0235] 如图13E所示,栅极电介质1318形成在每个半导体主体1312的暴露部分之上,即,包围并且接触半导体主体1312的暴露部分的所有侧面。在一些实施方式中,执行湿法氧化和/或干法氧化工艺(例如,ISSG)以在半导体主体1312(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质1318。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1314和横向凹槽1316在半导体主体1312的暴露部分之上沉积电介质层(例如,氧化硅)而不填充横向凹槽1316和沟槽1314来形成栅极电介质1318。由于氮化硅层1309的存在,在图13E中栅极电介质1318的上端部可以在半导体主体1312的上端部下方。

[0236] 如图13F所示,穿过沟槽1314在横向凹槽1316(如图13E所示)中的栅极电介质1318之上形成导电层1320。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)穿过沟槽1314在栅极电介质1318之上沉积导电材料(例如,金属或金属化合物(例如TiN))以填充横向凹槽1316来形成导电层1320。在一个示例中,导电层1320的沉积被控制为不填充沟槽1314。应当理解,在一些示例中,导电层1320的沉积也可以填充沟槽1314。因此,可以执行平面化工艺(例如,CMP)以去除多余的导电层1320,以暴露半导体主体1312的上端部,并且可以图案化导电层1320,以在相应的栅极电介质之上形成栅极电极。例如,可以同样图案化和蚀刻填充有导电层1320的沟槽1314,以分离在相邻行的半导体主体1312与栅极电介质1318之间的导电层1320。如上所述,例如基于字线(字线沟槽)的设计,可以执行光刻工艺以同样使用蚀刻掩模(例如,光致抗蚀剂掩模)来图案化沟槽1314。由于氮化硅层1309的存在,在图13F中导电层1320(包括栅极电极和字线)的顶表面可以在半导体主体1312的上端部下方。

[0237] 结果,图案化的导电层1320可以成为字线,每条字线在字线方向(x方向)上延伸并且由相邻沟槽1314分离,并且图案化的导电层1320在栅极电介质1318之上的部分(例如,在平面图中完全外接相应的栅极电介质1318)可以成为栅极电极。由此可以形成栅极结构,每个栅极结构包括在暴露的部分半导体主体1312之上的相应的栅极电介质1318和在栅极电介质1318之上的相应的栅极电极(即,导电层1320的部分)。将图13F与图13A进行比较,根据一些实施方式,图13A中的氧化硅层1308(牺牲层)最终由图13F中的导电层1320代替。

[0238] 如图13F所示,掺杂每个半导体主体1312的暴露的上端部(即半导体主体1312在垂直方向(z方向)上远离硅衬底1302的两个端部中的一个端部)以形成源极/漏极1321。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1312的暴露的上端部,以形成源极/漏极1321。

[0239] 如图13G所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质,在氮化硅层1309的顶表面之上形成一个或多个ILD层。取决于沟槽1314的横向尺寸(如图13F所示),当形成ILD层时,沟槽1314可能没有完全被电介质(例如,氧化硅)填充,并且因此成为相邻字线(图案化的导电层1320)之间的气隙1322。应当理解,在一些示例中,当沟槽1314的横向尺寸足够大时,电介质可以在ILD层的形成期间完全填充沟槽1314,由此消除气隙1322。

[0240] 如图13G所示,随后在ILD层中形成第一电极1324、电容器电介质1326和第二电极1328,以形成与半导体主体1312接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1321对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极1321(即,相应的半导体主体1312的掺杂的上端部)上形成每个第一电极1324。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的电容器电介质1326对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质1326上形成第二电极1328。

[0241] 如图13H所示,将载体衬底1330(又被称为处理衬底)键合到硅衬底1302的正面上,在硅衬底1302的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得硅衬底1302变为在载体衬底1330上方。

[0242] 如图13H所示,去除硅衬底1302(图13G所示)以暴露半导体主体1312的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除硅衬底1302,直到被氧化硅层1304和半导体主体1312的上端部停止。

[0243] 如图13H所示,掺杂每个半导体主体1312的暴露的上端部(即半导体主体1312在垂直方向(z方向)上远离载体衬底1330的两个端部中的一个端部)以形成另一个源极/漏极1323。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1312的暴露的上端部,以形成源极/漏极1323。结果,如图13H所示,根据一些实施方式,由此形成具有半导体主体1312、源极/漏极1321和1323、栅极电介质1318、以及栅极电极(导电层1320的部分)的垂直晶体管。如图13H中所示,根据一些实施方式,如上所述,由此也形成各自具有第一电极1324和第二电极1328以及电容器电介质1326的电容器,并且由此形成各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1380。

[0244] 如图13H所示,可以在DRAM单元1380上方形成互连层1332。互连层1332可以包括在多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1380进行电连接。在一些实施方式中,互连层1332包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1332中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1304上的电介质材料。图13H中示出的ILD层和互连可以统称为互连层1332。如图13H所示,可以通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1323对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极1323上形成位线1334。

[0245] 如图13H所示,在互连层1332和DRAM单元1380上方形成键合层1336。键合层1336可以包括被电介质围绕的多个键合触点1337。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1332的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1332中的互连接触的键合触点1337。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0246] 可以形成包括第二存储器单元阵列的第三半导体结构。每个存储器单元也可以包括垂直晶体管和耦合到垂直晶体管的存储单元。第二半导体结构和第三半导体结构可以以面对面的方式键合。在一些实施方式中,在键合第一半导体结构和第二半导体结构之前键合第二半导体结构和第三半导体结构。例如,如图23所示,第二半导体结构和第三半导体结构可以在操作2312之前(例如在操作2306与操作2308之间)键合。

[0247] 如图14A所示,使用本文公开的任何合适的制造工艺(例如,在图10A-图10H中)单独地(例如,并行)形成两个半导体结构1000和1400。为了便于描述,形成半导体结构1400的制造工艺不再重复,并且形成半导体结构1400的制造工艺与形成半导体结构1000的制造工艺相同。因此,两个半导体结构1000和1400可以在其中具有相同的器件。

[0248] 如图14A所示,将半导体结构1400上下翻转。如图14B所示,使用任何合适的衬底/晶圆键合工艺(包括例如混合键合(如上文详细描述)、阳极键合和熔融(直接)键合)将面向下的半导体结构1400与面向上的半导体结构1000键合(即以面对面的方式键合)由此形成键合界面1402。在一个示例中,可以利用压力和热在硅和硅、硅和氧化硅、或氧化硅和氧化硅的各层之间执行熔融键合。在另一示例中,可以利用电压、压力和热在氧化硅(在离子玻璃中)和硅的各层之间执行阳极键合。应当理解,取决于键合工艺,可以在键合界面1402的一个侧面或两个侧面上形成电介质层(例如,氧化硅层)。例如,可以在半导体结构1000和1400的顶表面上形成氧化硅层,以允许使用熔融键合的 SiO_2 - SiO_2 键合。在一些实施方式中,半导体结构1400的第二电极1028在键合界面1402处与半导体结构1000的第二电极1028接触,并且因此可以被视为半导体结构1000和1400两者的公共电极(例如,公共接地板)。

[0249] 如图14B所示,去除半导体结构1400(在键合之后在半导体结构1000的顶部上)的硅衬底1002(图14A所示),以暴露半导体主体1012的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除半导体结构

1400的硅衬底1002,直到被氧化硅层1004和半导体结构1400的半导体主体1012的上端部停止。

[0250] 如图14B所示,掺杂半导体结构1400的每个半导体主体1012的暴露的上端部(即半导体主体1012在垂直方向(z方向)上远离半导体结构1000的两个端部中的一个端部),以形成另一个源极/漏极1023。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体结构1400的半导体主体1012的暴露的上端部,以形成源极/漏极1023。结果,如图14B所示,根据一些实施方式,由此在半导体结构1400中形成具有半导体主体1012、源极/漏极1021和1023、栅极电介质1018和栅极电极(导电层1020的部分)的多栅极垂直晶体管。如上所述,如图14B所示,根据一些实施方式,由此也形成各自具有第一电极1024和第二电极1028以及电容器电介质1026的电容器,并且由此形成半导体结构1400的各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1080。

[0251] 如图14C所示,可以在DRAM单元1080上方形成互连层1032。互连层1032可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1080进行电连接。在一些实施方式中,互连层1032包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1032中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1004上的电介质材料。图14C中示出的ILD层和互连可以统称为互连层1032。

[0252] 如图14D所示,将载体衬底1030(又被称为处理衬底)键合到半导体结构1400的正面上,在半导体结构1400的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得半导体结构1000变为在载体衬底1030上方(图14D中未示出)。

[0253] 如图14D所示,去除半导体结构1000的硅衬底1002(图14C所示),以暴露半导体结构1000的半导体主体1012的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工序(例如CMP)和/或蚀刻工艺以去除半导体结构1000的硅衬底1002,直到被氧化硅层1004和半导体结构1000的半导体主体1012的上端部停止。

[0254] 如图14D所示,掺杂半导体结构1000的每个半导体主体1012的暴露的上端部(即半导体主体1012在垂直方向(z方向)上远离半导体结构1400的两个端部中的一个端部),以形成另一个源极/漏极1023。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体结构1000的半导体主体1012的暴露的上端部,以形成源极/漏极1023。结果,如图14D所示,根据一些实施方式,由此在半导体结构1000中形成具有半导体主体1012、源极/漏极1021和1023、栅极电介质1018和栅极电极(导电层1020的部分)的垂直晶体管。如上所述,如图14D所示,根据一些实施方式,由此也形成各自具有第一电极1024和第二电极1028以及电容器电介质1026的电容器,并且由此形成半导体结构1000的各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1080。

[0255] 如图14E所示,可以在半导体结构1000中的DRAM单元1080上方形成互连层1032。互连层1032可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与半导体结构1000中的DRAM单元1080进行电连接。在一些实施方式中,互连层1032包括多个ILD层和以多种工艺形成在

其中的互连。例如,互连层1032中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1004上的电介质材料。图14E中示出的ILD层和互连可以统称为互连层1032。

[0256] 如图14E所示,在半导体结构1000中的互连层1032和DRAM单元1080上方形成键合层1036。键合层1036可以包括被电介质围绕的多个键合触点1037。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层1032的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1032中的互连接触的键合触点1037。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0257] 然后,图14E中所示的键合的结构可以面对面的方式与包括外围电路的半导体结构键合,如上文关于图23中的操作2312以及图10L和图10M所详细描述。

[0258] 在一些实施方式中,在键合第一半导体结构和第二半导体结构之后键合第二半导体结构和第三半导体结构。例如,如图23所示,可以在操作2312之后(例如在操作2312与操作2314之间)键合第二半导体结构和第三半导体结构。

[0259] 如图15A所示,在图10L所示的制造工艺之后,通过去除载体衬底1030形成经键合的半导体结构1500。使用本文公开的任何合适的制造工艺(例如,在图10A-图10H中)单独地(例如,并行)形成半导体结构1000。为了便于描述,不再重复形成半导体结构1000和1500的制造工艺。

[0260] 如图15A所示,将半导体结构1000上下翻转。如图15B所示,使用任何合适的衬底/晶圆键合工艺(包括例如混合键合(如上文详细描述的)、阳极键合和熔融(直接)键合)将面向下的半导体结构1000与面向上的半导体结构1500键合(即以面对面的方式键合),由此形成键合界面1502。在一个示例中,可以利用压力和热在硅和硅、硅和氧化硅、或氧化硅和氧化硅的各层之间执行熔融键合。在另一示例中,可以利用电压、压力和热在氧化硅(在离子玻璃中)和硅的各层之间执行阳极键合。应当理解,取决于键合工艺,可以在键合界面1502的一个侧面或两个侧面上形成电介质层(例如,氧化硅层)。例如,可以在半导体结构1000和1500的顶表面上形成氧化硅层,以允许使用熔融键合的 SiO_2 - SiO_2 键合。在一些实施方式中,半导体结构1000的第二电极1028在键合界面1502处与半导体结构1500的第二电极1028接触,并且因此可以被视为半导体结构1000和1500两者的公共电极(例如,公共接地板)。

[0261] 如图15C所示,去除半导体结构1000(在键合之后在半导体结构1500的顶部上)的硅衬底1002(图15B所示),以暴露半导体主体1012的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除半导体结构1000的硅衬底1002,直到被氧化硅层1004和半导体结构1000的半导体主体1012的上端部停止。

[0262] 如图15C所示,掺杂半导体结构1000的每个半导体主体1012的暴露的上端部(即半导体主体1012在垂直方向(z方向)上远离半导体结构1500的两个端部中的一个端部)以形成另一个源极/漏极1023。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂

剂或N型掺杂剂掺杂到半导体结构1000的半导体主体1012的暴露的上端部,以形成源极/漏极1023。结果,如图15C所示,根据一些实施方式,由此在半导体结构1000中形成具有半导体主体1012、源极/漏极1021和1023、栅极电介质1018、以及栅极电极(导电层1020的部分)的多栅极垂直晶体管。如上所述,如图15C所示,根据一些实施方式,由此也形成各自具有第一电极1024和第二电极1028以及电容器电介质1026的电容器,并且由此形成半导体结构1400的各自具有多栅极垂直晶体管和耦合到多栅极垂直晶体管的电容器的DRAM单元1080。

[0263] 如图15D所示,可以在半导体结构1000中的DRAM单元1080上方形成互连层1032。互连层1032可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1080进行电连接。在一些实施方式中,互连层1032包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1032中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积在氧化硅层1004上的电介质材料。图15D中示出的ILD层和互连可以统称为互连层1032。

[0264] 然后,如上面关于图23的操作2314和图10M详细描述,可以在图15D中示出的经键合的结构上形成焊盘引出互连层。

[0265] 方法2300还可以通过图19A-图19M和图22中描述的制造工艺来实施,以形成图17中描绘的具有单栅极垂直晶体管而不是多栅极垂直晶体管的3D存储器器件1700。参考图23,方法2300开始于操作2302,其中在第一衬底上形成外围电路。第一衬底可以包括硅衬底。在一些实施方式中,在外围电路上方形成互连层。互连层可以包括在一个或多个ILD层中的多个互连。

[0266] 如图19L所示,在硅衬底1944上形成多个晶体管1948。晶体管1948可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、CMP和任何其他合适的工艺。在一些实施方式中,通过离子注入和/或热扩散在硅衬底1944中形成掺杂区,掺杂区用作例如晶体管1948的源极和漏极。在一些实施方式中,也通过湿法/干法蚀刻和薄膜沉积在硅衬底1944中形成隔离区(例如,STI)。晶体管1948可以在硅衬底1944上形成外围电路1946。

[0267] 如图19L所示,可以在具有晶体管1948的外围电路1946上方形成互连层1950。互连层1950可以包括在多个ILD层中的MEOL互连和/或BEOL互连,以与外围电路1946进行电连接。在一些实施方式中,互连层1950包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1950中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图19L中所示的ILD层和互连可以统称为互连层1950。

[0268] 方法2300进行到操作2304,如图23所示,其中在外围电路(和互连层)上方形成第一键合层。第一键合层可以包括第一键合触点。如图19L所示,在互连层1950和外围电路1946上方形成键合层1952。键合层1952可以包括由电介质围绕的多个键合触点。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互

连层1950的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1950中的互连接触的键合触点。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0269] 方法2300进行到操作2306,如图23所示,其中在第二衬底上形成各自包括垂直晶体管和存储单元的存储器单元阵列。第二衬底可以包括载体衬底。存储单元可以包括电容器或PCM元件。在一些实施方式中,电容器被形成为耦合到相应存储器单元中的垂直晶体管。

[0270] 例如,图25示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的另一存储器单元阵列的方法2500的流程图。在图25中的操作2502处,形成在衬底中垂直延伸的半导体柱。衬底可以是硅衬底。在一些实施方式中,为了形成半导体柱,在第一横向方向上蚀刻衬底以形成多个第一沟槽,沉积电介质以填充第一沟槽以形成第二沟槽隔离,并且在第二横向方向上蚀刻衬底和第二沟槽隔离以形成多个第二沟槽和由第二沟槽和第二沟槽隔离围绕的半导体柱。在一些实施方式中,沉积电介质以部分地填充第二沟槽。

[0271] 如图19A所示,在y方向(例如,位线方向)上形成多个平行的沟槽1904,以形成在y方向上的多个平行的半导体壁1905。在一些实施方式中,例如基于位线的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模和/或硬掩模)来图案化沟槽1904和半导体壁1905,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE),以在硅衬底1902中蚀刻沟槽1904。因此,可以形成在硅衬底1902中垂直延伸的半导体壁1905。半导体壁1905的底部可以在硅衬底1902的顶表面下方。由于通过蚀刻硅衬底1902形成半导体壁1905,因此半导体壁1905可以具有与硅衬底1902相同的材料,例如单晶硅。图19A示出了沿x方向(字线方向,例如,在BB平面中)的横截面的侧视图(在图19A的顶部部分中)和在x-y面中(例如,在穿过半导体壁1905的AA平面中)的横截面的平面图(在图19A的底部部分中)。在图19B中也布置了相同的绘图布局。

[0272] 如图19B所示,在沟槽1904中形成沟槽隔离1908(例如STI)。在一些实施方式中,使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅)以完全填充沟槽1904。在一些实施方式中,执行平面化工艺(例如,CMP)以去除超出硅衬底1902的顶表面沉积的多余电介质。结果,平行的半导体壁1905可以被沟槽隔离1908分离。

[0273] 如图19C所示,在x方向(例如,字线方向)上形成多个平行的沟槽1910以形成各自在硅衬底1902中垂直延伸的半导体柱1906的阵列。在一些实施方式中,例如基于字线的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模和/或硬掩模)将沟槽1910图案化为垂直于沟槽隔离1908,并且在硅衬底1902和沟槽隔离1908上执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以在硅衬底1902中蚀刻沟槽1910。结果,半导体壁1905(图19B中所示)可以被沟槽1910切割以形成各自在硅衬底1902中垂直延伸的半导体柱1906的阵列。半导体柱1906的底部可以在硅衬底1902的顶表面下方。由于半导体柱1906通过蚀刻硅衬底1902形成,因此半导体柱1906可以具有与硅衬底1902相同的材料,例如单晶硅。图19C示出了沿y方向(位线方向,例如,在CC平面中)的横截面的侧视图(在图19C的顶部部分

中)和在x-y平面中(例如,在穿过半导体柱1906的AA平面中)的横截面的平面图(在图19C的底部部分中)。在图19C-图19G中也布置了相同的绘图布局。

[0274] 如图19C所示,例如通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅)以部分地填充沟槽1910,来在沟槽1910的底部处形成电介质层1912。可以控制沉积条件(例如,沉积速率和/或时间)以控制电介质层1912的厚度并且避免完全填充沟槽1910。结果,沟槽1910的底表面可以被升高到半导体柱1906的底表面上方。如平面图中所示,半导体柱1906在y方向上的两个相对侧面通过沟槽1910暴露,并且半导体柱1906在x方向上的另外两个相对侧面与沟槽隔离1908接触。即,半导体柱1906被沟槽1910和沟槽隔离1908围绕。

[0275] 在图25中的操作2504处,形成与半导体柱的相对侧面接触的栅极结构。在一些实施方式中,为了形成栅极结构,在半导体柱的相对侧面之上形成栅极电介质,并且在栅极电介质之上形成栅极电极。在一些实施方式中,为了形成栅极电极,在栅极电介质之上沉积导电层,并且回蚀刻导电层。

[0276] 如图19D所示,在从沟槽1910暴露的半导体柱1906在位线方向(y方向)上的两个相对侧面之上形成栅极电介质1914。如平面图中所示,栅极电介质1914可以是形成在每行半导体柱1906和沟槽隔离1908的侧壁之上的连续电介质层的部分。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在沟槽1910的侧壁之上沉积电介质层(例如,氧化硅)而不完全填充沟槽1910来形成栅极电介质1914。应当理解,在一些示例中,栅极电介质1914可以不是连续电介质层的部分。例如,执行湿法氧化和/或干法氧化工艺(例如,原位蒸汽生成(ISSG)氧化)以在半导体柱1906(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质1914。

[0277] 如图19D所示,在沟槽1910中的栅极电介质1914之上形成导电层1916。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在栅极电介质1914之上沉积一种或多种导电材料(例如,金属和/或金属化合物(例如,W和TiN))以部分地填充沟槽1910来形成导电层1916。例如,可以依次沉积TiN层和W层以形成导电层1916。可以执行平面化工艺(例如,CMP)以去除硅衬底1902顶表面之上多余的导电材料。

[0278] 如图19E所示,在一些实施方式中,例如使用干法蚀刻和/或湿法蚀刻(例如,RIE)回蚀刻导电层1916以形成凹陷,使得导电层1916的上端部在半导体柱1906的顶表面下方。在一些实施方式中,由于未回蚀刻栅极电介质1914,所以导电层1916的上端部也在栅极电介质1914的上端部下方,栅极电介质1914的上端部与半导体柱1906的顶表面齐平。结果,回蚀刻的导电层1916可以变成各自在字线方向(x方向)上延伸的字线,并且回蚀刻的导电层1916的面对半导体柱1906的部分可以变成栅极电极。由此可以形成栅极结构,每个栅极结构包括在半导体柱1906的暴露侧面之上的相应栅极电介质1914和在栅极电介质1914之上的相应栅极电极(即,导电层1916的部分)。在一些实施方式中,如图19E中所示,例如通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅),而在沟槽1910的剩余空间以及由回蚀刻导电层1916而产生的凹陷(未示出)中形成电介质层1918。应当理解,取决于字线的间距(即,沟槽1910的尺寸),可以在电介质层1918中形成气隙。

[0279] 在图25中的操作2506处,形成垂直延伸穿过半导体柱的第一沟槽隔离,以将半导体柱分离为半导体主体,每个半导体主体与栅极结构中的相应一个栅极结构接触。在一些实施方式中,为了形成第一沟槽,在第二横向方向上蚀刻半导体柱以形成第三沟槽,并且沉积电介质以填充第三沟槽。

[0280] 如图19F所示,形成x方向(例如,字线方向)上的多个平行的沟槽1922,以形成各自在硅衬底1902中垂直延伸的半导体主体1920的阵列。在一些实施方式中,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模和/或硬掩模)在半导体柱1906上图案化沟槽1922(图19E所示),并且在半导体柱1906和沟槽隔离1908上执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以蚀刻沟槽1922。可以控制蚀刻,使得沟槽1922的底部与半导体柱1906的底表面齐平或在半导体柱1906的底表面下方。结果,每个半导体柱1906可以在y方向上被相应的沟槽1922分离为两个半导体主体1920。由于通过蚀刻硅衬底1902形成半导体主体1920,所以半导体主体1920可以具有与硅衬底1902相同的材料,例如单晶硅。如平面图中所示,每个半导体主体1920可以与栅极结构接触,栅极结构在半导体主体1920的y方向上的一个侧面上具有栅极电介质1914和栅极电极1916。半导体主体1920的相对侧面可以通过沟槽1922暴露。在一些实施方式中,通过形成跨越相应的半导体柱1906的中间的沟槽1922,实现两个半导体主体1920及其两个栅极结构的镜像对称布置。

[0281] 如图19G所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅)以填充沟槽1922,在沟槽1922(图19F所示)中形成沟槽隔离1926。可以执行平面化工艺以去除硅衬底1902的顶表面之上的多余电介质。应当理解,取决于半导体主体1920的间距(即,沟槽1922的尺寸),可以在沟槽隔离1926中形成气隙。如平面图所示,各自在x方向上延伸的平行的沟槽隔离1926可以形成半导体主体1920的阵列,其中单个侧面与具有栅极电介质1914和栅极电极1916的栅结构接触。

[0282] 在图25中的操作2508处,掺杂半导体主体的远离衬底的第一端部。如图19G所示,掺杂每个半导体主体1920的暴露的上端部(即半导体主体1920在垂直方向(z方向)上远离硅衬底1902的两个端部中的一个端部)以形成源极/漏极1924。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1920的暴露的上端部,以形成源极/漏极1924。在一些实施方式中,通过在半导体主体1920的暴露的上端部处执行硅化工艺,在源极/漏极1924上形成硅化物层。

[0283] 在图25中的操作2510处,形成与半导体主体(例如其掺杂的第一端部)接触的存储单元。存储单元可以包括电容器或PCM元件。在一些实施方式中,为了形成是电容器的存储单元,在半导体主体的掺杂的第一端部上形成第一电极,在第一电极上形成电容器电介质,并且在电容器电介质上形成第二电极。

[0284] 如图19H所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质来在硅衬底1902的顶表面之上形成一个或多个ILD层。随后在ILD层中形成第一电极1928、电容器电介质1930和第二电极1932,以形成与半导体主体1920接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1924对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极1924(即,相应的半导体主体1920的掺杂的上端部)上形成每个第一电极1928。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的电容器电介

质1930对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质1930上形成第二电极1932。

[0285] 在图25中的操作2512处,将衬底减薄以暴露半导体主体的与第一端部相对的第二端部。如图19I所示,将载体衬底1934(又被称为处理衬底)键合到硅衬底1902的正面上,在硅衬底1902的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得硅衬底1902变为在载体衬底1934上方。

[0286] 如图19J所示,将硅衬底1902(图19I所示)减薄以暴露半导体主体1920的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,对薄硅衬底1902执行平面化工艺(例如,CMP)和/或蚀刻工艺,直到被电介质层1918和半导体主体1920的上端部停止。

[0287] 在图25中的操作2514处,掺杂半导体主体的暴露的第二端部。如图19J所示,掺杂每个半导体主体1920的暴露的上端部(即半导体主体1920在垂直方向(z方向)上远离载体衬底1934的两个端部中的一个端部)以形成另一个源极/漏极1936。在一些实施例中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体1920的暴露的上端部,以形成源极/漏极1936。在一些实施方式中,通过在半导体主体1920的暴露的上端部处执行硅化工艺,在源极/漏极1936上形成硅化物层。结果,如图19J所示,根据一些实施方式,由此形成具有半导体主体1920、源极/漏极1924和1936、栅极电介质1914和栅极电极(导电层1916的部分)的垂直晶体管。如上所述,如图19J所示,根据一些实施方式,由此也形成了各自具有第一电极1928和第二电极1932以及电容器电介质1930的电容器,并且由此形成各自具有单栅极垂直晶体管和耦合到单栅极垂直晶体管的电容器的DRAM单元1980。

[0288] 返回参考图23,方法2300进行到操作2308,如图23所示,其中在存储器单元阵列上方形成包括位线的互连层。如图19K所示,可以在DRAM单元1980上方形成互连层1940。互连层1940可以包括在多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元1980进行电连接。在一些实施方式中,互连层1940包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层1940中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图19K中所示的ILD层和互连可以统称为互连层1940。

[0289] 如图25所示,在操作2516处,为了形成互连层,在掺杂的第二端部上形成位线。如图19K所示,可以通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极1936对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极1936上形成位线1938。结果,位线1938和具有电极1928和1932以及电容器电介质1930的电容器可以形成在半导体主体1920的相对侧面上,并且耦合到半导体主体1920的相对端部。应当理解,也可以类似地形成附加的局部互连,例如字线触点、电容器触点和位线触点。

[0290] 方法2300进行到操作2310,如图23所示,其中在存储器单元阵列和互连层上方形成第二键合层。第二键合层可以包括第二键合触点。如图19K所示,在互连层1940和DRAM单元1980上方形成键合层1942。键合层1942可以包括被电介质围绕的多个键合触点。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在

互连层1940的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层1940中的互连接触的键合触点。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0291] 方法2300进行到操作2312,如图23所示,其中第一半导体结构和第二半导体结构以面对面的方式键合,使得第一存储器单元阵列经过键合界面耦合到外围电路。键合可以包括混合键合。在一些实施方式中,在键合之后,第一键合触点与第二键合触点在键合界面处接触。在一些实施方式中,第二半导体结构在键合之后在第一半导体结构上方。在一些实施方式中,第一半导体结构在键合之后在第二半导体结构上方。

[0292] 如图19L所示,将载体衬底1934和形成在其上的部件(例如DRAM单元1980)上下翻转。如图19L所示,面向下的键合层1942与面向上的键合层1952键合(即以面对面的方式),由此形成键合界面1954。在一些实施方式中,在键合之前,对键合表面应用处理工艺,例如等离子体处理、湿法处理和/或热处理。尽管图19L中未示出,但是可以将硅衬底1944和形成在其上的部件(例如,外围电路1946)上下翻转,并且可以将面向下的键合层1952与面向上的键合层1942键合(即以面对面的方式),由此形成键合界面1954。在键合之后,键合层1942中的键合触点和键合层1952中的键合触点彼此对准并且接触,使得DRAM单元1980可以经过键合界面1954电连接到外围电路1946。应当理解,在经键合的芯片中,DRAM单元1980可以在外围电路1946上方或下方。然而,在键合之后,键合界面1954可以垂直地形成在外围电路1946与DRAM单元1980之间。

[0293] 方法2300进行到操作2314,如图23所示,其中在第一半导体结构或第二半导体结构的背面上形成焊盘引出互连层。如图19M所示,在载体衬底1934的背面上形成焊盘引出互连层1956。焊盘引出互连层1956可以包括形成在一个或多个ILD层中的互连,例如焊盘触点1958。焊盘触点1958可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,在键合之后,例如通过湿法/干法蚀刻工艺,随后沉积导电材料,形成垂直延伸穿过载体衬底1934的触点1960。触点1960可以与焊盘引出互连层1956中的互连接触。应当理解,在一些示例中,可以在键合之后并且在形成焊盘引出互连层1956和触点1960之前,例如使用平面化工艺和/或蚀刻工艺来减薄或去除载体衬底1934。

[0294] 尽管未示出,但是应当理解,在一些示例中,可以在硅衬底1944的背面上形成焊盘引出互连层1956,并且触点1960可以形成为垂直延伸穿过硅衬底1944。在形成焊盘引出互连层1956和接触1960之前,可以例如使用平面化工艺和/或蚀刻工艺来减薄硅衬底1944。虽然未示出,但是还应当理解,在一些示例中,可以应用关于图14A-图14E和图15A-图15D描述的制造工艺,以在键合到包括以上关于图19A-19M描述的DRAM单元1980的半导体结构的另一个半导体结构中形成另一个DRAM单元1980的阵列。

[0295] 方法2300还可以通过图22A-图22M和图26中描述的制造工艺来实施,以形成图21中描绘的具有双栅极垂直晶体管而不是单栅极垂直晶体管的3D存储器器件2100。参考图23,方法2300开始于操作2302,其中在第一衬底上形成外围电路。第一衬底可以包括硅衬底。在一些实施方式中,在外围电路上方形成互连层。互连层可以包括在一个或多个ILD层

中的多个互连。

[0296] 如图22L所示,在硅衬底2244上形成多个晶体管2248。晶体管2248可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、CMP和任何其他合适的工艺。在一些实施方式中,通过离子注入和/或热扩散在硅衬底2244中形成掺杂区,掺杂区例如用作晶体管2248的源极和漏极。在一些实施方式中,还通过湿法/干法蚀刻和薄膜沉积在硅衬底2244中形成隔离区(例如,STI)。晶体管2248可以在硅衬底2244上形成外围电路2246。

[0297] 如图22L所示,可以在具有晶体管2248的外围电路2246上方形成互连层2250。互连层2250可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与外围电路2246进行电连接。在一些实施方式中,互连层2250包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层2250中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图22L中示出的ILD层和互连可以被统称为互连层2250。

[0298] 方法2300进行到操作2304,如图23所示,其中在外围电路(和互连层)上方形成第一键合层。第一键合层可以包括第一键合触点。如图22L所示,在互连层2250和外围电路2246上方形成键合层2252。键合层2252可以包括被电介质围绕的多个键合触点。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层2250的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层2250中的互连接触的键合触点。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0299] 方法2300进行到操作2306,如图23所示,其中在第二衬底上形成各自包括垂直晶体管和存储单元的存储器单元阵列。第二衬底可以包括载体衬底。存储单元可以包括电容器或PCM元件。在一些实施方式中,电容器被形成为耦合到相应存储器单元中的垂直晶体管。

[0300] 例如,图26示出了根据本公开内容的一些方面的用于形成各自包括垂直晶体管的又一存储器单元阵列的方法2600的流程图。在图26中的操作2602处,形成在衬底中垂直延伸的半导体主体。衬底可以是SOI衬底,其包括处理层、掩埋氧化物层和器件层。在一些实施方式中,为了形成半导体主体,在第一横向方向上蚀刻处理层以形成第一沟槽,并且在第二横向方向上蚀刻处理层以形成第二沟槽,使得半导体主体的两个相对侧面由第二沟槽暴露。在一些实施方式中,沉积电介质以部分地填充第二沟槽。

[0301] 如图22A所示,在y方向(例如,位线方向)上形成多个平行的沟槽2204,以形成在y方向上的多个平行的半导体壁2205。在一些实施方式中,例如基于位线的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模和/或硬掩模)图案化沟槽2204和半导体壁2205,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以在SOI衬底2201中蚀刻沟槽1904。因此,可以形成在SOI衬底2201中垂直延伸的半导体壁1905。如图22A所示,SOI衬底

2201可以包括处理层2202、处理层2202上的掩埋氧化物层2203和掩埋氧化物层2203上的器件层2209。在一些实施方式中,掩埋氧化物层2203包括氧化硅,并且器件层2209包括单晶硅。在一些实施方式中,为了形成沟槽2204,使用RIE蚀刻器件层2209,在掩埋氧化物层2203处停止。即,掩埋氧化物层2203可以用作蚀刻停止层。应当理解,在一些示例中,器件层2209可以不是SOI衬底的部分,而是从另一硅衬底(未示出,例如,SOI衬底)转移并且键合到掩埋氧化物层2203上。还应当理解,在一些示例中,SOI衬底2201可以用硅衬底代替,例如图19A中的硅衬底1902;沟槽2204的蚀刻可以不被掩埋氧化物层2203停止,而是通过控制蚀刻速率和/或持续时间来停止,例如,如图19A所示

[0302] 然而,半导体壁2205的底部可以在SOI衬底2201的顶表面下方。由于通过蚀刻SOI衬底2201的器件层2209形成半导体壁2205,因此半导体壁2205可以具有与SOI衬底2201的器件层2209相同的材料,例如单晶硅。图22A示出了沿x方向(字线方向,例如,在BB平面中)的横截面的侧视图(在图22A的顶部部分中)和在x-y平面中(例如,在穿过半导体壁2205的AA平面中)的横截面的平面图(在图22A的底部部分中)。

[0303] 如图22B所示,在x方向(例如,字线方向)上形成多个平行的沟槽2210,以形成各自在SOI衬底2201中垂直延伸半导体主体2206的阵列。在一些实施方式中,例如基于字线的设计,执行光刻工艺以使用蚀刻掩模(例如,光致抗蚀剂掩模和/或硬掩模)将沟槽2210图案化为垂直于沟槽2204,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如,RIE)以在SOI衬底2201的器件层2209中蚀刻沟槽2210。结果,半导体壁2205(如图22A所示)可以被沟槽2210切割,以形成各自在SOI衬底2201中垂直延伸的半导体主体2206的阵列。半导体主体2206的底部可以在SOI衬底2201的顶表面下方。由于通过蚀刻SOI衬底2201的器件层2209形成半导体主体2206,所以半导体主体2206可以具有与SOI衬底2201的器件层2209相同的材料,例如单晶硅。图22B示出了沿y方向(位线方向,例如,在CC平面中)的横截面的侧视图(在图22B的顶部部分中)和在x-y平面中(例如,在穿过半导体主体2206的AA平面中)的横截面的平面图(在图22B的底部部分中)。在图22C-图22G中也布置了相同的绘图布局。

[0304] 应当理解,在一些示例中,与两个连续的工艺相反,可以在相同的工艺中形成沟槽2204和2210。例如,可以使用相同的光刻工艺来图案化沟槽2204和2210,随后进行相同的蚀刻工艺。还应当理解,在一些示例中,可以在在位线方向上形成沟槽2204之前在字线方向上形成沟槽2210。然而,在形成沟槽2204和2210之后,可以形成半导体主体2206,并且半导体主体2206的所有四个侧面都可以通过沟槽2204和2210暴露。在一些实施方式中,半导体主体2206在字线方向上的两个相对侧面通过沟槽2204暴露,并且半导体主体2206在位线方向上的两个相对侧面通过沟槽2210暴露,如平面图中所示。即,半导体主体2206可以被沟槽2204和2210围绕。

[0305] 如图22C所示,例如,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅)以部分地填充沟槽2210,在沟槽2210(在一些示例中,以及沟槽2204)的底部处形成电介质层2212。可以控制沉积条件(例如,沉积速率和/或时间)以控制电介质层2212的厚度并且避免完全填充沟槽2210。结果,沟槽2210的底表面可以升高到半导体主体2206的底表面上方。

[0306] 在图26中的操作2604处,形成与半导体主体的相对侧面接触的栅极结构。在一些实施方式中,为了形成栅极结构,在半导体主体的相对侧面之上形成栅极电介质,并且在栅

极电介质之上形成栅极电极。在一些实施方式中,为了形成栅极电极,在栅极电介质之上沉积导电层,且回蚀刻导电层。

[0307] 如图22D所示,在从沟槽2210暴露的半导体主体2206在位线方向(y方向)上的两个相对侧面之上形成栅极电介质2214。如平面图所示,栅极电介质2214可以是形成在每行半导体主体2206的侧壁之上的连续电介质层的部分。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在半导体主体2206的侧壁和顶表面之上沉积电介质层(例如,氧化硅)而不完全填充沟槽2210来形成栅极电介质2214。应当理解,在一些示例中,栅极电介质2214可以不是连续电介质层的部分。例如,执行湿法氧化和/或干法氧化工艺(例如,ISSG氧化)以在半导体主体2206(例如,单晶硅)上形成原生氧化物(例如,氧化硅)作为栅极电介质2214。

[0308] 如图22D所示,在栅极电介质2214之上形成导电层2216。在一些实施方式中,通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在栅极电介质2214之上沉积一种或多种导电材料(例如,金属和/或金属化合物(例如,W和TiN))以部分地填充沟槽2210来形成导电层2216。例如,可以依次沉积TiN层和W的层以形成导电层2216。如侧视图所示,导电层2216可以是位线方向上的连续层,因为导电材料可以沉积在半导体主体2206的顶表面和沟槽2210的底表面之上。

[0309] 如图22E所示,在一些实施方式中,去除沟槽2210的底表面处的导电层2216的部分,以将连续的导电层2216在位线方向上分离成分立的片,例如,使用干法蚀刻和/或干法蚀刻(例如,RIE)以在沟槽2210的底表面上形成切口2211。在一些实施方式中,也通过相同的蚀刻工艺去除在半导体主体2206的顶表面处的导电层2216的部分,以暴露在半导体主体2206的顶表面处的栅极电介质2214。

[0310] 如图22F所示,在一些实施方式中,例如通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质(例如,氧化硅)以填充沟槽2210,在沟槽2210中形成沟槽隔离2218(如图22E所示)。可以执行平面化工艺(例如,CMP和/或蚀刻工艺)以去除半导体主体2206的顶表面之上的多余电介质。在一些实施方式中,平面化工艺还去除半导体主体2206的顶表面之上的栅极电介质2214的部分,以暴露半导体主体2206的顶表面。应当理解,取决于半导体主体2206的间距(即沟槽2210的尺寸),可以在沟槽隔离2218中形成气隙。如平面图中所示,电介质的沉积也可以填充沟槽2204的剩余空间(图22E中所示)以在字线方向上(例如,在同一行中)在相邻半导体主体2206之间形成隔离2219。

[0311] 如图22G所示,在一些实施方式中,例如使用干法蚀刻和/或湿法蚀刻(例如,RIE)回蚀刻导电层2216,以形成凹陷,使得导电层2216的上端部在半导体主体2206的顶表面下方。在一些实施方式中,由于未回蚀刻栅极电介质2214,所以导电层2216的上端部也在栅极电介质2214的上端部下方,栅极电介质2214的上端部与半导体主体2206的顶表面齐平。结果,回蚀刻的导电层2216可以成为各自在字线方向(x方向)上延伸的字线,并且回蚀刻的导电层2216面对半导体主体2206的部分可以成为栅极电极。由此可以形成栅极结构,每个栅极结构包括在半导体主体2206的暴露的两个相对侧面(在位线方向上)之上的相应栅极电介质2214和在栅极电介质2214之上的相应栅极电极(即,导电层2216的部分)。

[0312] 在图26中的操作2606处,掺杂半导体主体的远离衬底的第一端部。如图22G所示,掺杂每个半导体主体2206的暴露的上端部(顶表面)(即半导体主体2206在垂直方向(z方

向)上远离SOI衬底2201的处理层2202的两个端部中的一个端部)以形成源极/漏极2224。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体2206的暴露的上端部,以形成源极/漏极2224。在一些实施方式中,通过在半导体主体2206的暴露的上端部处执行硅化工艺,在源极/漏极2224上形成硅化物层。

[0313] 在图26中的操作2608处,形成与半导体主体(例如,其掺杂的第一端部)接触的存储单元。存储单元可以包括电容器或PCM元件。在一些实施方式中,为了形成是电容器的存储单元,在半导体主体的掺杂的第一端部上形成第一电极,在第一电极上形成电容器电介质,并且在电容器电介质上形成第二电极。

[0314] 如图22H所示,例如通过使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积电介质,在半导体主体2206的顶表面之上形成一个或多个ILD层。随后在ILD层中形成第一电极2228、电容器电介质2230和第二电极2232,以形成与半导体主体2206接触的电容器。在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极2224对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在相应的源极/漏极2224(即,相应的半导体主体2206的掺杂的上端部)上形成每个第一电极2228。类似地,在一些实施方式中,通过使用光刻和蚀刻工艺图案化和蚀刻与相应的电容器电介质2230对准的电极孔并且使用薄膜沉积工艺沉积导电材料以填充电极孔,在电容器电介质2230上形成第二电极2232。

[0315] 在图26的操作2610处,将衬底减薄以暴露半导体主体的与第一端部相对的第二端部。如图22所示,将载体衬底2234(又被称为处理衬底)键合到SOI衬底2201的正面上,在SOI衬底2201的正面上使用任何合适的键合工艺(例如,阳极键合、熔融键合、转移键合、粘合键合和共晶键合)形成器件。然后,可以将经键合的结构上下翻转,使得SOI衬底2201的处理层2202变为在载体衬底2234上方。

[0316] 如图22J所示,将SOI衬底2201减薄以暴露半导体主体2206的未掺杂的上端部(在翻转之前用作下端部)。在一些实施方式中,执行平面化工艺(例如,CMP)和/或蚀刻工艺以去除SOI衬底2201的处理层2202和掩埋氧化物层2203(如图22G所示),直到被半导体主体2206的上端部停止。

[0317] 在图26的操作2612处,掺杂半导体主体的暴露的第二端部。如图22J所示,掺杂每个半导体主体2206的暴露的上端部(即半导体主体2206在垂直方向(z方向)上远离载体衬底2234的两个端部中的一个端部)以形成另一个源极/漏极2236。在一些实施方式中,执行注入工艺和/或热扩散工艺以将P型掺杂剂或N型掺杂剂掺杂到半导体主体2206的暴露的上端部,以形成源极/漏极2236。在一些实施方式中,通过在半导体主体2206的暴露的上端部处执行硅化工艺,在源极/漏极2236上形成硅化物层。结果,如图22J所示,根据一些实施方式,由此形成具有半导体主体2206、源极/漏极2224和2236、栅极电介质2214和栅极电极(导电层2216的部分)的垂直晶体管。如上所述,如图22J所示,根据一些实施方式,由此也形成了各自具有第一电极2228和第二电极2232以及电容器电介质2230的电容器,并且由此形成各自具有双栅极垂直晶体管和耦合到双栅极垂直晶体管的电容器的DRAM单元2280。

[0318] 返回参考图23,方法2300进行到操作2308,如图23所示,其中在存储器单元阵列上方形成包括位线的互连层。如图22K所示,可以在DRAM单元2280上方形成互连层2240。互连层2240可以包括多个ILD层中的MEOL互连和/或BEOL互连,以与DRAM单元2280进行电连接。

在一些实施方式中,互连层2240包括多个ILD层和以多种工艺形成在其中的互连。例如,互连层2240中的互连可以包括通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD、电镀、无电镀或其任何组合)沉积的导电材料。形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括使用一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)沉积的电介质材料。图22K中示出的ILD层和互连可以被统称为互连层2240。

[0319] 如图26所示,在操作2614处,为了形成互连层,在掺杂的第二端部上形成位线。如图22K所示,可以通过使用光刻和蚀刻工艺图案化和蚀刻与相应的源极/漏极2236对准的沟槽,并且使用薄膜沉积工艺沉积导电材料以填充沟槽,在源极/漏极2236上形成位线2238。结果,位线2238和具有电极2228和2232以及电容器电介质2230的电容器可以形成在半导体主体2206的相对侧面上并且耦合到半导体主体2206的相对端部。应当理解,也可以类似地形成附加的局部互连,例如字线触点、电容器触点和位线触点。

[0320] 方法2300进行到操作2310,如图23所示,其中在存储器单元阵列和互连层上方形成第二键合层。第二键合层可以包括第二键合触点。如图22K所示,在互连层2240和DRAM单元2280上方形成键合层2242。键合层2242可以包括被电介质围绕的多个键合触点。在一些实施方式中,通过一种或多种薄膜沉积工艺(包括但不限于CVD、PVD、ALD或其任何组合)在互连层2240的顶表面上沉积电介质层(例如,ILD层)。然后,可以通过使用图案化工艺(例如,电介质层中的电介质材料的光刻和干法/湿法蚀刻)首先图案化穿过电介质层的接触孔,形成穿过电介质层并且与互连层2240中的互连接触的键合触点。接触孔可以用导体(例如,Cu)填充。在一些实施方式中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或晶种层。

[0321] 方法2300进行到操作2312,如图23所示,其中第一半导体结构和第二半导体结构以面对面的方式键合,使得第一存储器单元阵列经过键合界面耦合到外围电路。键合可以包括混合键合。在一些实施方式中,在键合之后,第一键合触点与第二键合触点在键合界面处接触。在一些实施方式中,第二半导体结构在键合之后在第一半导体结构上方。在一些实施方式中,第一半导体结构在键合之后在第二半导体结构上方。

[0322] 如图22L所示,将载体衬底2234和形成在其上的部件(例如DRAM单元2280)上下翻转。如图22L所示,面向下的键合层2242与面向上的键合层2252键合(即以面对面的方式键合),由此形成键合界面2254。在一些实施方式中,在键合之前,对键合表面应用处理工艺,例如等离子体处理、湿法处理和/或热处理。尽管在图22L中未示出,但是可以将硅衬底2244和形成在其上的部件(例如,外围电路2246)上下翻转,并且可以将面向下的键合层2252与面向上的键合层2242键合(即以面对面的方式键合),由此形成键合界面2254。在键合之后,键合层2242中的键合触点和键合层2252中的键合触点彼此对准并且接触,使得DRAM单元2280可以经过键合界面2254电连接到外围电路2246。应当理解,在经键合的芯片中,DRAM单元2280可以在外围电路2246上方或下方。然而,在键合之后,可以在外围电路2246与DRAM单元2280之间垂直地形成键合界面2254。

[0323] 方法2300进行到操作2314,如图23所示,其中在第一半导体结构或第二半导体结构的背面上形成焊盘引出互连层。如图22M所示,在载体衬底2234的背面上形成焊盘引出互连层2256。焊盘引出互连层2256可以包括形成在一个或多个ILD层中的互连,例如焊盘触点

2258。焊盘触点2258可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施方式中,在键合之后,例如通过湿法/干法蚀刻工艺,随后沉积导电材料,来形成垂直延伸穿过载体衬底2234的触点2260。触点2260可以与焊盘引出互连层2256中的互连接触。应当理解,在一些示例中,可以在键合之后并且在形成焊盘引出互连层2256和触点2260之前,例如使用平面化工艺和/或蚀刻工艺减薄或去除载体衬底2234。

[0324] 尽管未示出,但是应当理解,在一些示例中,可以在硅衬底2244的背面上方形成焊盘引出互连层2256,并且触点2260可以形成为垂直延伸穿过硅衬底2244。在形成焊盘引出互连层2256和触点2260之前,可以例如使用平面化工艺和/或蚀刻工艺减薄硅衬底2244。尽管未示出,但是还应当理解,在一些示例中,可以应用关于图14A-图14E和图15A-图15D描述的制造工艺,以在键合到包括以上关于图22A-图22M描述的DRAM单元2280的半导体结构的另一个半导体结构中形成另一个DRAM单元2280的阵列。

[0325] 根据本公开内容的一个方面,一种3D存储器器件包括第一半导体结构、第二半导体结构以及第一半导体结构与第二半导体结构之间的键合界面。第一半导体结构包括外围电路。第二半导体结构包括存储器单元阵列,耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线;以及耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。存储器单元阵列经过键合界面耦合到外围电路。

[0326] 在一些实施方式中,垂直晶体管是三栅极晶体管,其中,栅极结构在平面图中部分地外接半导体主体。

[0327] 在一些实施方式中,半导体主体在第二方向上的一个侧面与字线中的相应一条字线的一个边缘对准。

[0328] 在一些实施方式中,栅极结构包括栅极电极以及在第三方向上在栅极电极与半导体主体之间的栅极电介质。

[0329] 在一些实施方式中,垂直晶体管中的在第三方向上的两个相邻垂直晶体管的栅极电介质是分离的。

[0330] 在一些实施方式中,垂直晶体管还包括在第一方向上分别设置在半导体主体的两个端部处的源极和漏极。

[0331] 在一些实施方式中,垂直晶体管的源极和漏极中的一个耦合到相应存储器单元中的存储单元。

[0332] 在一些实施方式中,垂直晶体管的源极和漏极中的另一个耦合到相应位线。

[0333] 在一些实施方式中,位线设置在垂直晶体管与键合界面之间。

[0334] 在一些实施方式中,半导体主体在第一方向上的两个端部分别延伸超过栅极结构。

[0335] 在一些实施方式中,第二半导体结构还包括焊盘引出互连层,并且存储单元设置

在垂直晶体管与焊盘引出互连层之间。

[0336] 在一些实施方式中,第一半导体结构还包括焊盘引出互连层,并且外围电路设置在键合界面与焊盘引出互连层之间。

[0337] 根据本公开内容的另一方面,一种存储器系统包括被配置为存储数据的存储器器件和耦合到存储器器件的存储器控制器。存储器器件包括第一半导体结构、第二半导体结构以及第一半导体结构与第二半导体结构之间的键合界面。第一半导体结构包括外围电路。第二半导体结构包括存储器单元阵列,耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线;以及耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。存储器单元阵列经过键合界面耦合到外围电路。存储器控制器被配置为通过外围电路、位线和字线来控制存储器单元阵列。

[0338] 在一些实施方式中,存储器系统还包括主机,主机耦合到存储器控制器并且被配置为将数据发送到存储器器件或从存储器器件接收数据。

[0339] 在一些实施方式中,存储器单元至少包括DRAM单元、PCM单元或FRAM单元。

[0340] 根据本公开内容的又一方面,公开了一种用于形成3D存储器器件的方法。形成包括外围电路的第一半导体结构。形成第二半导体结构。为了形成第二半导体结构,形成存储器单元阵列,形成耦合到存储器单元并且各自在垂直于第一方向的第二方向上延伸的多条位线,并且形成耦合到存储器单元并且各自在垂直于第一方向和第二方向的第三方向上延伸的多条字线。存储器单元中的每一个存储器单元包括在第一方向上延伸的垂直晶体管和耦合到垂直晶体管的存储单元。垂直晶体管包括在第一方向上延伸的半导体主体,以及在第三方向上与半导体主体的两个相对侧面接触并且在第二方向上与半导体主体的一个侧面接触的栅极结构。位线中的相应一条位线和相应存储单元在第一方向上耦合到存储器单元中的每一个存储器单元的相对端部。第一半导体结构和第二半导体结构以面对面的方式键合,使得存储器单元阵列经过键合界面耦合到外围电路。

[0341] 在一些实施方式中,在键合之后,在第一半导体结构或第二半导体结构的背面上形成焊盘引出互连层。

[0342] 在一些实施方式中,键合包括混合键合。

[0343] 在一些实施方式中,为了形成存储器单元阵列,在衬底上形成电介质层的堆叠体,形成从衬底延伸穿过电介质层的堆叠体的半导体主体,去除电介质层的堆叠体中的一个电介质层以暴露半导体主体的部分,形成与半导体主体的暴露的部分的三个侧面接触的栅极结构,并且形成与半导体主体接触的存储单元。

[0344] 在一些实施方式中,为了形成半导体主体,蚀刻延伸穿过电介质层的堆叠体的开口以暴露衬底的部分,并且从衬底在开口中的暴露的部分外延生长半导体主体。

[0345] 在一些实施方式中,为了去除电介质层的堆叠体中的一个电介质层包括,穿过电介质层的堆叠体的至少一部分蚀刻沟槽以暴露电介质层的堆叠体中的一个电介质层,并且经由沟槽蚀刻电介质层的堆叠体中的一个电介质层。在一些实施方式中,将沟槽蚀刻成与

半导体主体的一个侧面对准以从侧面暴露半导体主体。

[0346] 在一些实施方式中,为了形成栅极结构,在半导体主体的暴露的部分之上形成栅极电介质,在栅极电介质之上形成导电层,并且对导电层进行图案化以在栅极电介质之上形成栅极电极。

[0347] 在一些实施方式中,为了形成存储器单元阵列,在形成存储单元之前掺杂半导体主体的远离衬底的第一端部,在形成存储单元之后去除衬底以暴露半导体主体的与第一端部相对的第二端部,并且掺杂半导体主体的暴露的第二端部。

[0348] 在一些实施方式中,为了形成存储单元,在半导体主体的掺杂的第一端部上形成第一电极,在第一电极上形成电容器电介质,并且在电容器电介质上形成第二电极。

[0349] 在一些实施方式中,为了形成位线,在半导体主体的掺杂的第二端部上形成位线中的相应一条位线。

[0350] 可以容易地修改特定实施方式的前述描述和/或使其适于各种应用。因此,基于本文呈现的教导和指导,这样的适应和修改旨在处于所公开的实施方式的等同变换的含义和范围内。

[0351] 本公开内容的广度和范围不应受上述示例性实施方式中的任一个示例性实施方式的限制,而应仅根据所附权利要求和其等同变换来限定。

100

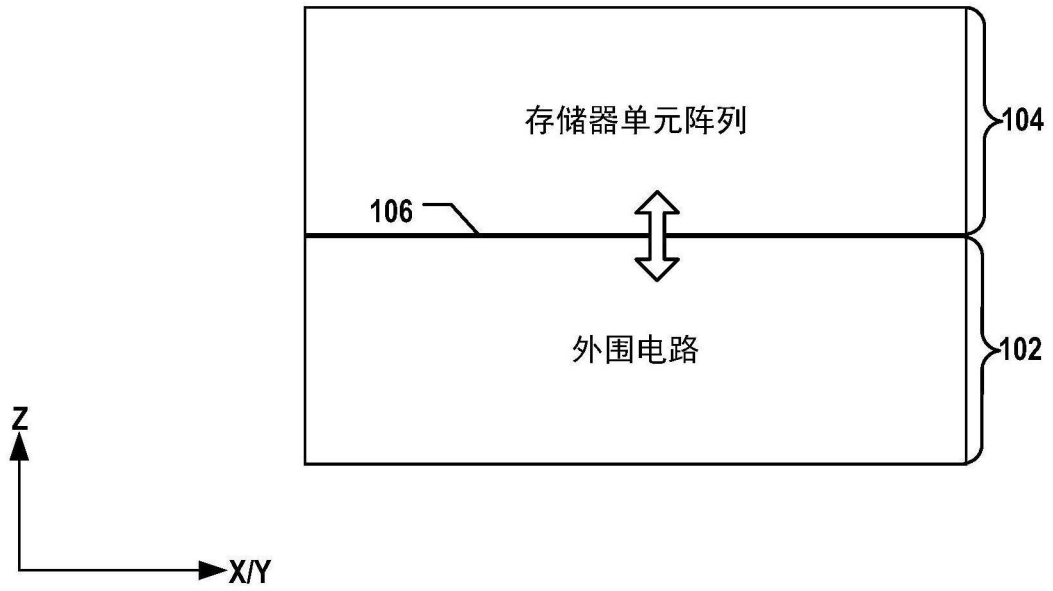


图1A

101

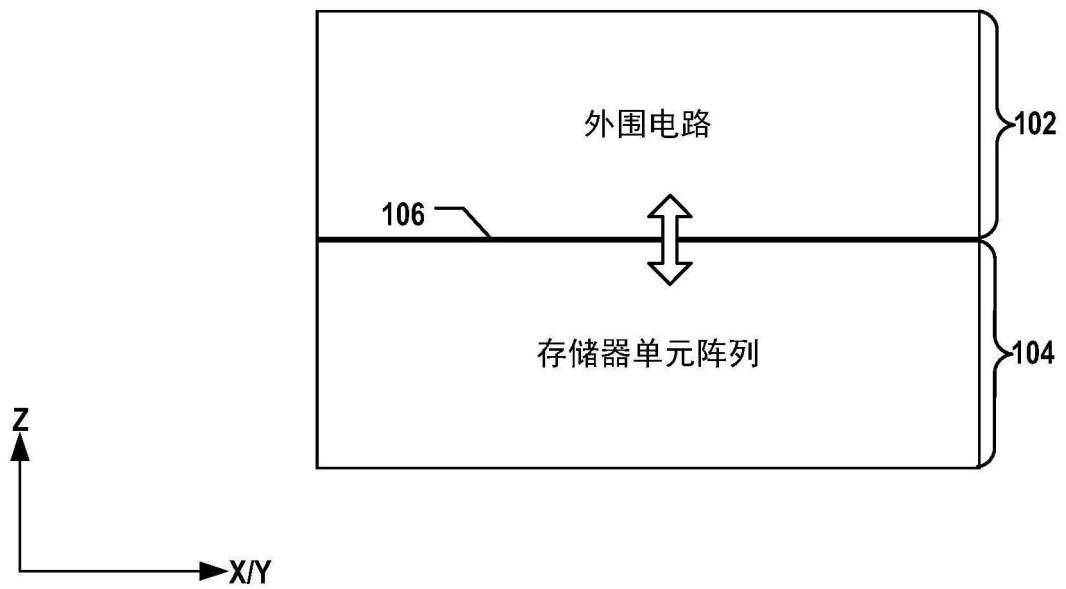


图1B

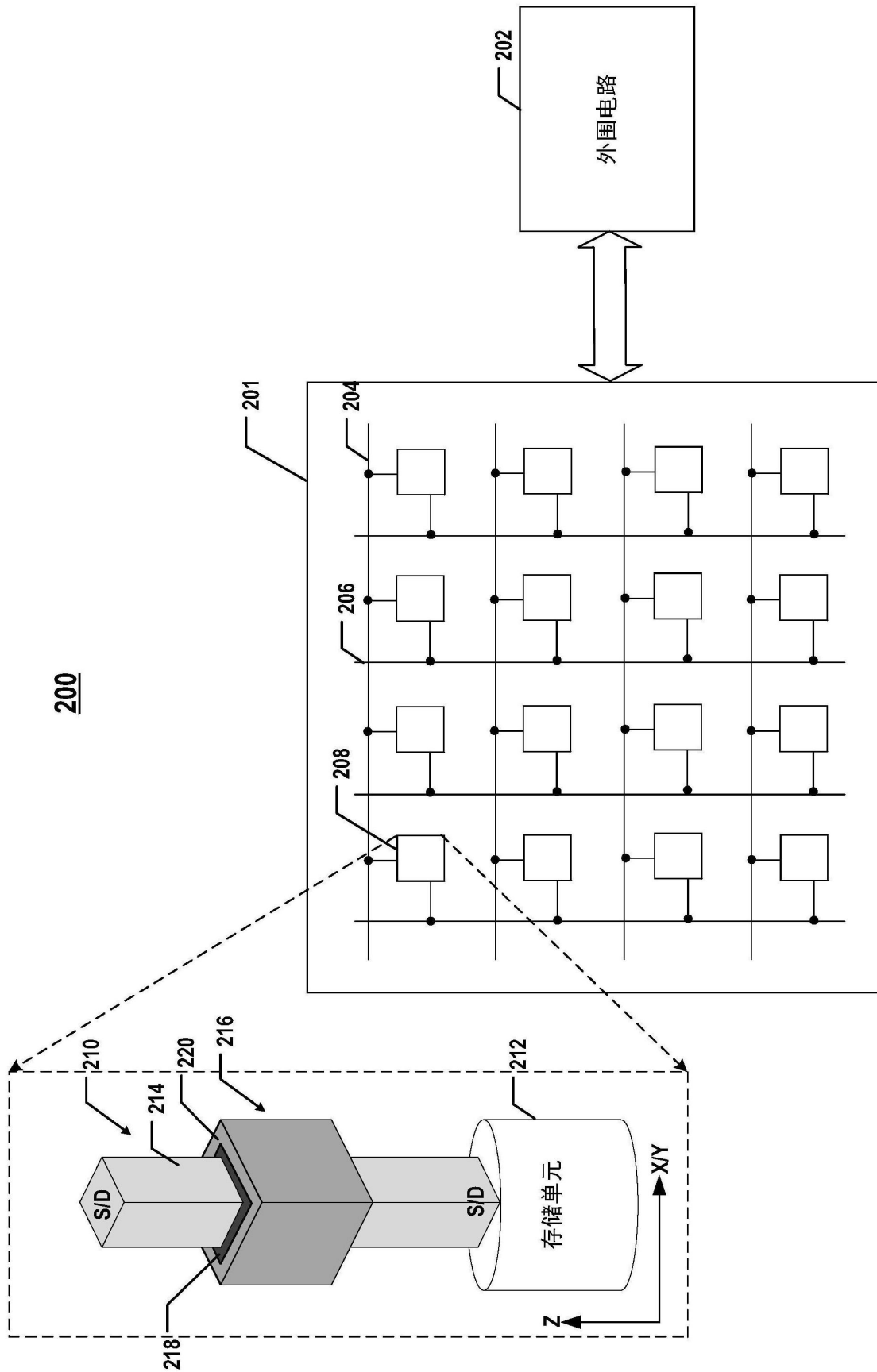


图2

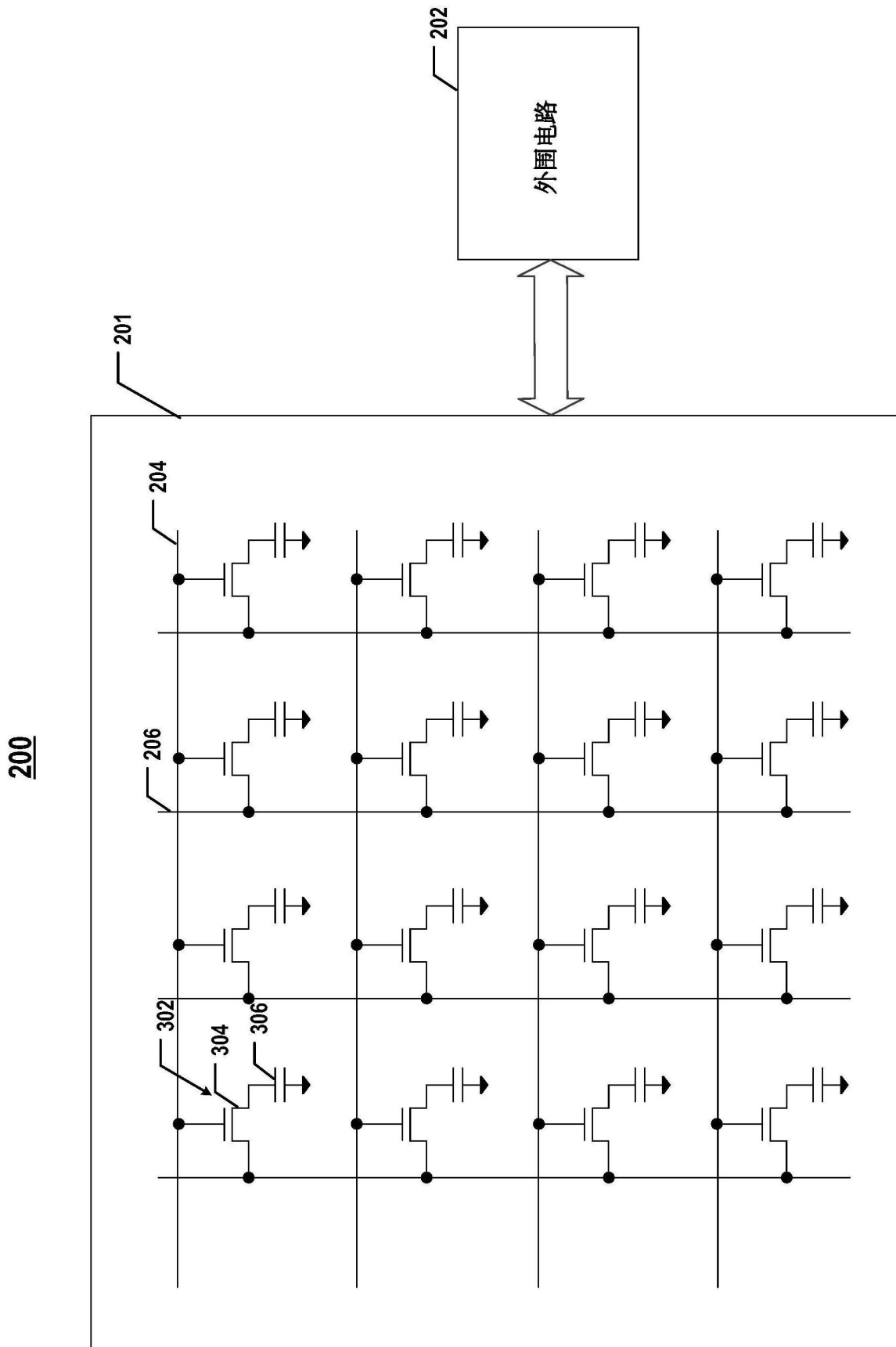


图3

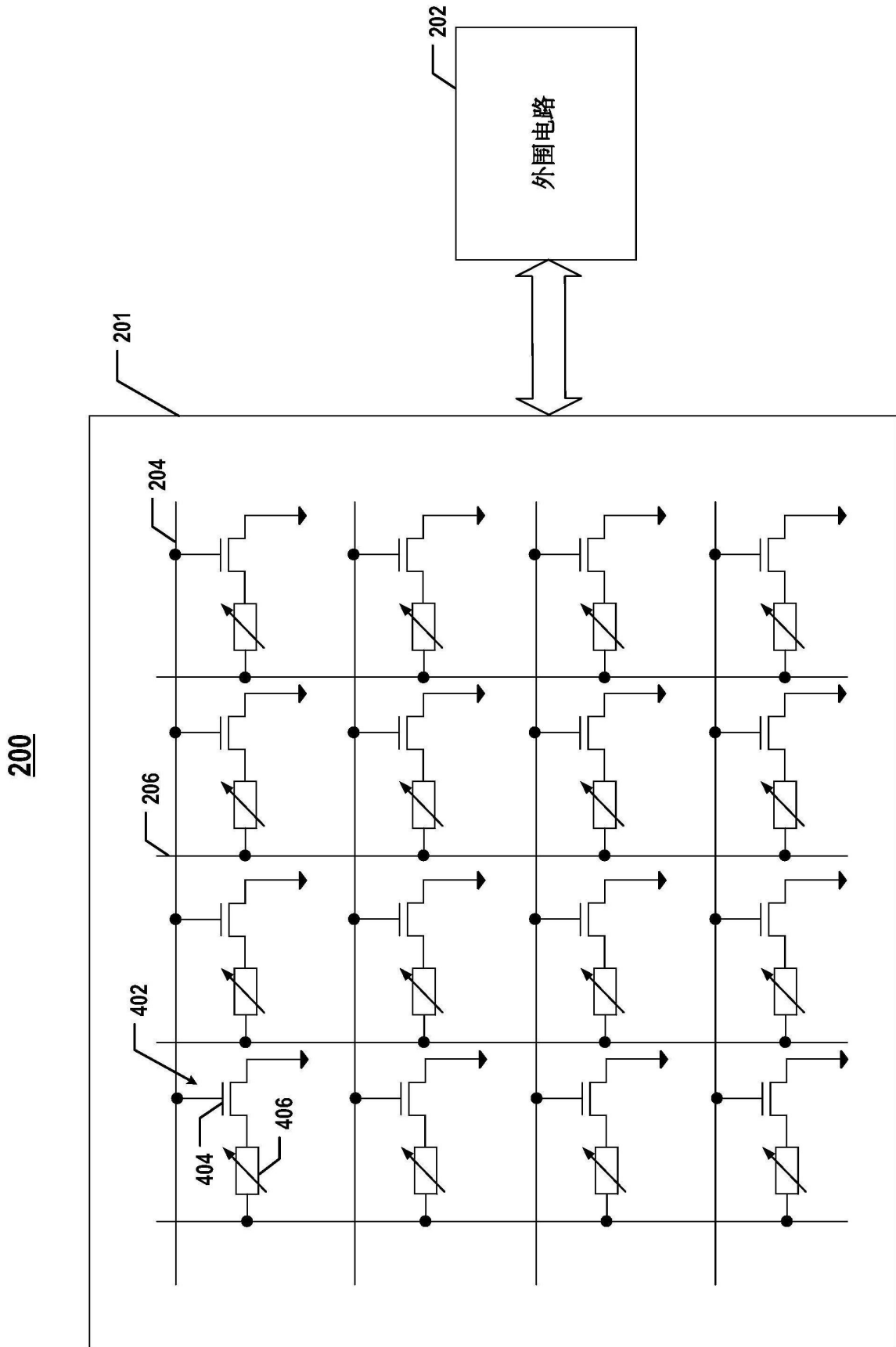


图4

500

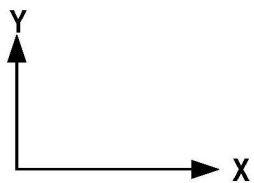
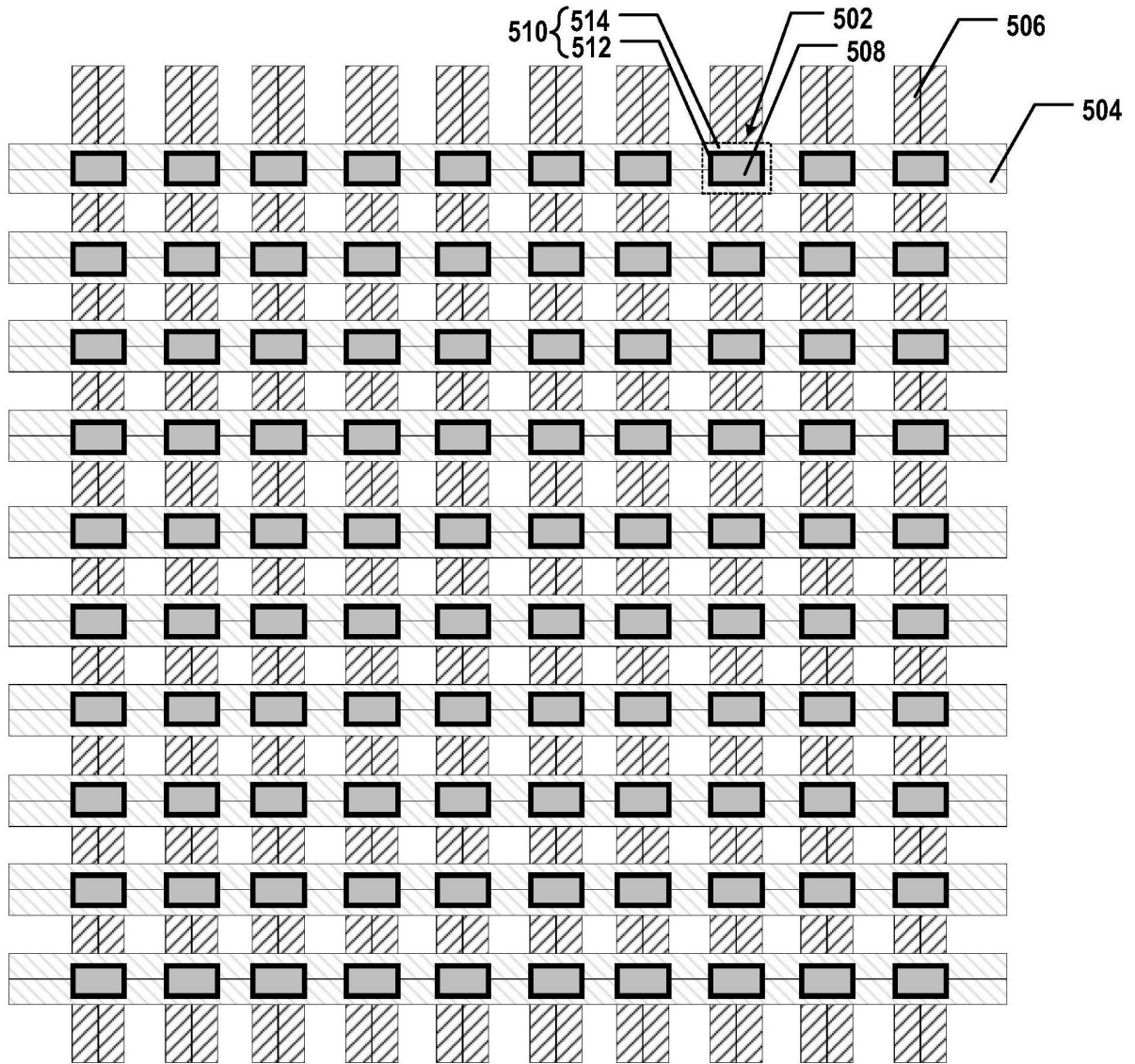


图5

600

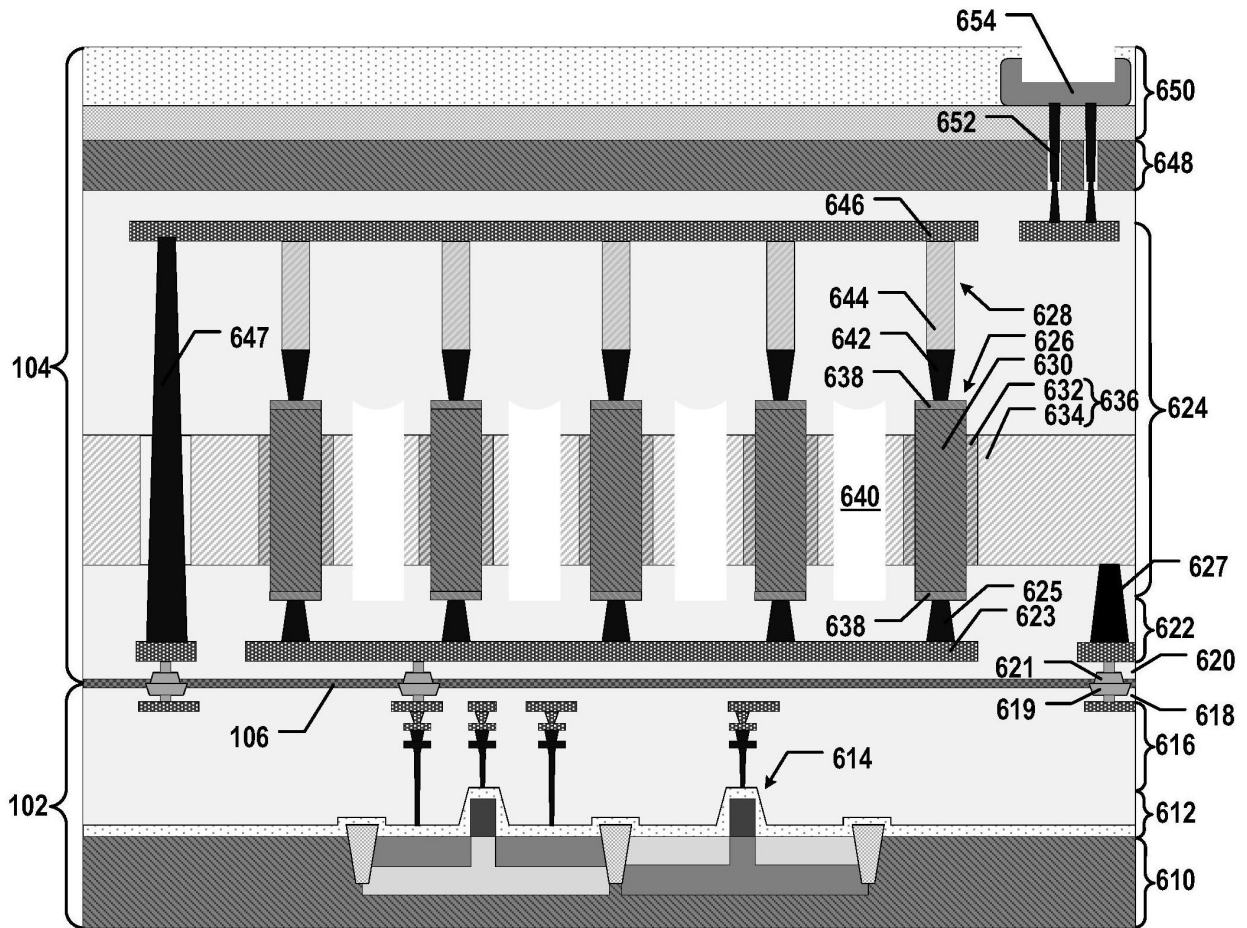


图6A

601

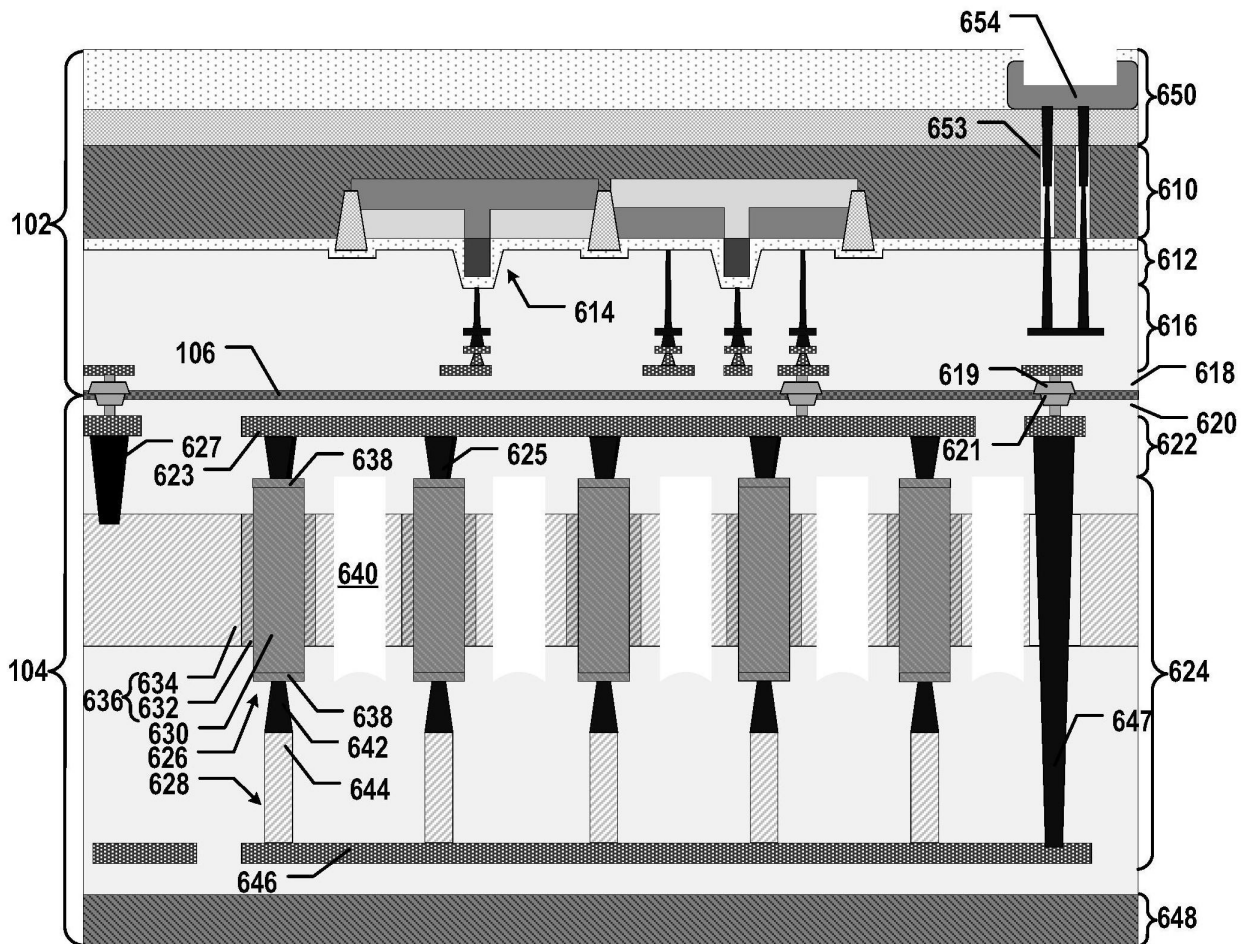


图6B

603

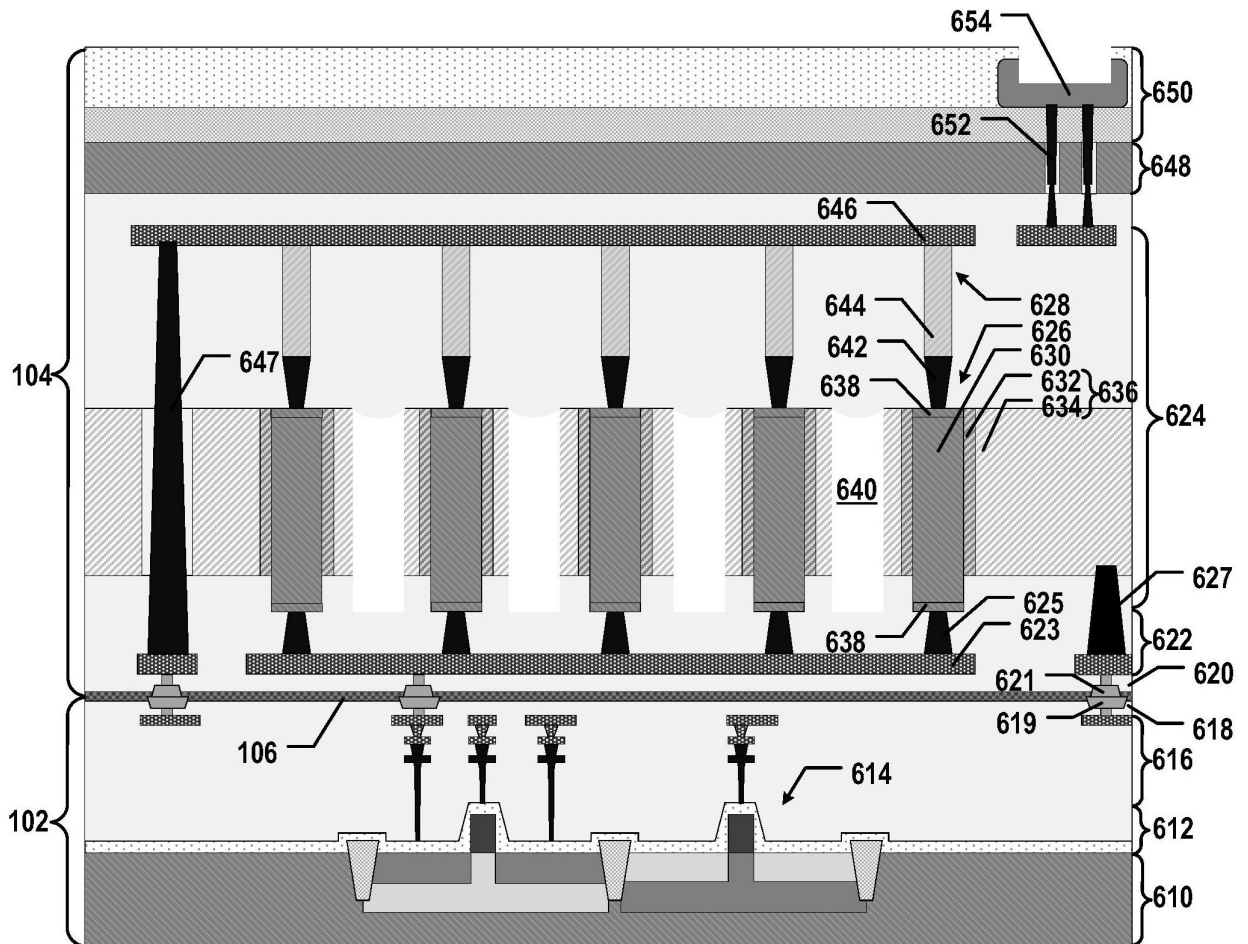


图6C

605

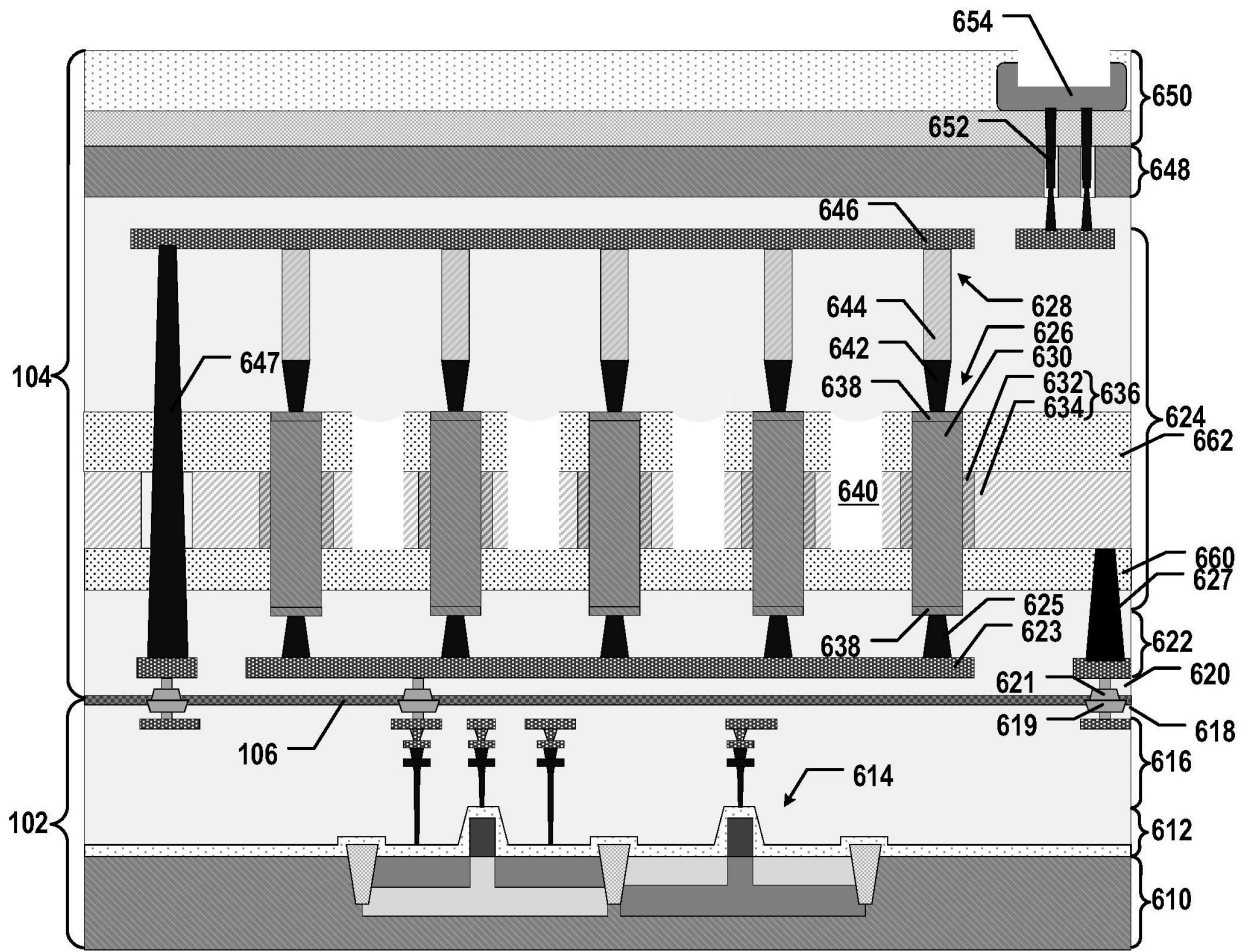


图6D

607

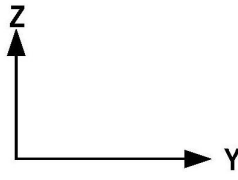
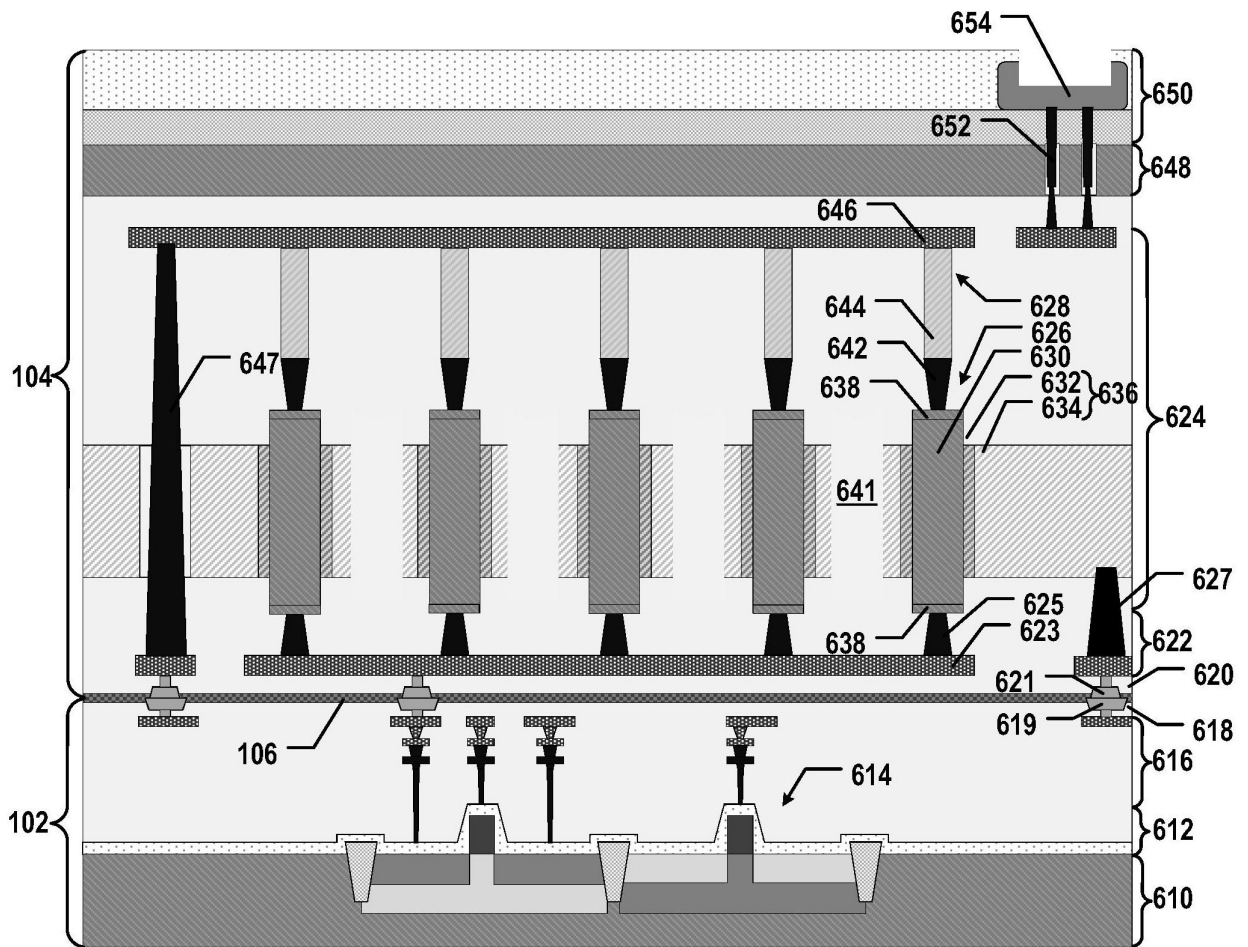


图6E

700

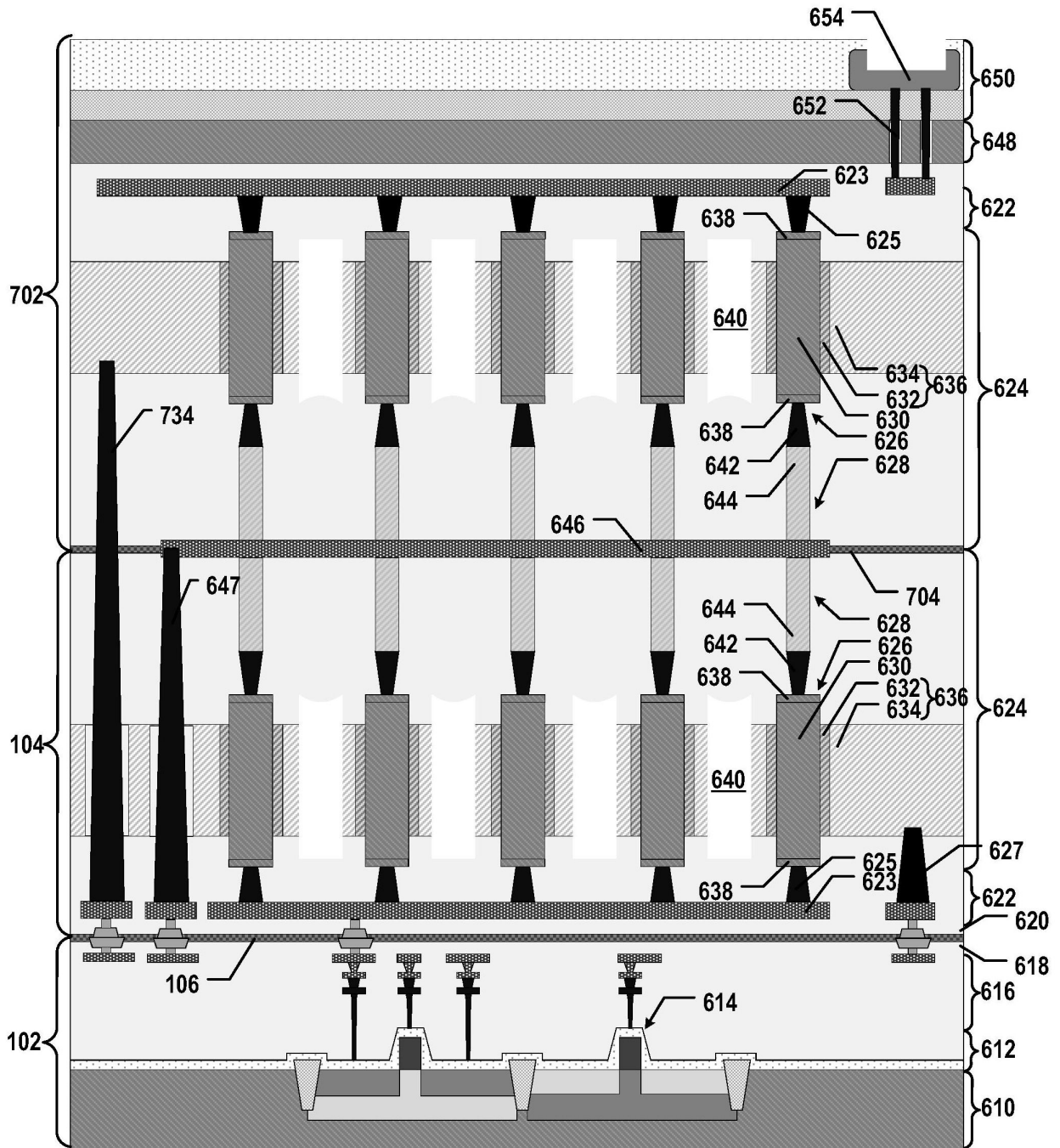


图7

800

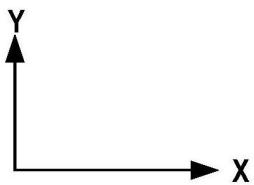
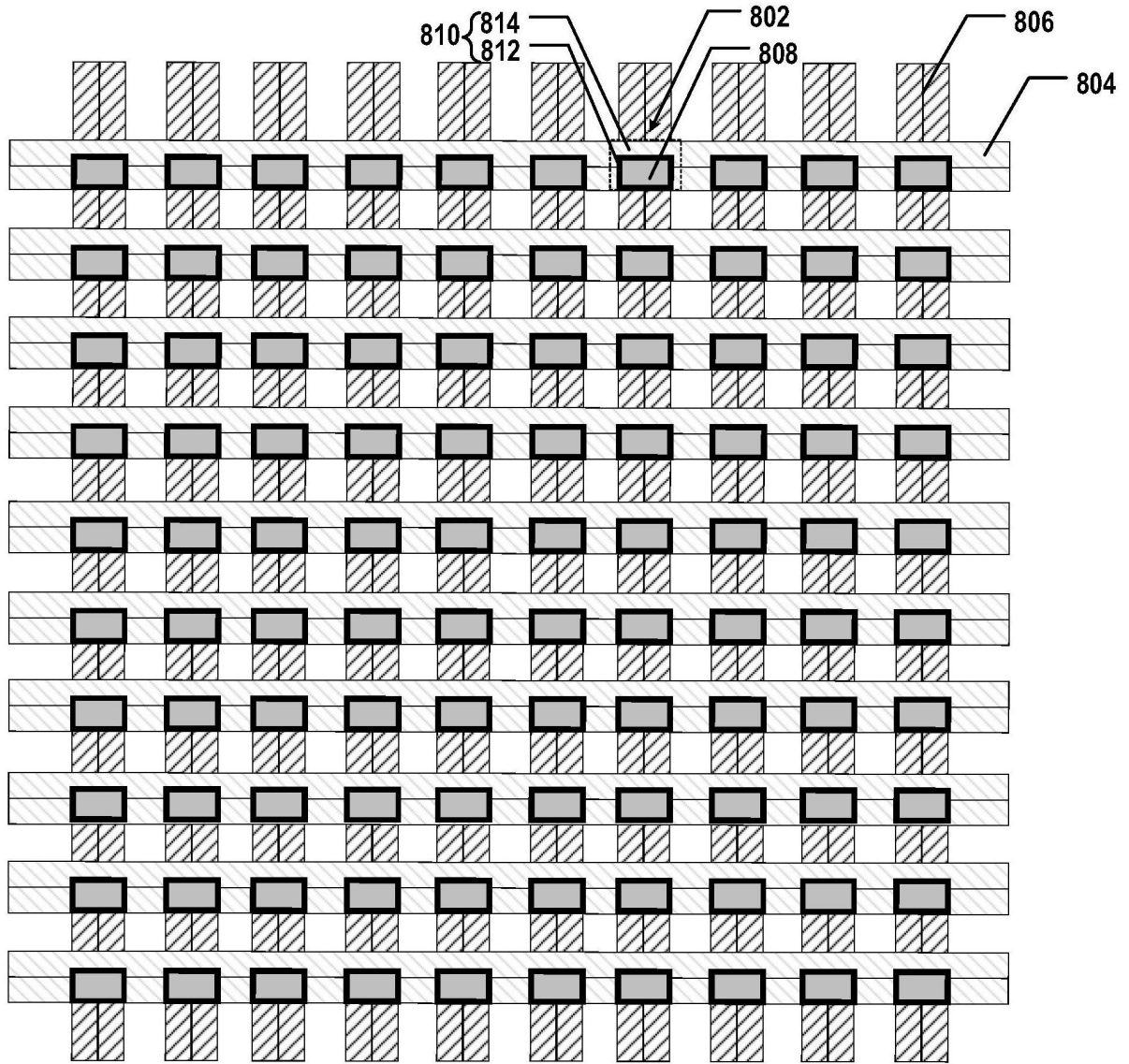


图8

900

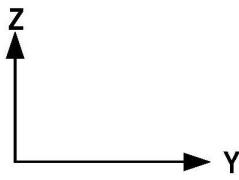
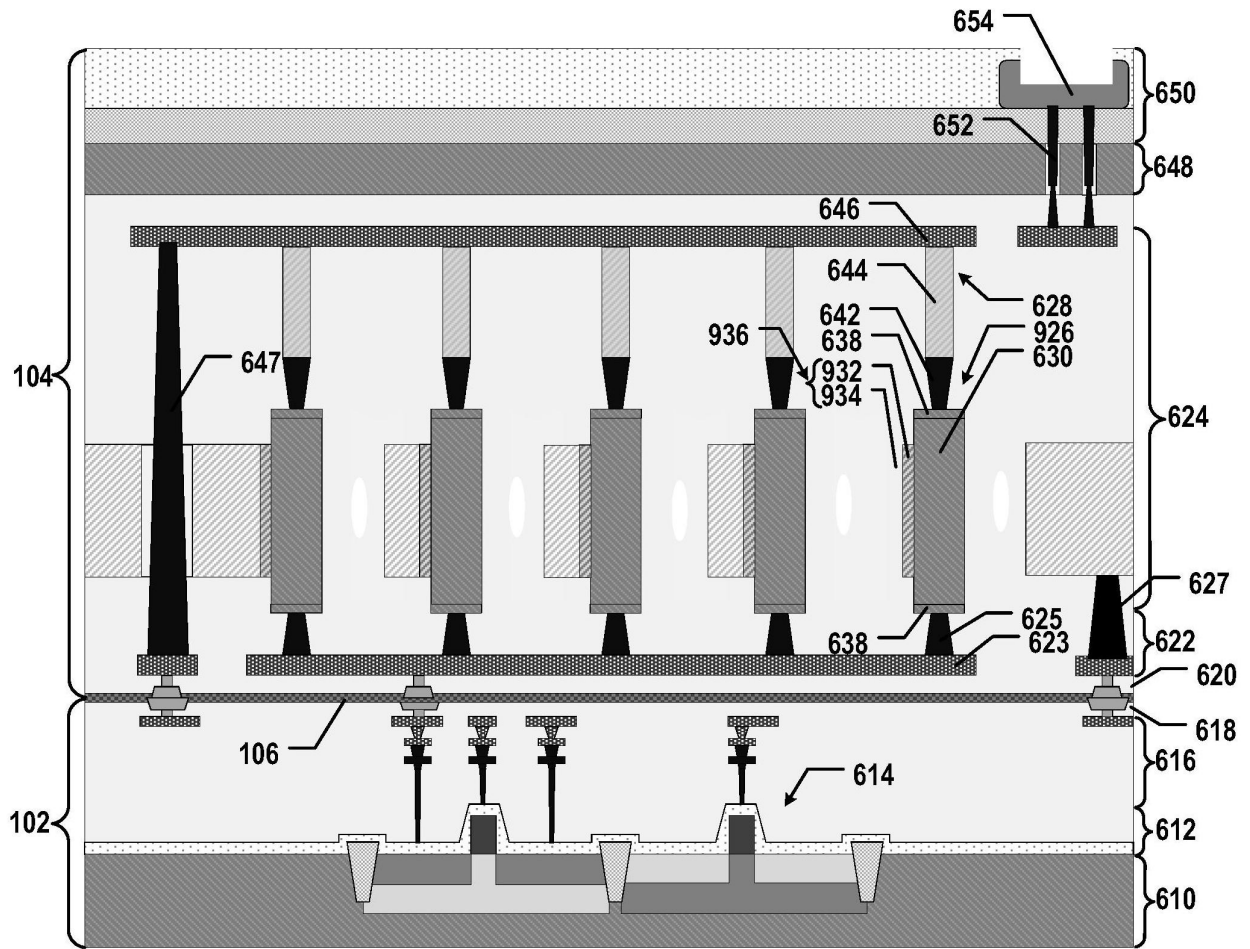


图9

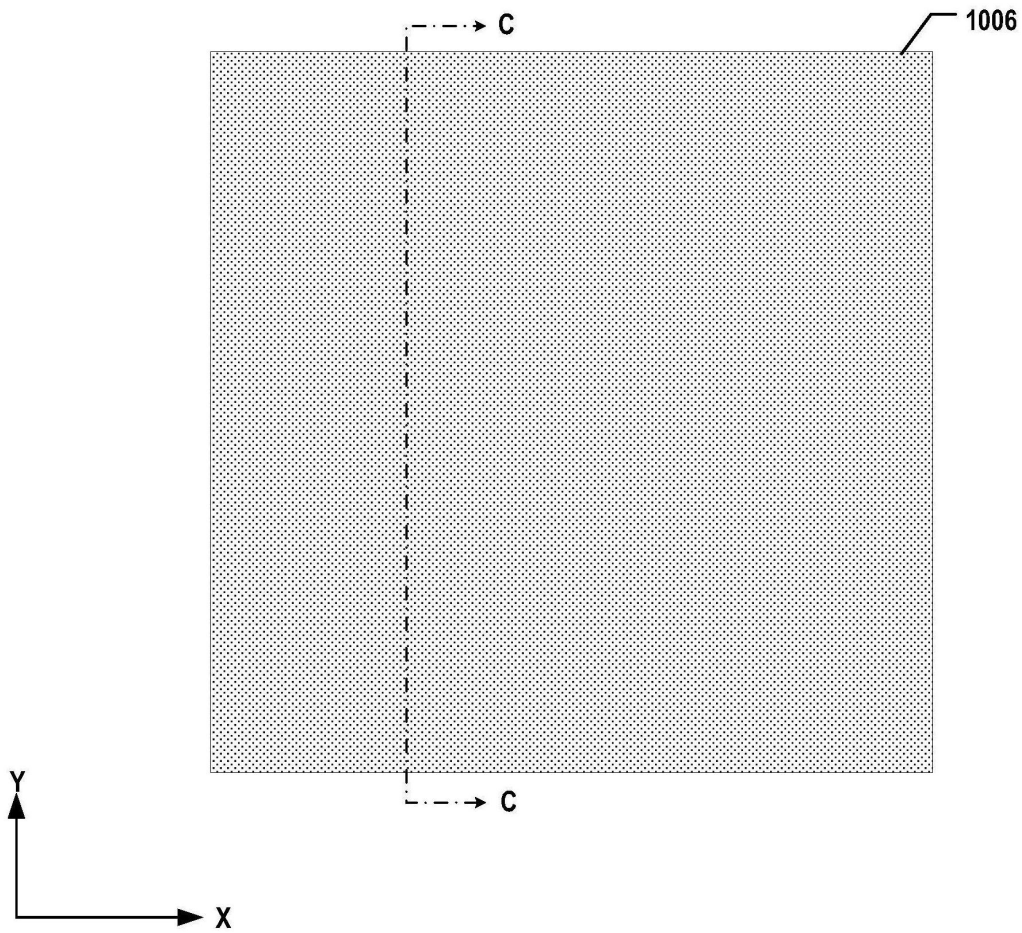
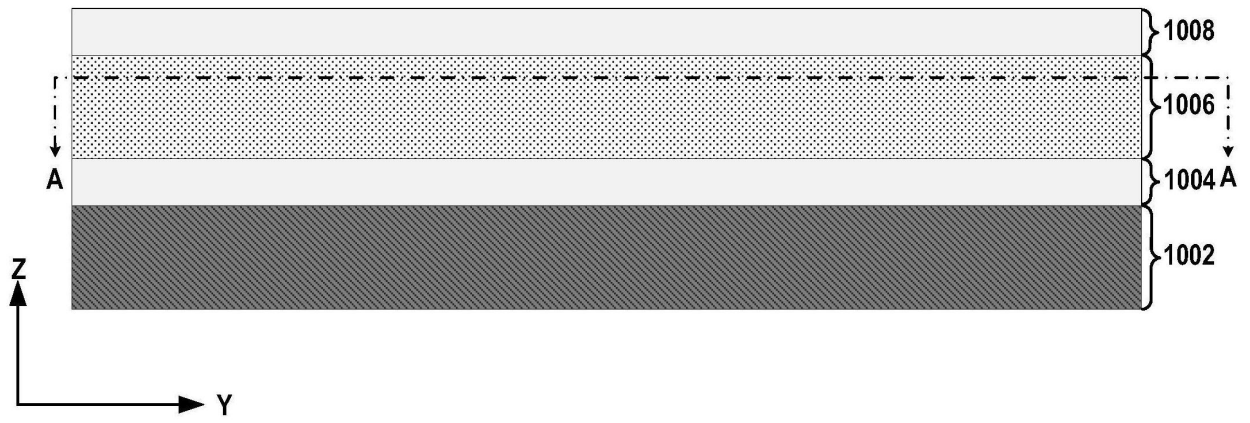


图10A

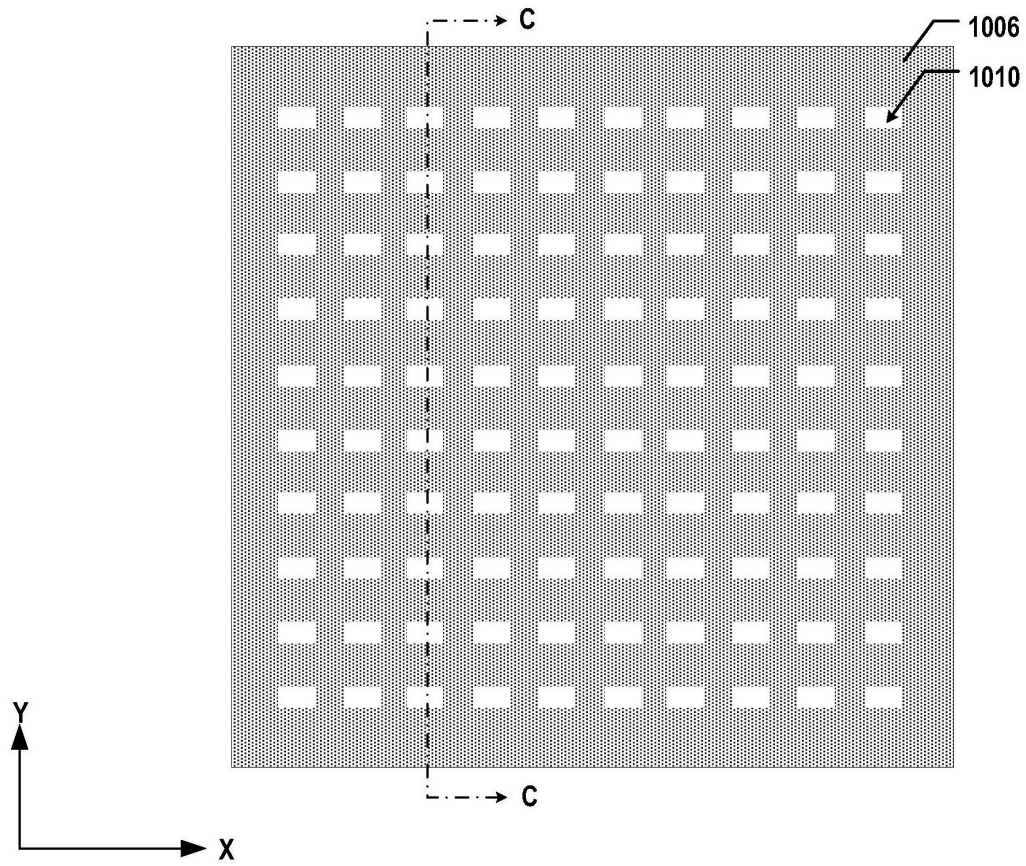
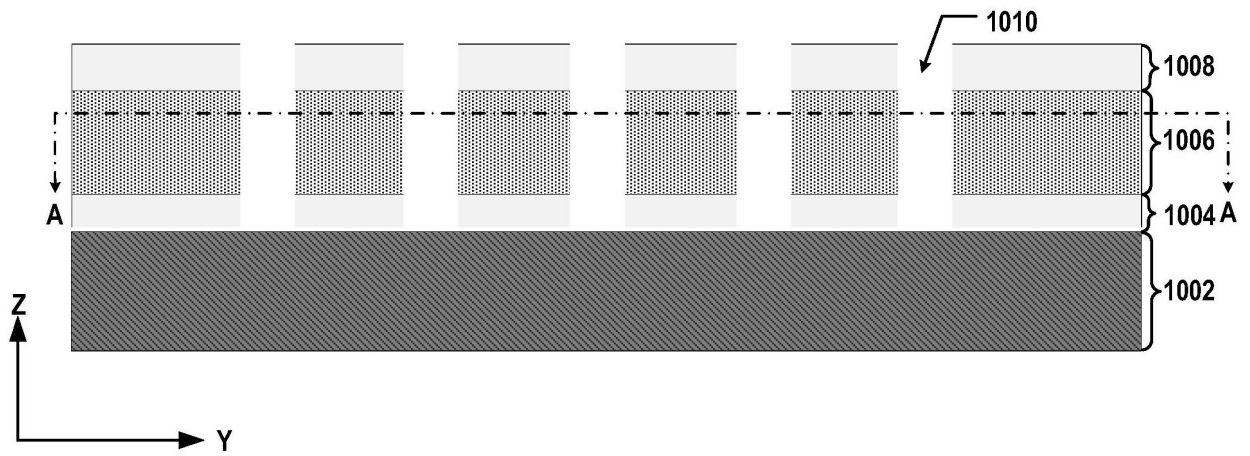


图10B

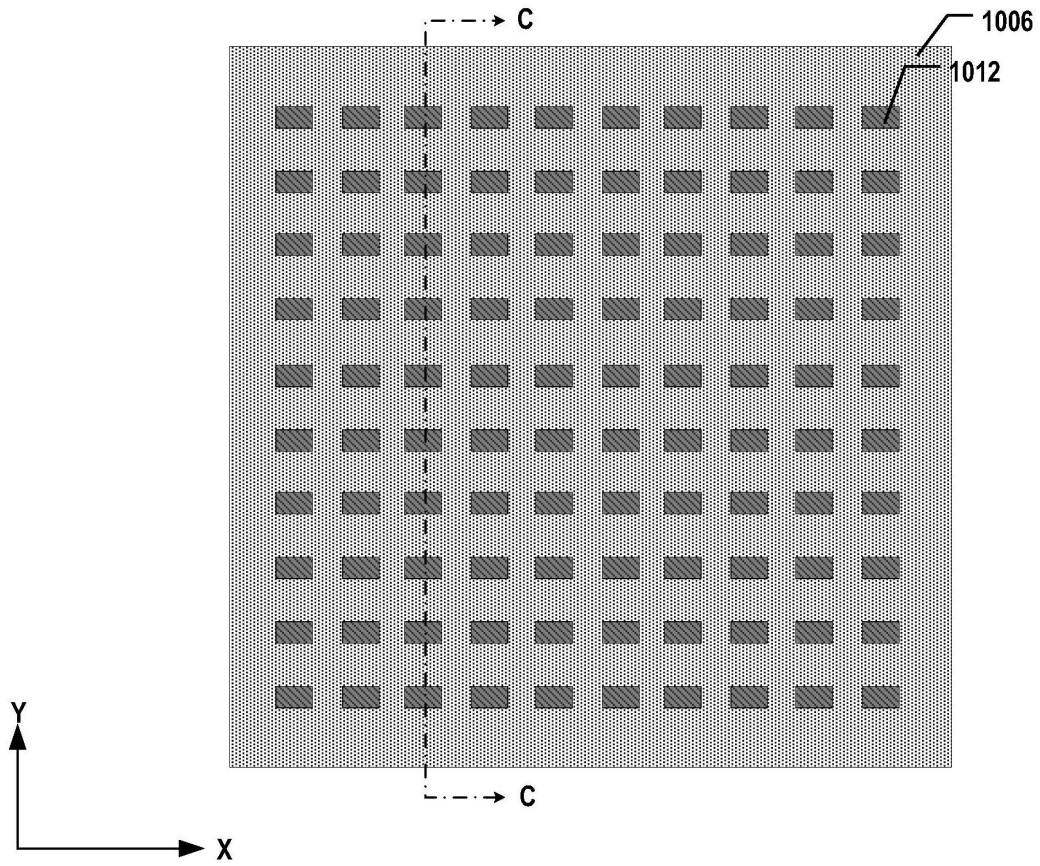
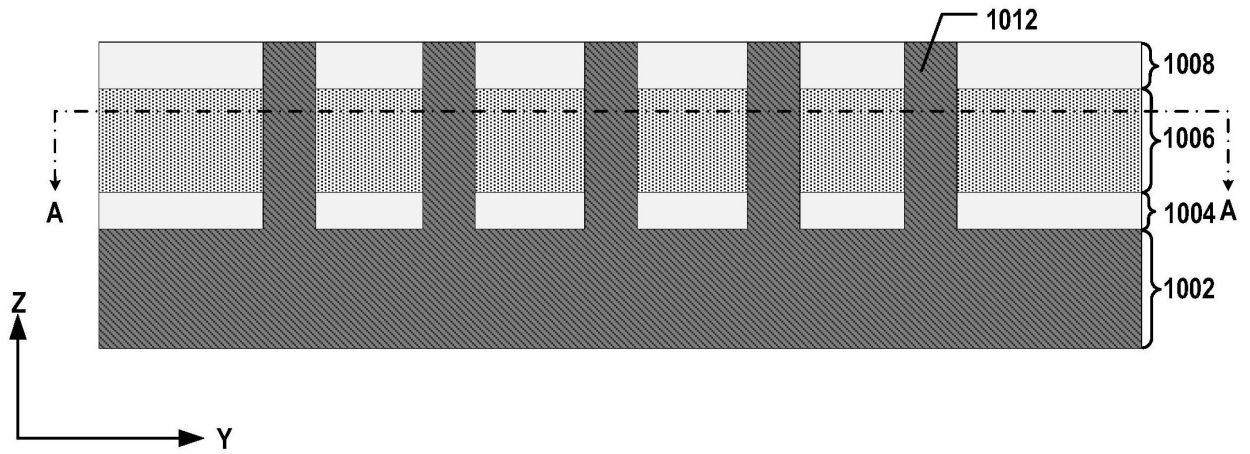


图10C

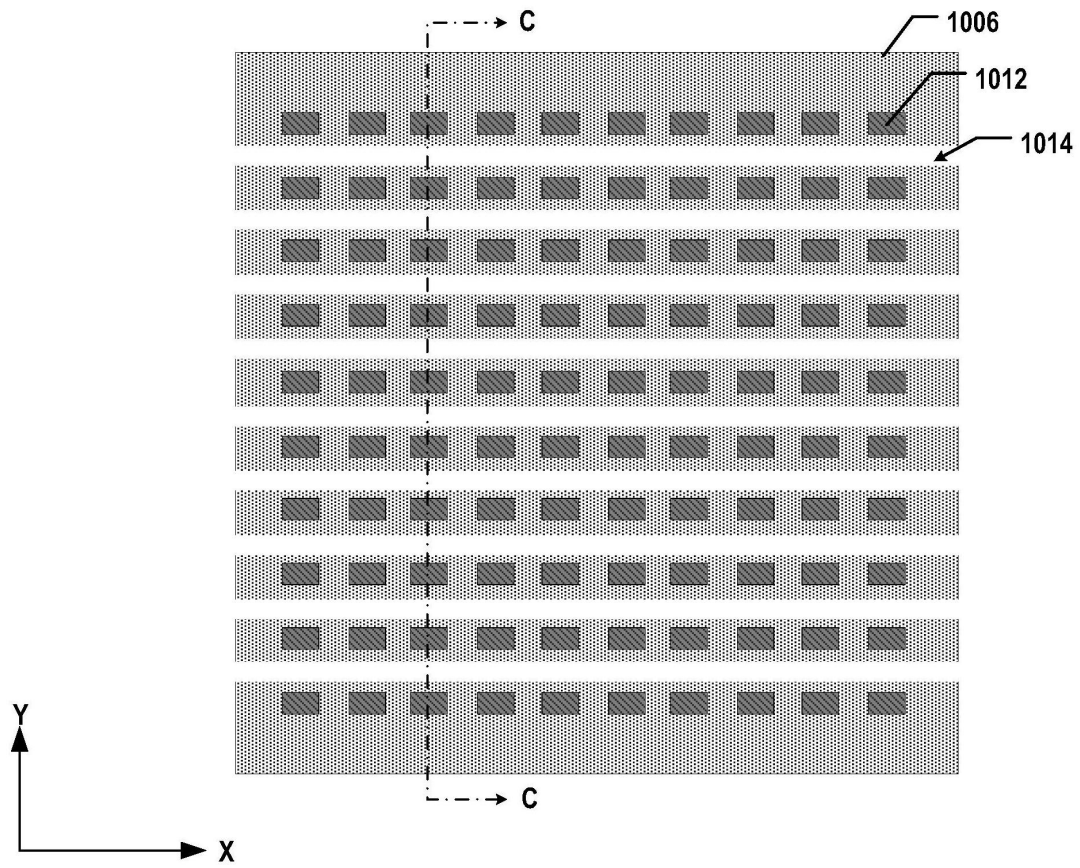
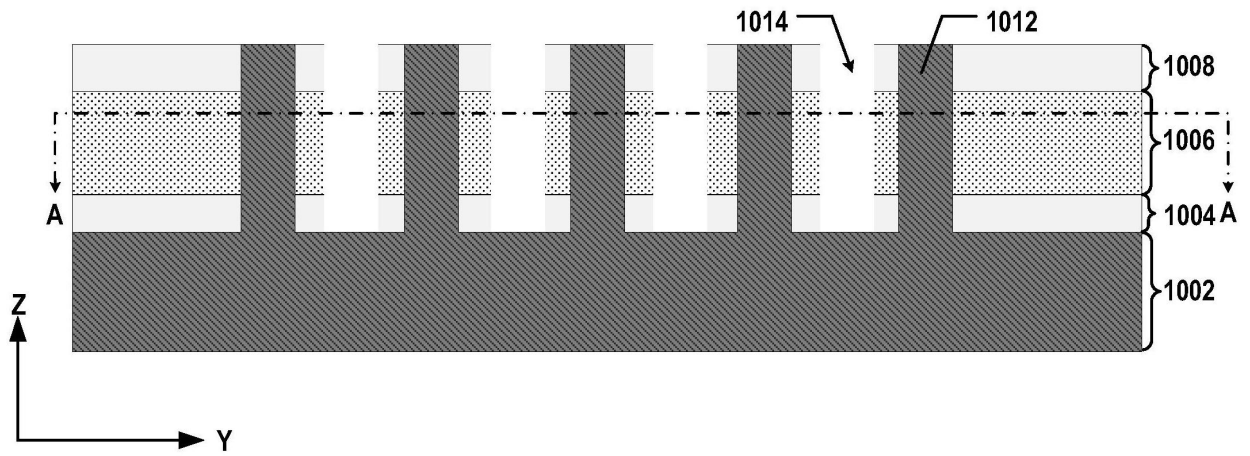


图10D

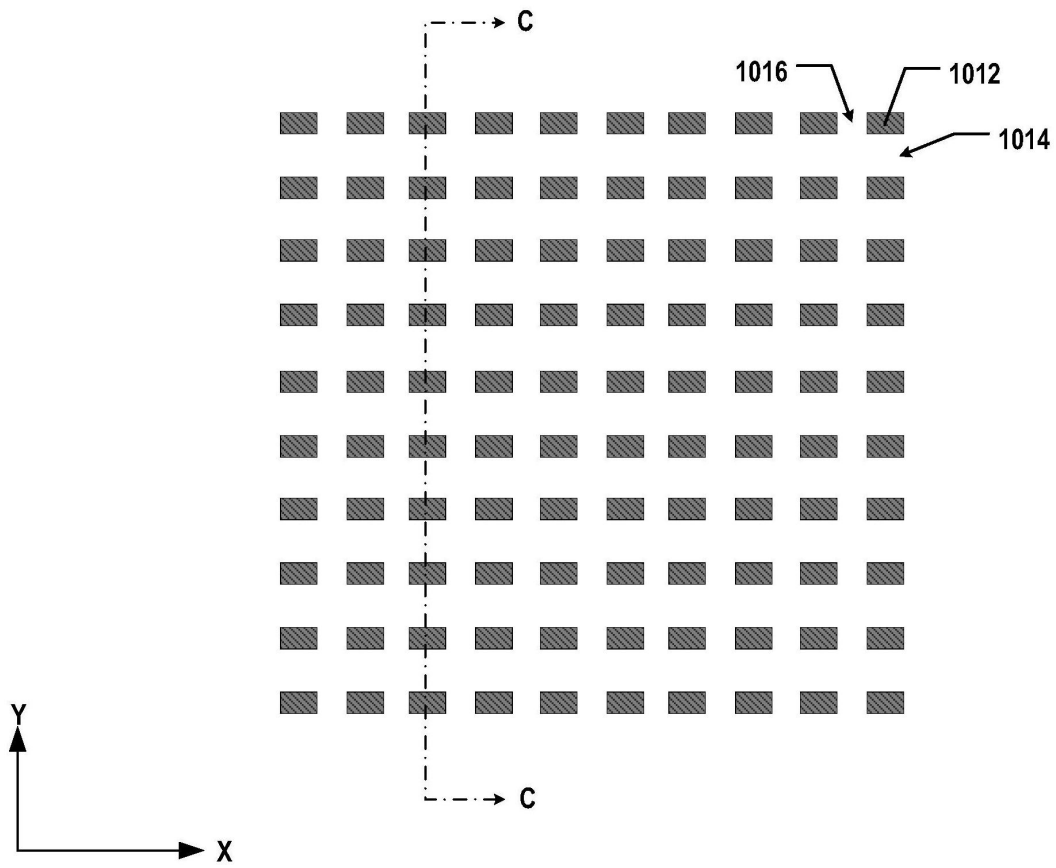
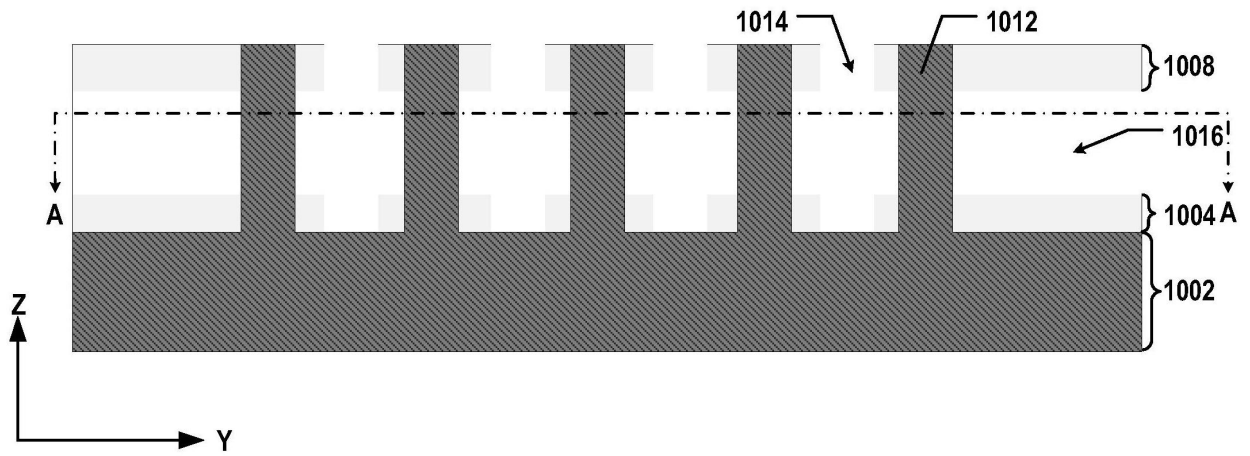


图10E

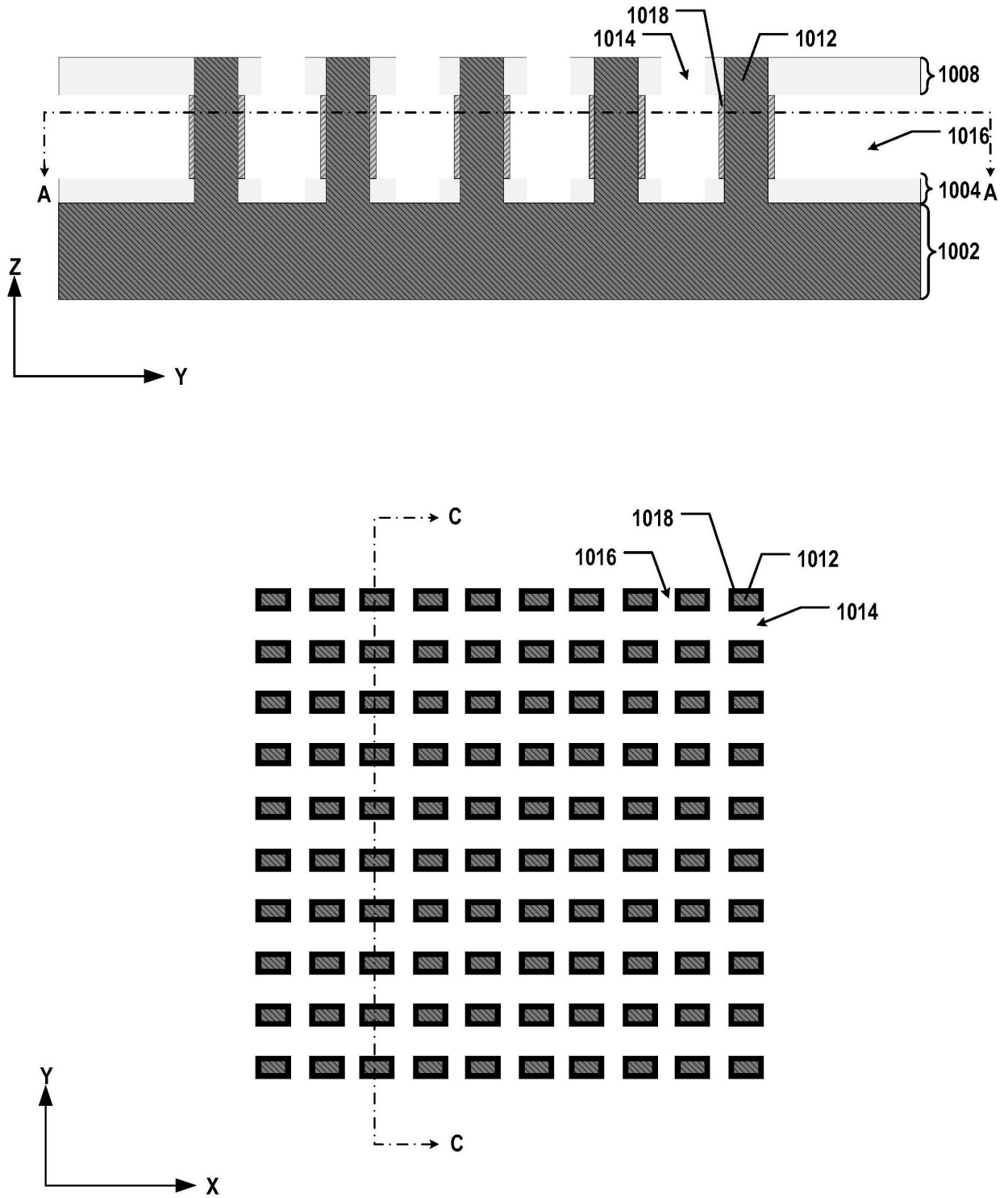


图10F

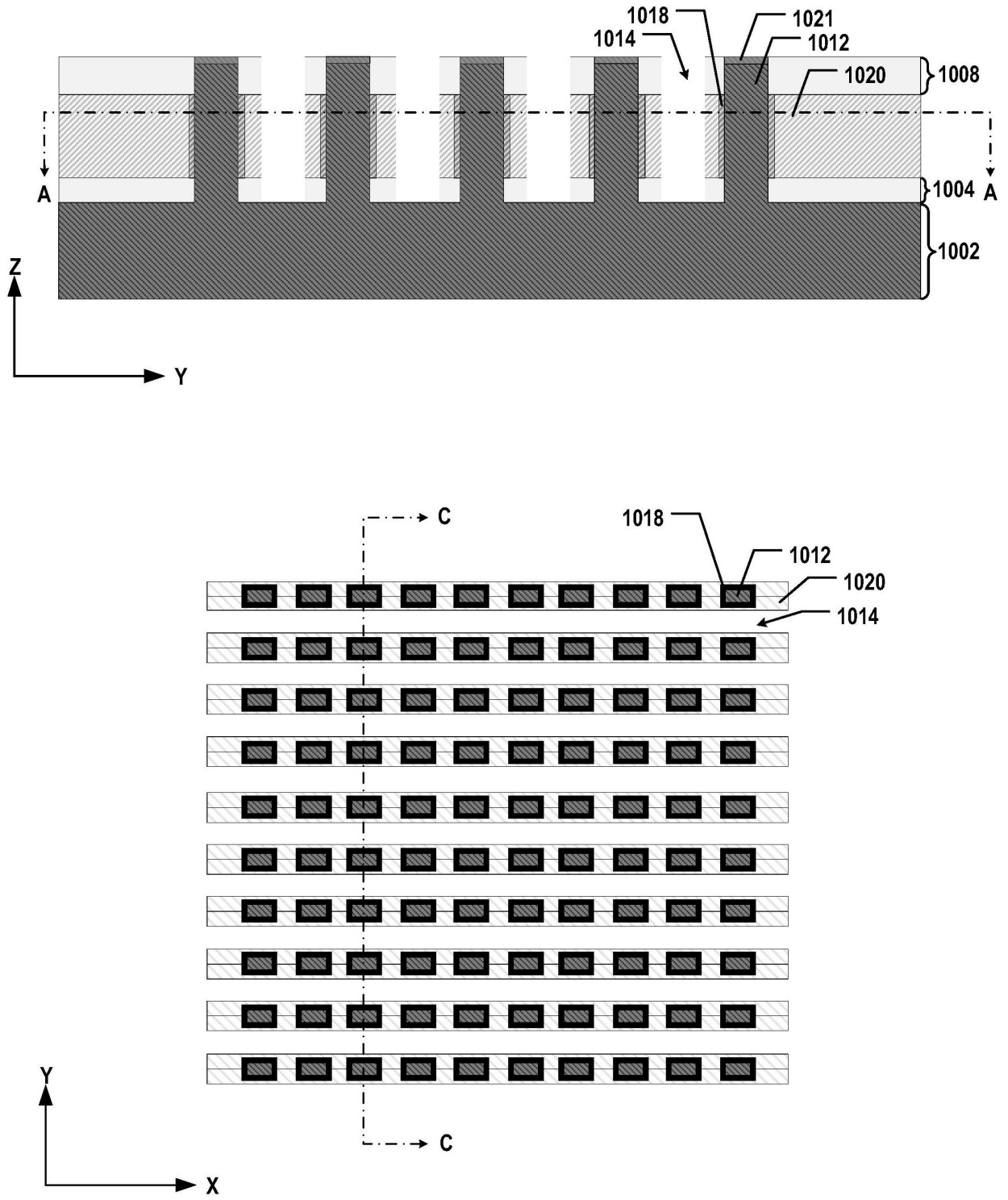


图10G

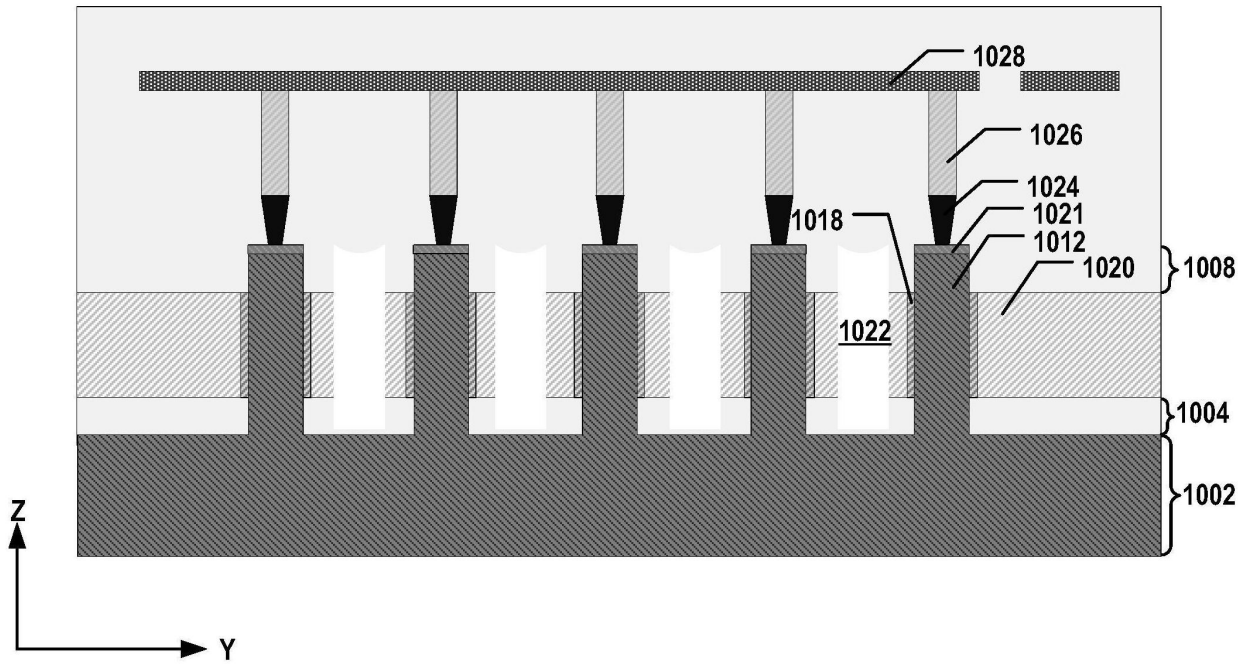


图10H

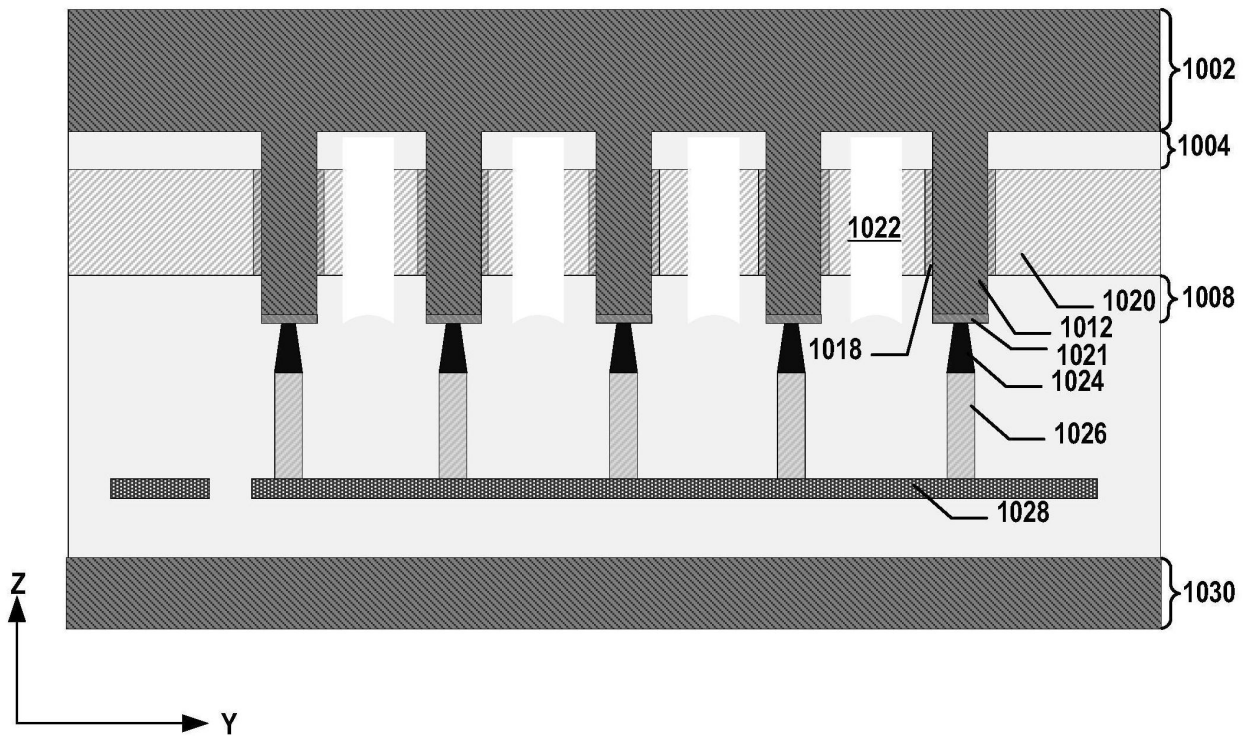


图10I

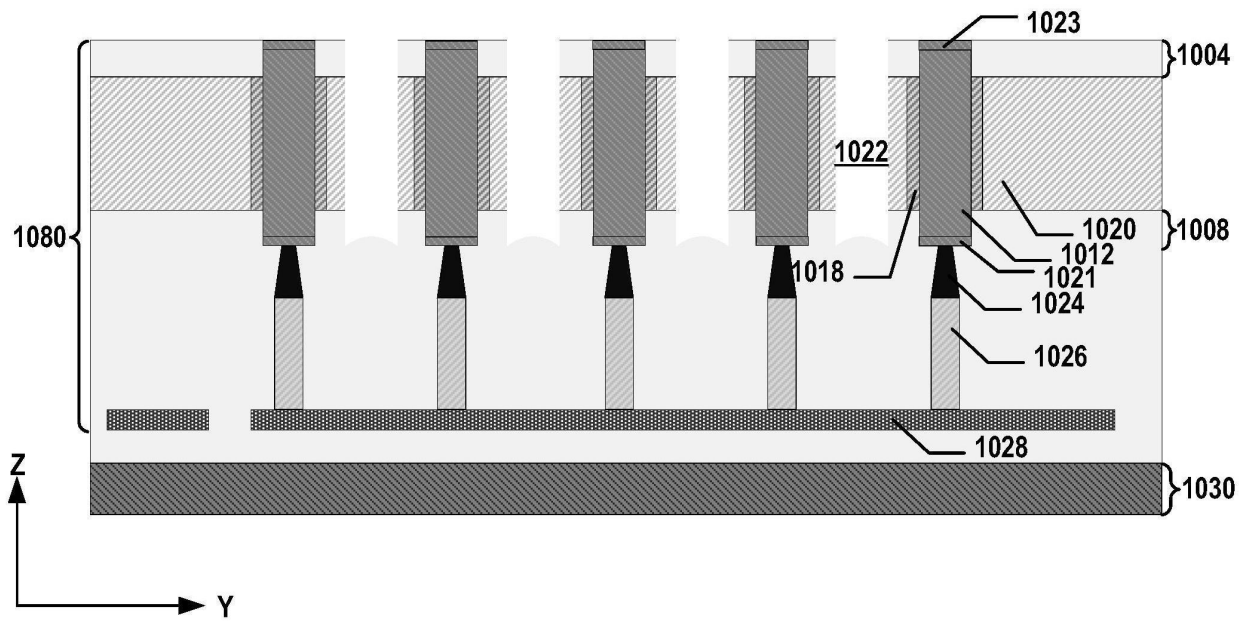


图10J

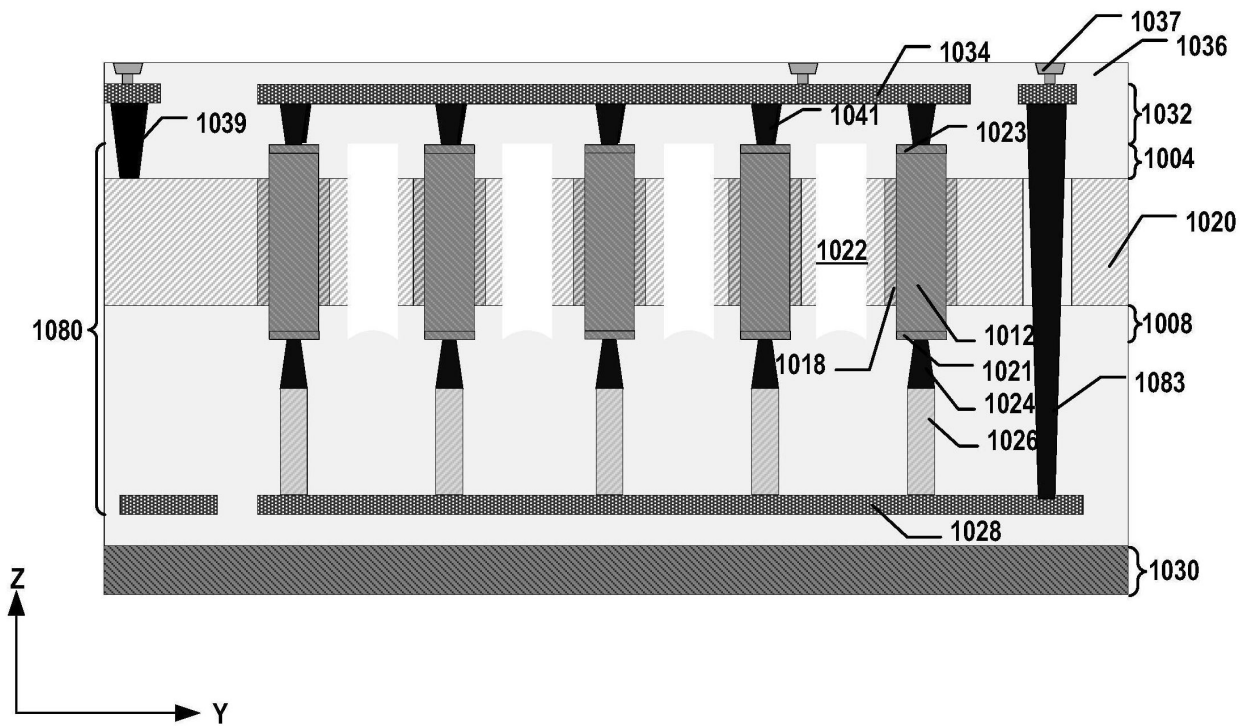


图10K

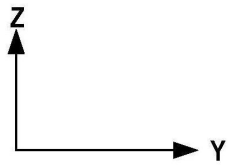
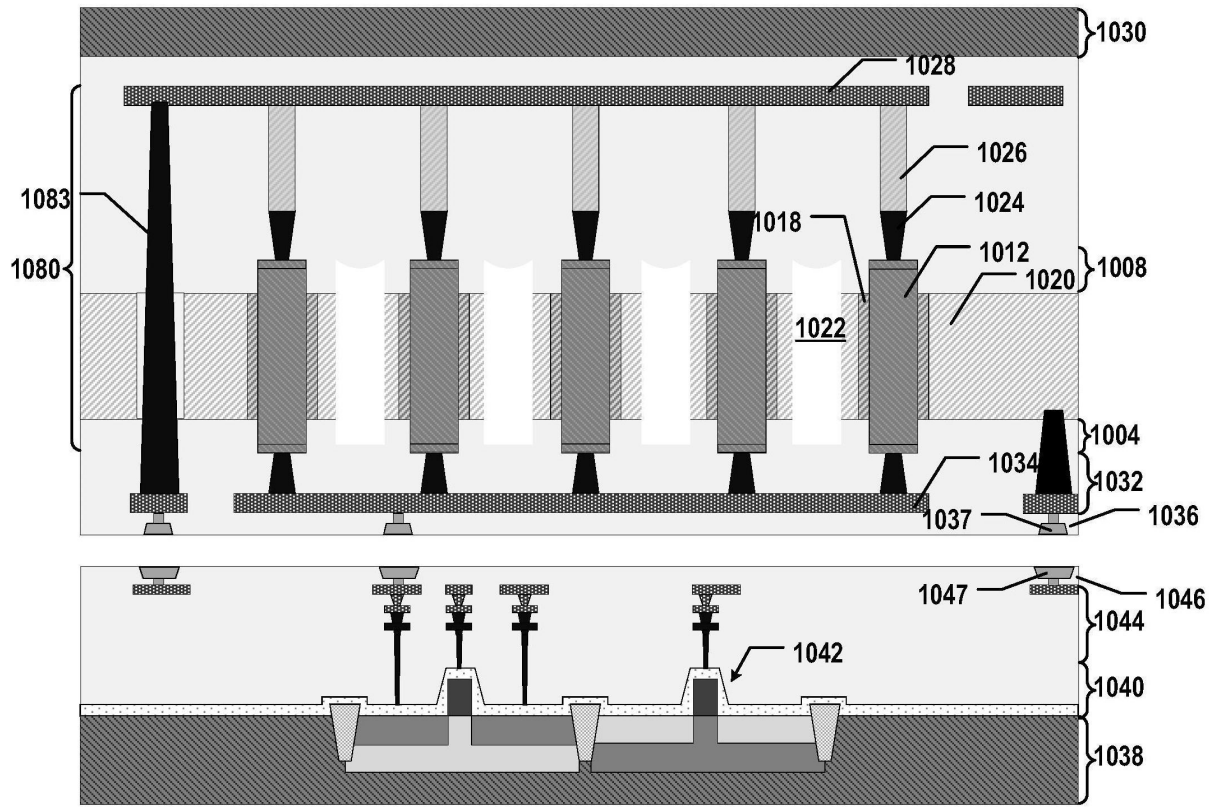


图10L

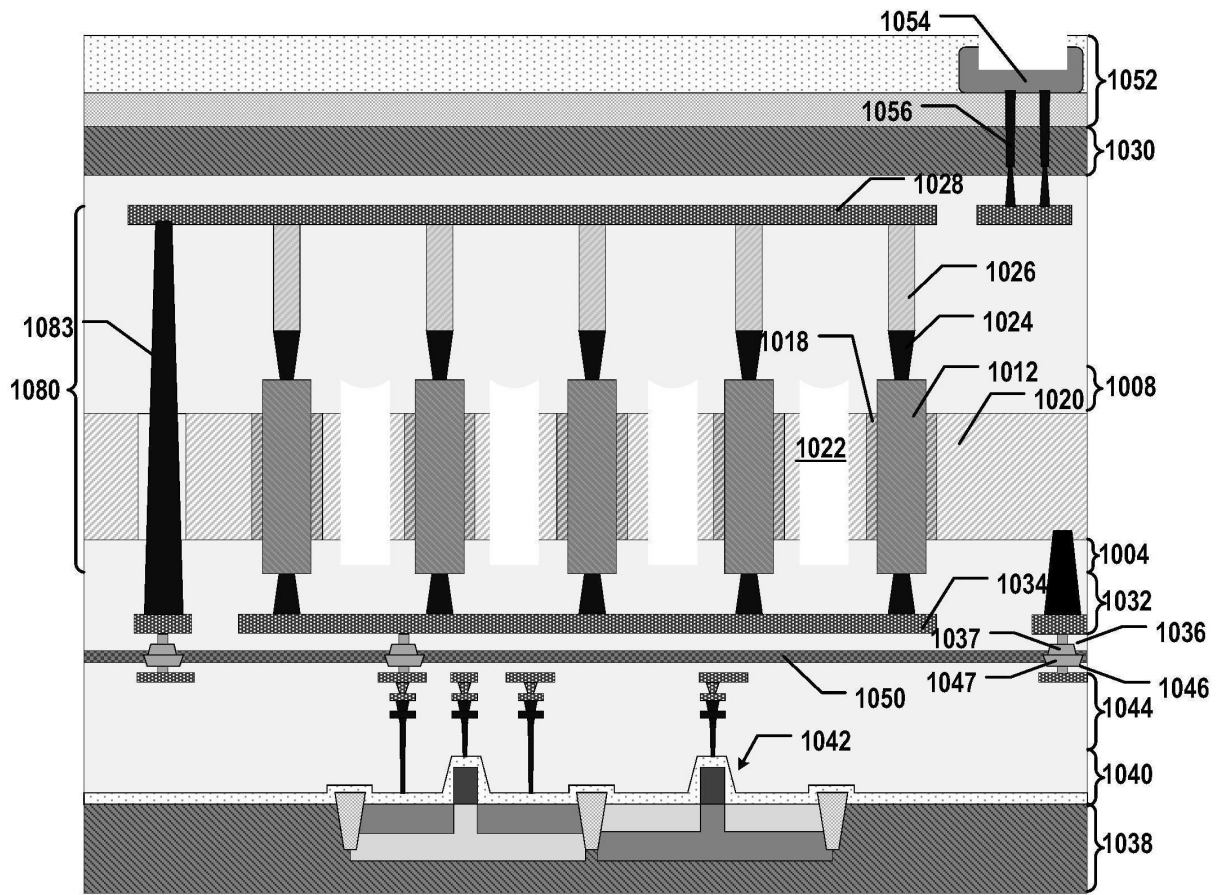


图10M

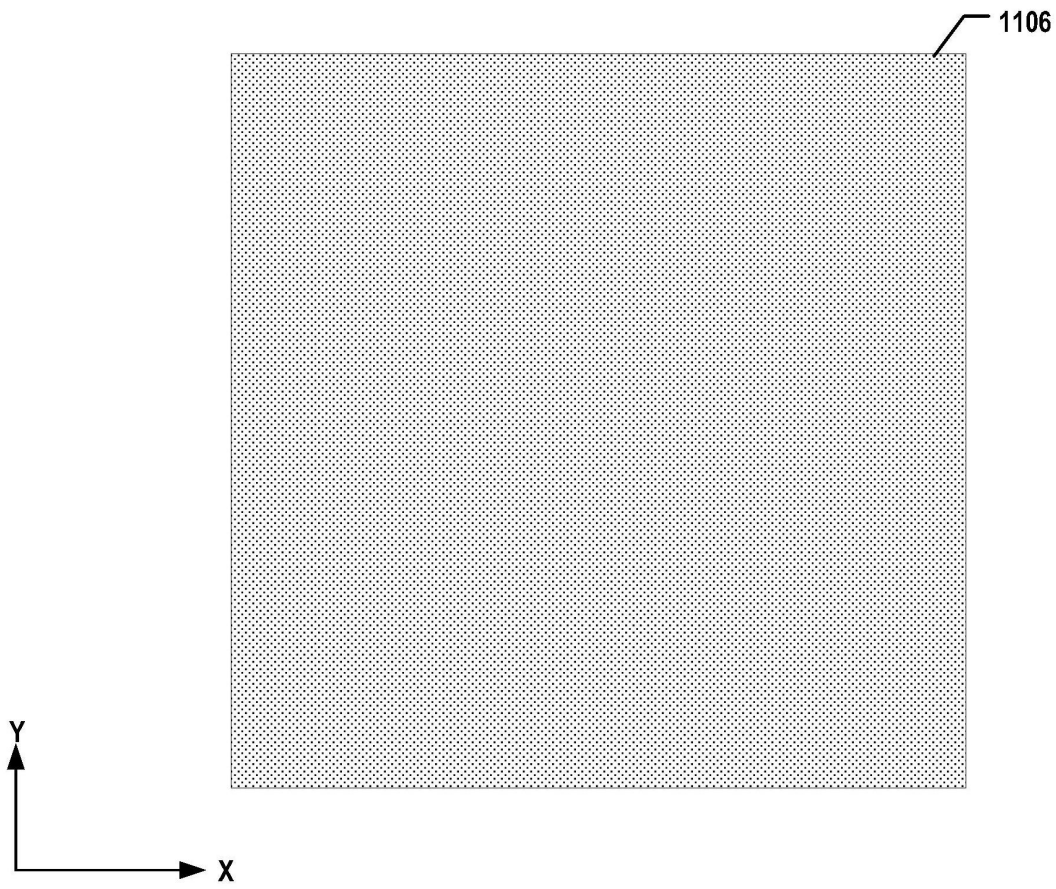


图11A

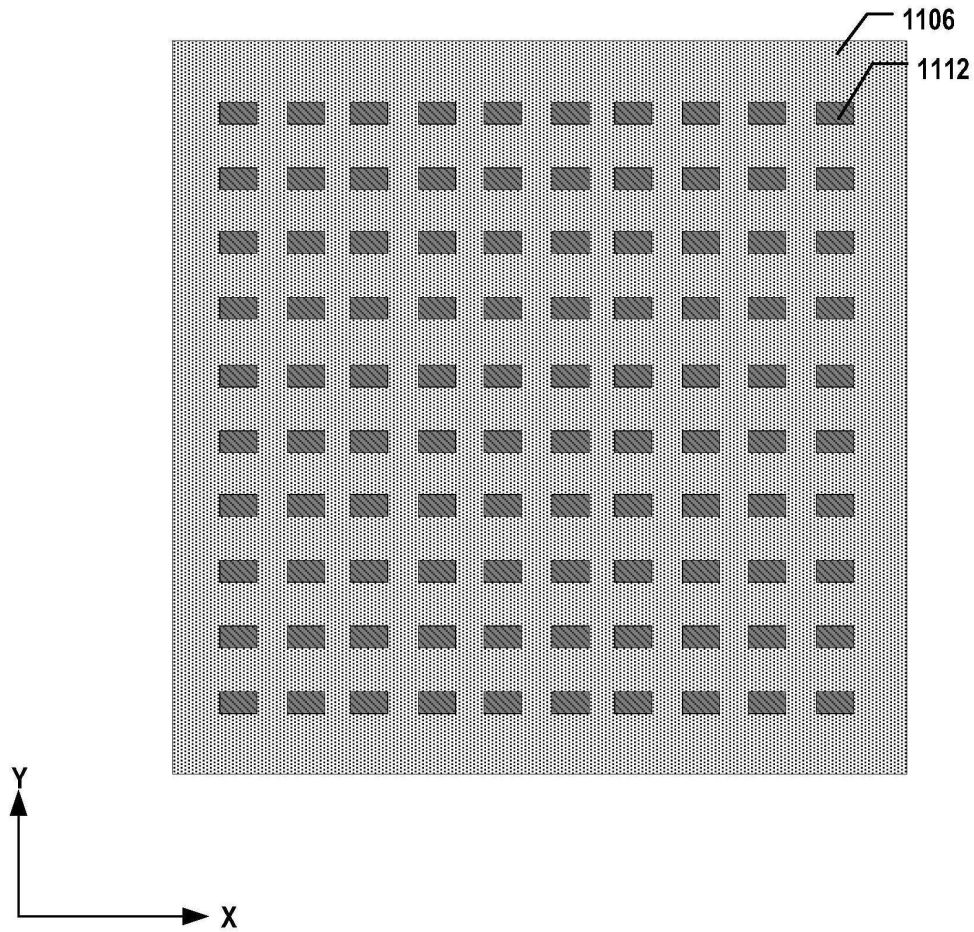
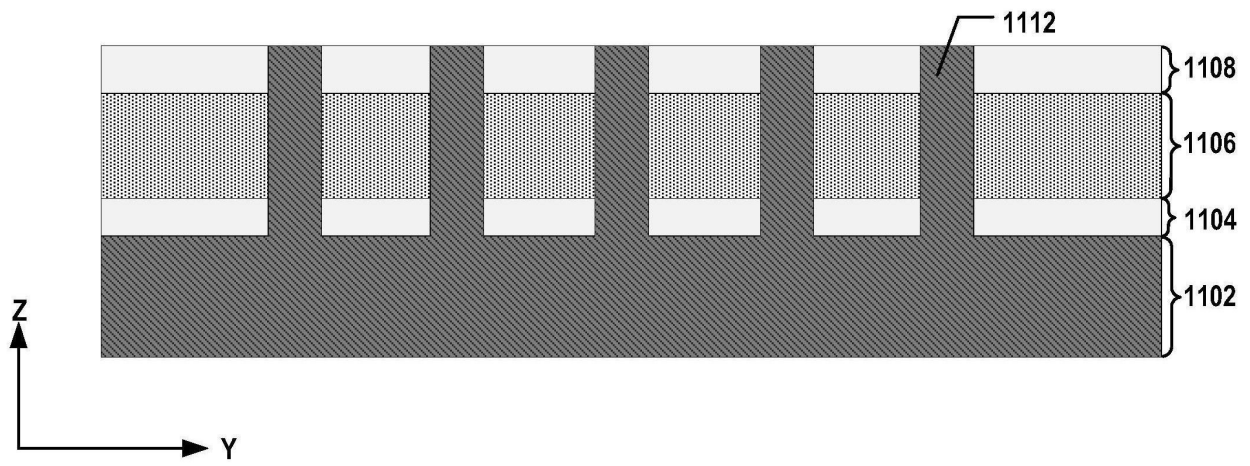


图11B

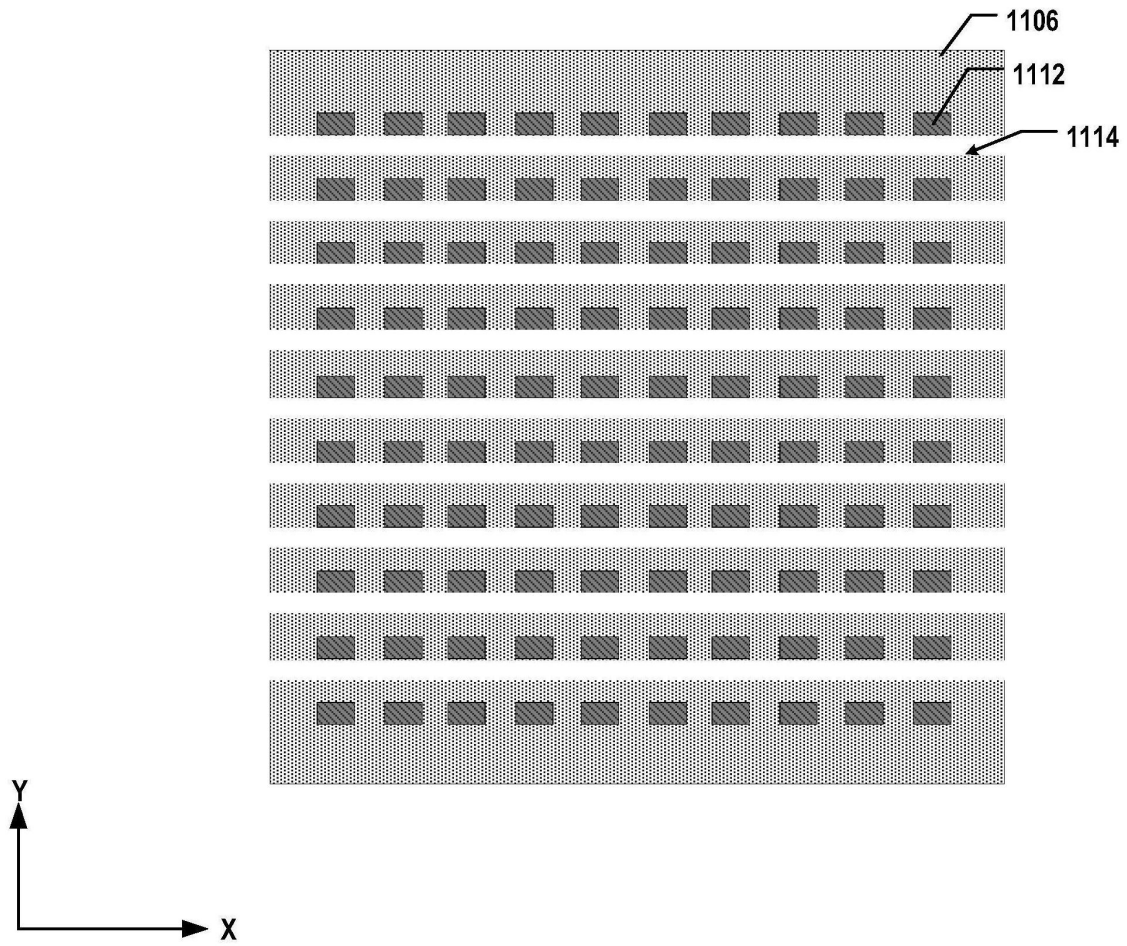
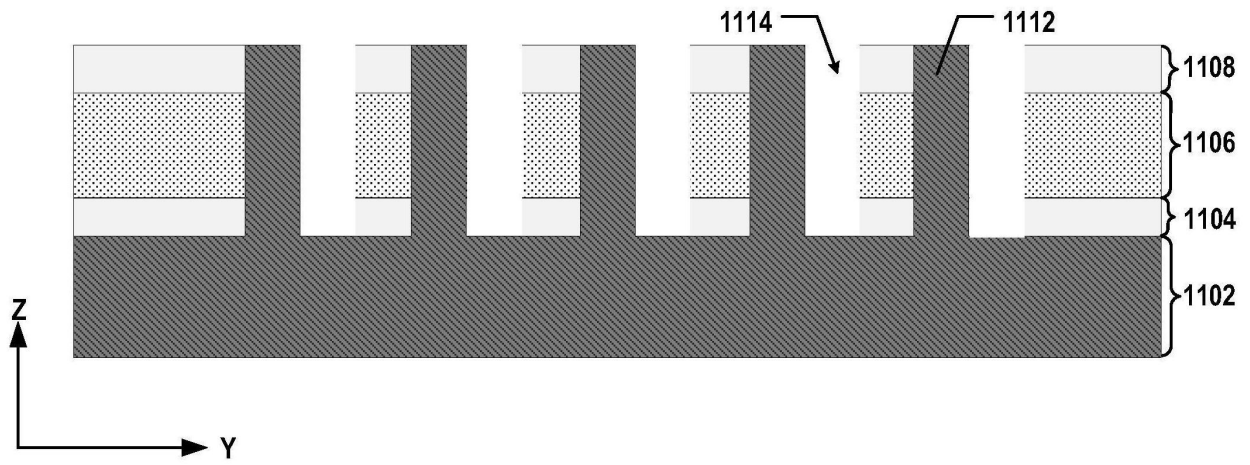


图11C

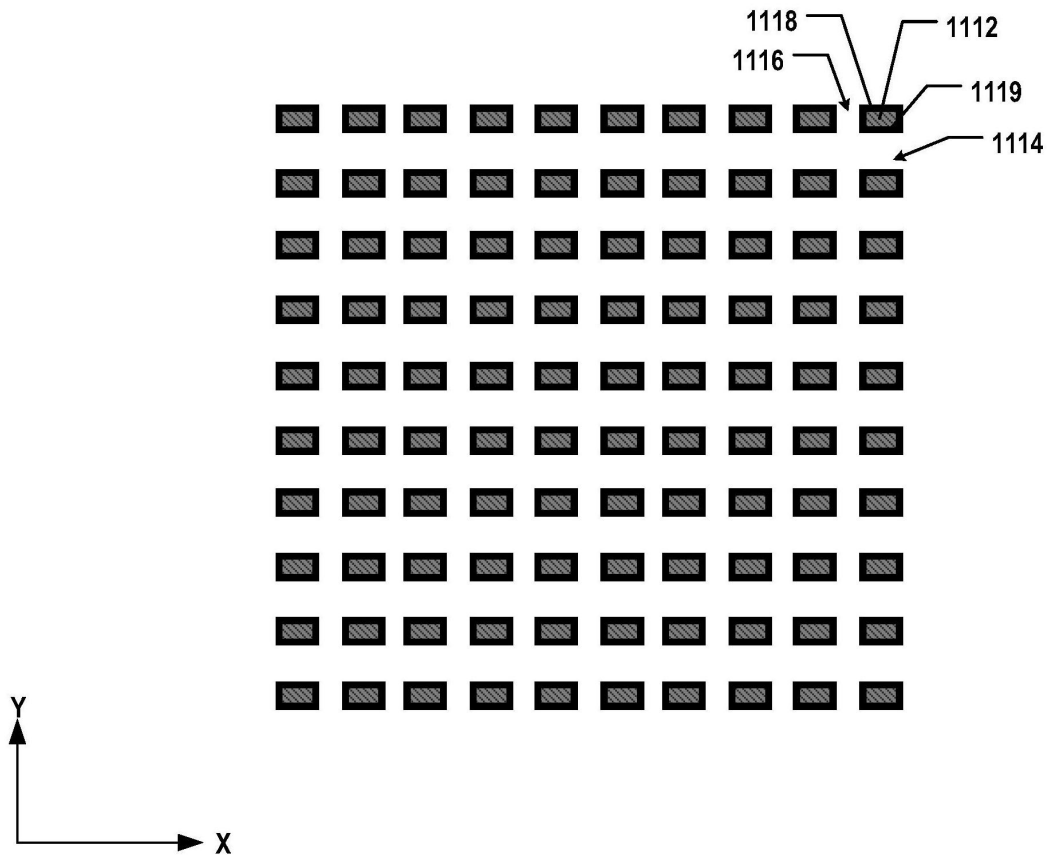
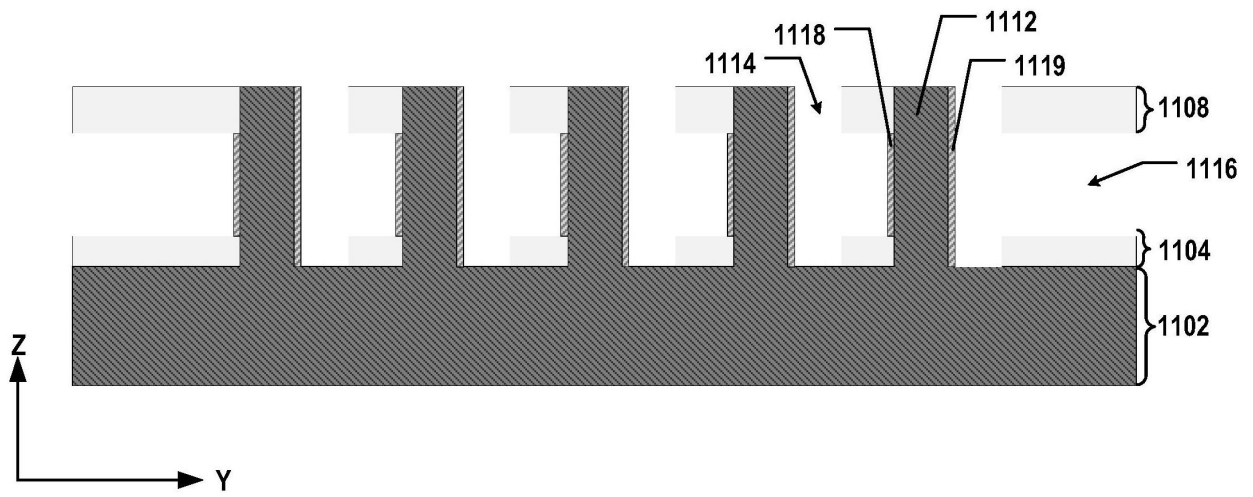


图11D

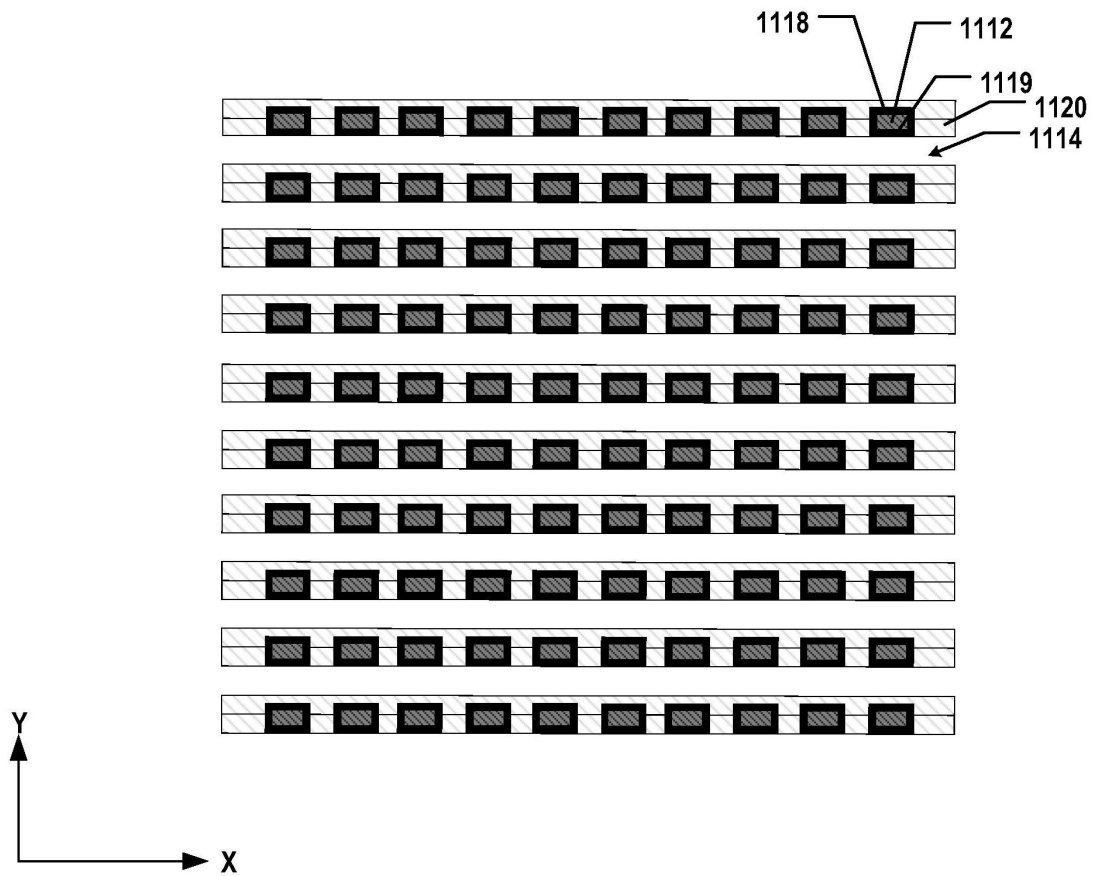
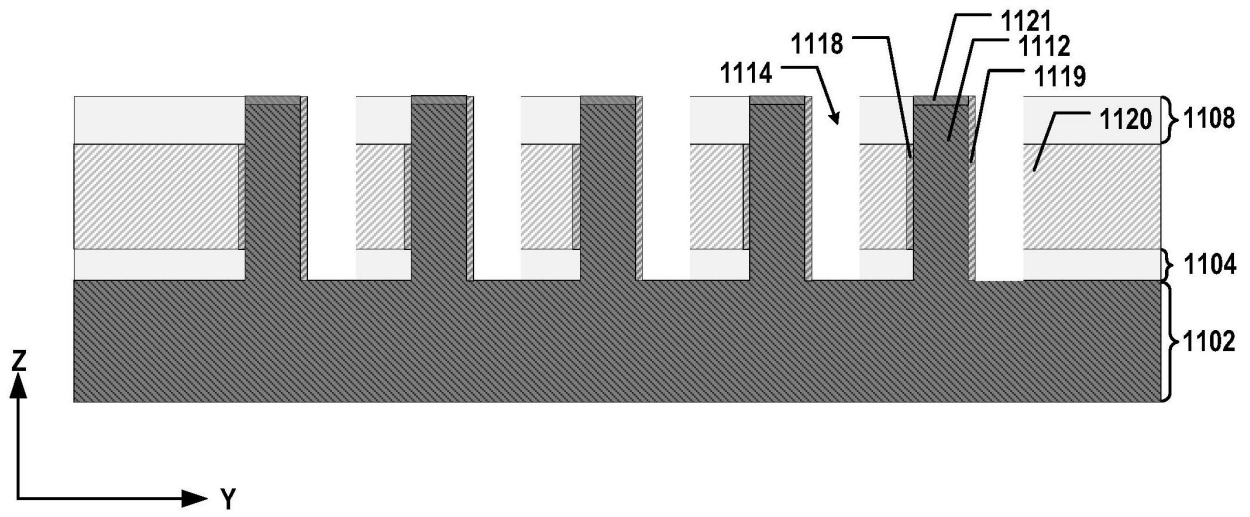


图11E

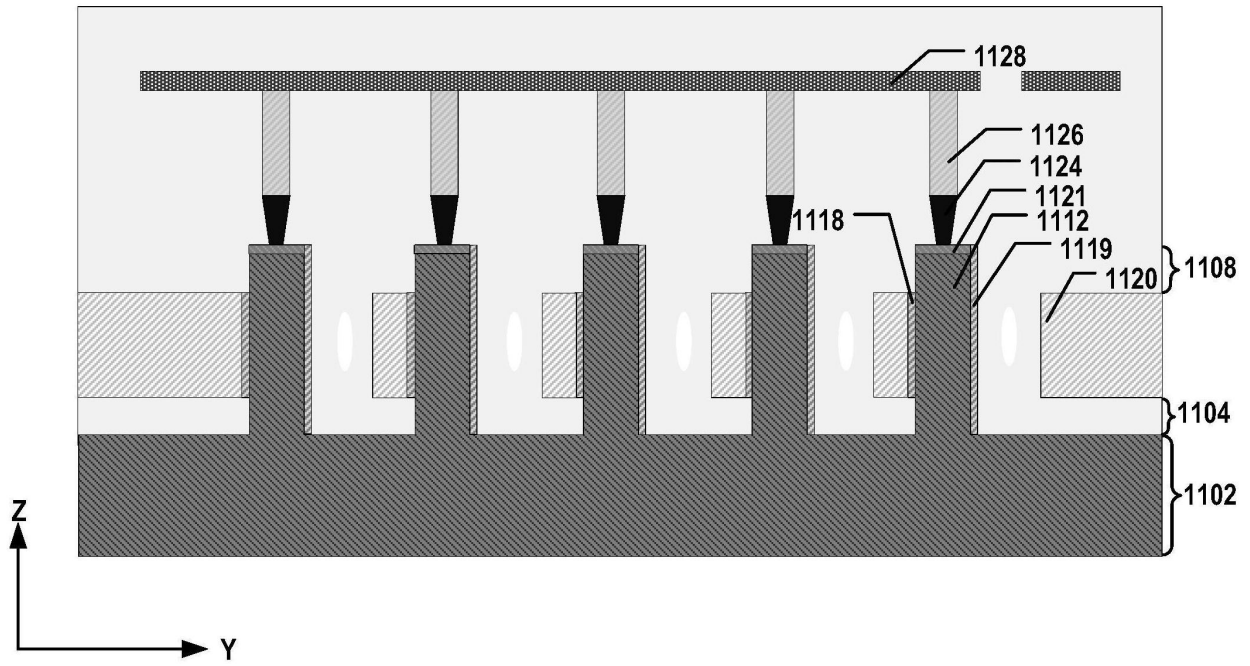


图11F

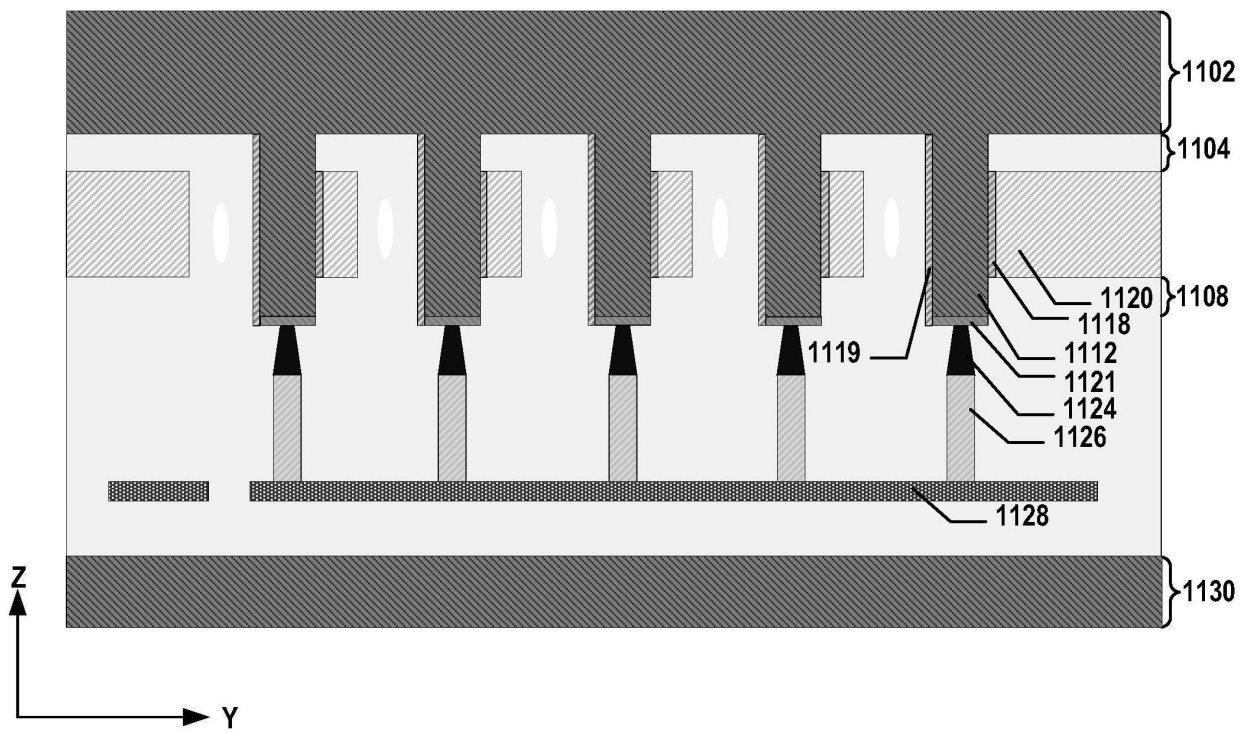


图11G

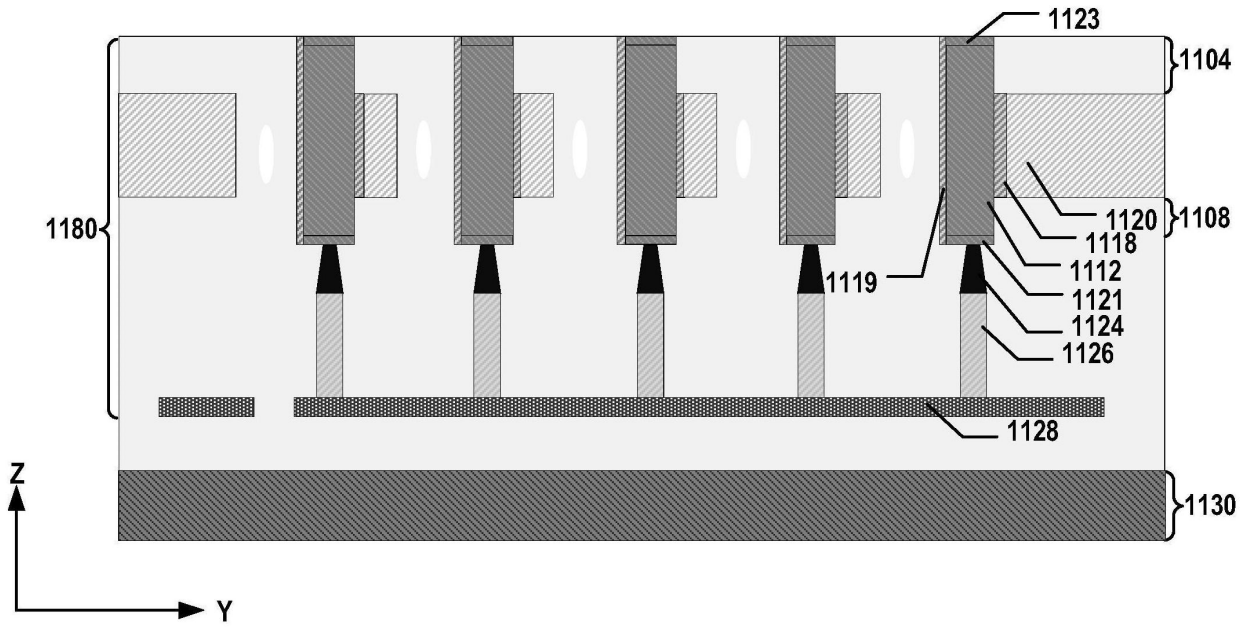


图11H

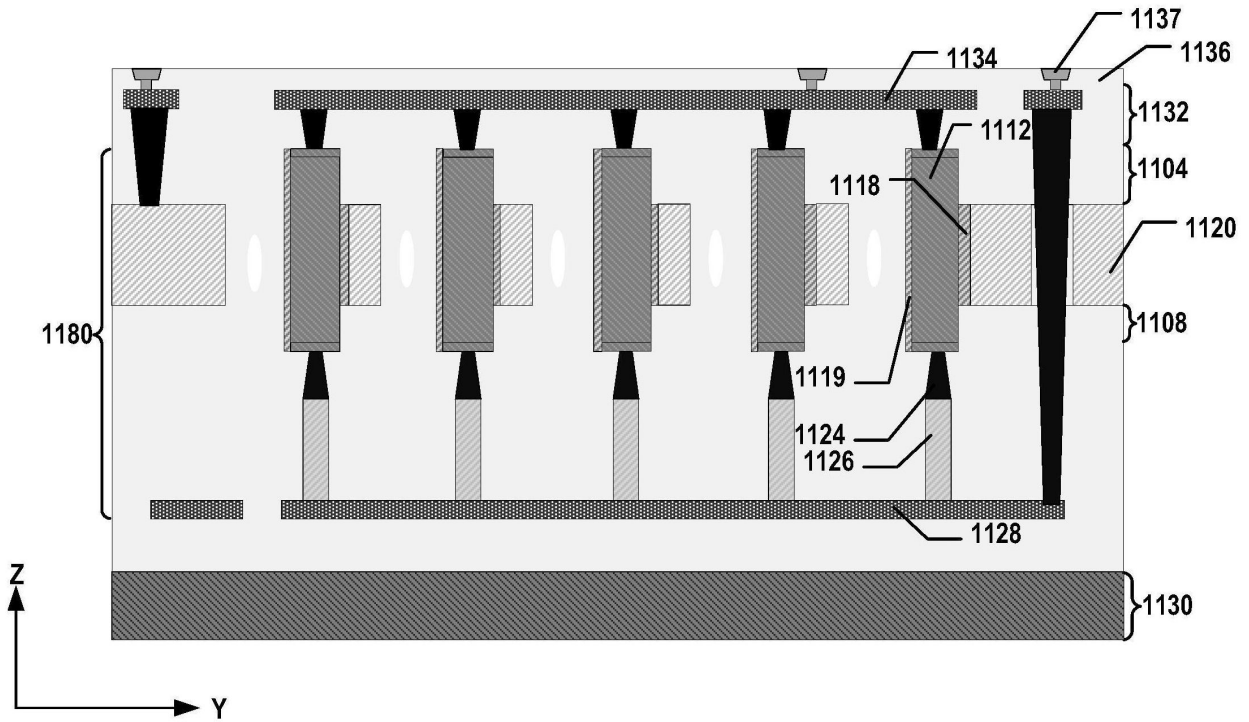


图11I



图12A

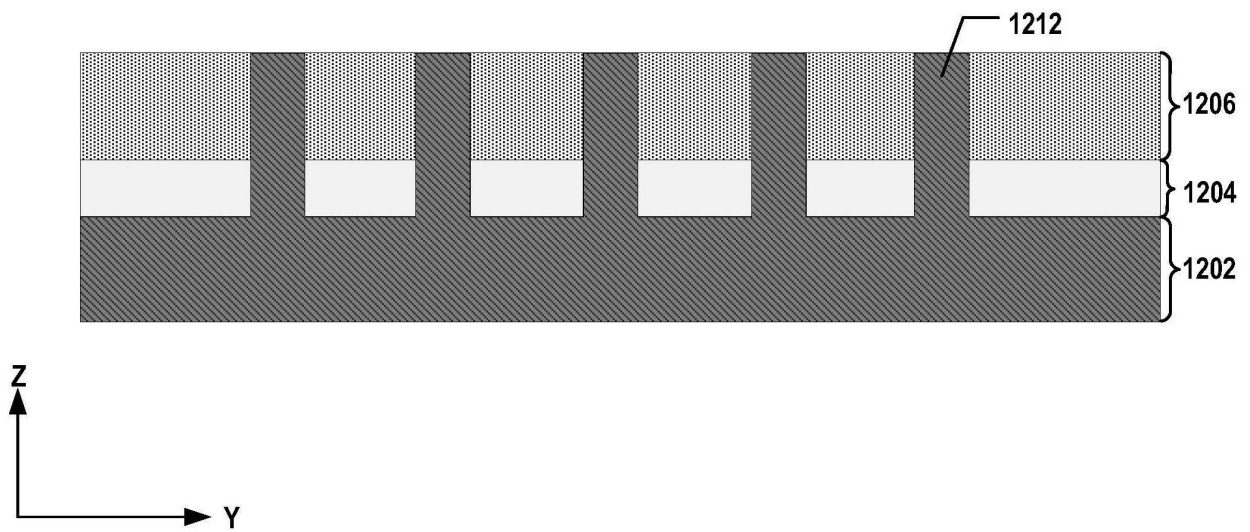


图12B

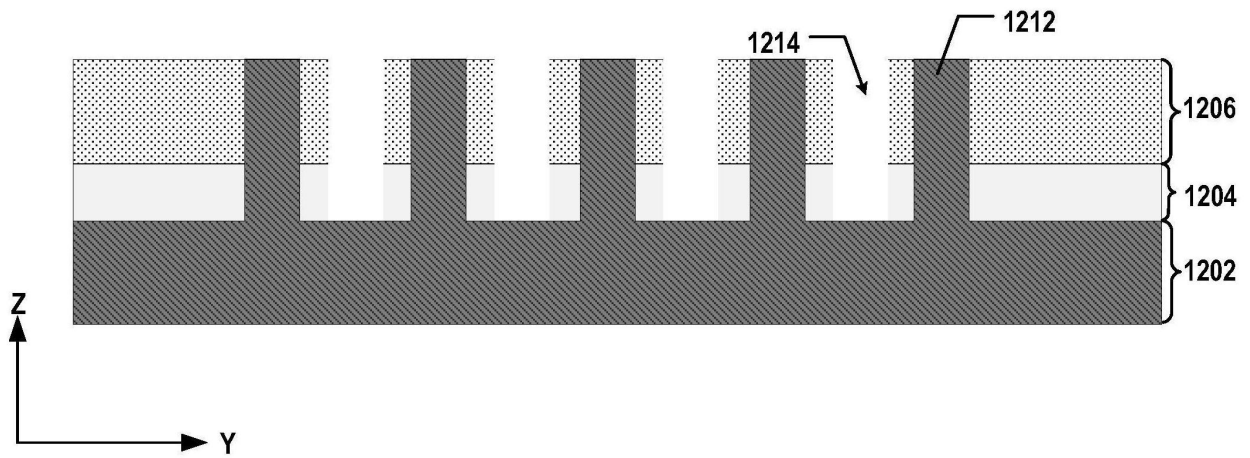


图12C

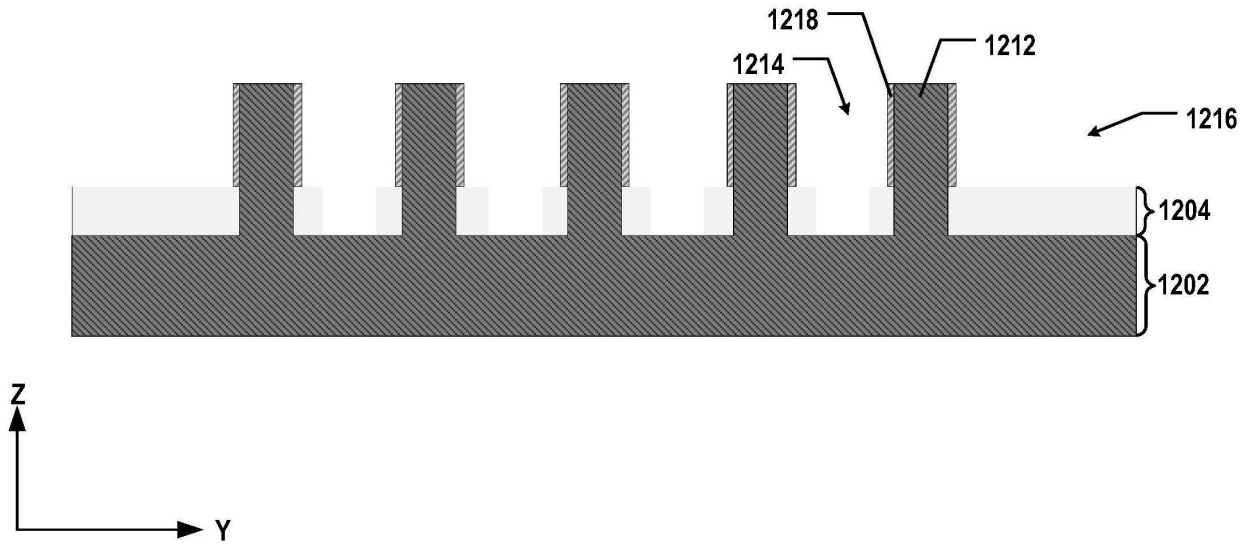


图12D

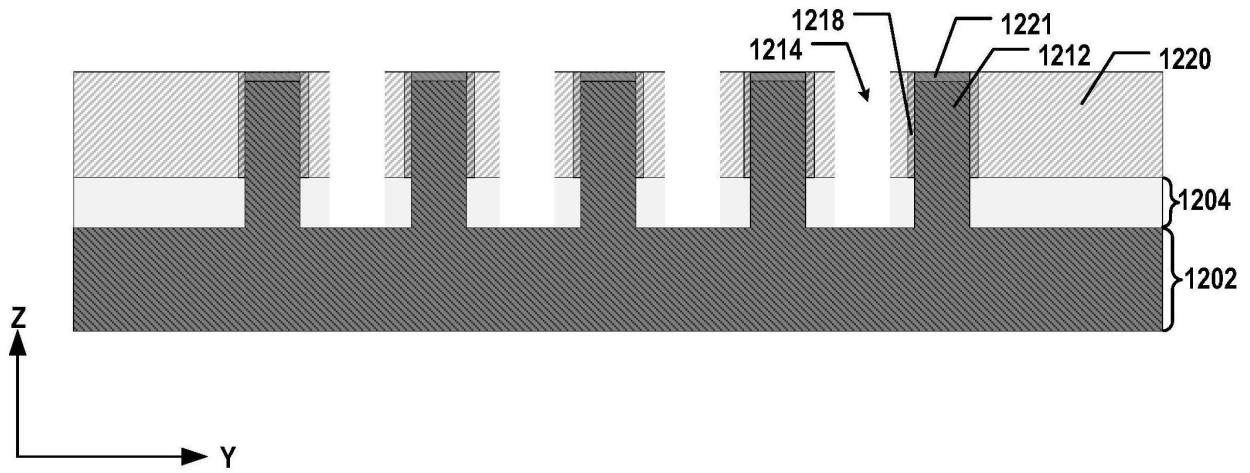


图12E

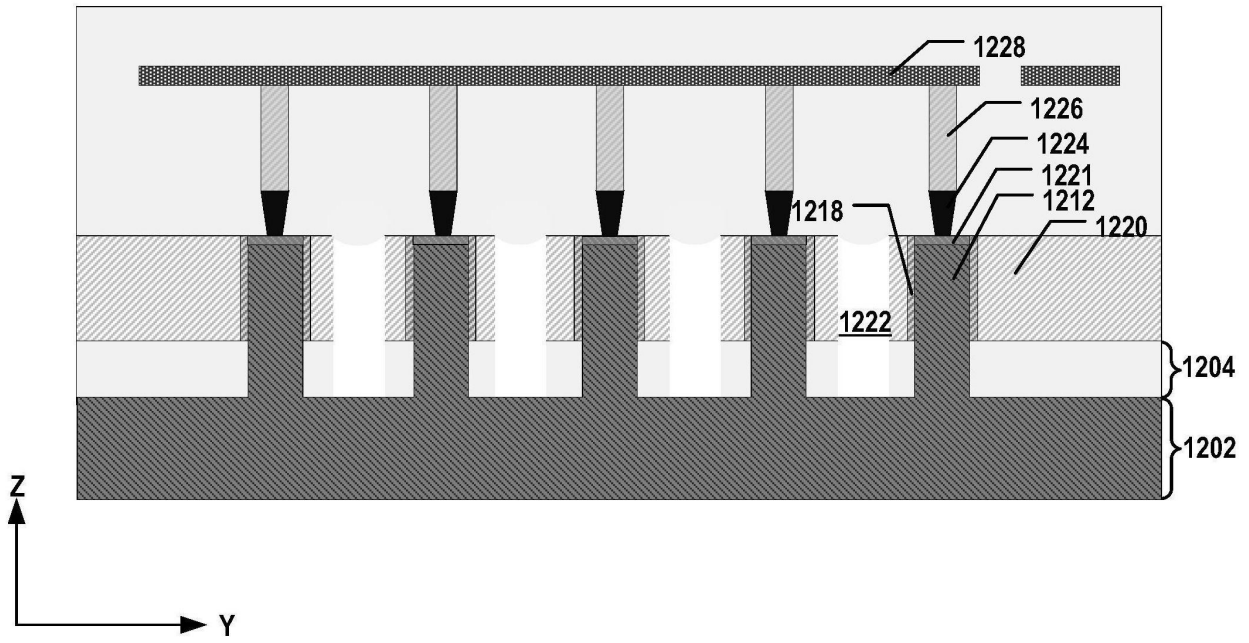


图12F

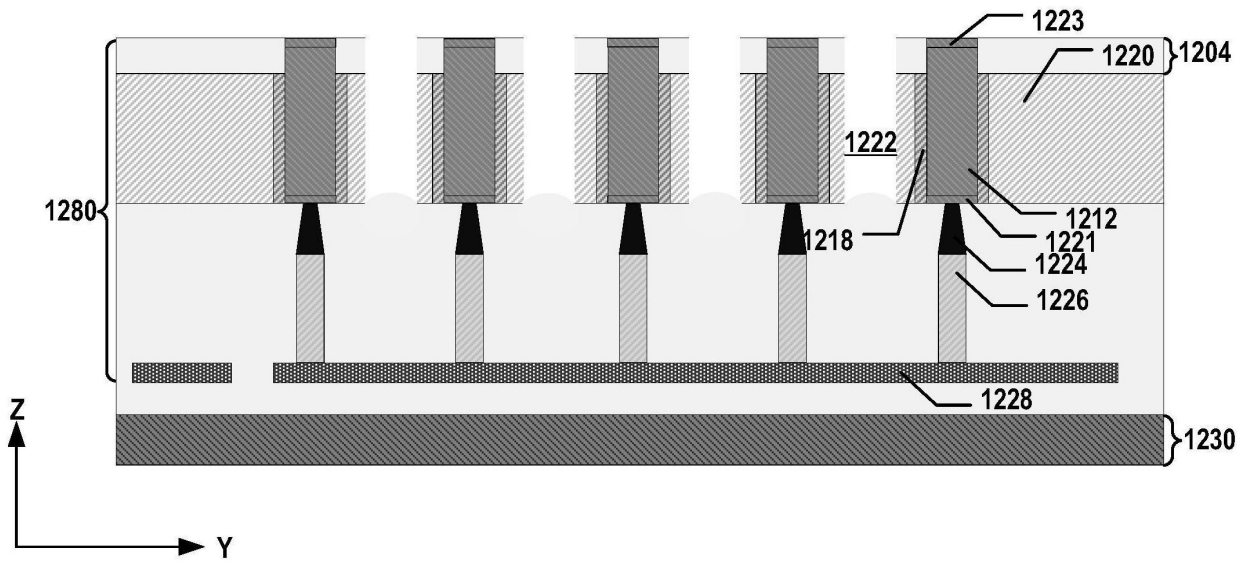


图12G

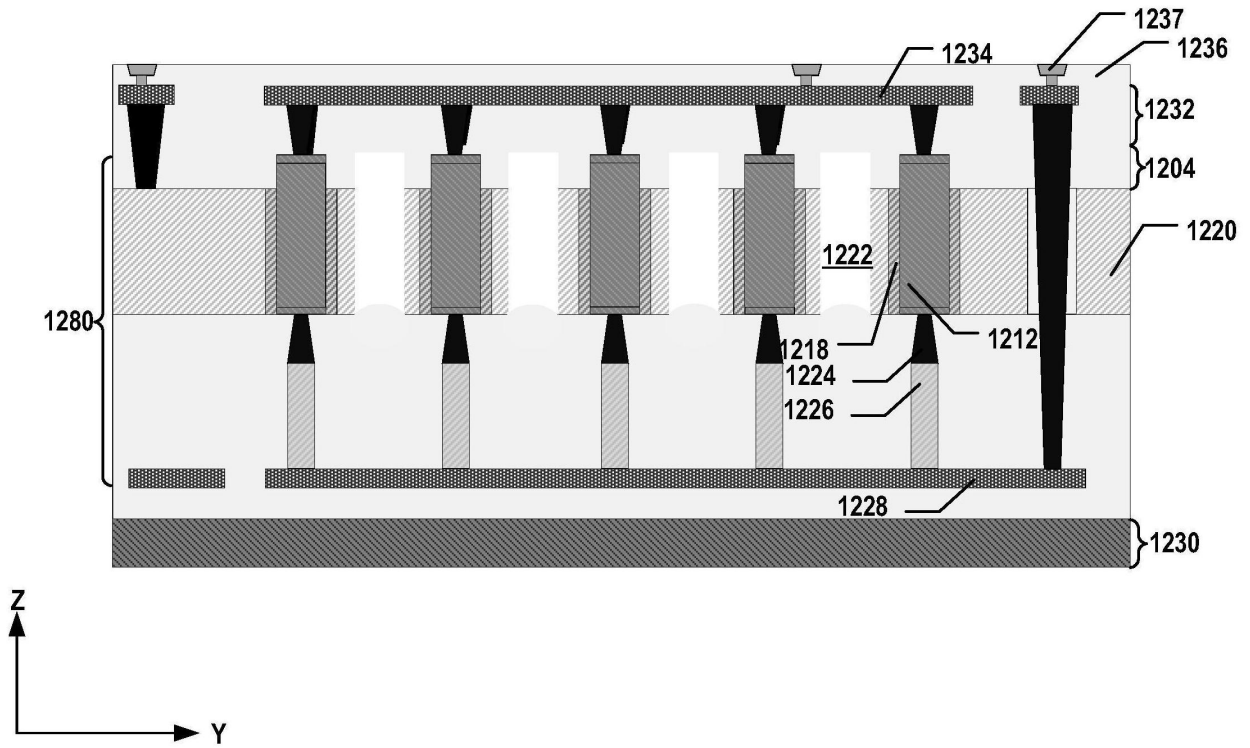


图12H

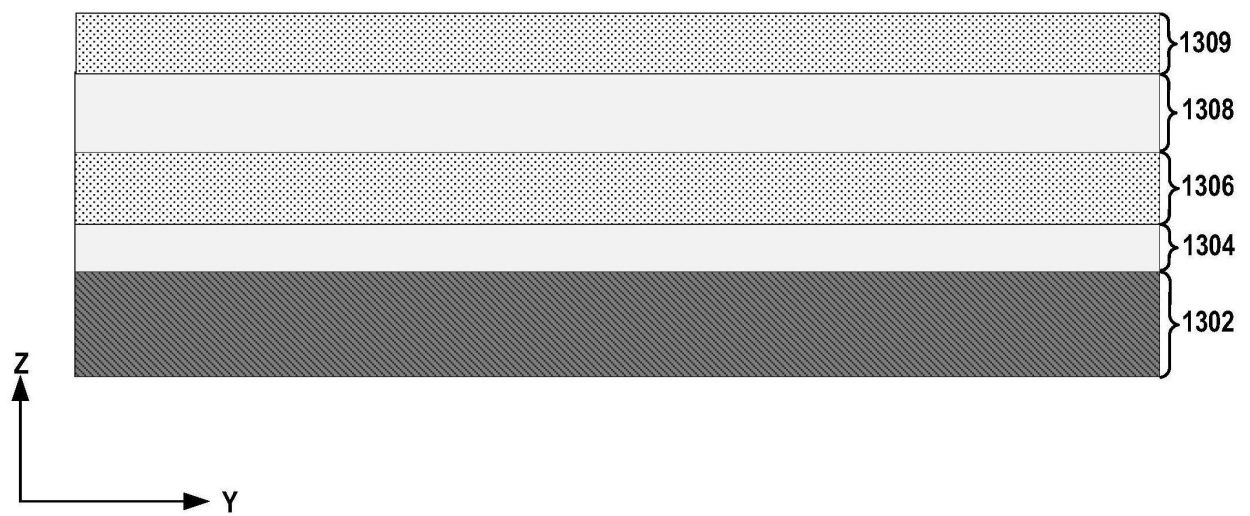


图13A

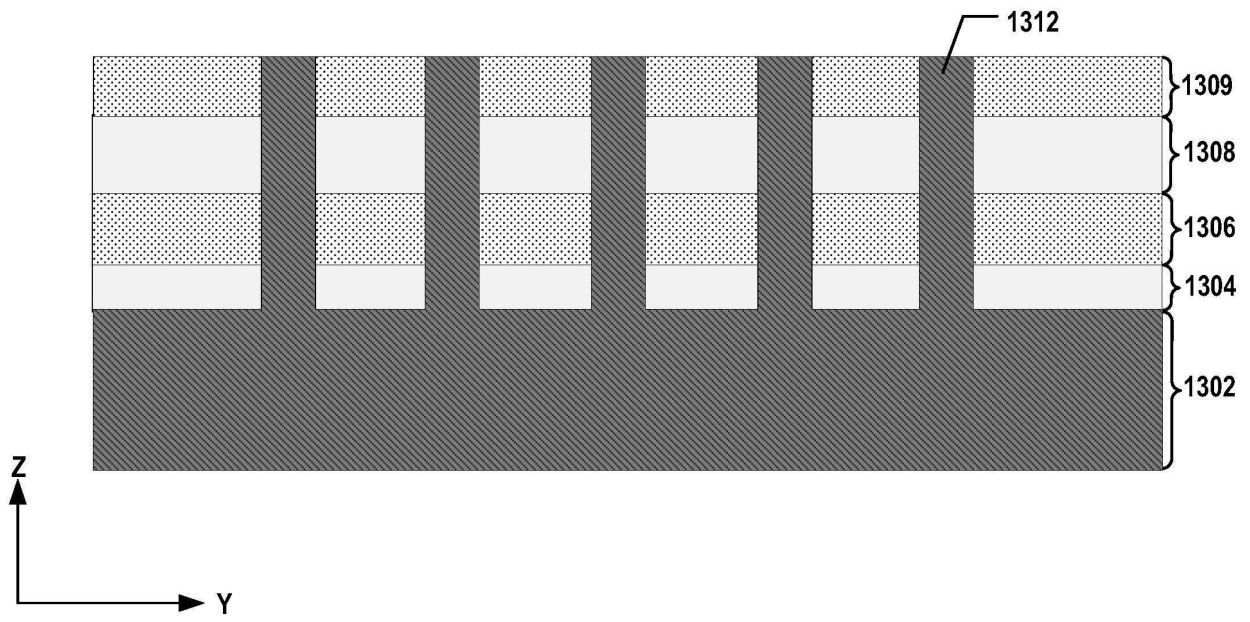


图13B

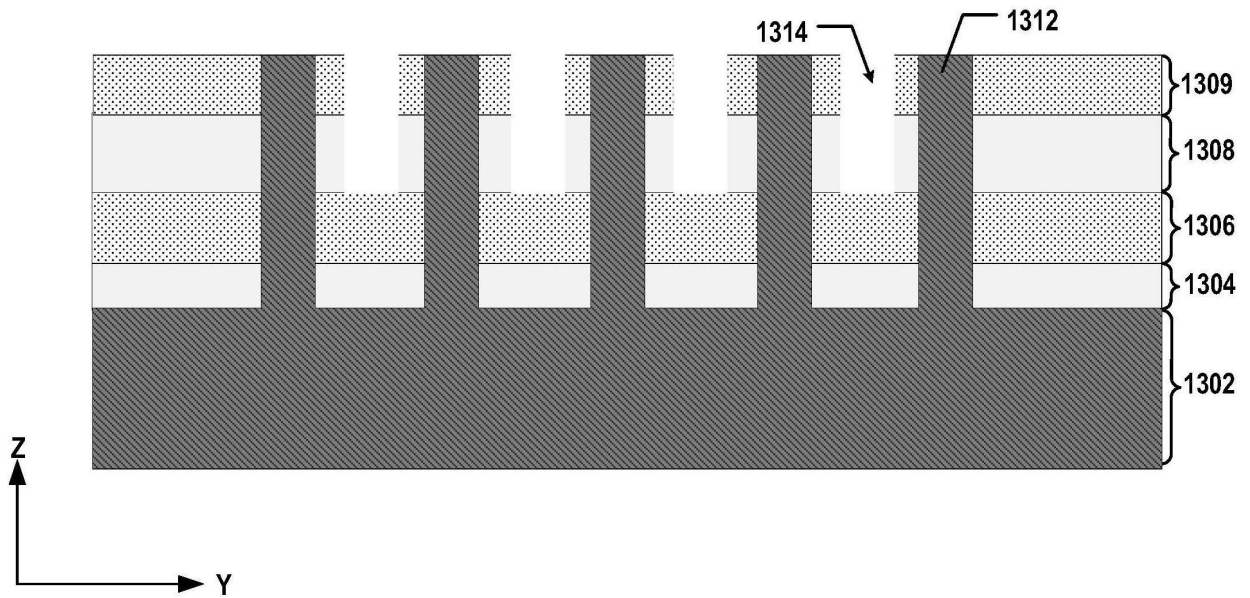


图13C

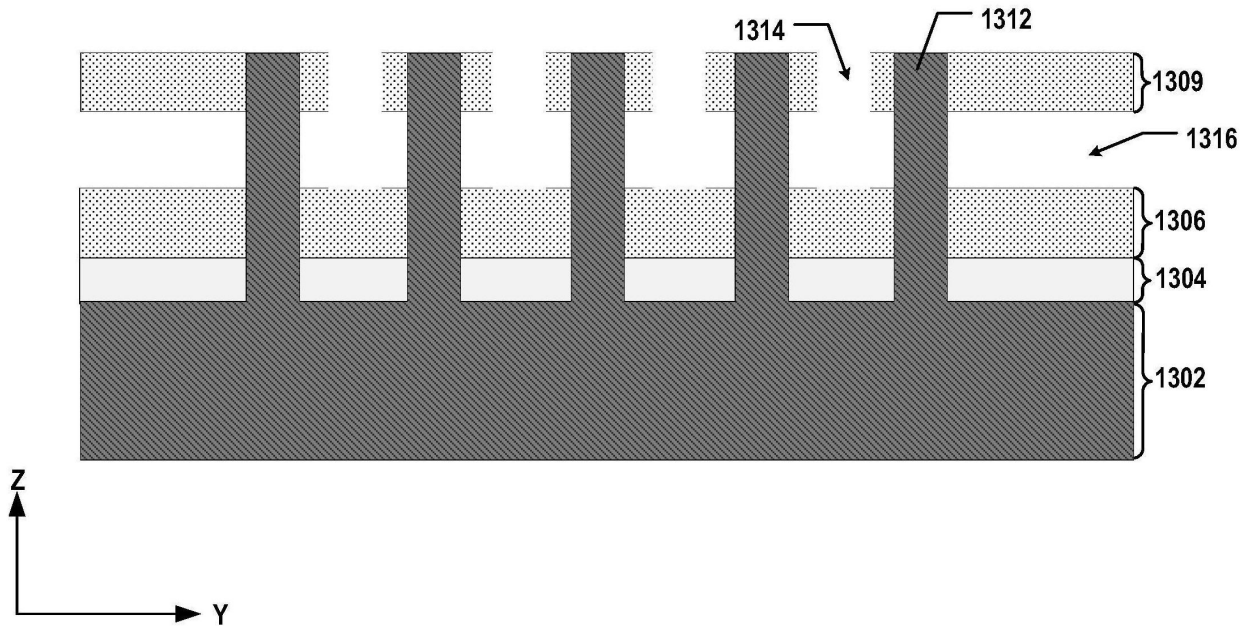


图13D

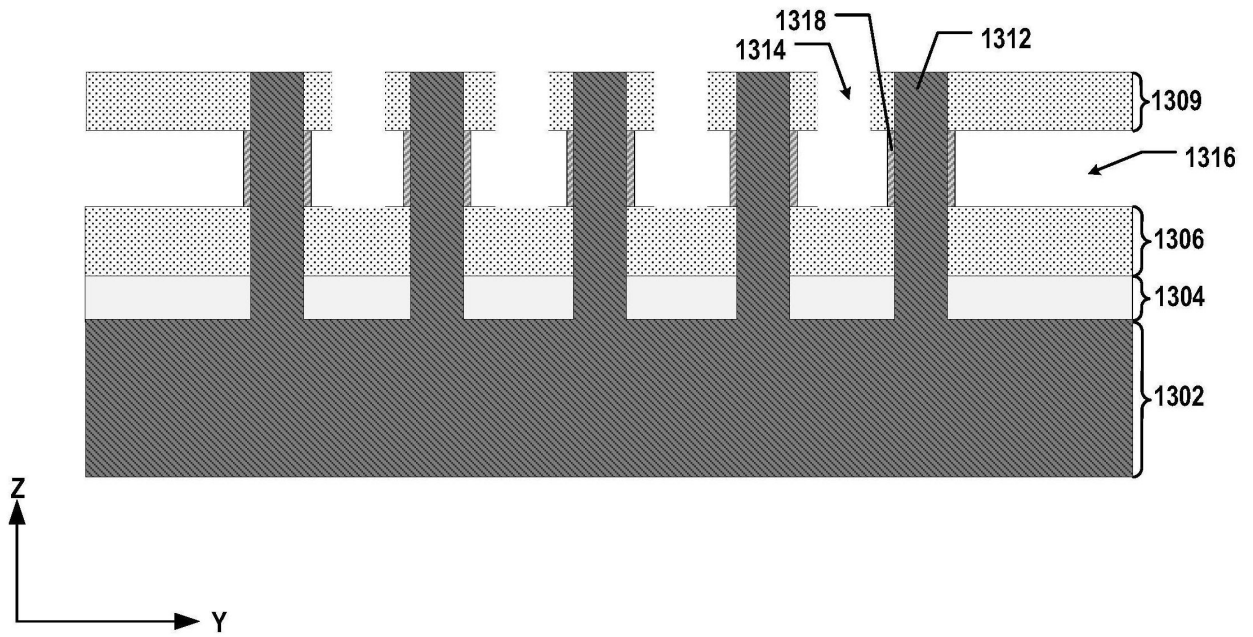


图13E

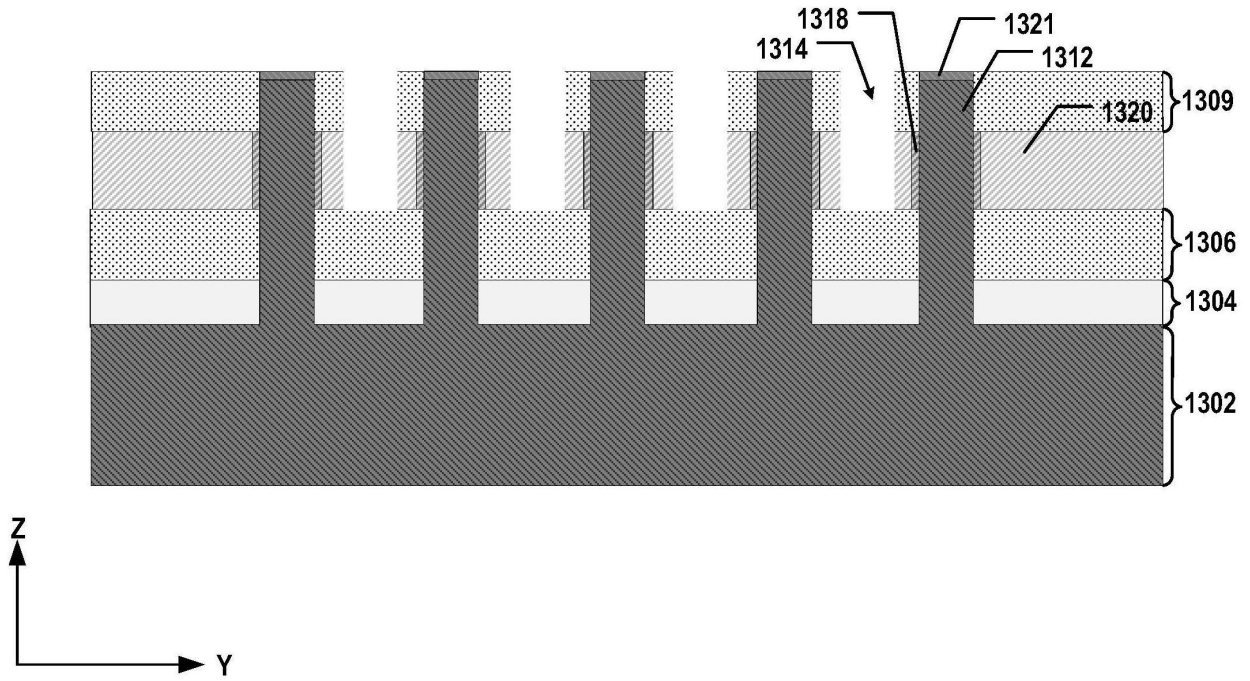


图13F

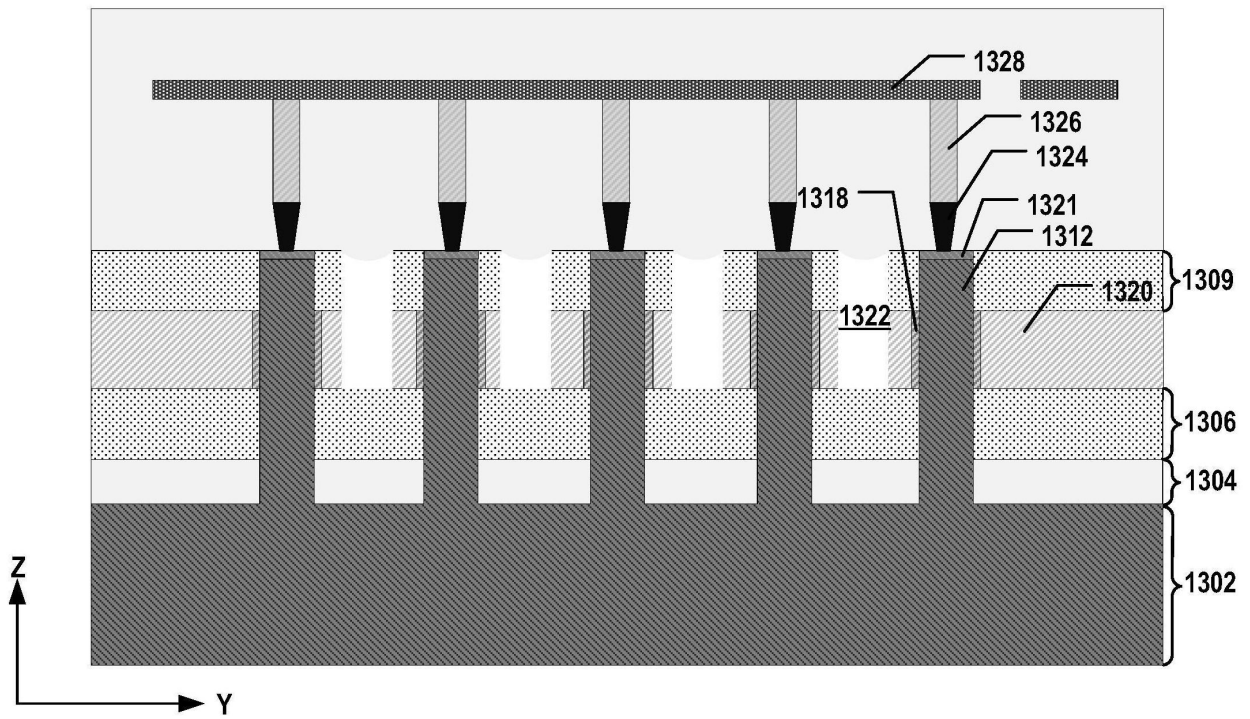


图13G

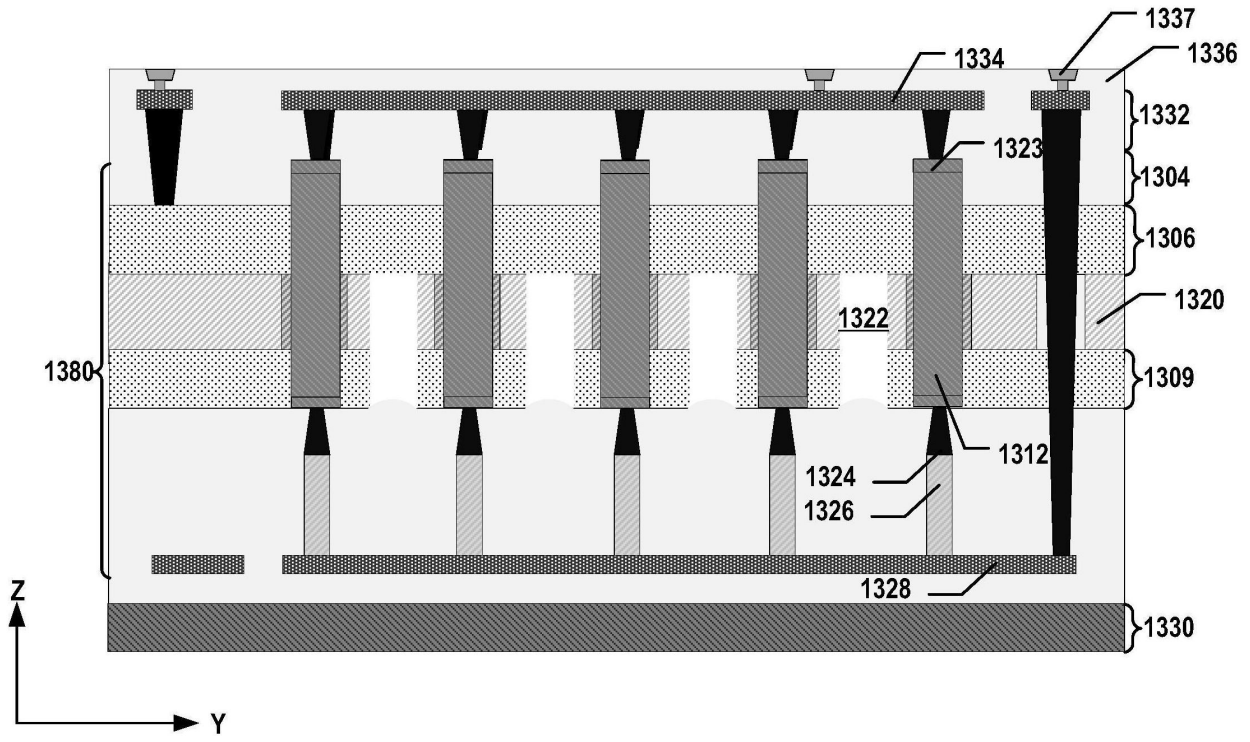


图13H

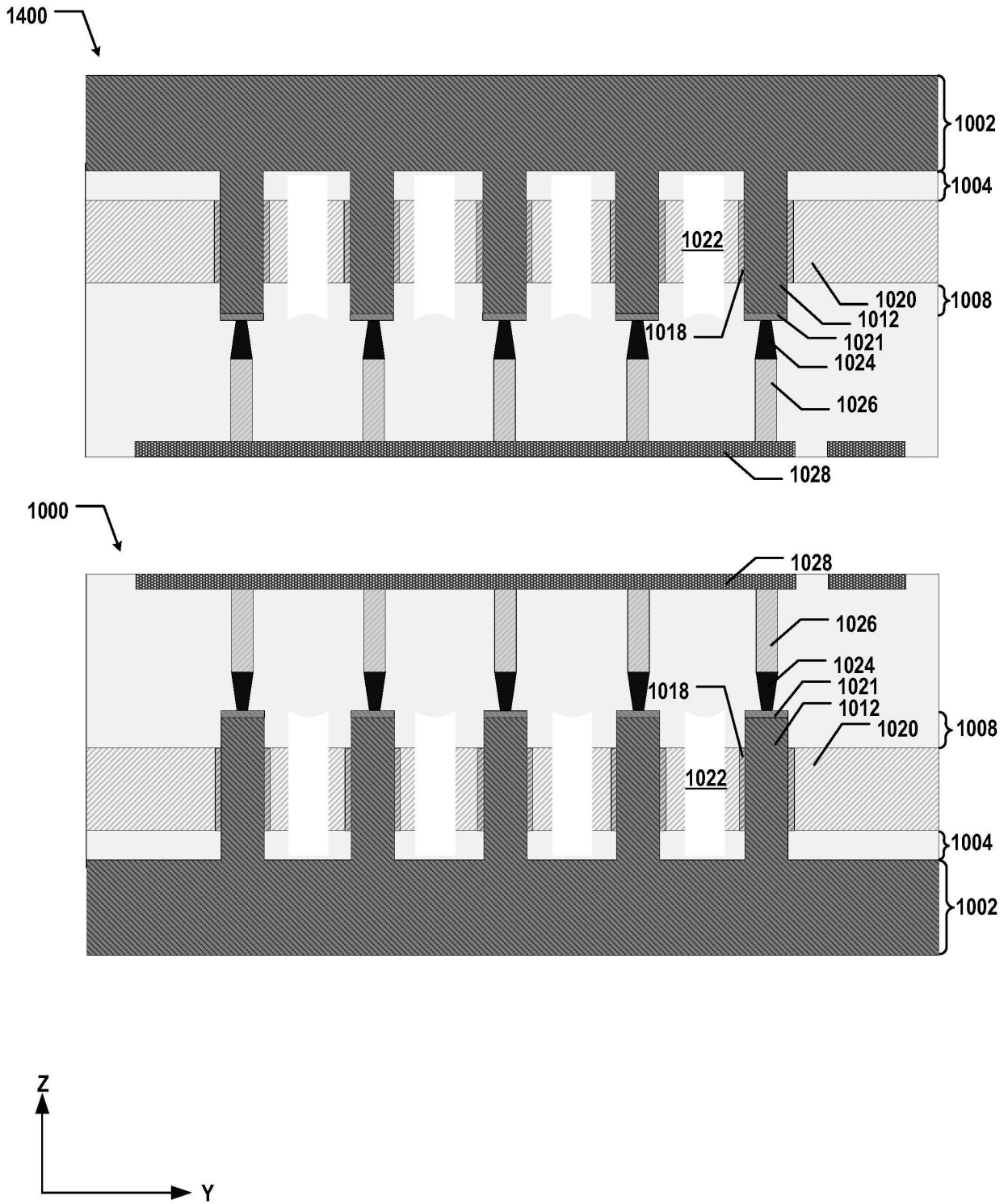


图14A

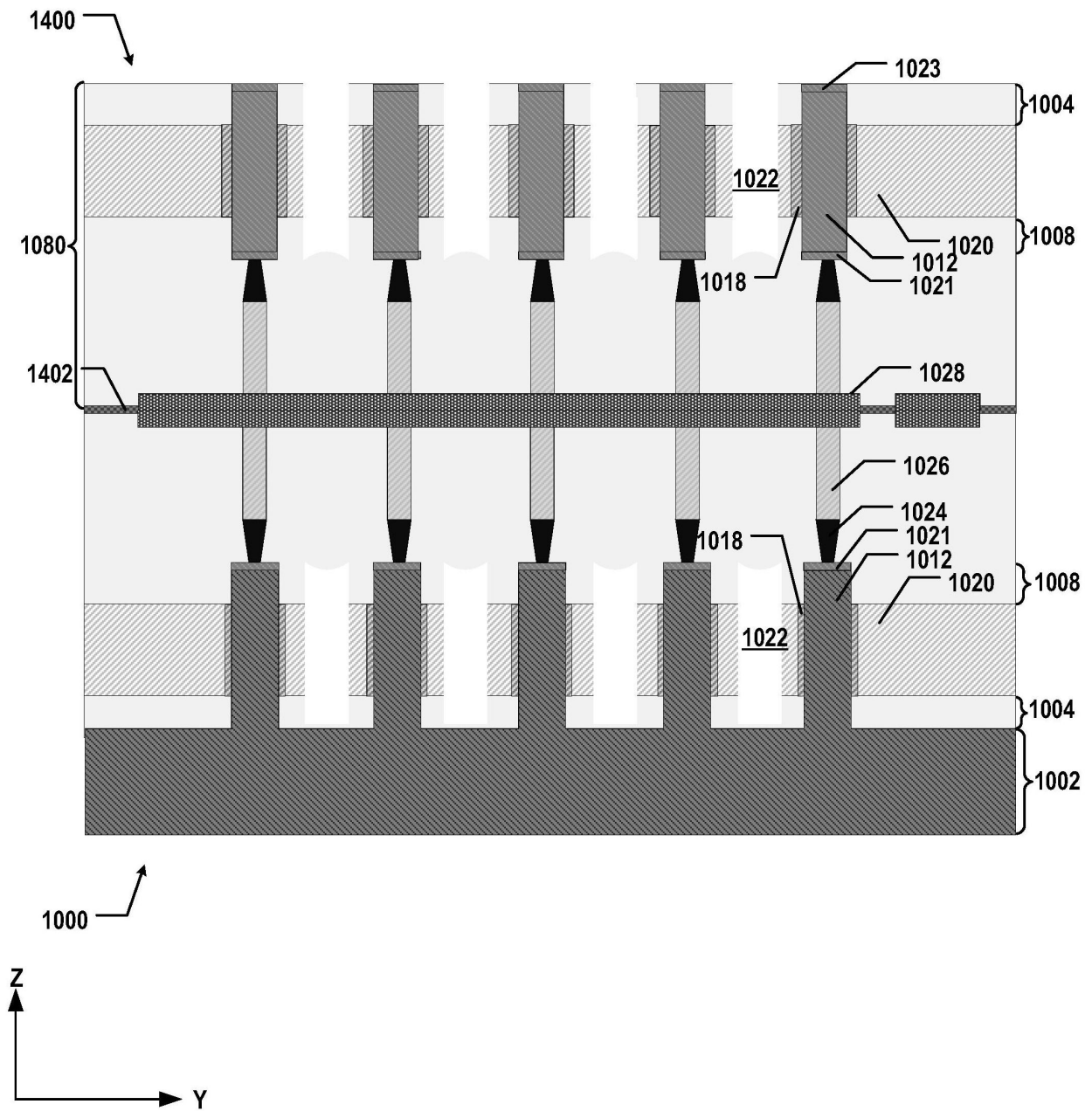


图14B

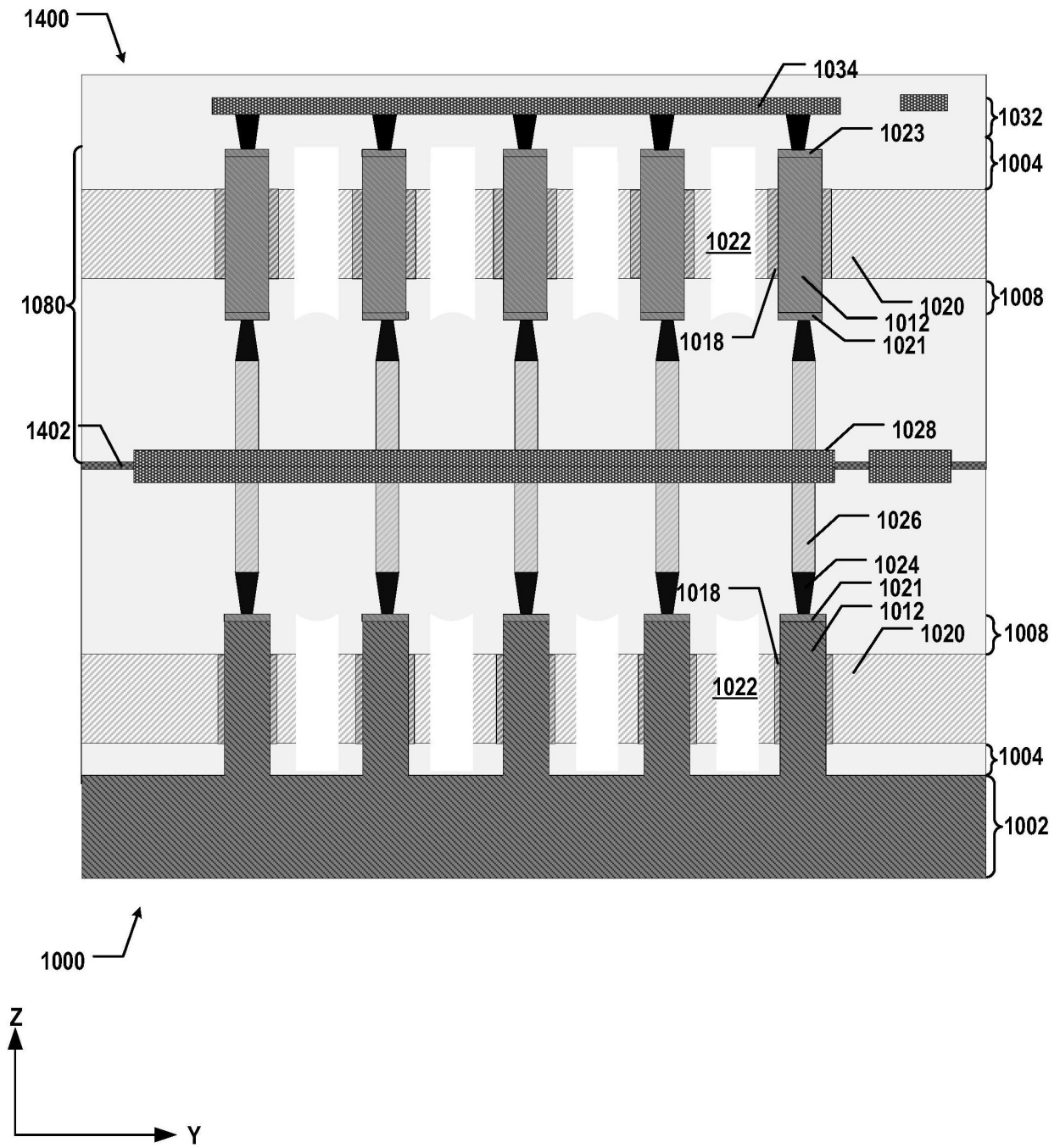


图14C

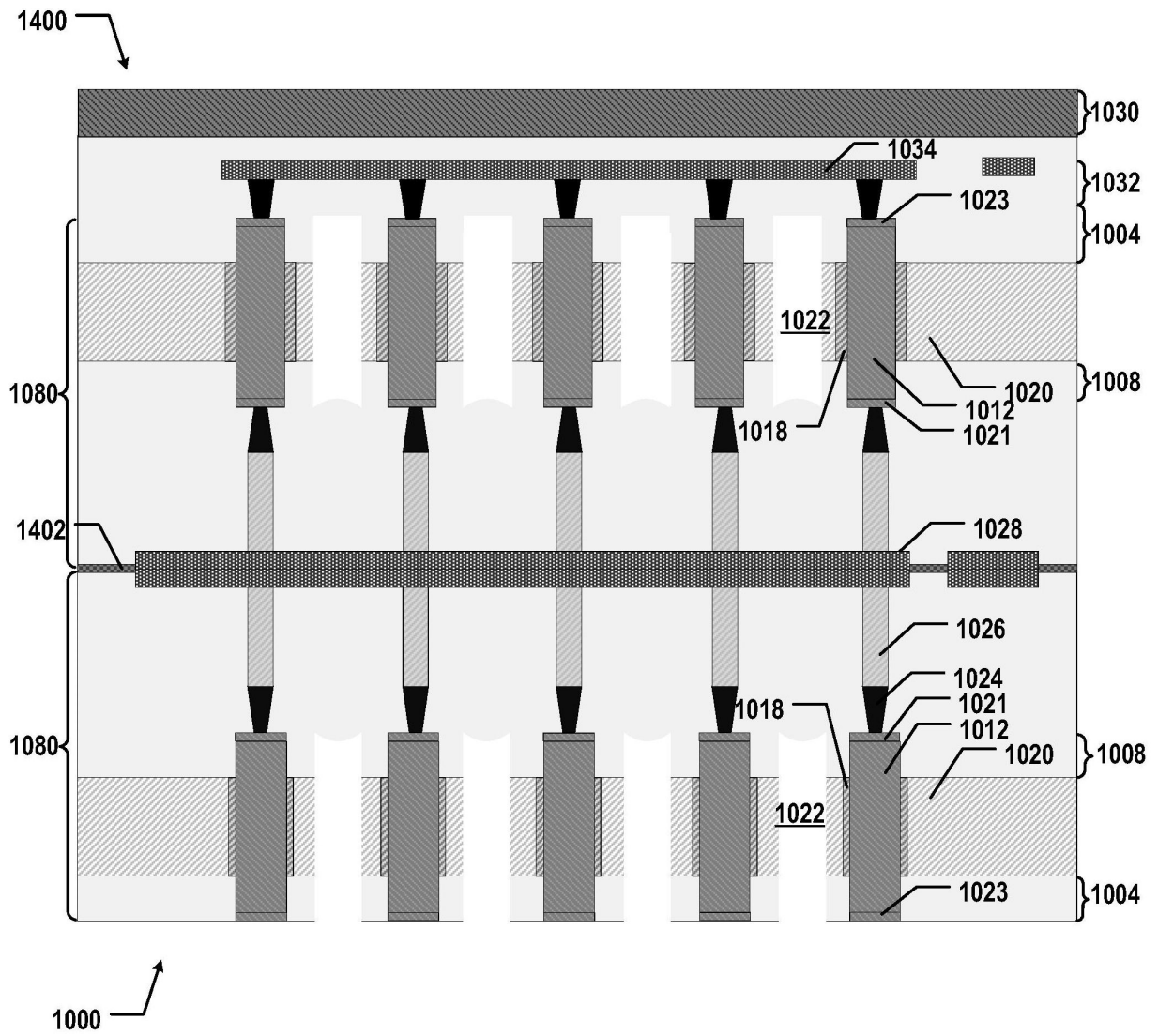


图14D

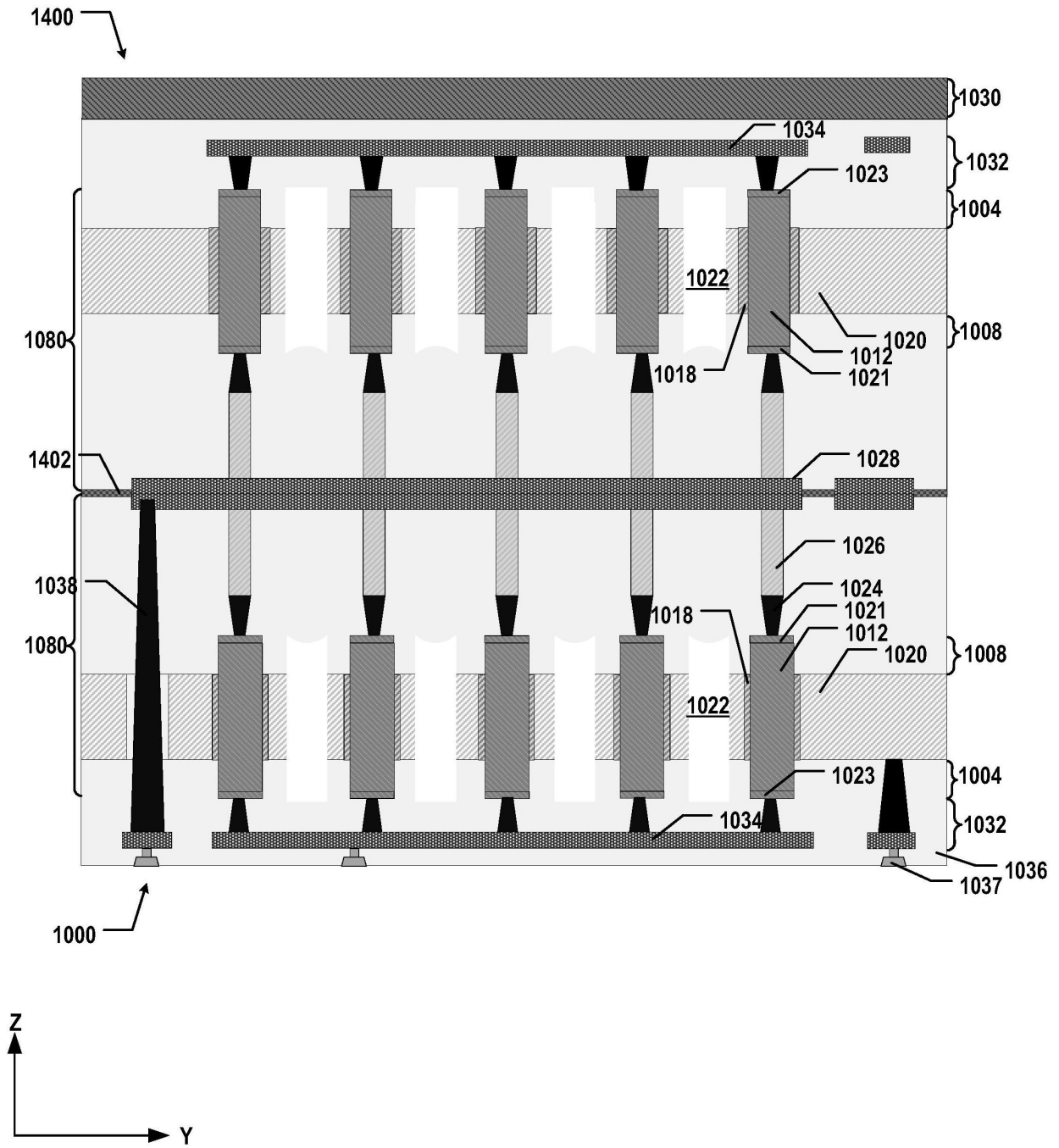


图14E

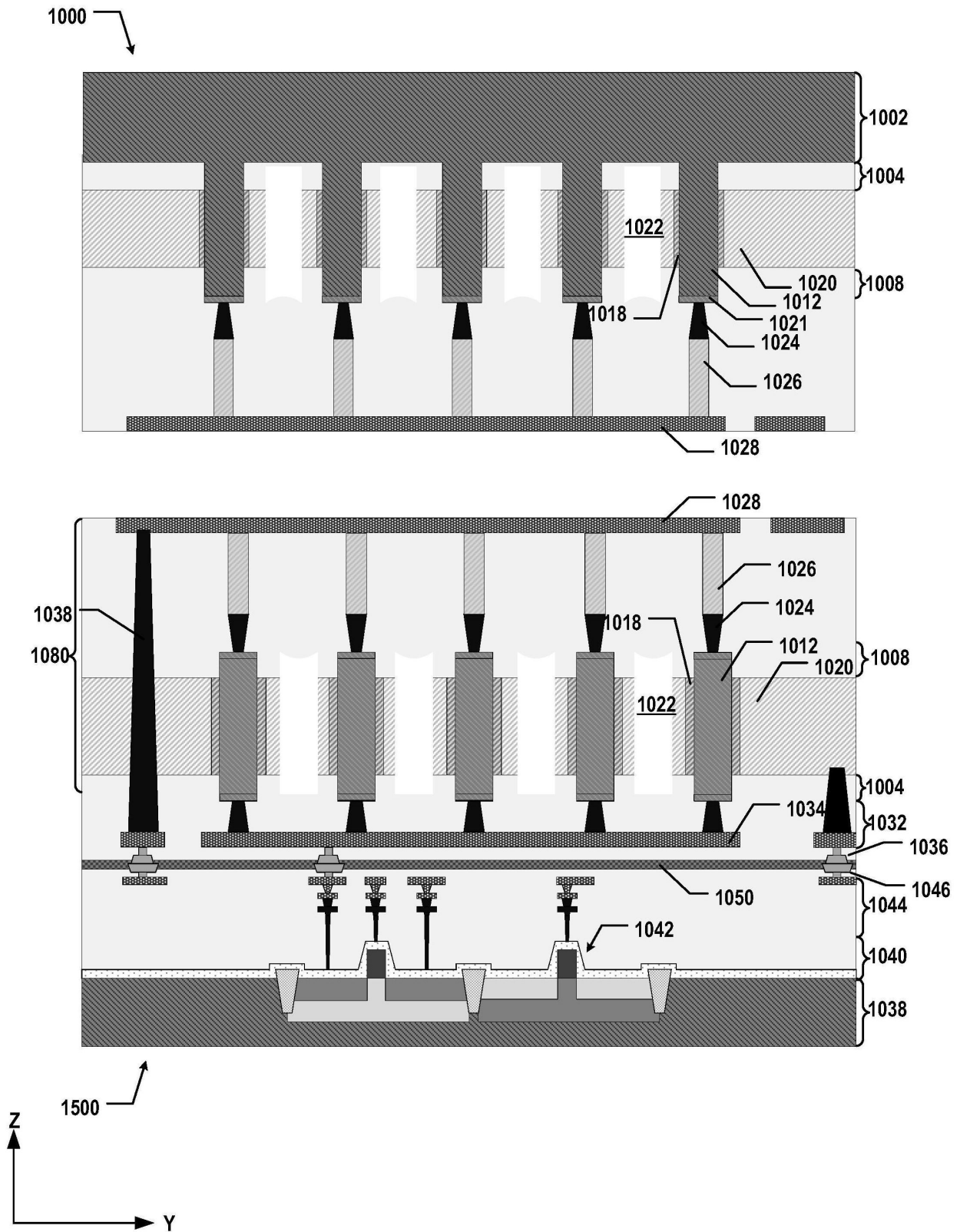


图15A

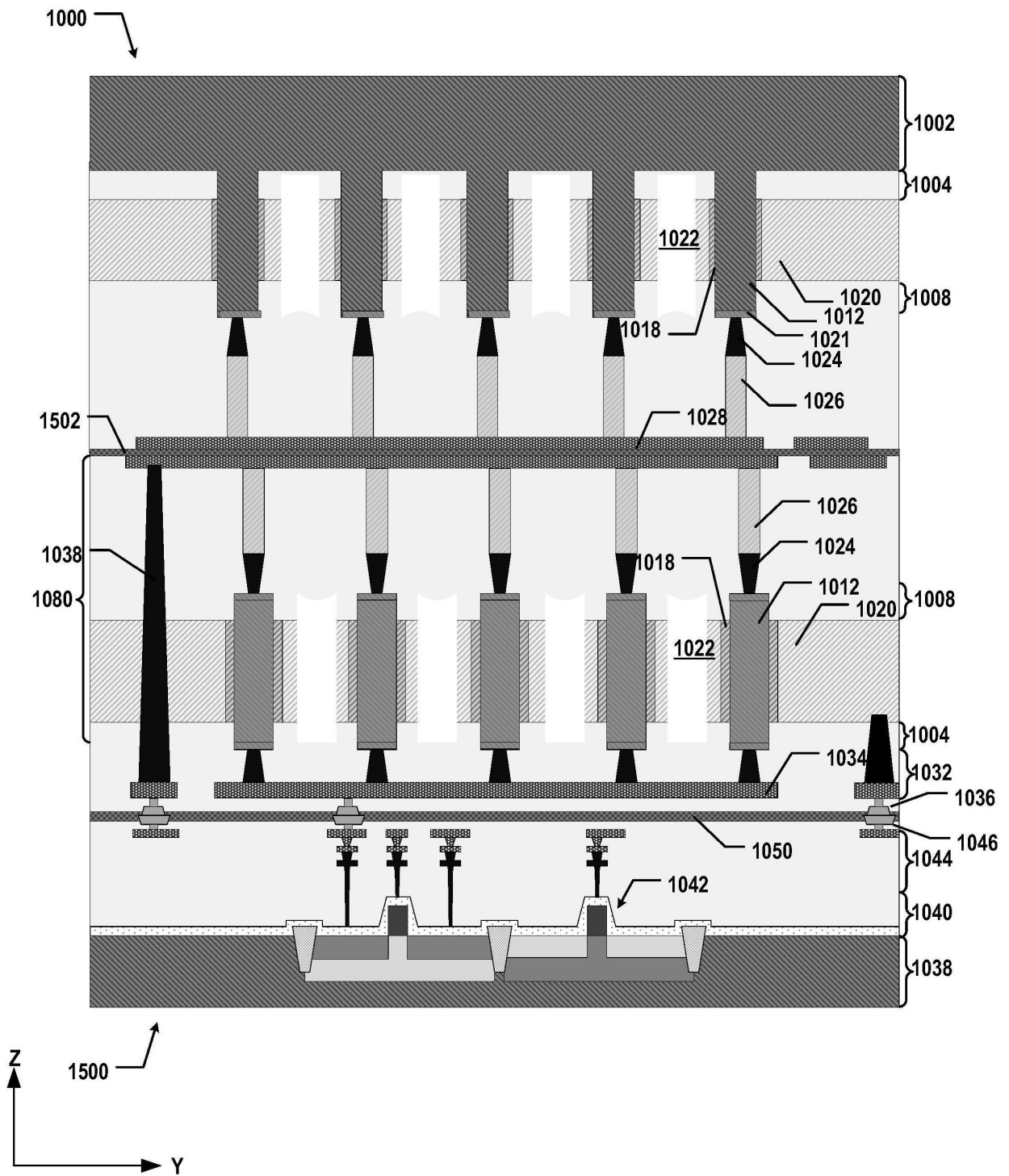


图15B

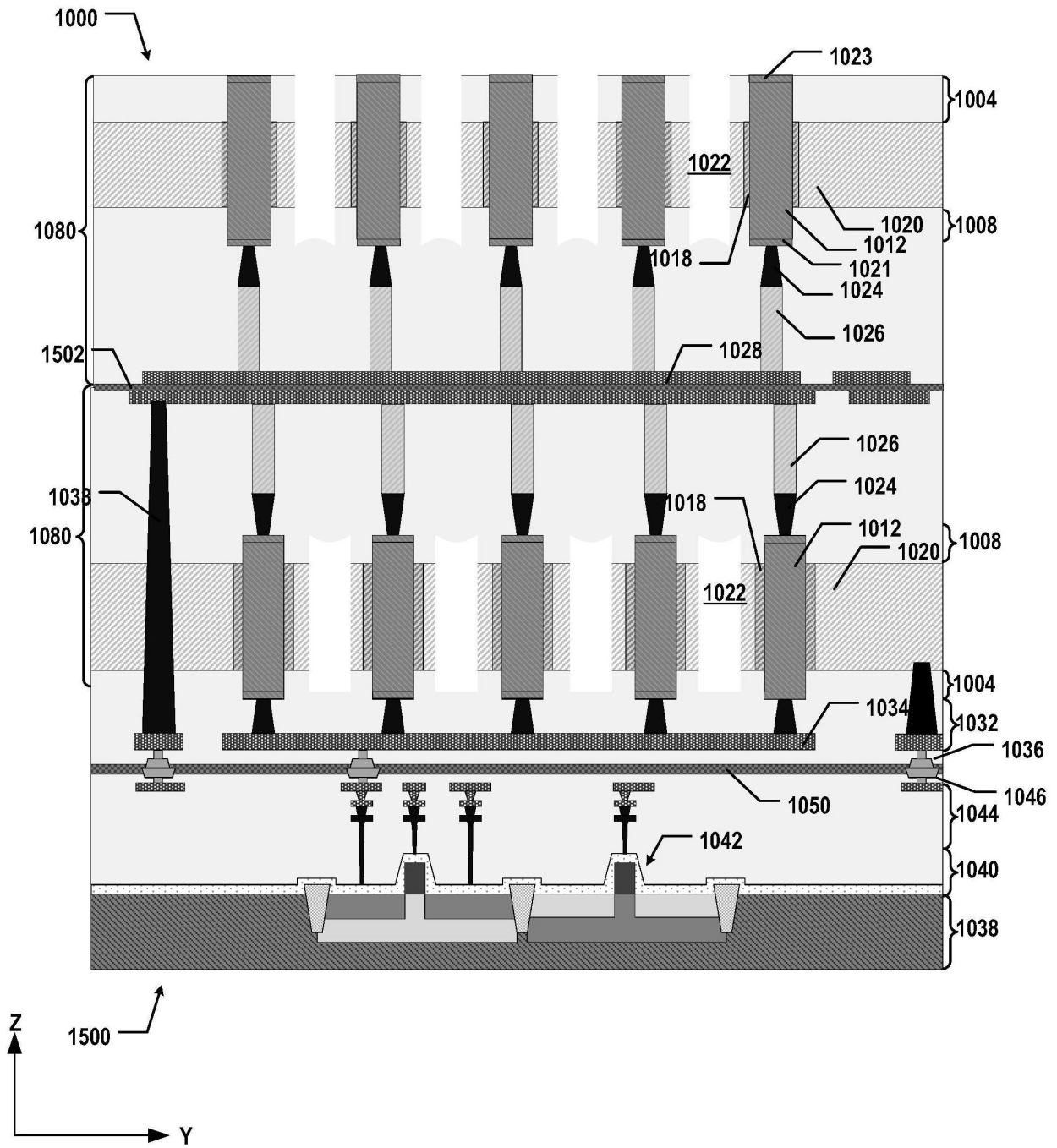


图15C

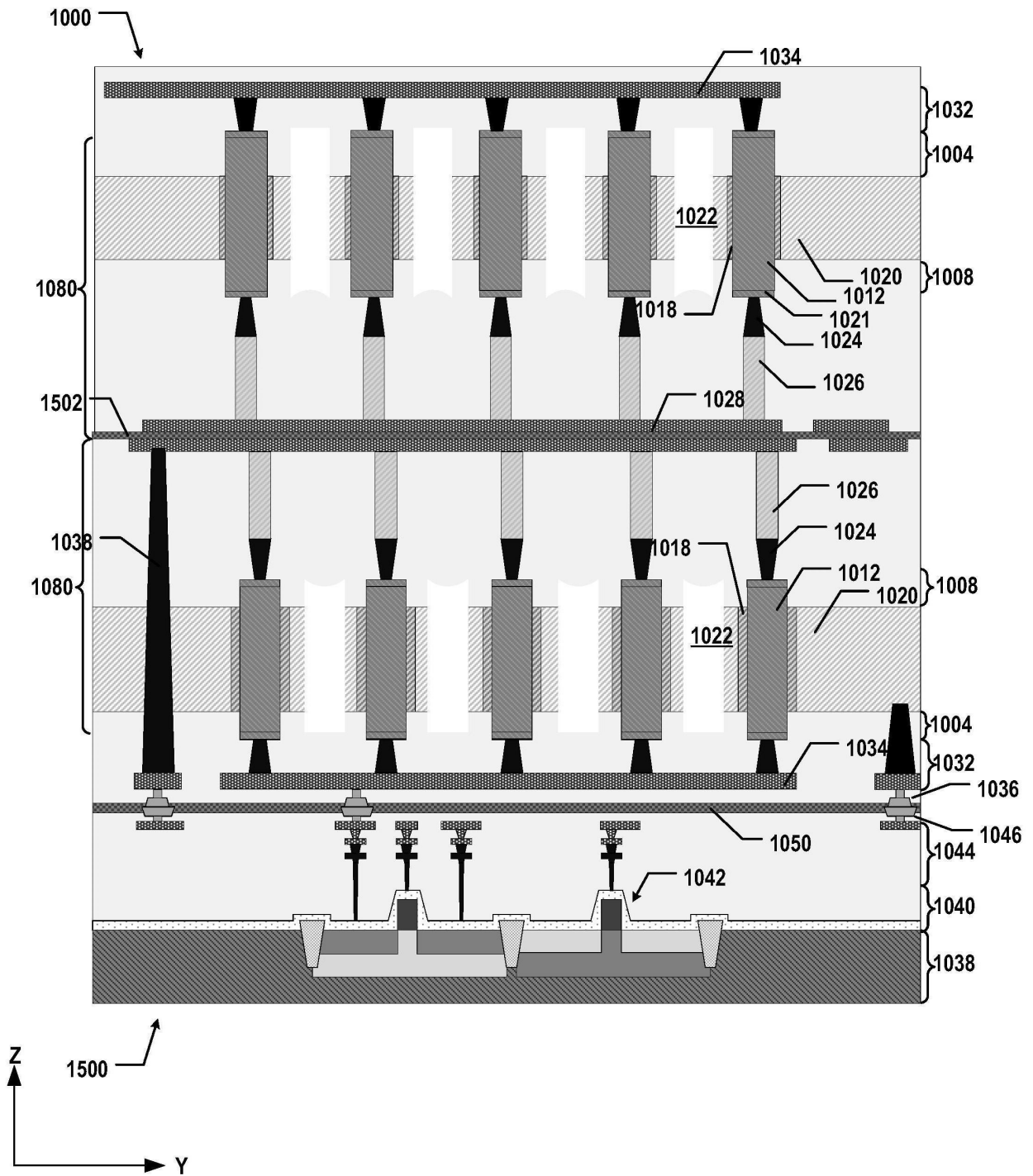


图15D

1600

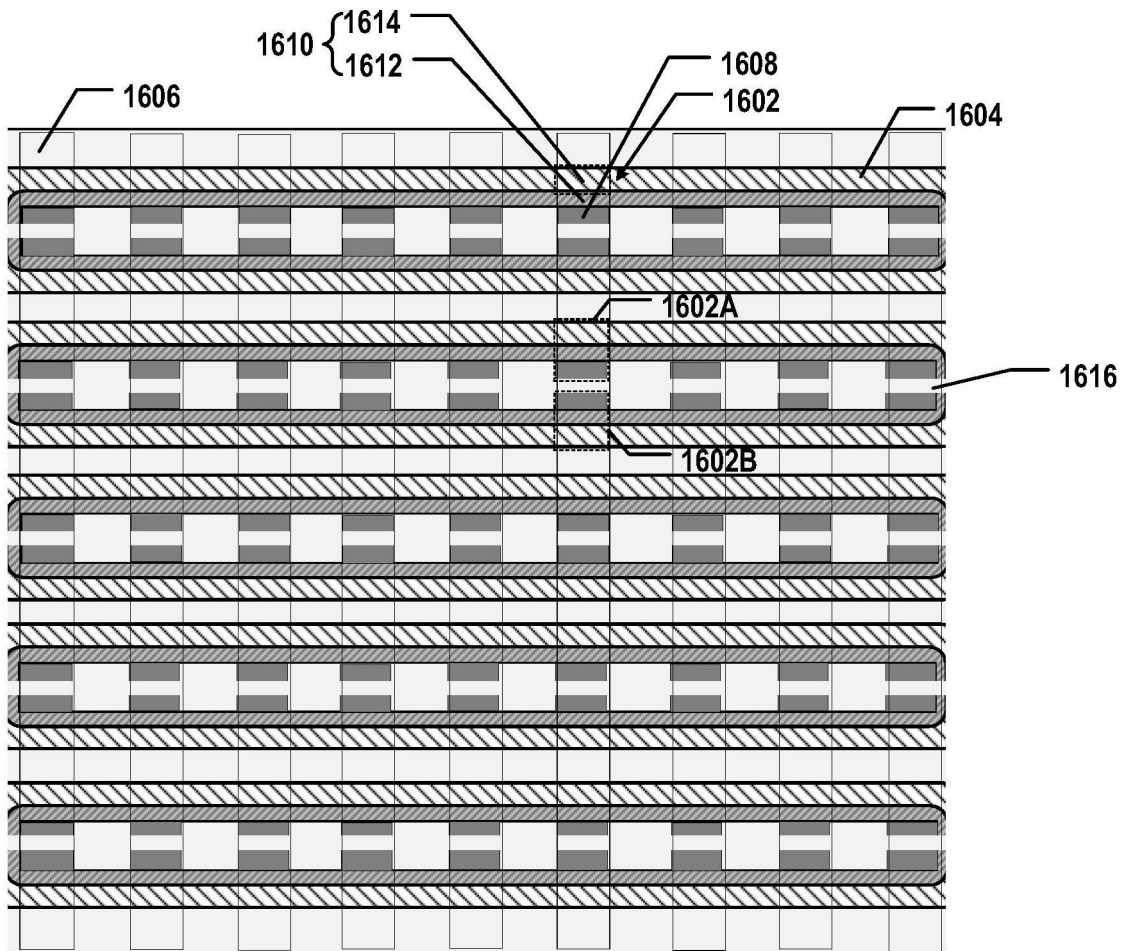


图16

1700

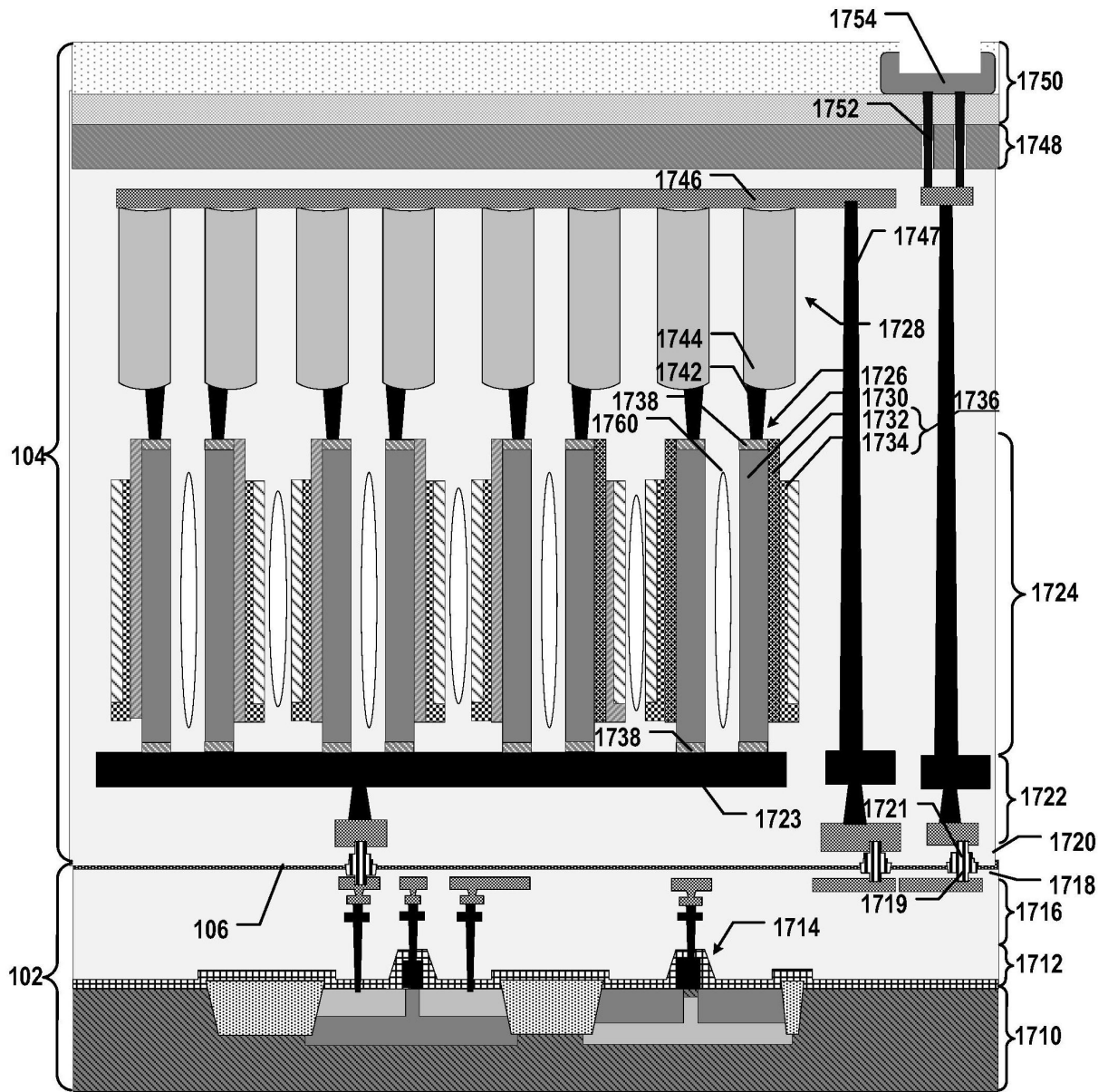


图17

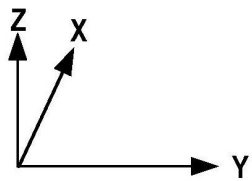
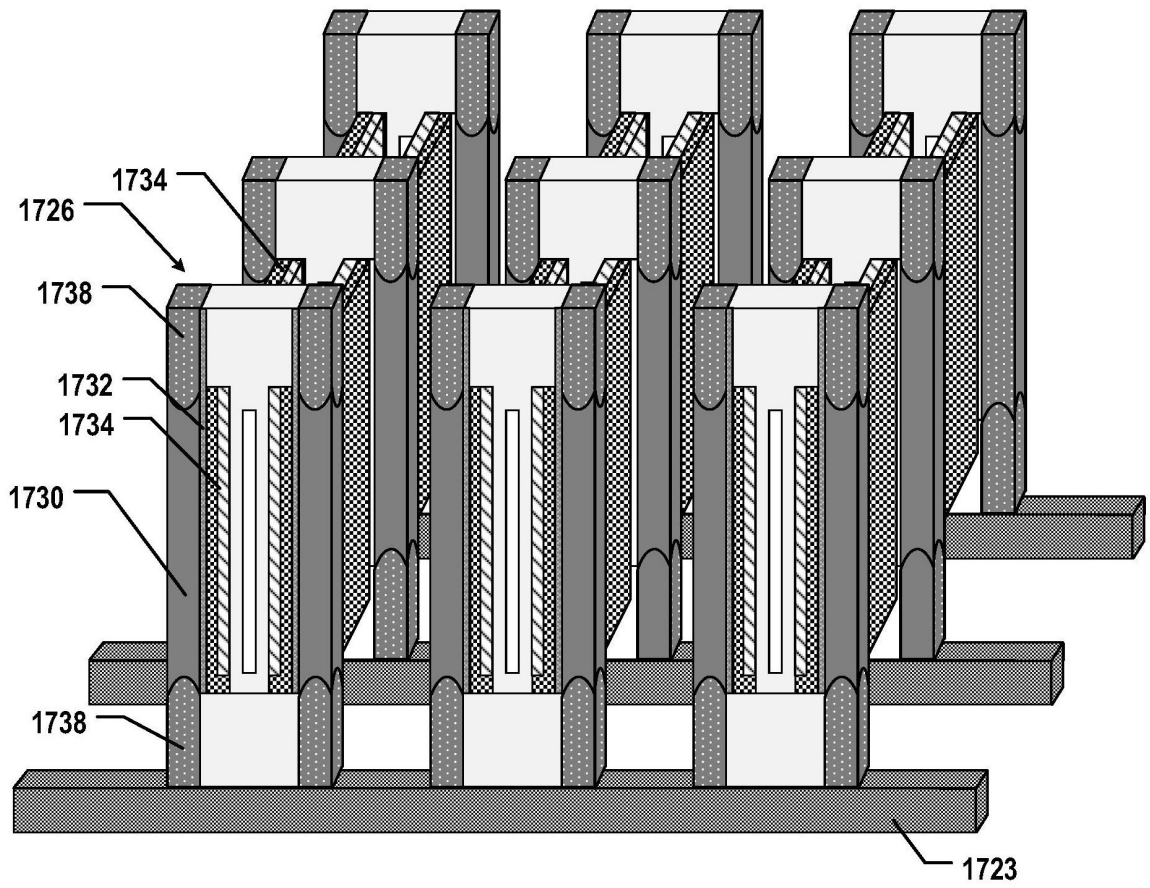


图18

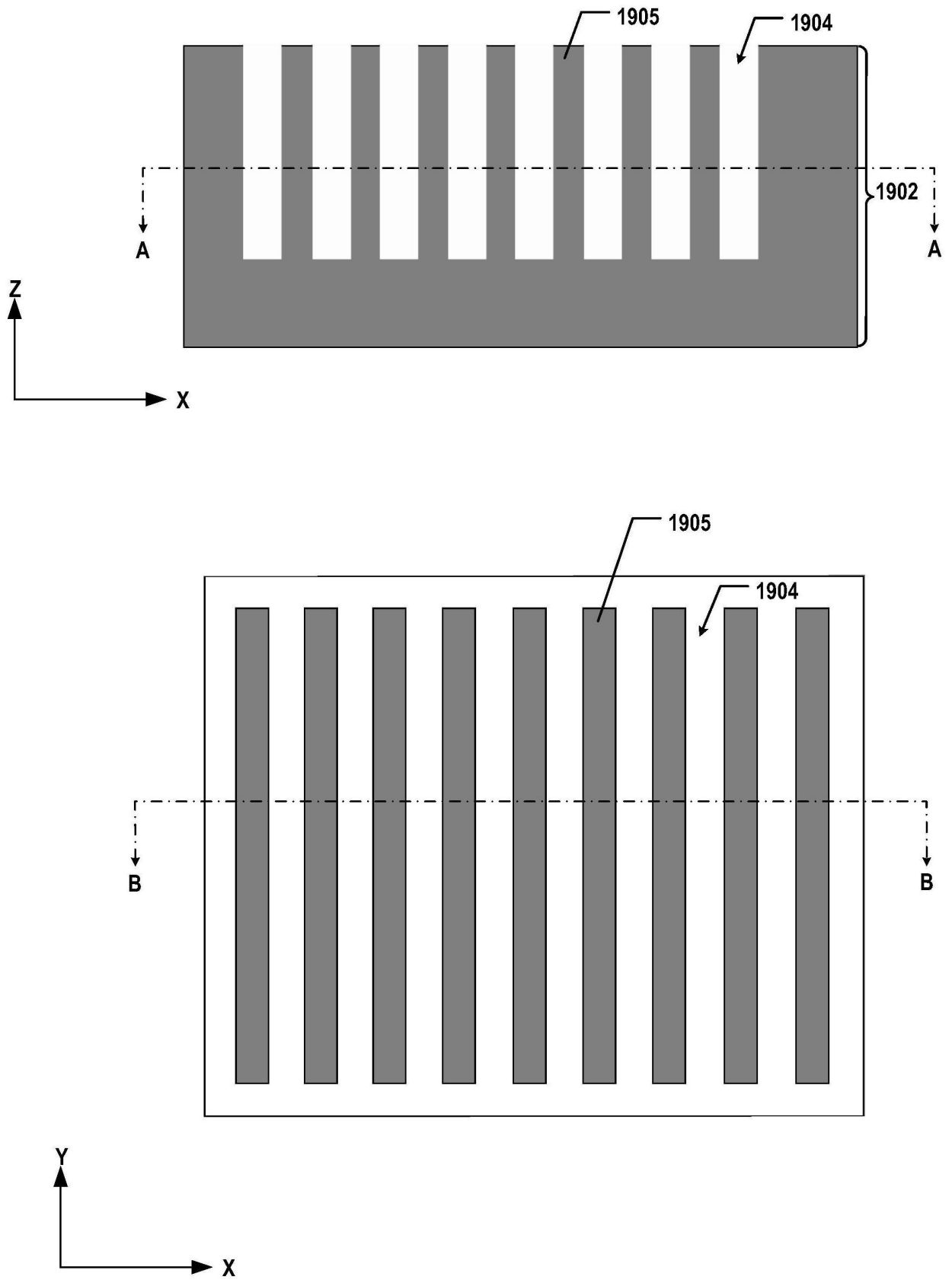


图19A

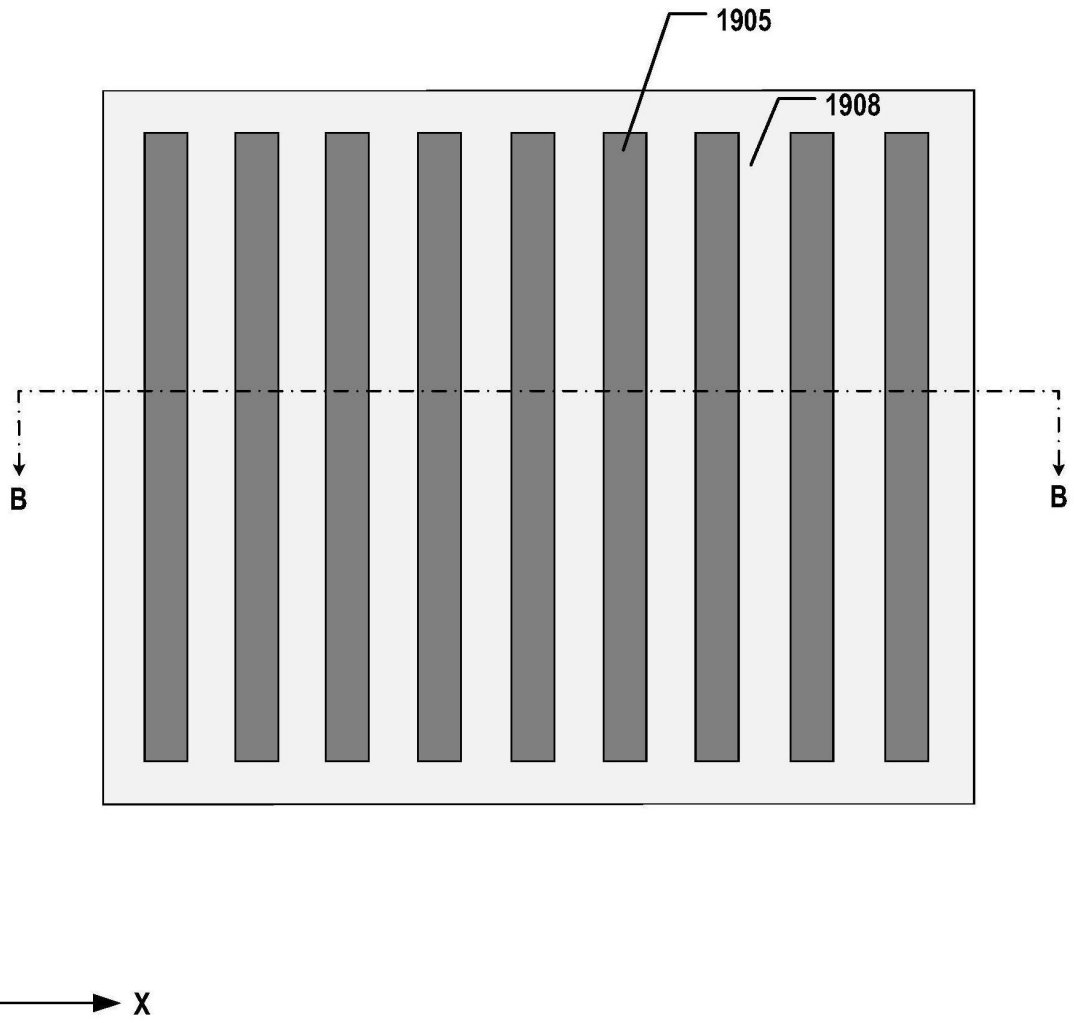
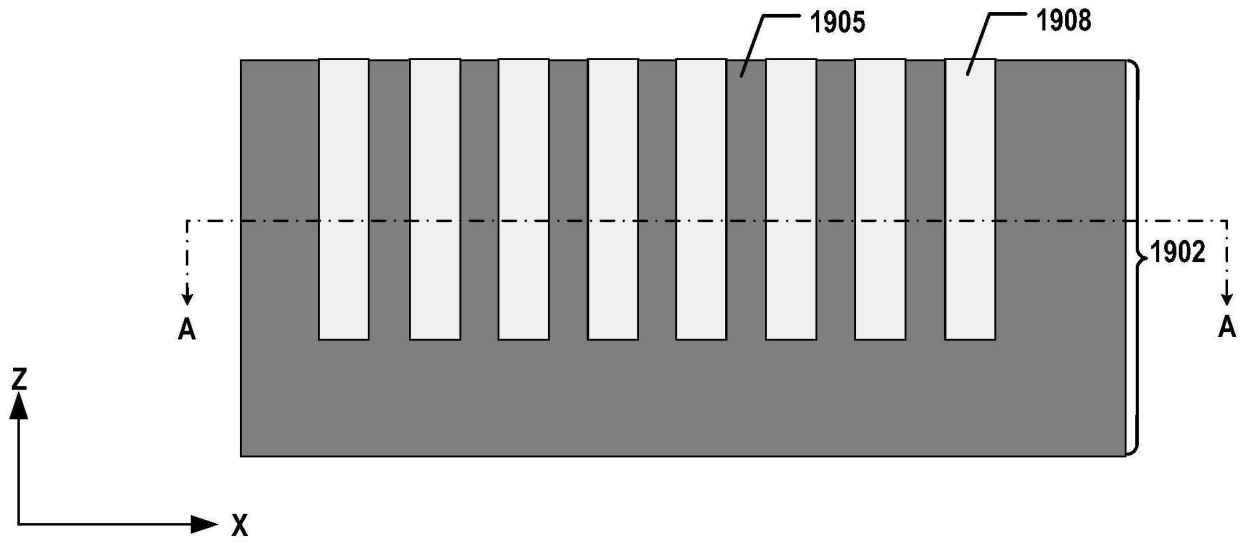


图19B

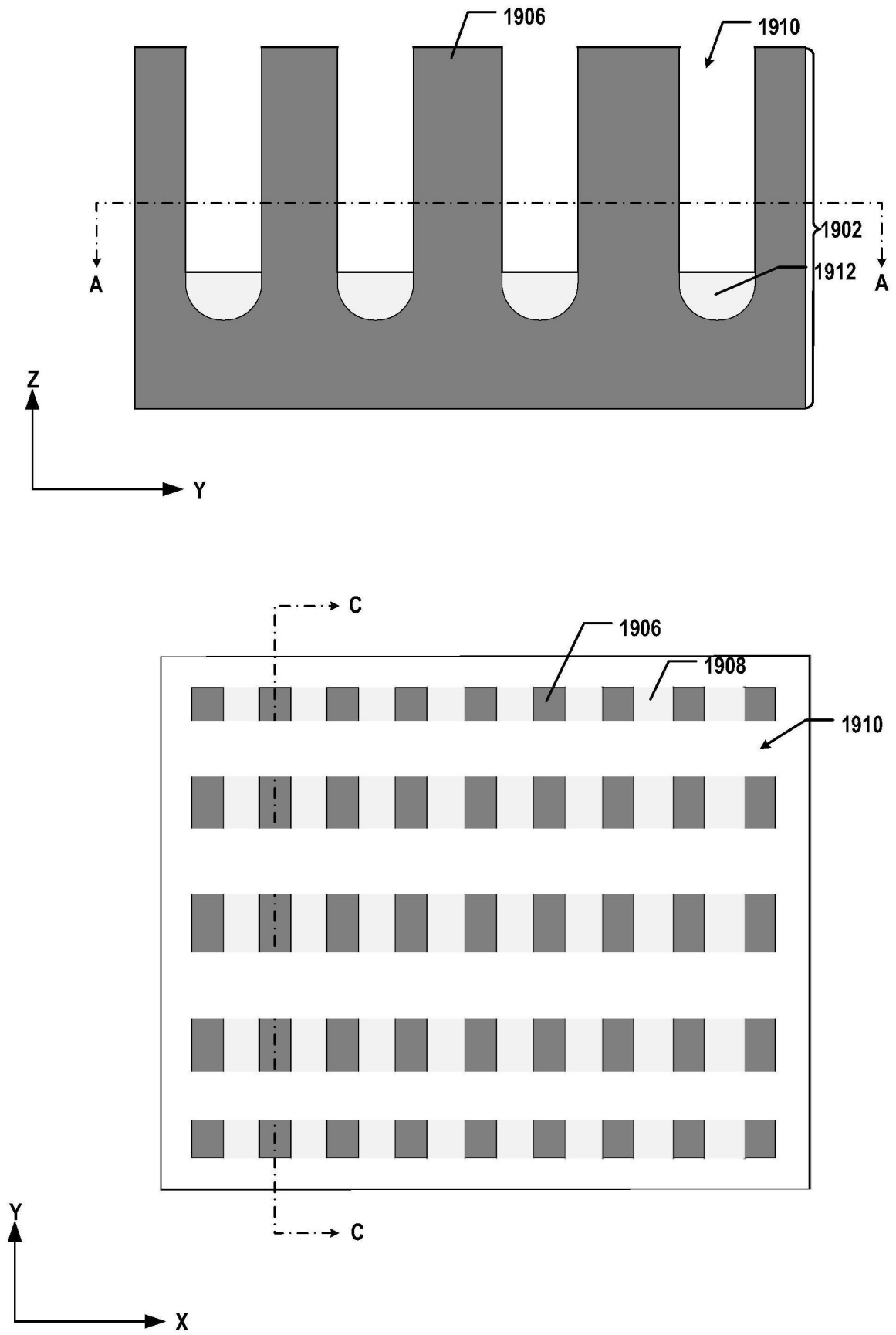


图19C

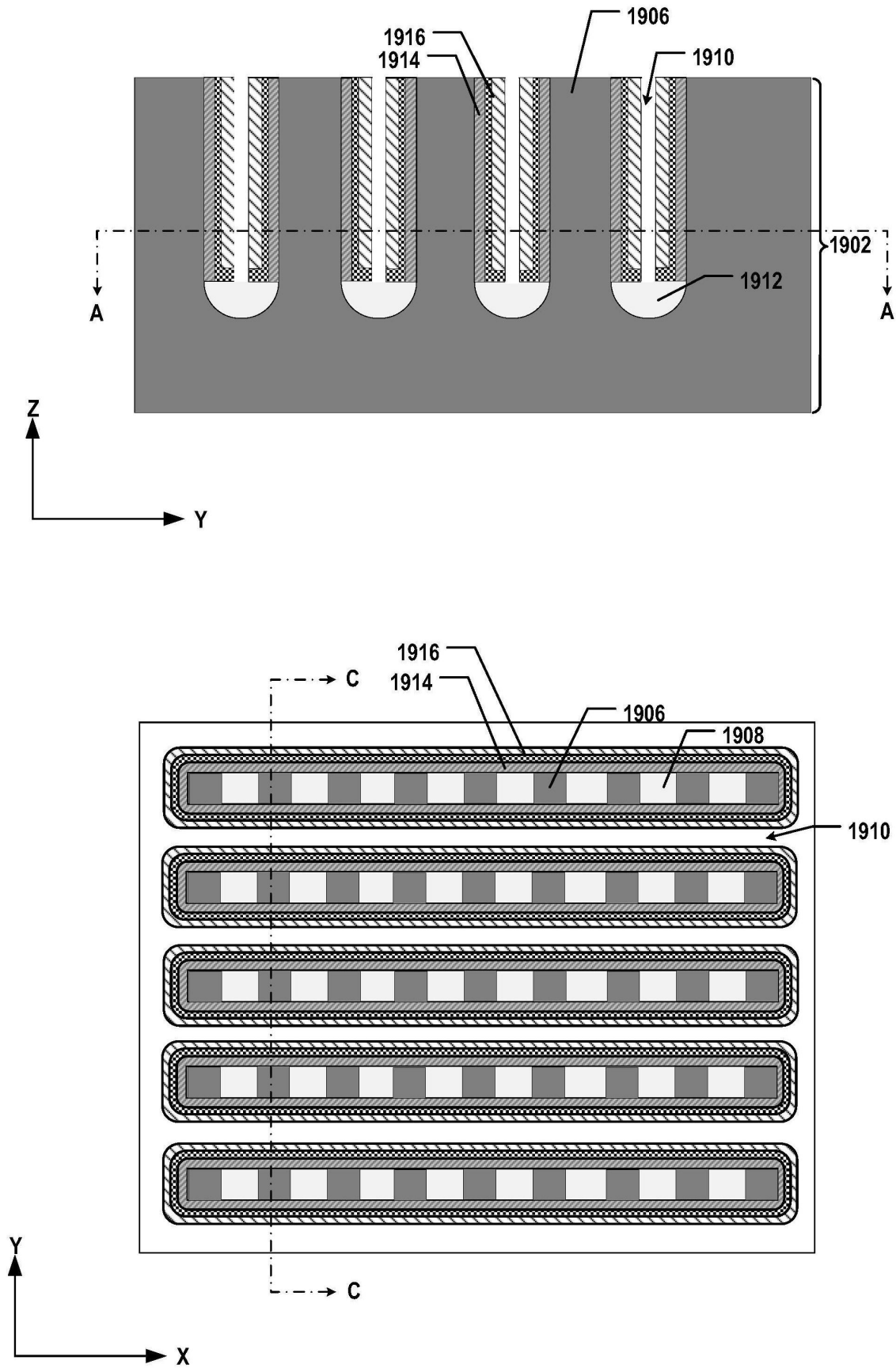


图19D

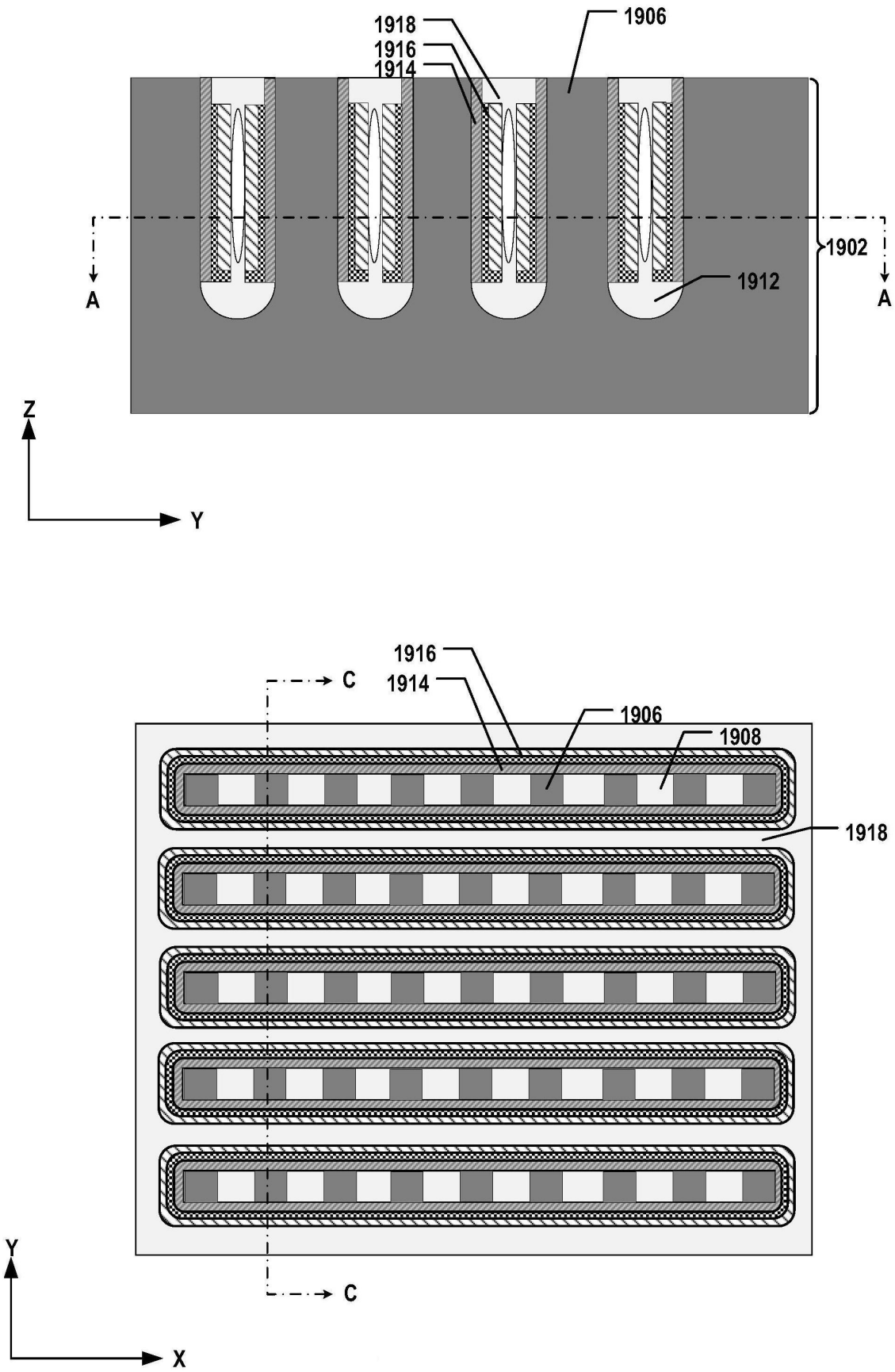


图19E

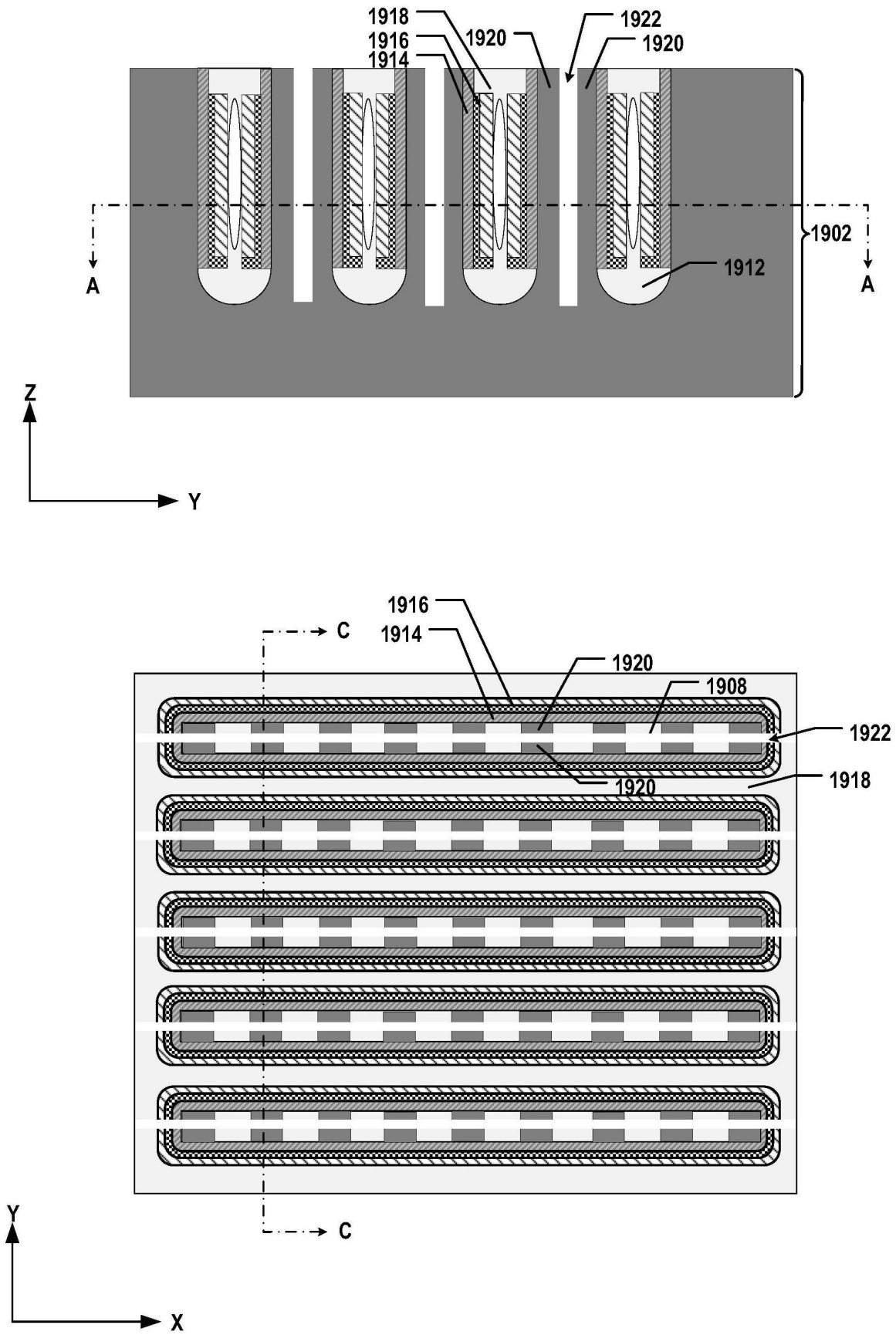


图19F

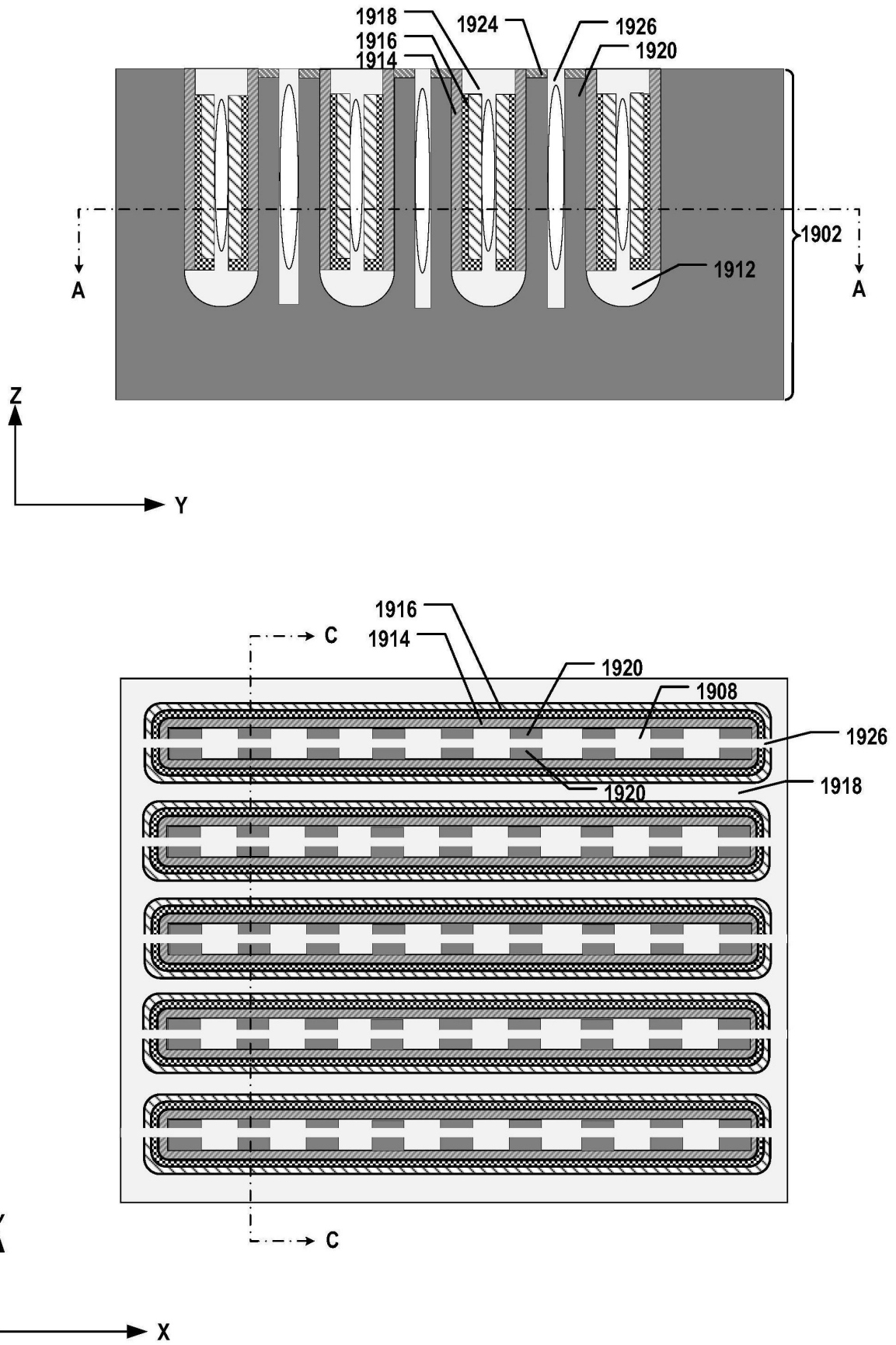


图19G

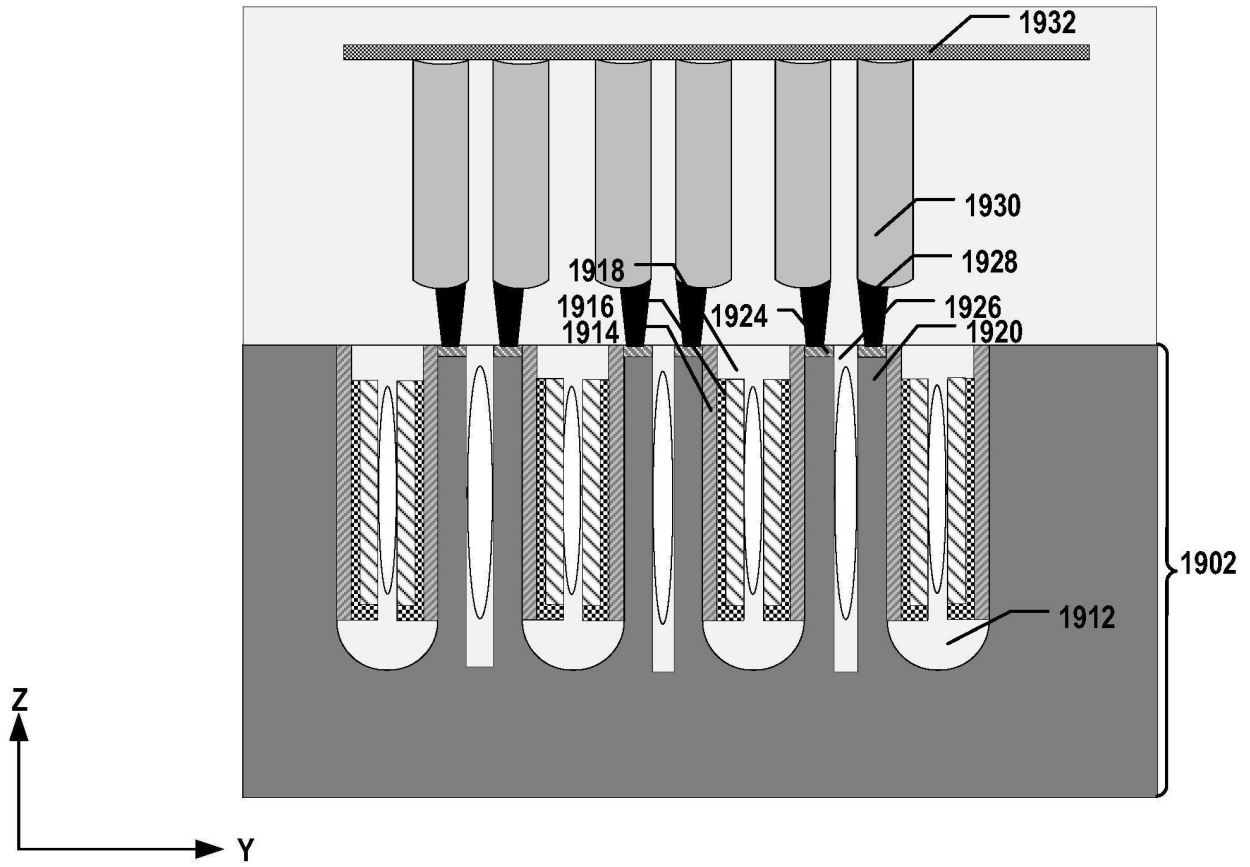


图19H

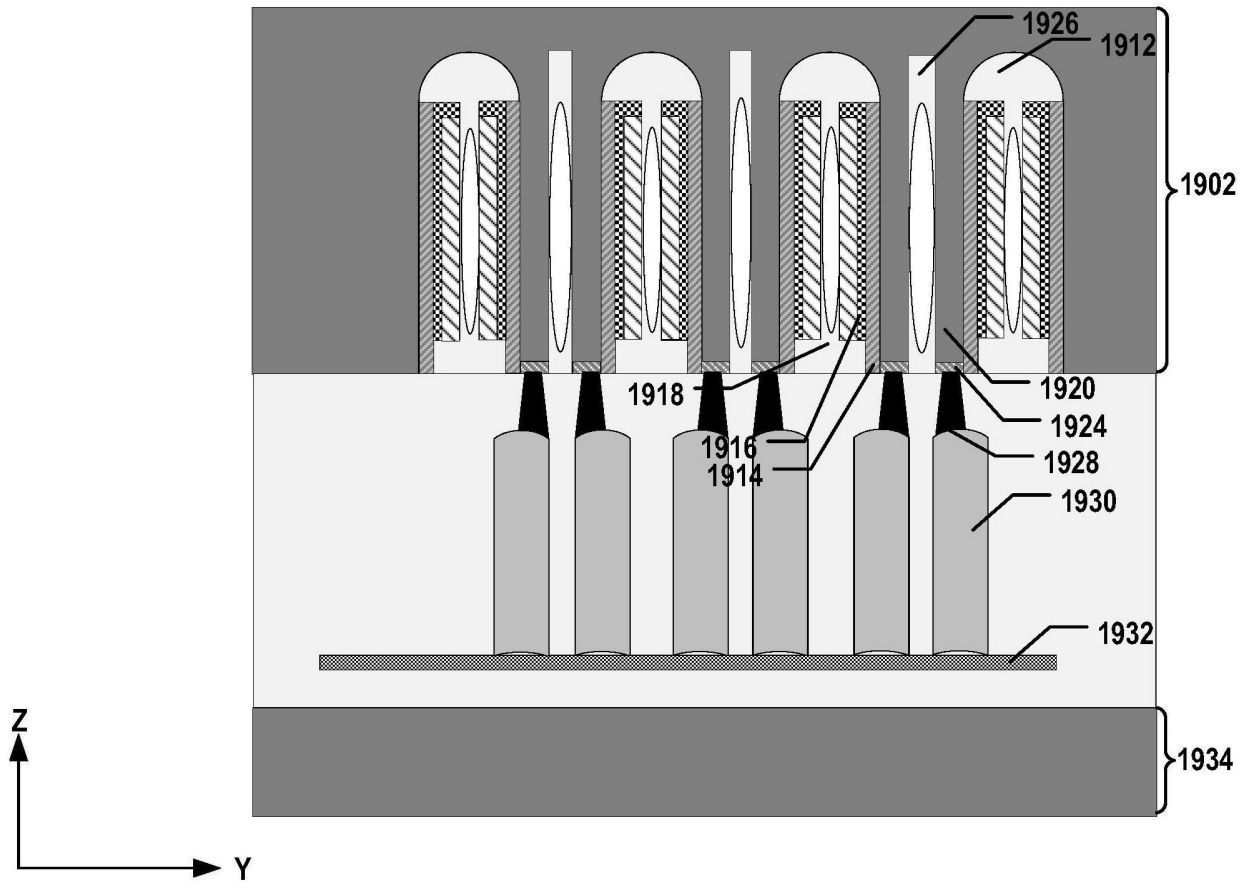


图19I

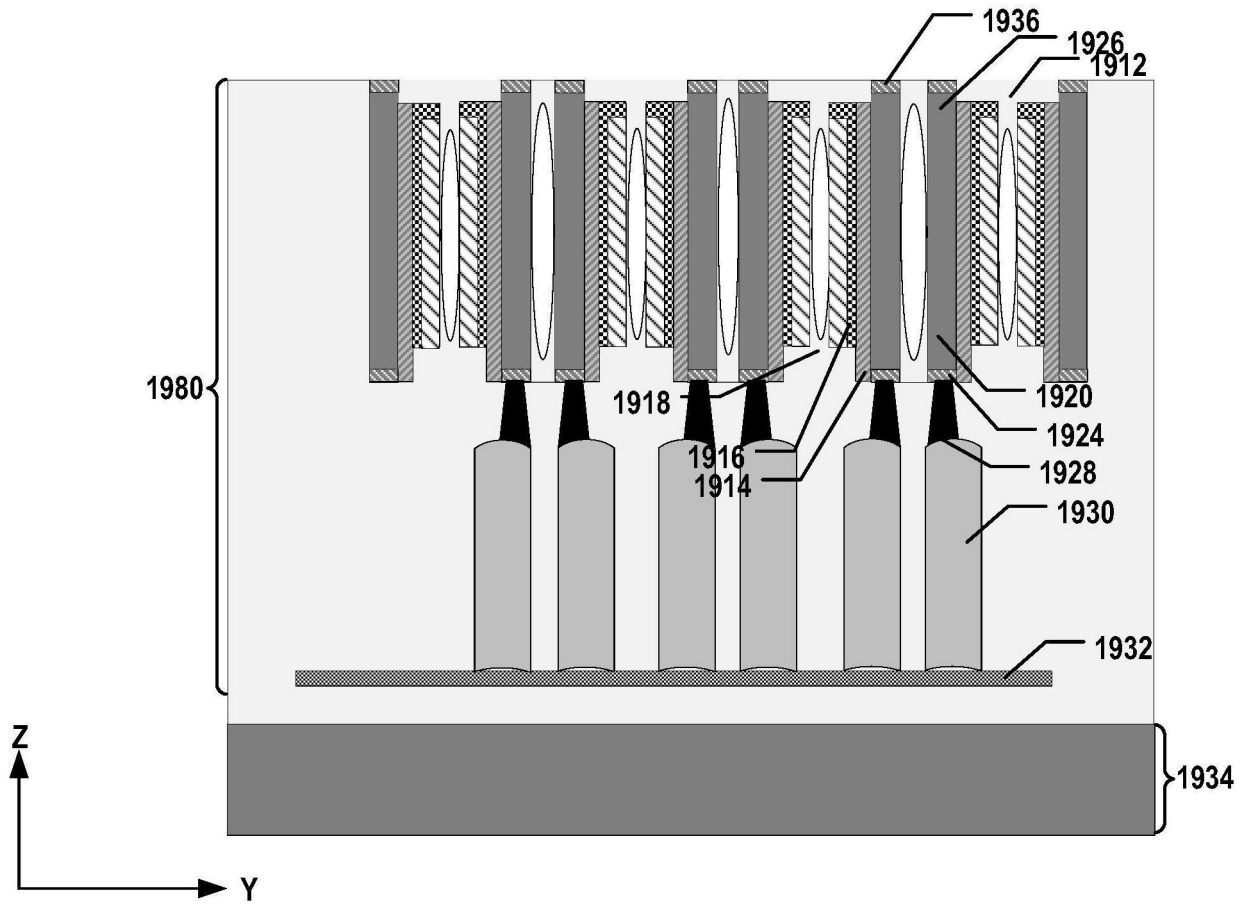


图19J

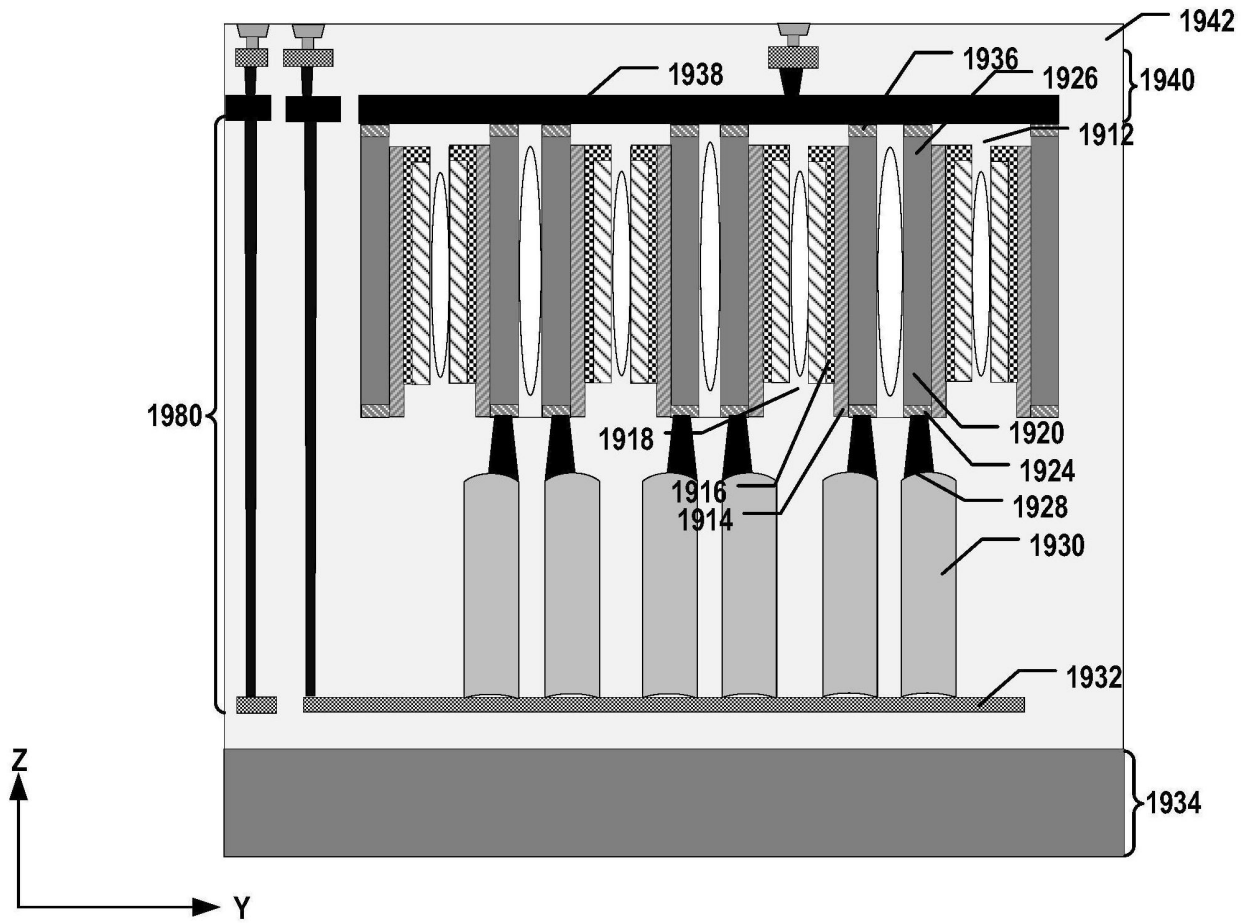


图19K

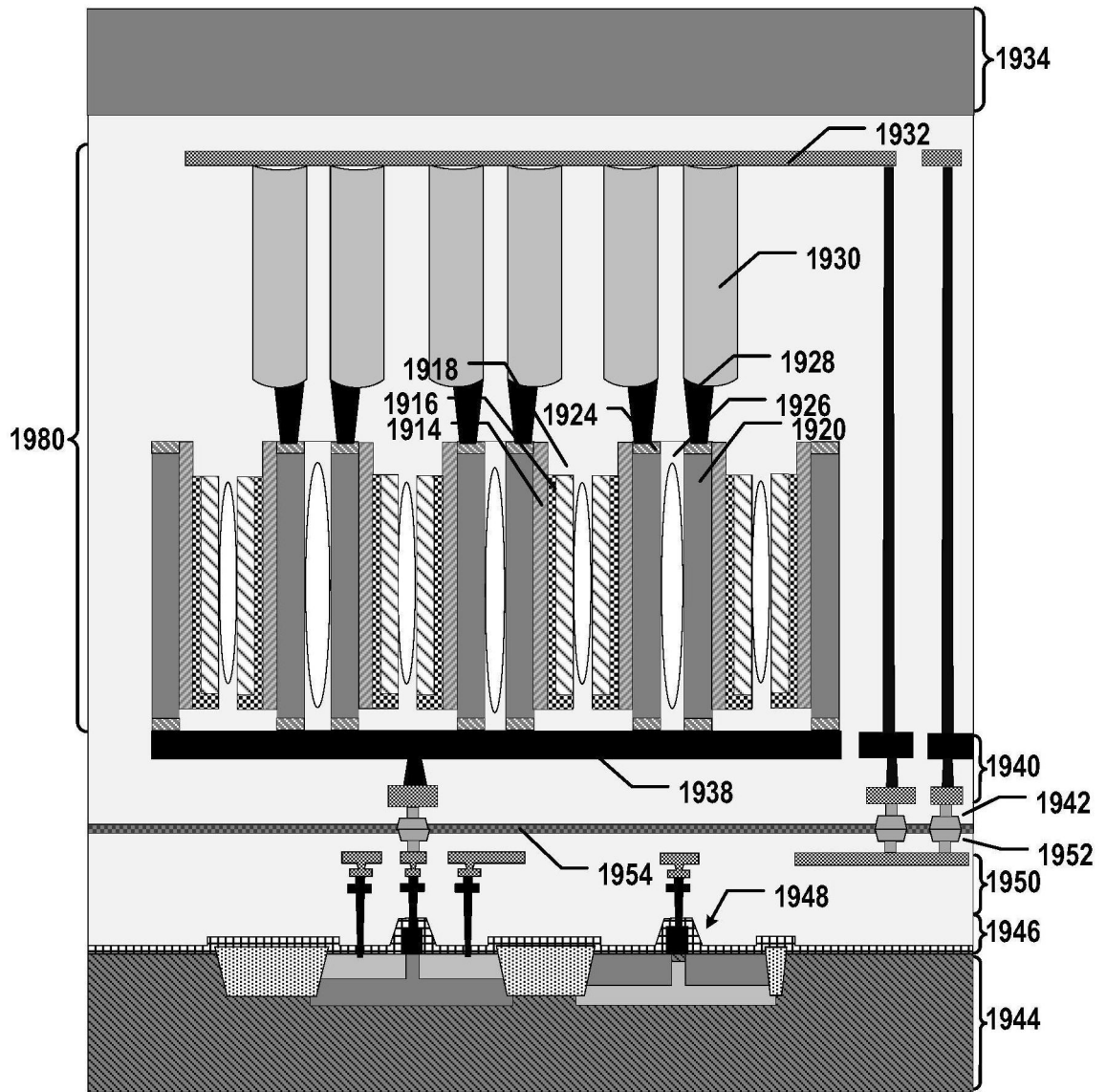


图19L

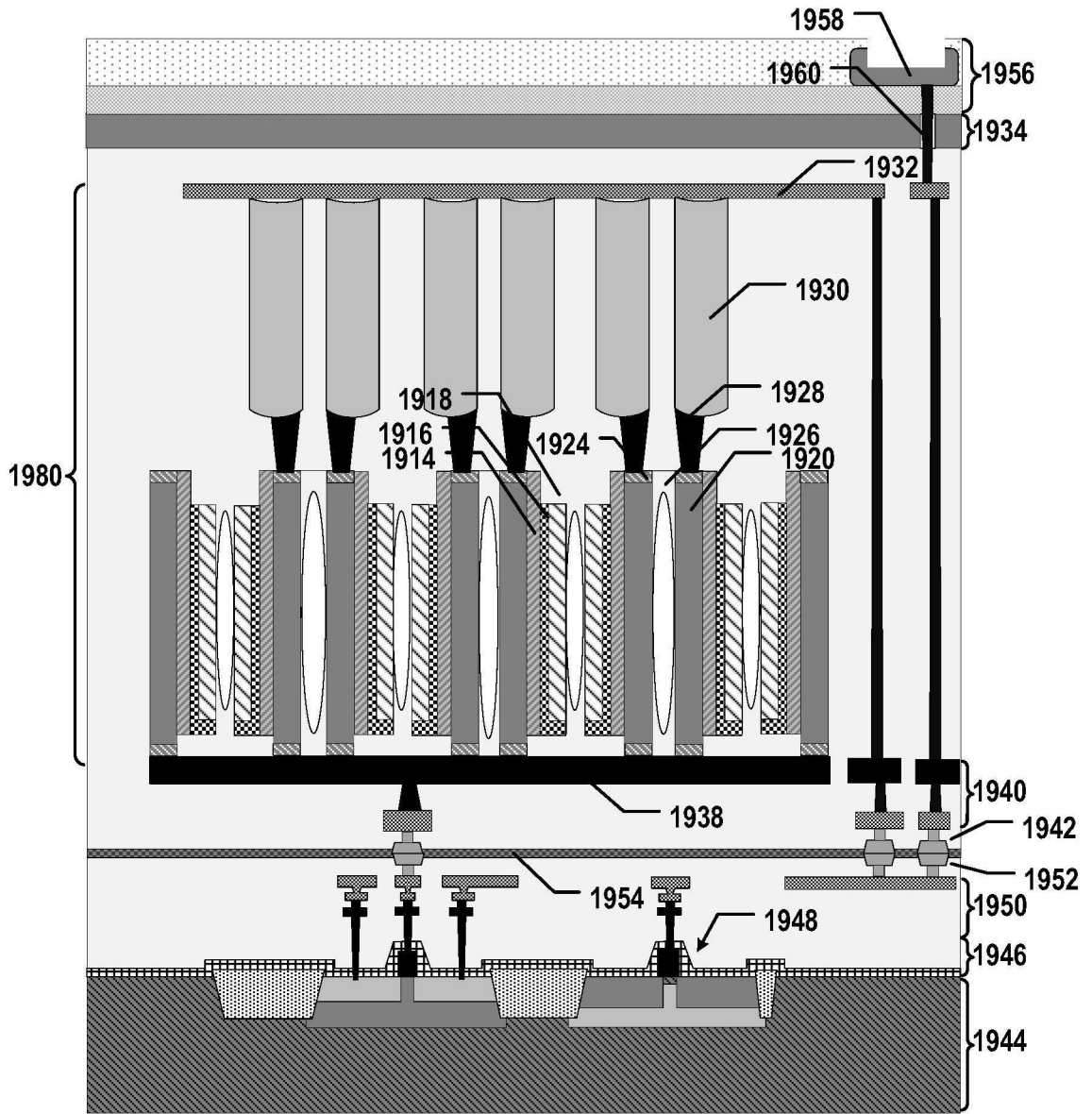


图19M

2000

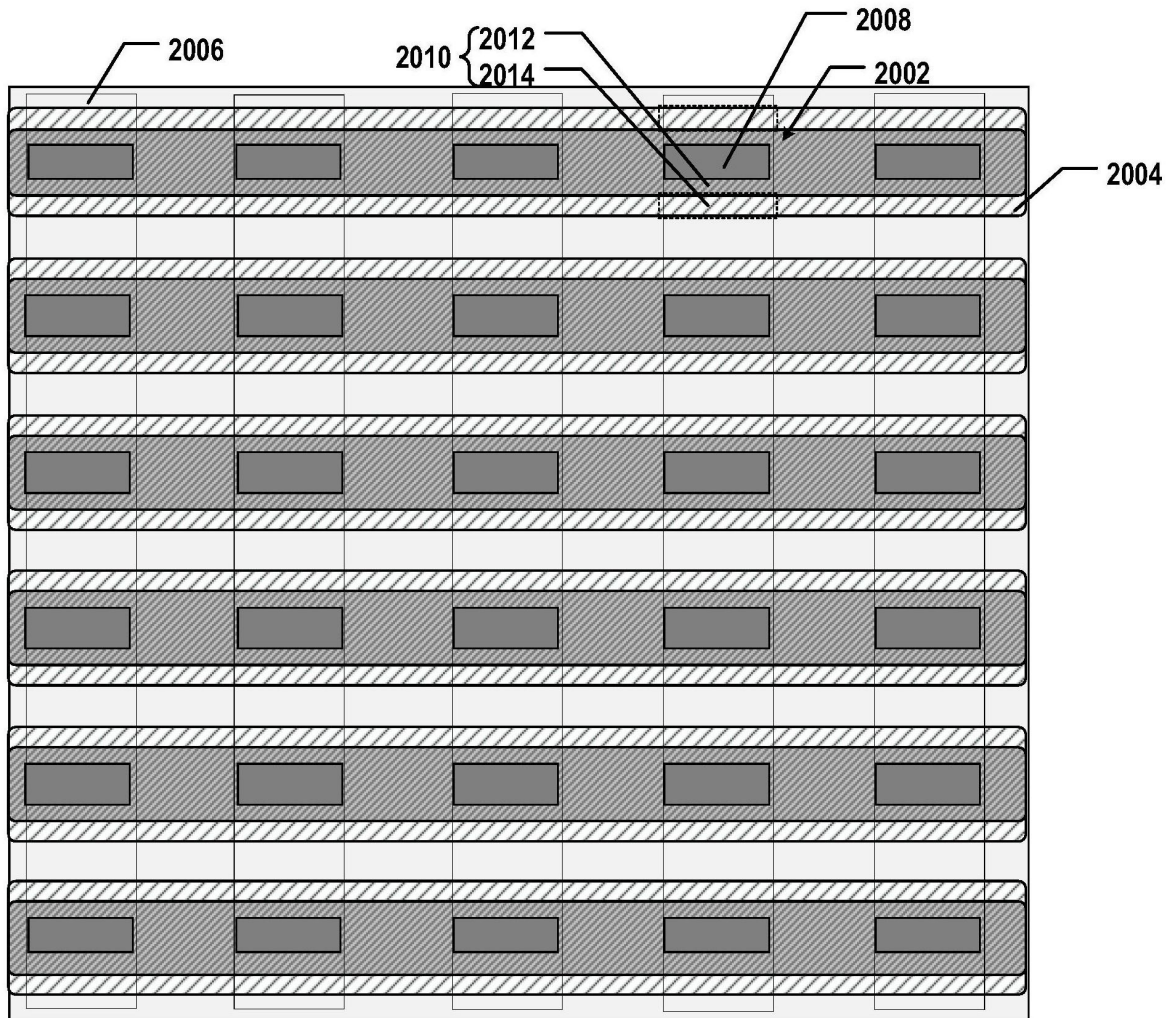


图20

2100

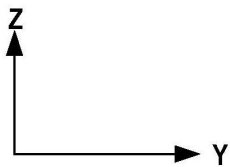
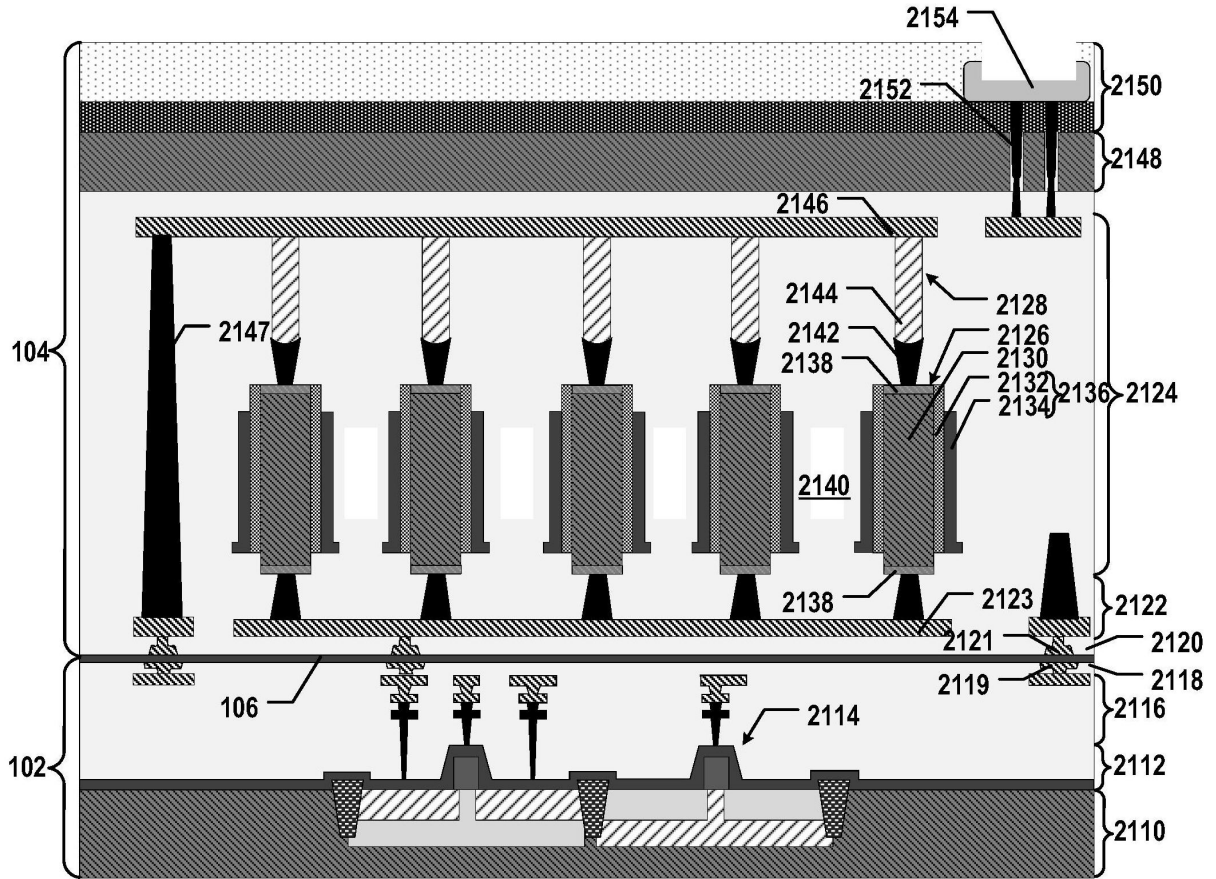


图21

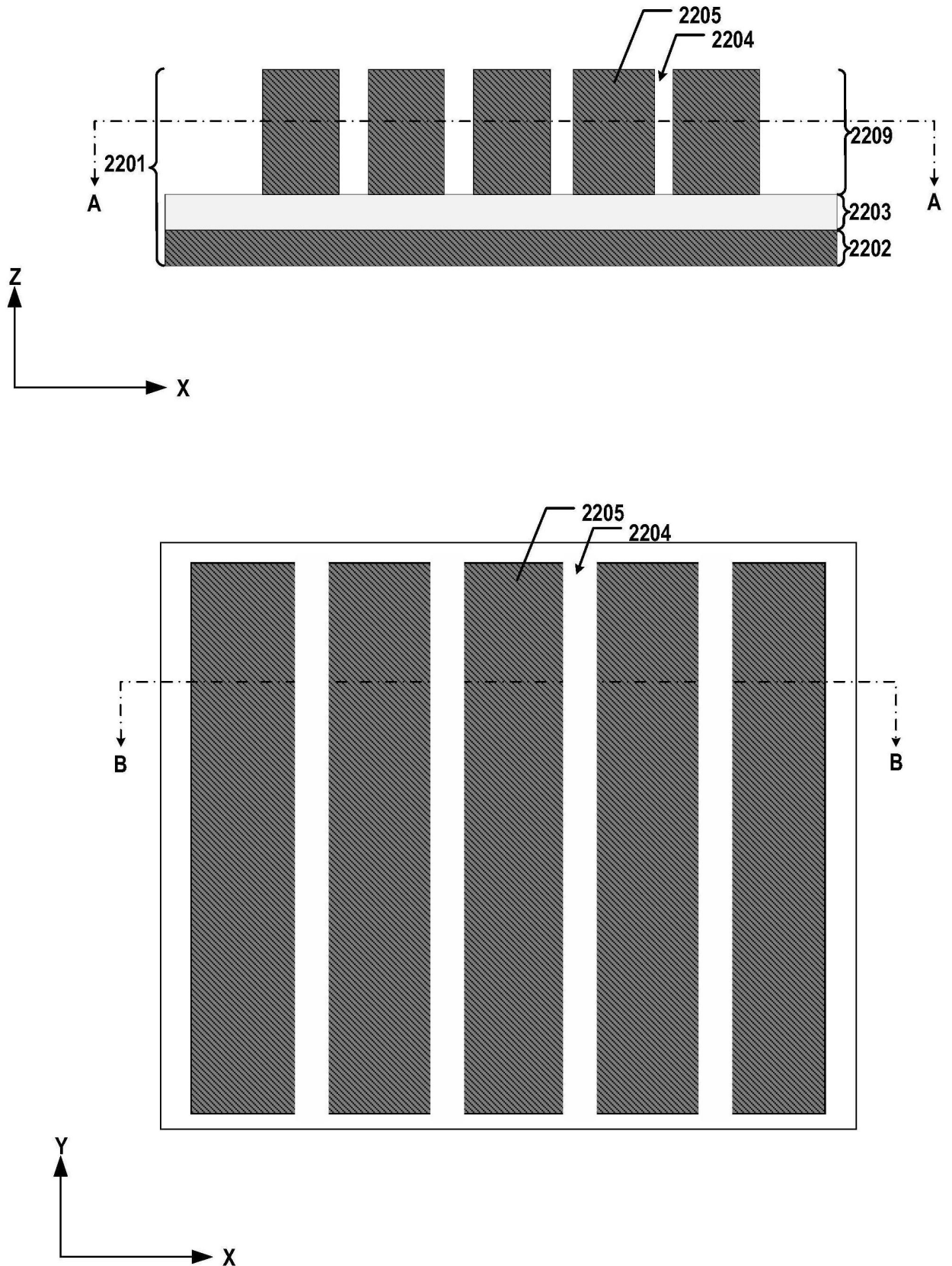


图22A

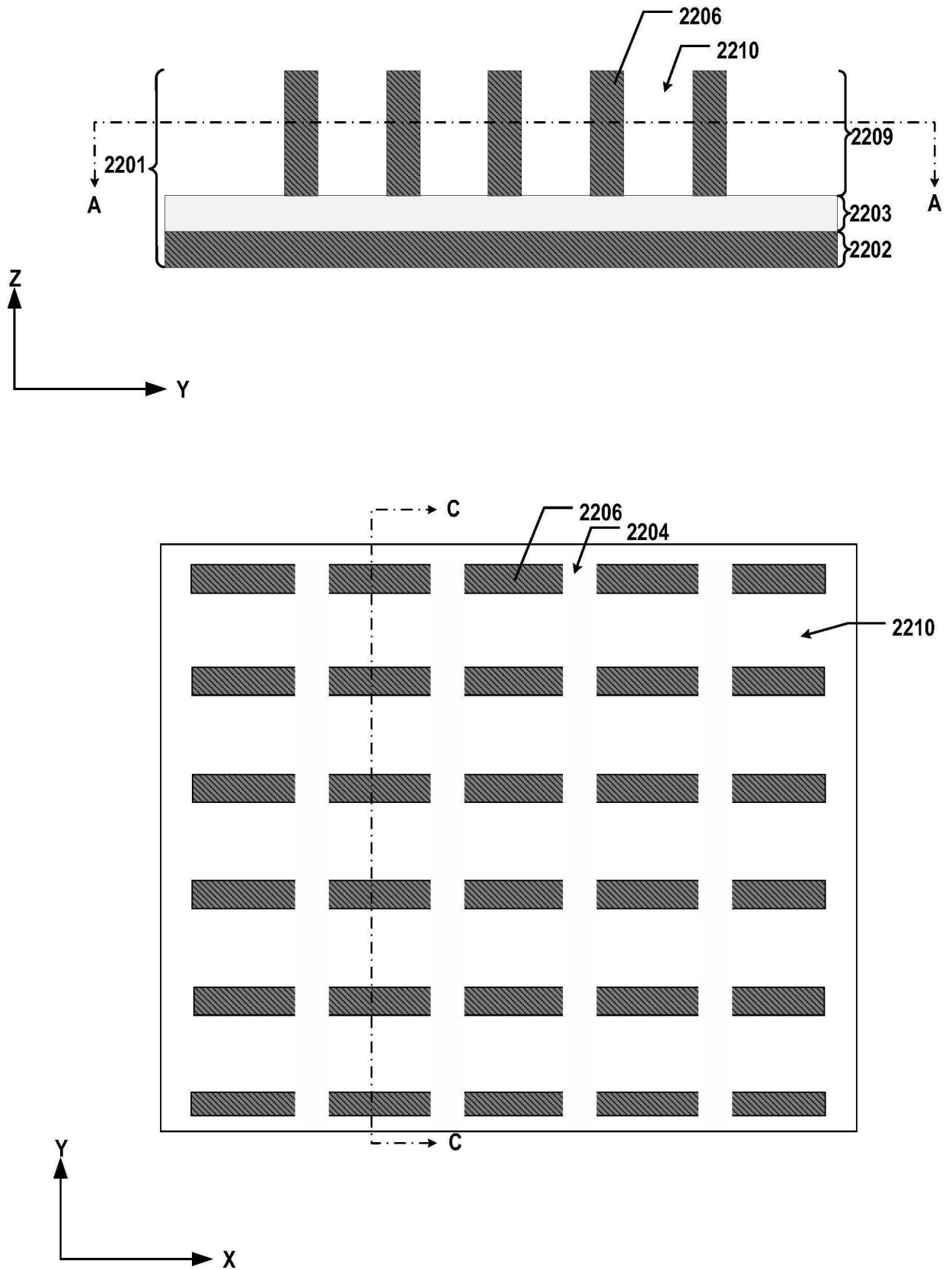


图22B

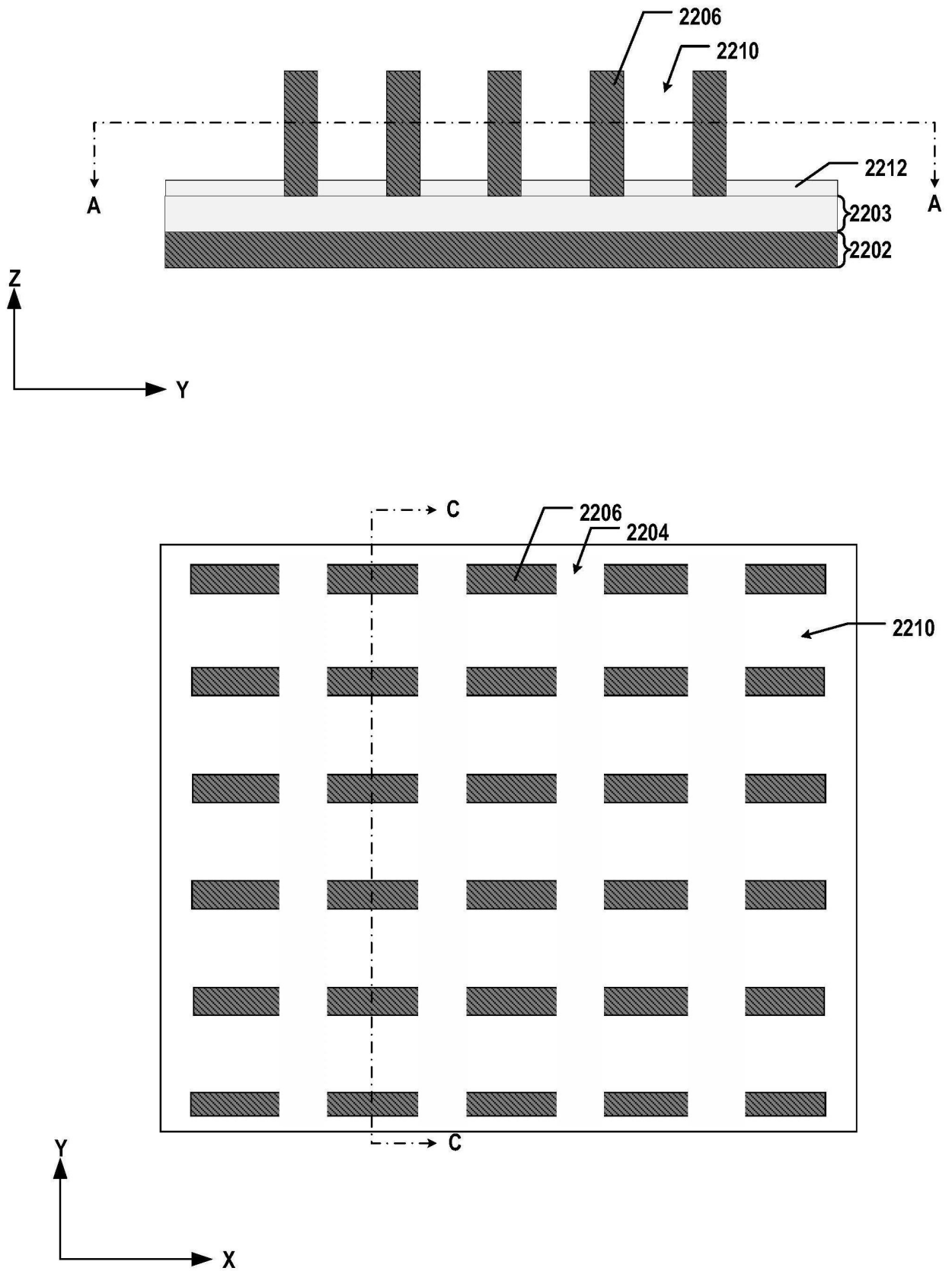


图22C

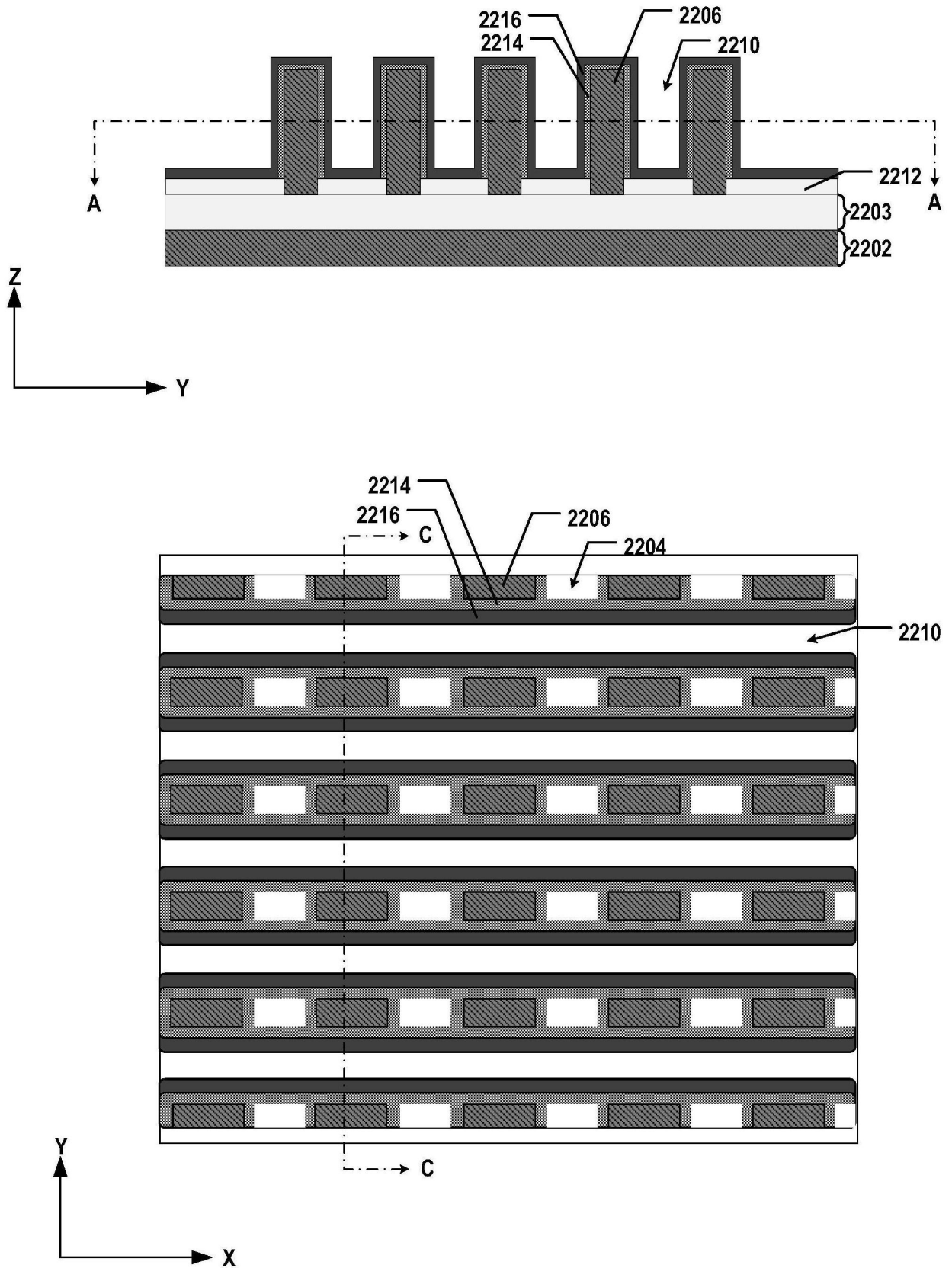


图22D

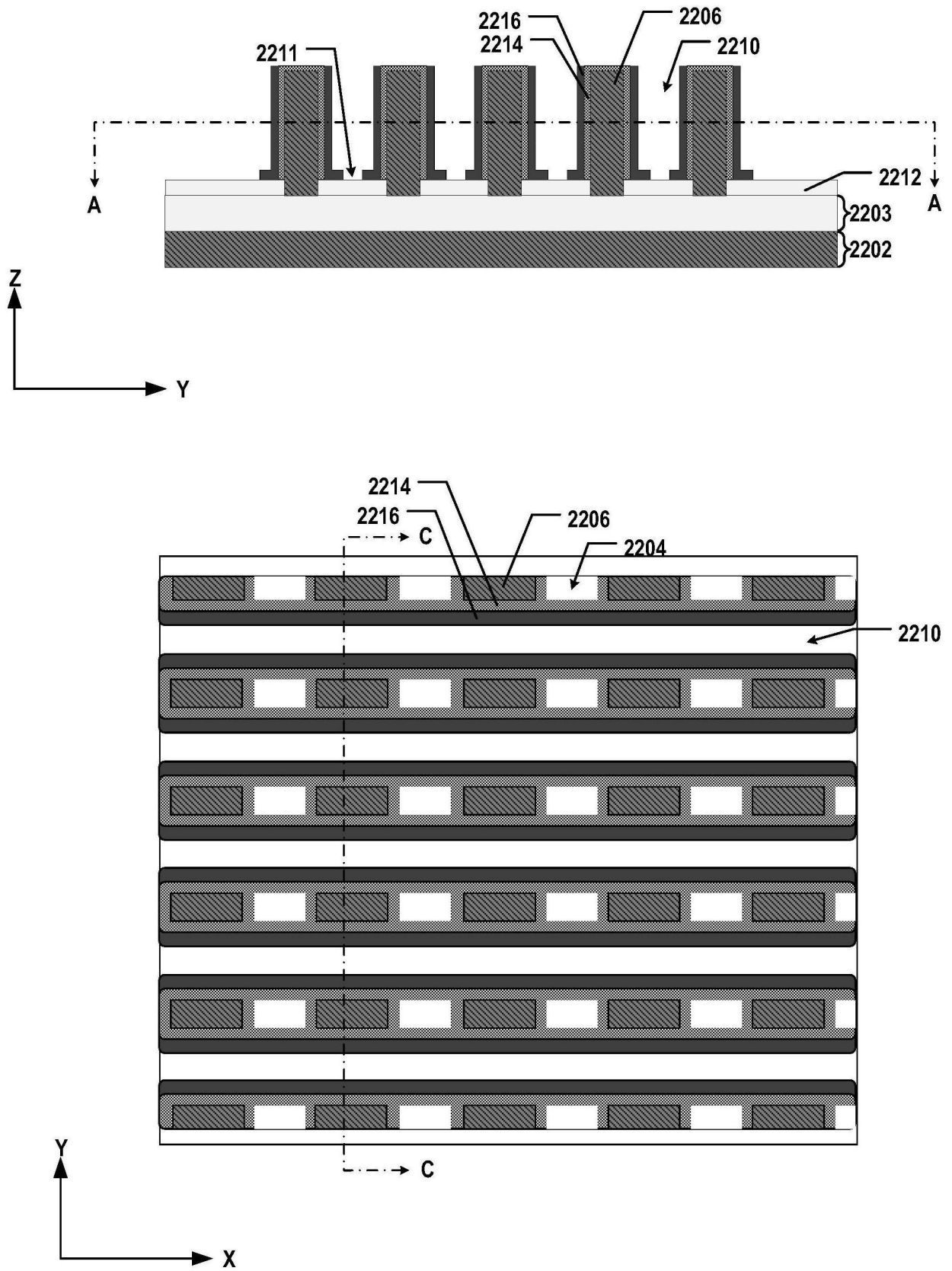


图22E

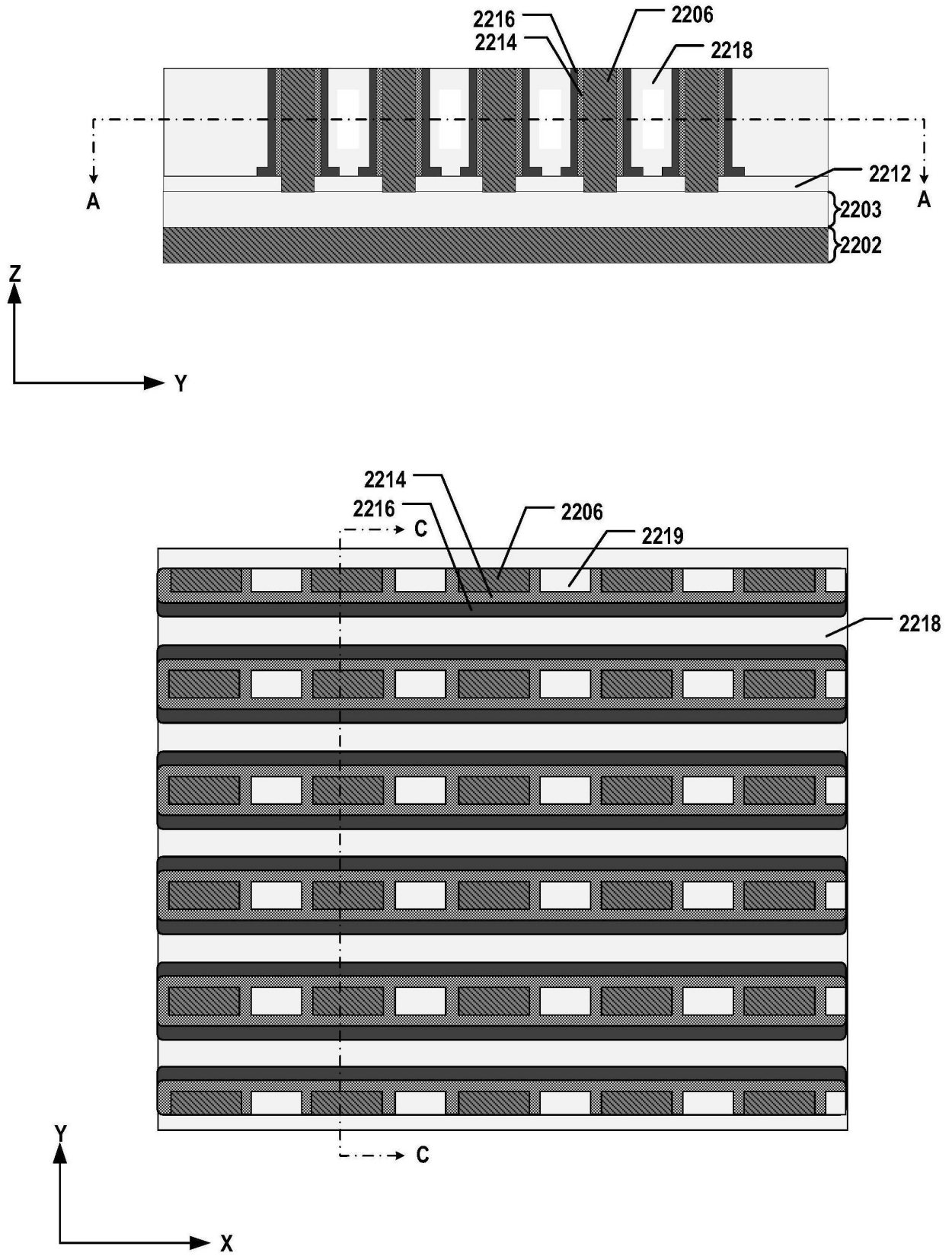


图22F

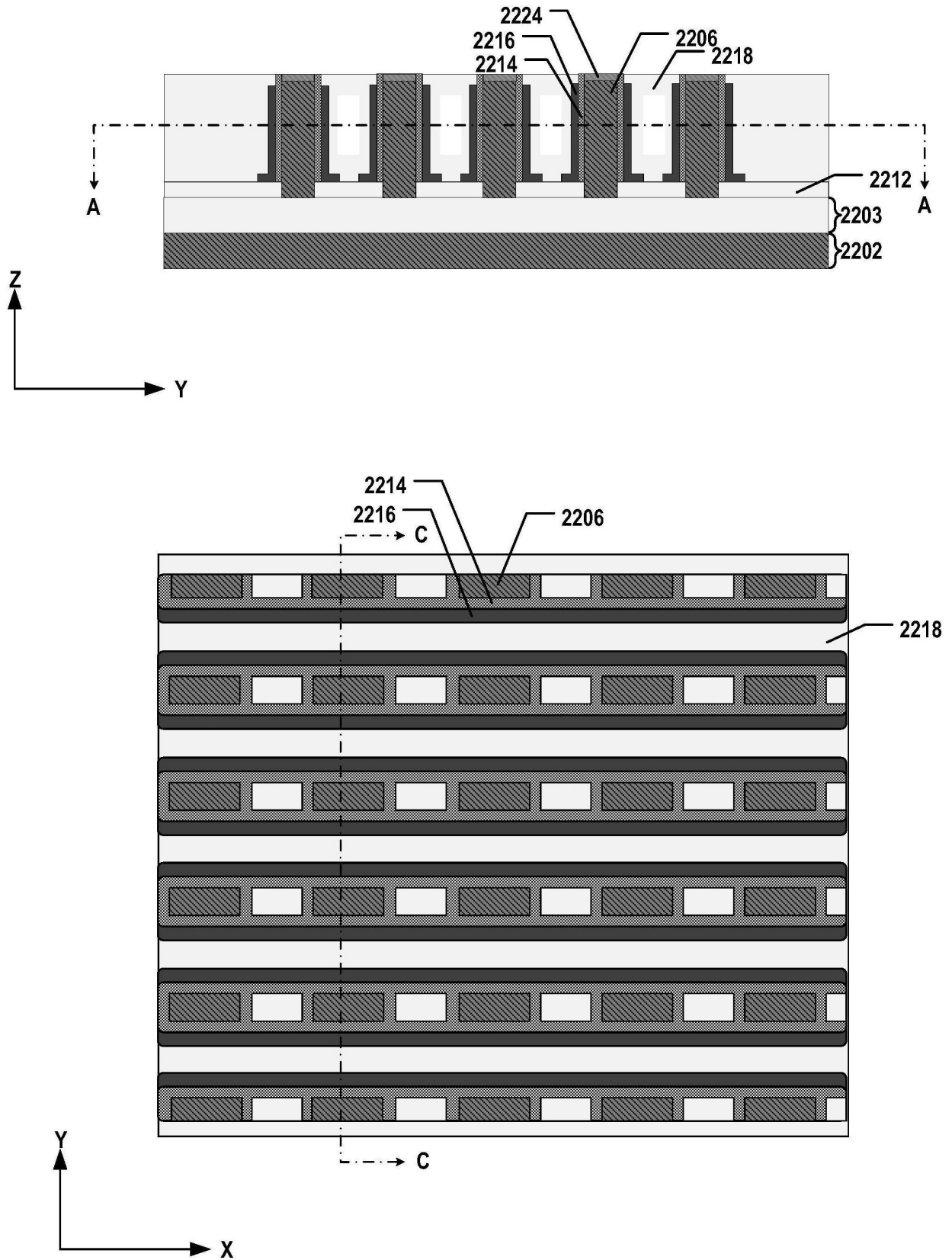


图22G

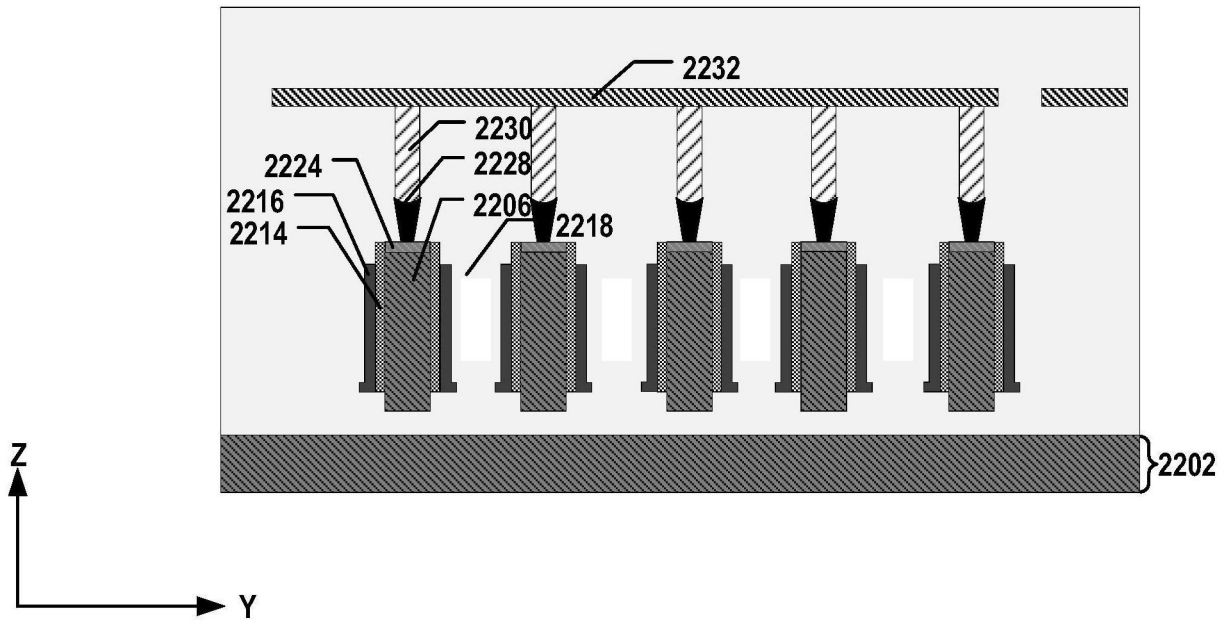


图22H

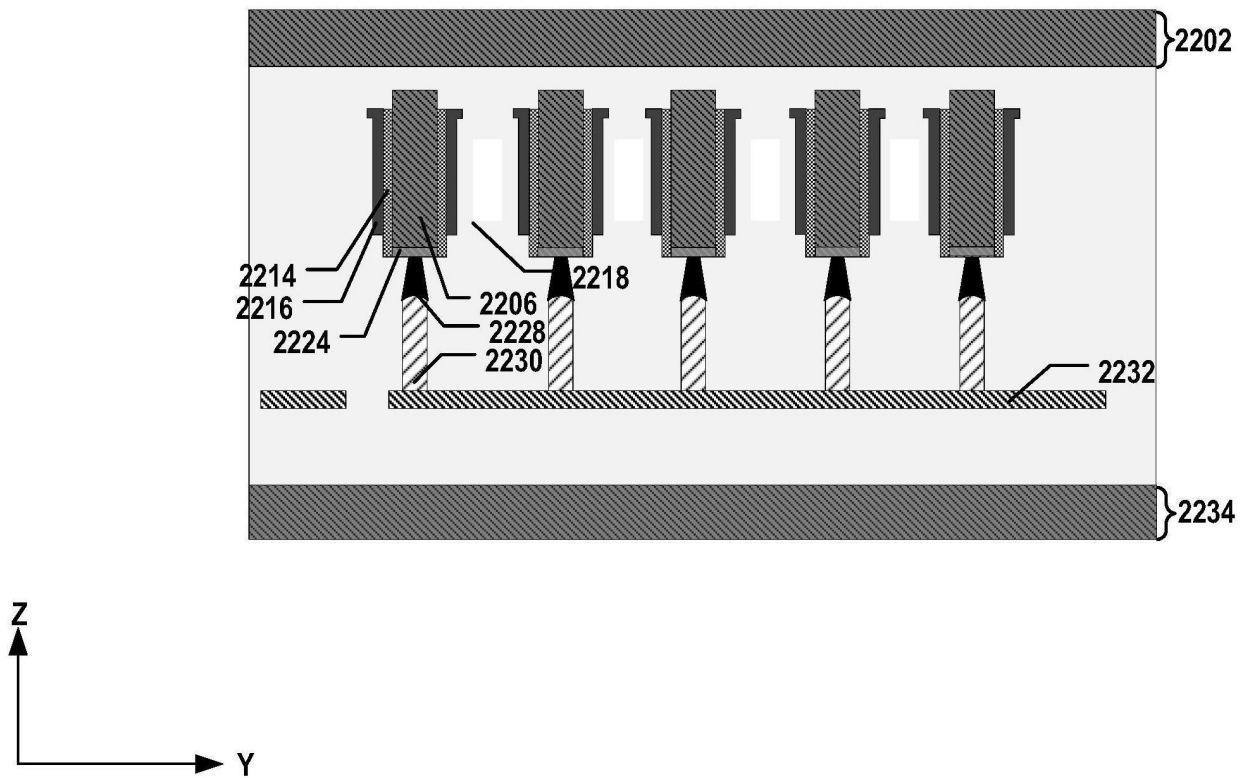


图22I

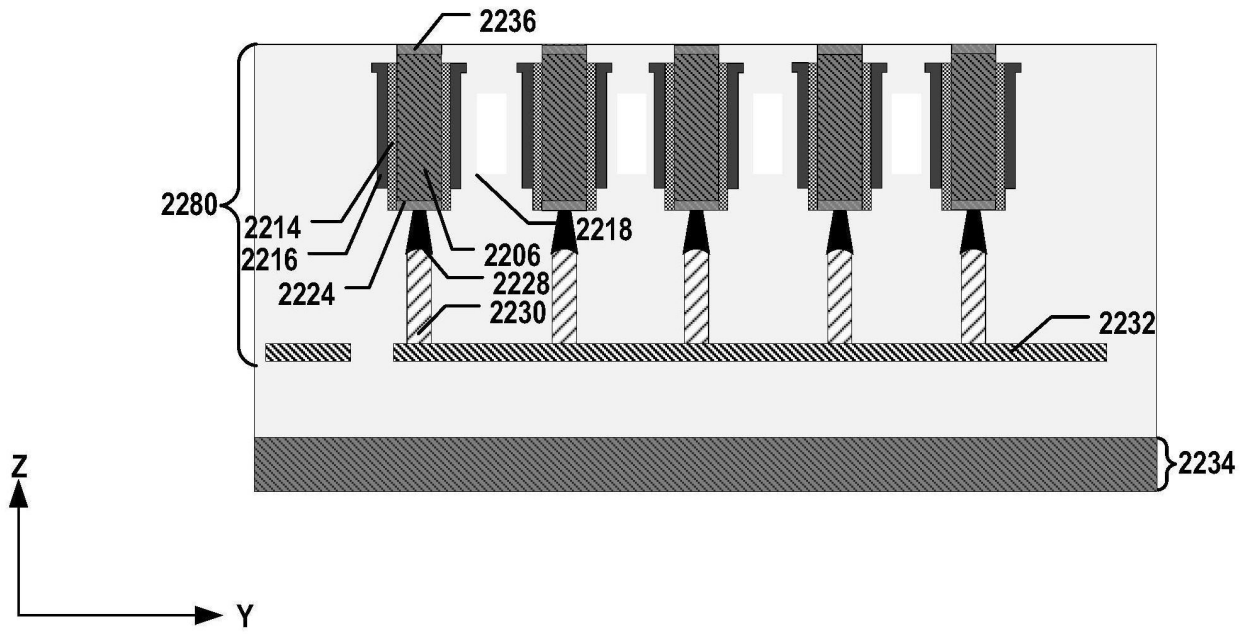


图22J

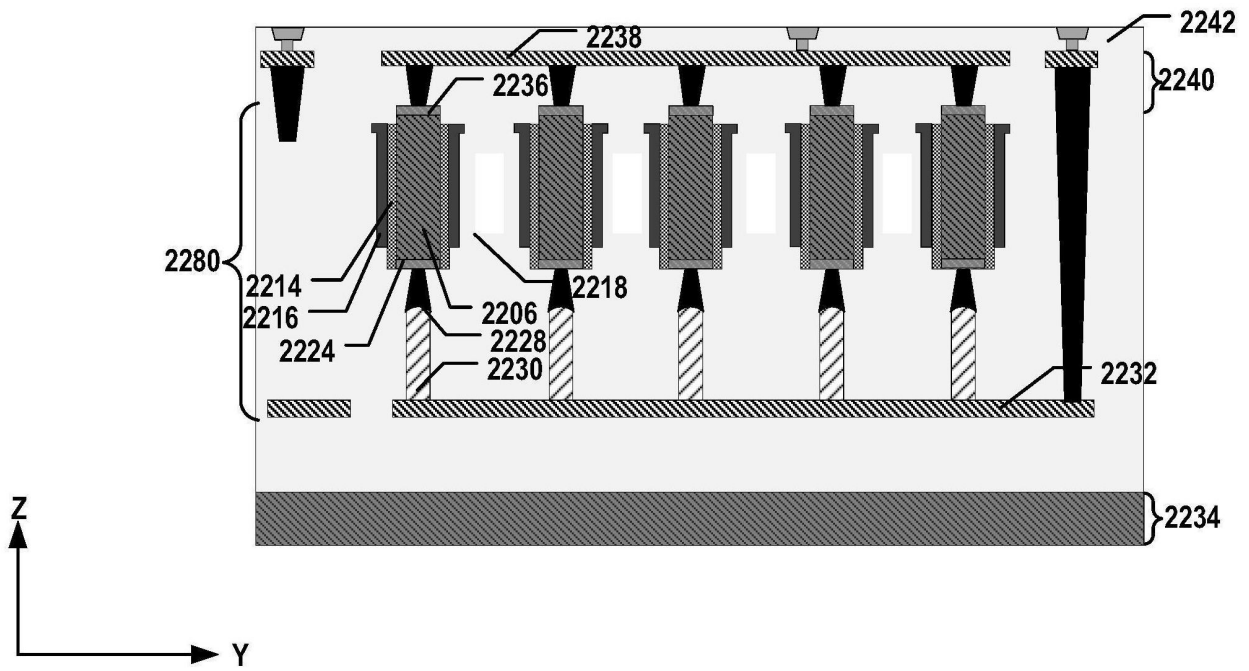


图22K

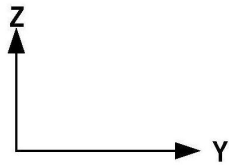
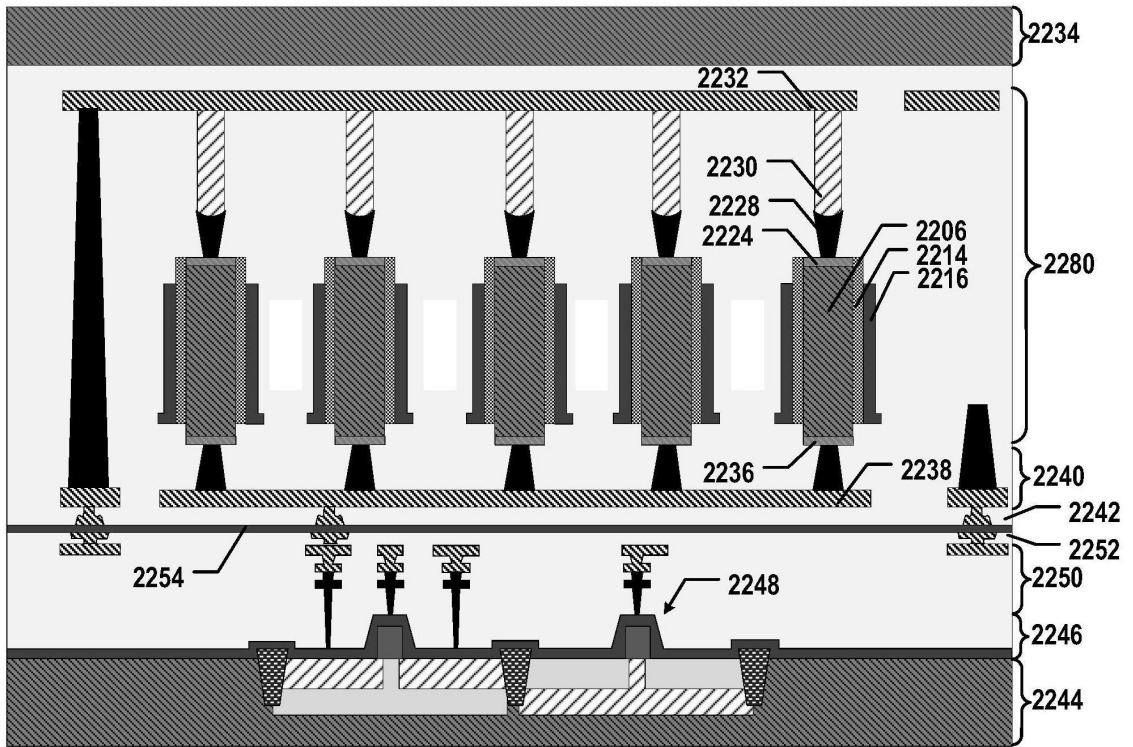


图22L

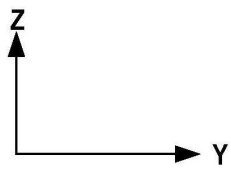
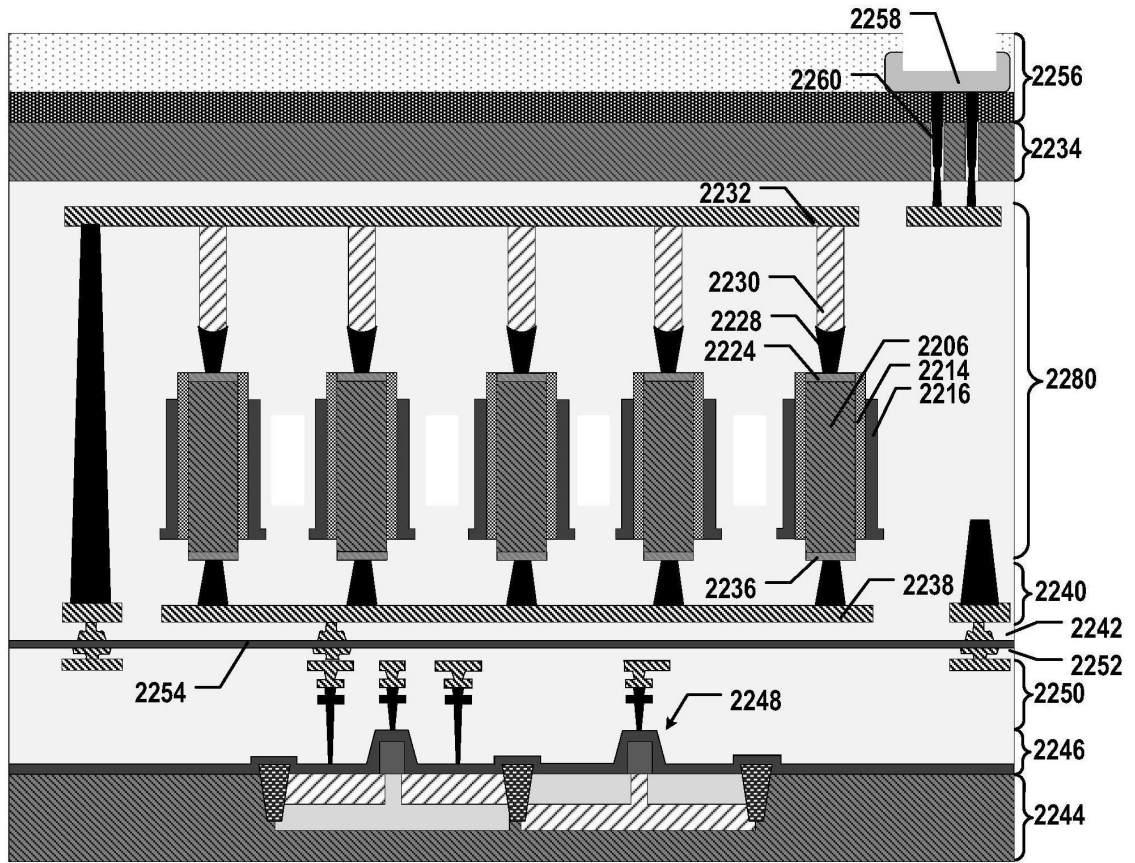


图22M

2300

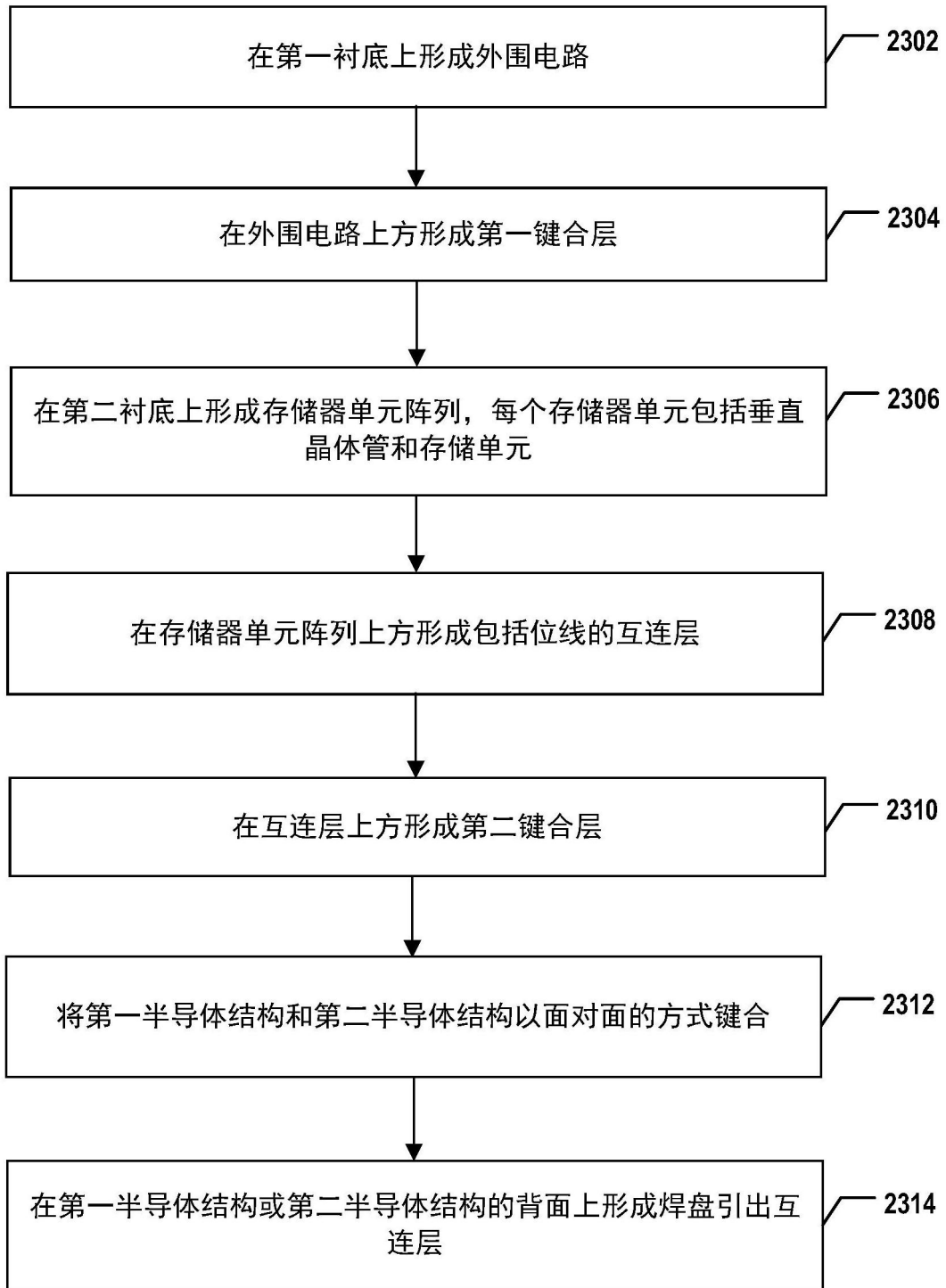


图23

2400

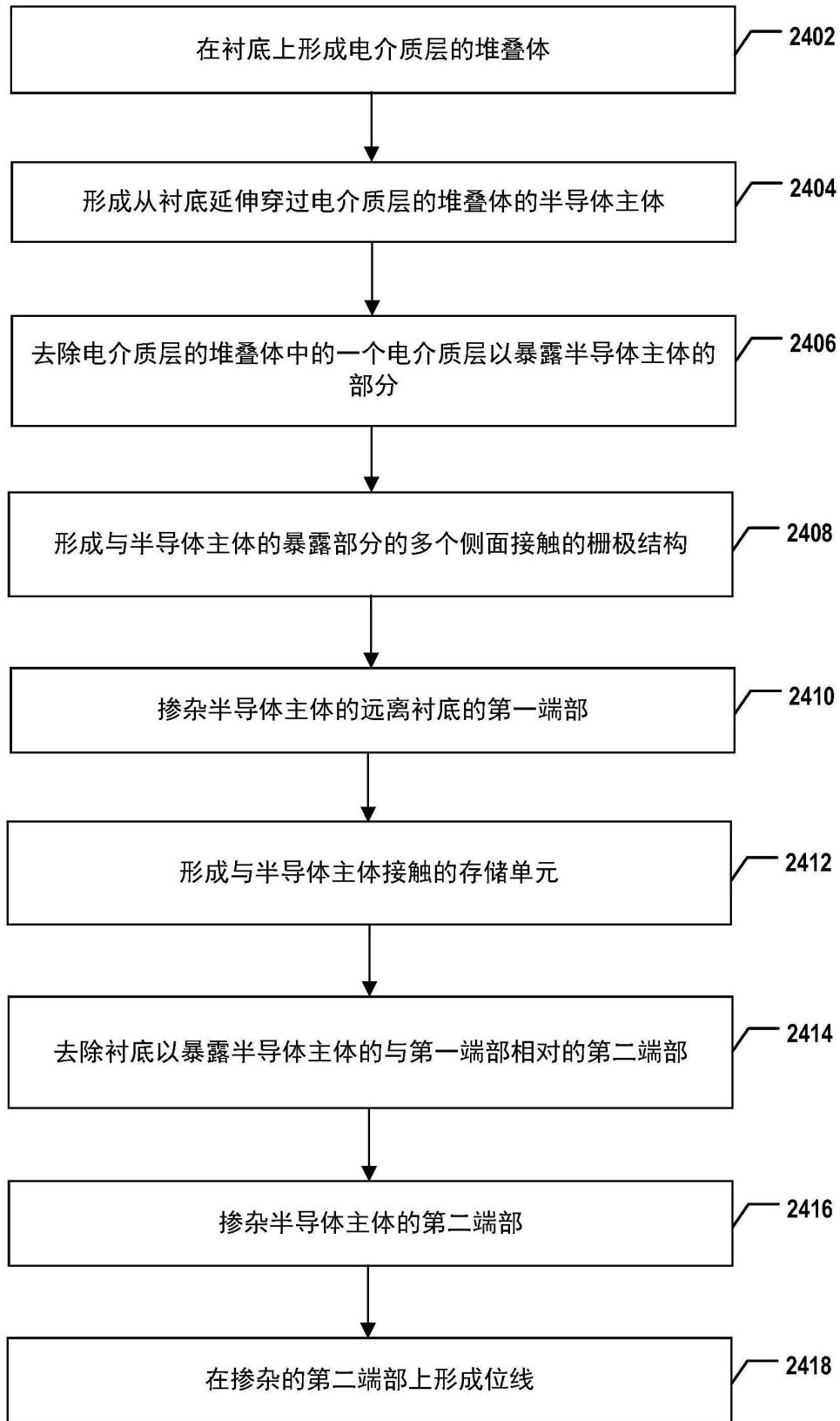


图24

2500

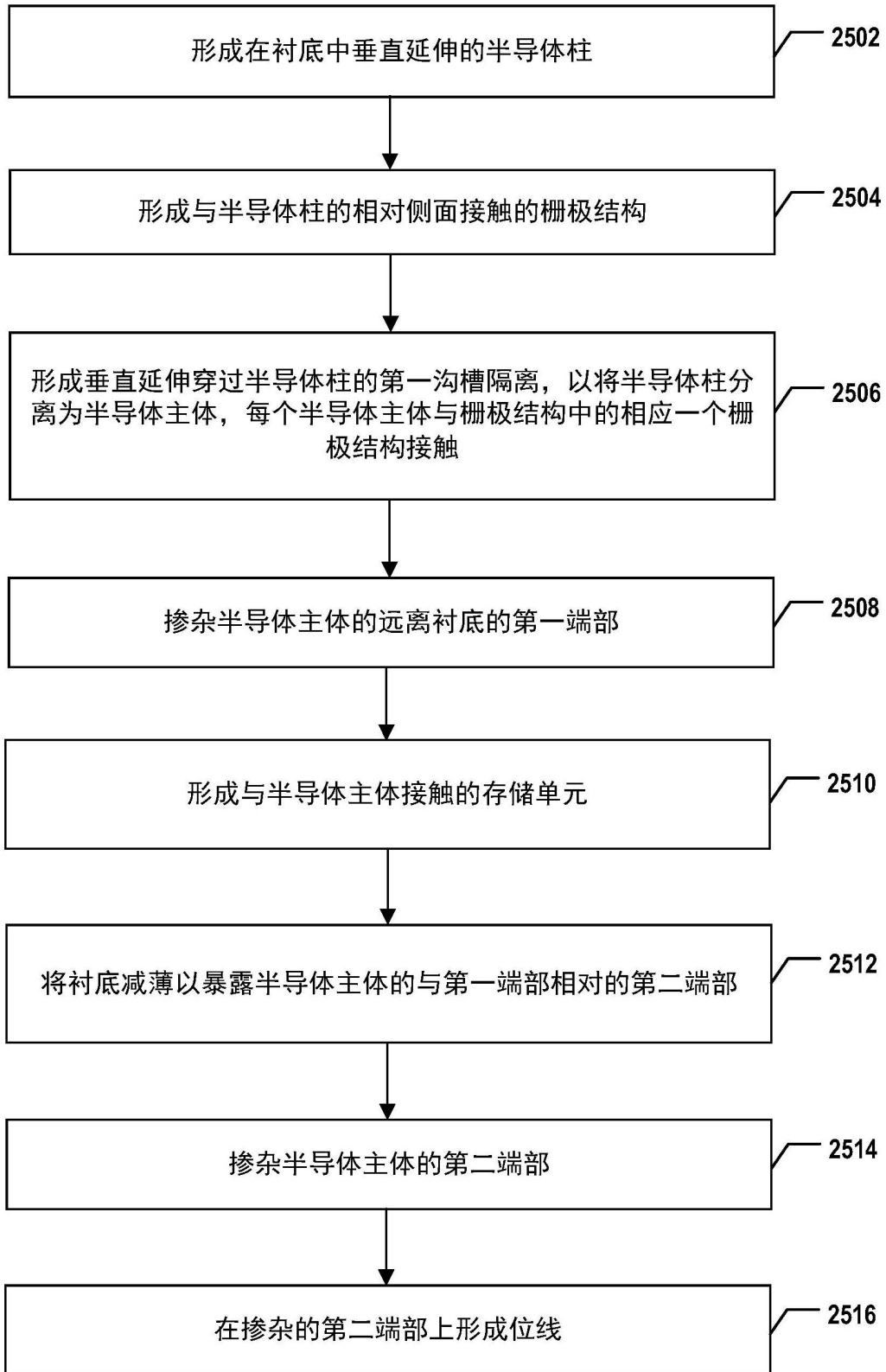


图25

2600

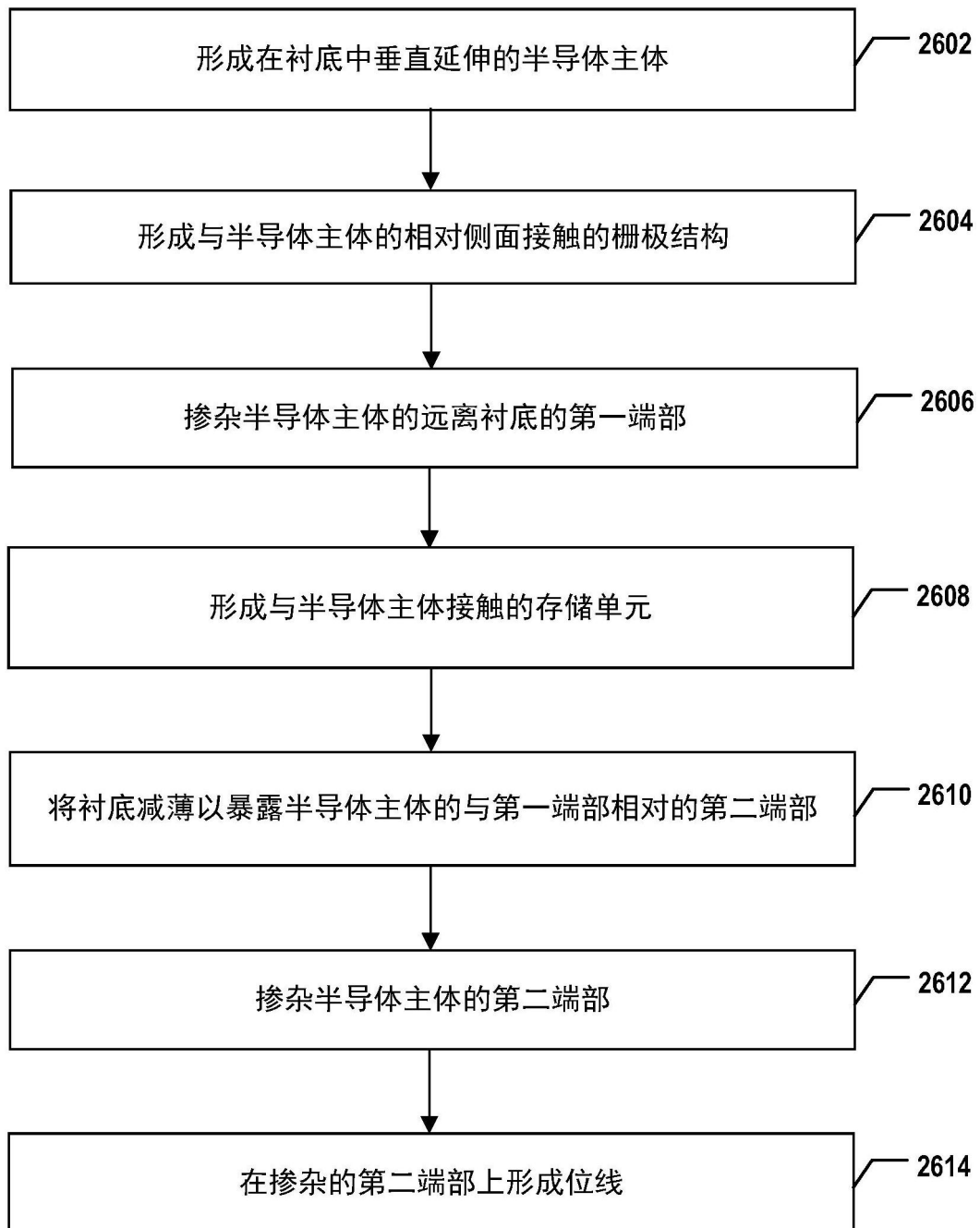


图26

2700

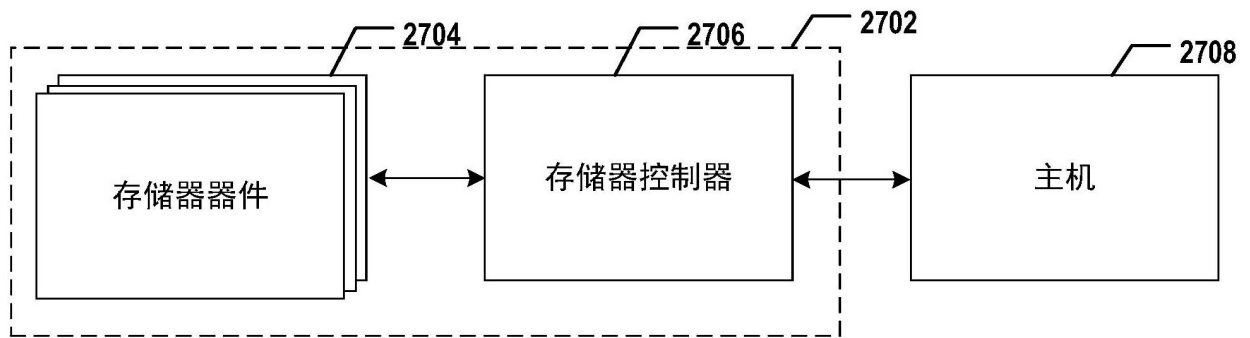


图27