

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6267766号  
(P6267766)

(45) 発行日 平成30年1月24日(2018.1.24)

(24) 登録日 平成30年1月5日(2018.1.5)

(51) Int.Cl.	F I	
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/405	
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/56	2 5 0
H O 1 L 29/786 (2006.01)	H O 1 L 29/78	6 1 3 B
	H O 1 L 29/78	6 1 7 N
	H O 1 L 29/78	6 1 8 B

請求項の数 3 (全 33 頁)

(21) 出願番号	特願2016-199602 (P2016-199602)	(73) 特許権者	000153878
(22) 出願日	平成28年10月10日(2016.10.10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-227188 (P2015-227188) の分割	(72) 発明者	鎌田 康一郎
原出願日	平成23年5月19日(2011.5.19)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2017-16730 (P2017-16730A)	審査官	酒井 恭信
(43) 公開日	平成29年1月19日(2017.1.19)		
審査請求日	平成28年10月11日(2016.10.11)		
(31) 優先権主張番号	特願2010-116025 (P2010-116025)		
(32) 優先日	平成22年5月20日(2010.5.20)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

バックゲート電極を有する第1のトランジスタと、第2のトランジスタと、ビット線と、制御信号線と、読み出し信号線と、を有し、

前記第2のトランジスタのソース電極またはドレイン電極の一方は、前記第1のトランジスタのゲート電極と電氣的に接続され、

前記第2のトランジスタのソース電極またはドレイン電極の他方は、前記ビット線と電氣的に接続され、

前記第1のトランジスタのソース電極またはドレイン電極の一方は、前記制御信号線と電氣的に接続され、

前記第1のトランジスタのソース電極またはドレイン電極の他方は、前記読み出し信号線と電氣的に接続され、

前記バックゲート電極は、前記制御信号線と電氣的に接続されている半導体装置の駆動方法であって、

前記第2のトランジスタをオン状態として、前記ビット線に供給された電位を前記第1のトランジスタのゲート電極に供給し、

その後、前記第2のトランジスタをオフ状態とすることにより、前記第1のトランジスタのゲート電極の電位を保持し、

前記制御信号線に読み出し制御電位を供給して、前記読み出し信号線の電位変化を検出することを特徴とする半導体装置の駆動方法。

## 【請求項 2】

バックゲート電極を有する第 1 のトランジスタと、第 2 のトランジスタと、ビット線と、制御信号線と、読み出し信号線と、容量素子を有し、

前記第 2 のトランジスタのソース電極またはドレイン電極の一方は、前記第 1 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタのソース電極またはドレイン電極の他方は、前記ビット線と電氣的に接続され、

前記第 1 のトランジスタのソース電極またはドレイン電極の一方は、前記制御信号線と電氣的に接続され、

前記第 1 のトランジスタのソース電極またはドレイン電極の他方は、前記読み出し信号線と電氣的に接続され、

前記容量素子の一方の電極は、前記第 1 のトランジスタのゲート電極と電氣的に接続され、

前記バックゲート電極は、前記制御信号線と電氣的に接続されている半導体装置の駆動方法であって、

前記第 2 のトランジスタをオン状態として、前記ビット線に供給された電位を前記第 1 のトランジスタのゲート電極に供給し、

その後、前記第 2 のトランジスタをオフ状態とすることにより、前記第 1 のトランジスタのゲート電極の電位を保持し、

前記制御信号線に読み出し制御電位を供給して、前記読み出し信号線の電位変化を検出することを特徴とする半導体装置の駆動方法。

## 【請求項 3】

請求項 1 又は 2 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの半導体層として、酸化物半導体を含むことを特徴とする半導体装置の駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法、ならびに半導体装置の駆動方法に関する。

## 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体回路、記憶装置、撮像装置、表示装置、電気光学装置及び電子機器などは全て半導体装置である。

## 【背景技術】

## 【0003】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

## 【0004】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタ (容量素子) に電荷を蓄積することで、情報 (データ) を記憶する。

## 【0005】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でもキャパシタから電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作 (リフレッシュ動作) が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶

10

20

30

40

50

の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0006】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0007】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

10

【0008】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0009】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去の動作には比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開昭57-105889号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状態でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【0012】

高集積化、大記憶容量化が可能な半導体装置を提供することを目的の一とする。

【0013】

動作が安定し、信頼性の高い半導体装置を提供することを目的の一とする。

40

【0014】

高速動作が可能な半導体装置を提供することを目的の一とする。

【0015】

消費電力が低減された半導体装置を提供することを目的の一とする。

【0016】

本明細書で開示する発明の一態様は、上記課題の少なくとも一つを解決する。

【課題を解決するための手段】

【0017】

本発明の一態様は、書き込み用トランジスタと、バックゲート電極を有する読み出し用トランジスタと、を含むメモリセルと、制御信号線と、ビット線と、ワード線と、読み出し

50

信号線と、を有し、読み出し用トランジスタのゲート電極は、書き込み用トランジスタのソース電極またはドレイン電極の一方と電氣的に接続され、読み出し用トランジスタのソース電極またはドレイン電極の一方は、制御信号線と電氣的に接続され、読み出し用トランジスタのソース電極またはドレイン電極の他方は、読み出し信号線と電氣的に接続され、書き込み用トランジスタのゲート電極は、ワード線と電氣的に接続され、書き込み用トランジスタのソース電極またはドレイン電極の他方は、ビット線に電氣的に接続されていることを特徴とする半導体装置である。

**【0018】**

本発明の一態様は、バックゲート電極を有する第1のトランジスタと、酸化物半導体を有する第2のトランジスタと、を含むメモリセルと、第1の配線と、第2の配線と、第3の配線と、第4の配線と、を有し、第1のトランジスタのゲート電極は、第2のトランジスタのソース電極またはドレイン電極の一方と、電氣的に接続され、第1のトランジスタのソース電極またはドレイン電極の一方と、第1のトランジスタのバックゲート電極は、第1の配線と電氣的に接続され、第1のトランジスタのソース電極またはドレイン電極の他方は、第4の配線と電氣的に接続され、第2のトランジスタのゲート電極は、第3の配線と電氣的に接続され、第2のトランジスタのソース電極またはドレイン電極の他方は、第2の配線に電氣的に接続されていることを特徴とする半導体装置である。

10

**【0019】**

上記半導体装置において、書き込み用トランジスタ、または第2のトランジスタに、酸化物半導体を有するトランジスタを用いることで、リフレッシュ動作の頻度を極めて低くすることが可能となり、不揮発性の半導体装置を実現することができる。

20

**【0020】**

また、上記の半導体装置において、書き込み用トランジスタ、または第2のトランジスタの半導体層として、エネルギーギャップが3 eVより大きい材料を用いることが好ましい。

**【0021】**

なお、本明細書等において、不揮発性の半導体装置とは、電力が供給されない状態でも、一定期間以上（少なくとも $1 \times 10^4$ 秒以上、好ましくは $1 \times 10^6$ 秒以上）情報を保持可能な半導体装置をいう。

**【0022】**

また、上記の半導体装置において、ビット線、または第2の配線に供給された電位を、書き込み用トランジスタ、または第2のトランジスタを介して、書き込み用トランジスタ、または第2のトランジスタのソース電極またはドレイン電極の一方と読み出し用トランジスタ、または第1のトランジスタのゲート電極が接続されたノードに供給し、ノードに所定の電位を保持させることで情報の書き込みを行う。

30

**【0023】**

記憶させる情報（データ）に応じて、ノードに保持する電位を変えることで、1つのメモリセルで複数種類のデータを記憶することができる多値型の半導体装置として機能させることができる。

**【0024】**

なお、読み出し用トランジスタ、または第1のトランジスタのしきい値ばらつきが小さいほど、メモリセルの多値化が容易となる。また、読み出し用トランジスタ、または第1のトランジスタのしきい値ばらつきが小さいほど、記憶容量が大きく、動作が安定した信頼性の高い半導体装置を実現することができる。

40

**【0025】**

メモリセルに記憶された多値情報の読み出しは、読み出し信号線、または第4の配線に電荷を供給（プリチャージ）し、続いて、複数の読み出し制御電位 $V_{CL}$ を読み出し信号線、または第1の配線に順次供給し、読み出し信号線、または第4の配線の電位変化を検出することで行うことができる。

**【0026】**

50

複数の読み出し制御電位  $V_{CL}$  の供給は、複数の読み出し制御電位  $V_{CL}$  の絶対値が小さい電位から順に供給すると、消費電力を低減できるため好ましい。

【0027】

また、情報を記憶するノードに容量素子を付加してもよい。容量素子を付加することで、ノードに記憶させた情報をさらに長時間にわたって保持することができる。

【発明の効果】

【0028】

本発明の一態様によれば、半導体装置の専有面積を削減でき、高集積化、大記憶容量化が可能な半導体装置を提供することができる。

【0029】

また、情報の書き込みに高い電圧を必要としないため、ゲート絶縁層の劣化といった問題が生じにくく、書き換え可能回数や信頼性が飛躍的に向上する。

【0030】

さらに、情報を消去するための動作も不要であるため、高速な動作を容易に実現しうる。

【0031】

また、酸化物半導体を用いたトランジスタをメモリセルに適用することにより、極めて長期にわたり記憶した情報を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、半導体装置の消費電力を低減することができる。また、半導体装置に電力が供給されない場合であっても、長期にわたって記憶内容を保持することが可能となる。

【図面の簡単な説明】

【0032】

【図1】半導体装置の回路図。

【図2】半導体装置の動作を説明するフローチャート。

【図3】半導体装置の回路図。

【図4】半導体装置の回路図。

【図5】半導体装置の作製工程に係る断面図。

【図6】半導体装置の断面図。

【図7】半導体装置の断面図。

【図8】半導体装置を用いた電子機器を説明するための図。

【発明を実施するための形態】

【0033】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0035】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0036】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0037】

10

20

30

40

50

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0038】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0039】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0040】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0041】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成およびその動作について、図1乃至図2を参照して説明する。本実施の形態では、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)をトランジスタとして用いる場合について説明する。

【0042】

図1に、本実施の形態で開示する半導体装置の回路構成を示す。図1(A)に示す半導体装置は、第1のトランジスタ201と、第2のトランジスタ202とを含む不揮発性のメモリセル200を有する。図1(A)において、第1の配線211(制御信号線CLとも呼ぶ)と、第1のトランジスタ201(TR<sub>R</sub>とも呼ぶ)のソース電極またはドレイン電極の一方は、電氣的に接続されている。第1のトランジスタ201のソース電極またはドレイン電極の他方は、第4の配線214(読み出し信号線RLとも呼ぶ)と電氣的に接続されている。第1のトランジスタ201は、バックゲート電極203を有しており、バックゲート電極203は第1の配線211と電氣的に接続されている。

【0043】

なお、バックゲート電極は、ゲート電極とバックゲート電極で、半導体層中に形成されるチャンネル形成領域を挟むように配置される。バックゲート電極は導電層で形成され、意図せずチャンネル形成領域に印加される電界を緩和し、トランジスタのしきい値ばらつきを低減させる効果を有する。また、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0044】

第2のトランジスタ202(トランジスタTR<sub>W</sub>とも呼ぶ)のソース電極またはドレイン電極の一方と、第1のトランジスタ201のゲート電極は、電氣的に接続されている。第2のトランジスタ202のソース電極またはドレイン電極の他方は、第2の配線212(ビット線BLとも呼ぶ)と電氣的に接続されている。第2のトランジスタ202のゲート電極は、第3の配線213(ワード線WLとも呼ぶ)と電氣的に接続されている。第1のトランジスタ201は読み出し用のトランジスタとして機能し、第2のトランジスタ202は書き込み用のトランジスタとして機能する。

【0045】

書き込み用の第2のトランジスタ202のオフ電流は、使用時の温度(例えば、25)で100zA(1×10<sup>-19</sup>A)以下、好ましくは10zA(1×10<sup>-20</sup>A)以下

10

20

30

40

50

、さらに好ましくは、 $1 \mu\text{A}$  ( $1 \times 10^{-6} \text{A}$ ) 以下であることが望ましい。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体は、エネルギーギャップが  $3.0 \text{ eV}$  から  $3.5 \text{ eV}$  程度と大きく、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては上述の低いオフ電流を達成しうる。このため、書き込み用のトランジスタの半導体層として、酸化物半導体を含むトランジスタを用いることが好ましい。

【0046】

さらに酸化物半導体を含むトランジスタはサブスレッショルドスイング値 (S 値) が小さく、該トランジスタを書き込み用トランジスタとして用いることで、メモリセルへの書き込みパルスを極めて急峻にすることができる。

10

【0047】

本実施の形態では、書き込み用の第2のトランジスタ202に、酸化物半導体を用いたトランジスタを適用する。酸化物半導体を用いたトランジスタは、オフ状態でのソースとドレイン間のリーク電流 (オフ電流) が極めて小さいという特徴を有している。このため、第2のトランジスタ202をオフ状態とすることで、第2のトランジスタ202のソース電極またはドレイン電極の一方と、第1のトランジスタ201のゲート電極とが電気的に接続されたノード281 (ノードNDとも呼ぶ) の電荷を極めて長時間にわたって保持することが可能となる。

【0048】

読み出し用の第1のトランジスタ201に用いる半導体層の材料に大きな制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

20

【0049】

読み出し用の第1のトランジスタ201には、第2のトランジスタ202ほどのオフ電流の制限はなく、メモリセルの動作速度を高速化するために、第2のトランジスタ202よりもスイッチング速度が速い (例えば、電界効果移動度の値が大きい) トランジスタを用いることができる。すなわち、第1のトランジスタ201の半導体層に、酸化物半導体以外の半導体材料を用いてもよい。選択する半導体材料によっては、第1のトランジスタ201のオフ電流が第2のトランジスタ202のオフ電流よりも高くなることもある。また、必要に応じて第1のトランジスタ201のチャンネル長を短くするなどして、第1のトランジスタ201の半導体層に酸化物半導体材料を用いてもよい。

30

【0050】

なお、第1のトランジスタ201に酸化物半導体以外の材料を用いる場合の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いた第1のトランジスタ201は、十分な高速動作が可能のため、記憶した情報の読み出しなどを高速に行うことが可能である。つまり、半導体装置の高速動作が実現される。

【0051】

なお、第2のトランジスタ202がオフ状態の場合、ノード281は絶縁体中に埋設された (所謂、浮遊状態) と見ることができ、ノード281には電位が保持される。すなわち、第1のトランジスタ201のゲート電極の電位が保持される。ノード281は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。酸化物半導体を用いた第2のトランジスタ202のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、第2のトランジスタ202のリークによる、ノード281に蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いた第2のトランジスタ202により、不揮発性のメモリセルを実現することが可能である。

40

【0052】

50

また、第2のトランジスタ202のオフ電流が例えば実質的に0であれば、従来のDRAMで必要とされたリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く（例えば、一ヶ月もしくは一年に一度程度）することが可能となり、半導体装置の消費電力を十分に低減することができる。

【0053】

図1(B)に示すメモリセル250は、図1(A)に示すメモリセル200に容量素子220を付加した構成となっている。図1(B)において、容量素子220の一方の電極は、第1のトランジスタ201のゲート電極に電氣的に接続され、容量素子220の他方の電極は、第5の配線215に電氣的に接続されている。

【0054】

本実施の形態で開示する半導体装置は、動作原理上、容量素子を必要としないが、容量素子220を付加することで、ノード281の電位を、さらに長時間にわたって保持することが可能となる。

【0055】

そして、容量素子220を有することにより、ノード281に与えられた電荷の保持が容易になり、また、情報の読み出しをさらに精度よく行うことができる。容量素子220の他方の電極が接続する第5の配線215の電位は、0Vもしくは共通電位などの固定電位としておけばよい。また、固定電位でなくとも、第5の配線215の電位が、書き込み動作時と読み出し動作時において同じ電位であればよい。

【0056】

また、本実施の形態で開示する半導体装置は、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティングゲート型トランジスタで書き込みや消去の際に必要な高い電圧を必要としないため、半導体装置の消費電力をさらに低減することができる。

【0057】

続いて、メモリセル200への情報の書き込み（書き換え）動作について説明する。本実施の形態で開示するメモリセル200は、一つのメモリセルで複数種類の情報を記憶することができる多値型のメモリセルとして機能することができる。本実施の形態では、メモリセル200を4値型（2ビット型）のメモリセルとして用いる場合を例として説明する。

【0058】

まず、書き込み対象として選択されたメモリセル200に接続する第3の配線213（ワード線WL）の電位を、書き込み用トランジスタである第2のトランジスタ202がオン状態となる電位にして、第2のトランジスタ202をオン状態とする。ここでは、第3の配線213にハイレベル電位 $V_{WLH}$ が与えられる。これにより、選択されたメモリセル200に接続する第2の配線212（ビット線BL）の電位がノード281（ノードND）に供給される。

【0059】

メモリセル200に記憶させる4つのデータ"00"、"01"、"10"、"11"にそれぞれ対応する4つの電位 $V_1$ 、電位 $V_2$ 、電位 $V_3$ 、電位 $V_4$ のうち、所望のデータに対応する電位をビット線BLに供給し、第2のトランジスタ202を介してノードNDに所望のデータを記憶させることができる。

【0060】

本実施の形態で説明する第1のトランジスタ201はn型トランジスタであるため、ノードNDに書き込まれる電位 $V_1$ 乃至電位 $V_4$ は、第1のトランジスタ201のしきい値未満の電位を用いる。また、第1のトランジスタ201に正孔を多数キャリアとするp型トランジスタ（pチャネル型トランジスタ）を用いる場合は、ノードNDに書き込まれる電位 $V_1$ 乃至電位 $V_4$ は第1のトランジスタ201のしきい値より大きい電位を用いる。い

10

20

30

40

50

ずれにしても、電位 $V_1$ 乃至電位 $V_4$ は、第1のトランジスタ201がオフ状態を維持する電位とする。

【0061】

また、ノードNDに書き込む複数の電位の電位差、例えば、電位 $V_1$ と電位 $V_2$ の電位差が小さすぎると、ノードNDに正しいデータが書き込まれず、書き込み不良を発生させてしまう。書き込み不良の発生を抑えるための最小電位差は、ビット線BLに電位を供給するための電位生成回路の分解能と、読み出し時に読み出し信号線RLの電位変化を検出する電位検出回路の分解能と、第1のトランジスタ201のしきい値ばらつき等を考慮して決定することができる。

【0062】

第1のトランジスタ201のしきい値ばらつきは、想定している使用温度範囲及び使用条件における第1のトランジスタ201のしきい値ばらつきの標準偏差を用いて測定することができる。なお、メモリセル200を複数用いる場合は、想定している使用温度範囲及び使用条件における全ての第1のトランジスタ201のしきい値ばらつきの標準偏差を用いる。

【0063】

具体的には、電位生成回路の分解能と、電位検出回路の分解能と、第1のトランジスタ201のしきい値ばらつきのうち、もっとも大きい値を最小電位差とする。この時用いる第1のトランジスタ201のしきい値ばらつきは、標準偏差の2倍以上、好ましくは標準偏差の3倍以上、さらに好ましくは標準偏差の4倍以上の値を用いる。標準偏差の2倍以上を用いて最小電位差とすることで、書き込み不良の発生確率を4.6%以下とすることができる。また、標準偏差の3倍以上を用いて最小電位差を決定すると、書き込み不良の発生確率を0.3%以下とすることができる。また、標準偏差の4倍以上を用いて最小電位差を決定すると、書き込み不良の発生確率を0.006%以下とすることができる。

【0064】

第1のトランジスタ201のしきい値ばらつきが小さいほど半導体装置の記憶容量を増加させやすくなる。半導体層に酸化物半導体を用いたトランジスタは、広い温度範囲において、しきい値のばらつきが小さいため、第1のトランジスタ201の半導体層に酸化物半導体を用いると、半導体装置の記憶容量を増加させやすく、また、書き込み不良の発生確率を下げられるため好ましい。

【0065】

本実施の形態では、最小電位差を1Vとし、電位 $V_1$ を-1V、電位 $V_2$ を-2V、電位 $V_3$ を-3V、電位 $V_4$ を-4Vとする。例えば、ノードNDにデータ"10"を記憶させる場合は、ビット線BLに-3Vを供給し、第2のトランジスタ202を介してノードNDに-3Vを書き込む。このようにして、メモリセル200に情報を記憶させることができる(書き込みモード)。書き込み終了後、第3の配線213の電位を、第2のトランジスタ202がオフ状態となる電位にして、第2のトランジスタ202をオフ状態とする。ここでは、第3の配線213にローレベル電位 $V_{WL}$ が与えられる。

【0066】

また、メモリセル200を8値型(3ビット型)として用いる場合は、8つのデータに対応する8つの電位を用いることで実現できる。4ビット型や5ビット型も同様に実現することができるが、ビット数に制限されることなく、単に3値型や10値型などとして用いることもできる。つまり、任意のN個の異なる電位のいずれか(Nは2以上の整数)の書き込み及び読み出しが可能である。

【0067】

本実施の形態で示す半導体装置は、フローティングゲート型トランジスタの様に書き込み(書き換え)時にゲート絶縁膜(トンネル絶縁膜)中を電荷が移動するのではなく、第2のトランジスタ202のスイッチング動作により電荷の移動が起こるため、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高い。また、フローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要となるため、半導

10

20

30

40

50

体装置の省電力化が実現できる。

【0068】

次に、メモリセル200に記憶された情報を読み出す読み出し動作について説明する。まず、第3の配線213の電位を、書き込み用トランジスタである第2のトランジスタ202がオフ状態となる電位にして、第2のトランジスタ202をオフ状態とする。ここでは、第3の配線213にローレベル電位 $V_{WLL}$ が与えられる。次いで、第4の配線214に電荷を与え（プリチャージ）、第4の配線214の電位を0Vとする。

【0069】

次いで、読み出し対象メモリセルの第1の配線211（制御信号線CL）に、読み出し制御電位 $V_{CL}$ を供給し、第4の配線214（読み出し信号線RL）の電位変化を検出することで、メモリセル200に記憶された情報を読み出すことができる（読み出しモード）。なお、プリチャージにより第4の配線214に与える電位は、該電位がノードNDに保持される電位よりも高く（第1のトランジスタ201がp型トランジスタである場合は低く）、かつ、読み出し制御電位 $V_{CL}$ と異なる電位であれば、これに限らない。

10

【0070】

N値型のメモリセル200からの情報の読み出しは、N-1個の読み出し制御電位 $V_{CL}$ を制御信号線CLに順次供給し、読み出し信号線RLの電位変化を検出することで行う。4値型のメモリセルの場合は、制御信号線CLに読み出し制御電位 $V_{CL1}$ 乃至読み出し制御電位 $V_{CL3}$ を順次供給する。読み出し制御電位 $V_{CL1}$ 乃至読み出し制御電位 $V_{CL3}$ は、それぞれ電位 $V_1$ 乃至電位 $V_3$ の電位に応じて決定される。

20

【0071】

第1のトランジスタ201のしきい値を $V_{th1}$ とすると、k値目の電位 $V_k$ の検出に用いる読み出し制御電位 $V_{CLk}$ は、数式1を満たすように設定することができる。

【0072】

【数1】

$$V_{th1} - V_k \leq V_{CLk} < V_{th1} - V_{k+1}$$

【0073】

例えば、第1のトランジスタ201のしきい値を2Vとすると、電位 $V_1$ の検出に用いる読み出し制御電位 $V_{CL1}$ は3V以上4V未満の範囲で設定すればよく、電位 $V_2$ の検出に用いる読み出し制御電位 $V_{CL2}$ は4V以上5V未満の範囲で設定すればよく、電位 $V_3$ の検出に用いる読み出し制御電位 $V_{CL3}$ は5V以上6V未満の範囲で設定すればよい。

30

【0074】

また、k値目の電位 $V_k$ の検出に用いる読み出し制御電位 $V_{CLk}$ は、数式2を満たすように設定してもよい。

【0075】

【数2】

$$V_{th1} - V_k \leq V_{CLk} \leq V_{th1} - V_k - \frac{V_{k+1} - V_k}{2}$$

40

【0076】

数式2を用いる場合は、電位 $V_1$ の検出に用いる読み出し制御電位 $V_{CL1}$ は3V以上3.5V以下、電位 $V_2$ の検出に用いる読み出し制御電位 $V_{CL2}$ は4V以上4.5V以下、電位 $V_3$ の検出に用いる読み出し制御電位 $V_{CL3}$ は5V以上5.5V以下の範囲で設定すればよい。式2を用いて読み出し制御電位 $V_{CL}$ を設定すると、 $V_{CLk}$ と $V_{CLk+1}$ の間にマージンをもたせることができるため、メモリセル200に記憶させた情報により正確に読み出すことができるため好ましい。なお、第1のトランジスタ201にp型

50

トランジスタを用いる場合は、式 1 及び式 2 の不等号の向きを逆にして適用することができる。

【 0 0 7 7 】

ここで、本実施の形態で例示した 4 値型のメモリセル 2 0 0 の読み出し動作について、図 1 ( A ) 及び図 2 のフローチャートを用いて説明する。なお、第 1 のトランジスタ 2 0 1 のしきい値を 2 V とし、読み出し制御電位  $V_{CL1}$  を 3 . 5 V、 $V_{CL2}$  を 4 . 5 V、 $V_{CL3}$  を 5 . 5 V とする。

【 0 0 7 8 】

まず、読み出し対象のメモリセル 2 0 0 に電氣的に接続している読み出し信号線 R L にプリチャージし、該読み出し信号線 R L の電位を 0 V とする ( 処理 3 0 1 )。次いで、読み出し対象のメモリセル 2 0 0 に電氣的に接続している制御信号線 C L に読み出し制御電位  $V_{CL1}$  を供給する ( 処理 3 0 2 )。第 1 のトランジスタ 2 0 1 のバックゲート電極 2 0 3 は、制御信号線 C L と電氣的に接続しているため、バックゲート電極 2 0 3 に読み出し制御電位  $V_{CL1}$  の 3 . 5 V が印加される。

10

【 0 0 7 9 】

この時、ノード N D に電位  $V_1$  が書き込まれていると、第 1 のトランジスタ 2 0 1 のゲート電極には - 1 V が印加されていることになる。このため、ゲート電極とバックゲート電極 2 0 3 に挟まれた半導体層には、両電極の合計電位である 2 . 5 V が印加される。2 . 5 V は第 1 のトランジスタ 2 0 1 のしきい値電圧 ( 2 V ) よりも大きいため、第 1 のトランジスタ 2 0 1 がオン状態となり、制御信号線 C L の電位が読み出し信号線 R L に供給され、読み出し信号線 R L の電位が変化する。すなわち、図 2 中の判断 3 0 3 において Y E S が選択されて、処理 3 1 1 が実行され、メモリセル 2 0 0 にデータ " 0 0 " が記憶されていたと判定される。

20

【 0 0 8 0 】

ノード N D に電位  $V_2$  が書き込まれていると、第 1 のトランジスタ 2 0 1 のゲート電極に - 2 V が印加されていることになる。この時、バックゲート電極 2 0 3 に読み出し制御電位  $V_{CL1}$  が印加されても、両電極の合計電位は 1 . 5 V であるため、第 1 のトランジスタ 2 0 1 のしきい値電圧よりも小さく、第 1 のトランジスタ 2 0 1 をオン状態とすることができない。すなわち、図 2 中の判断 3 0 3 において N o が選択される。

【 0 0 8 1 】

判断 3 0 3 において N o が選択された場合、制御信号線 C L に読み出し制御電位  $V_{CL2}$  が供給され、バックゲート電極 2 0 3 に 4 . 5 V が印加される ( 処理 3 0 4 )。すると、ゲート電極とバックゲート電極 2 0 3 に挟まれた半導体層に、両電極の合計電位である 2 . 5 V が印加されるため、第 1 のトランジスタ 2 0 1 がオン状態となり、読み出し信号線 R L の電位が変化する。すなわち、図 2 中の判断 3 0 5 において Y E S が選択されて、処理 3 1 2 が実行され、メモリセル 2 0 0 にデータ " 0 1 " が記憶されていたと判定される。

30

【 0 0 8 2 】

ノード N D に電位  $V_3$  が書き込まれていると、第 1 のトランジスタ 2 0 1 のゲート電極に - 3 V が印加されていることになる。この時、バックゲート電極 2 0 3 に読み出し制御電位  $V_{CL2}$  が印加されても、両電極の合計電位は 1 . 5 V であるため、第 1 のトランジスタ 2 0 1 をオン状態とすることができない。すなわち、図 2 中の判断 3 0 5 において N o が選択される。

40

【 0 0 8 3 】

判断 3 0 5 において N o が選択された場合、制御信号線 C L に読み出し制御電位  $V_{CL3}$  が供給され、バックゲート電極 2 0 3 に 5 . 5 V が印加される ( 処理 3 0 6 )。すると、ゲート電極とバックゲート電極 2 0 3 に挟まれた半導体層に、両電極の合計電位である 2 . 5 V が印加されるため、第 1 のトランジスタ 2 0 1 がオン状態となり、読み出し信号線 R L の電位が変化する。すなわち、図 2 中の判断 3 0 7 において Y E S が選択されて、処理 3 1 3 が実行され、メモリセル 2 0 0 にデータ " 1 0 " が記憶されていたと判定される。

50

。

## 【0084】

ノードNDに電位 $V_4$ が書き込まれていると、第1のトランジスタ201のゲート電極に $-4V$ が印加されていることになる。この時、バックゲート電極203に読み出し制御電位 $V_{CL3}$ が印加されても、両電極の合計電位は $1.5V$ であるため、第1のトランジスタ201をオン状態とすることができない。すなわち、図2中の判断307においてNoが選択される。

## 【0085】

判断307においてNoが選択されるということは、4値型のメモリセルのうちデータ"00"、"01"、"10"の3値の記憶が否定されたことになるため、メモリセル200にはデータ"11"が記憶されていたと判定される(処理314)。

10

## 【0086】

このように、制御信号線CLに、読み出し制御電位 $V_{CL1}$ 乃至 $V_{CL3}$ を順次供給することで、N値型のメモリセルの読み出しを最大 $N-1$ 回の動作で終了することができる。本実施の形態では、読み出し制御電位 $V_{CL1}$ 乃至 $V_{CL3}$ を電位が低い方から順に供給する例について示したが、電位が高い方から順に供給しても構わない。ただし、読み出し制御電位 $V_{CL1}$ 乃至 $V_{CL3}$ を電位が高い方から順に供給すると、読み出し制御電位を変更する毎に読み出し信号線RLにプリチャージする動作が必要となるため、電位が低い方から順に供給する場合と比較して消費電力が多くなる。

## 【0087】

20

これらのことから、読み出し制御電位 $V_{CL1}$ 乃至 $V_{CL3}$ の供給は、電位が低い方から順に行うことが好ましい。なお、第1のトランジスタ201にp型トランジスタを用いる場合は、上記理由により電位が高い方から順に供給することが好ましい。すなわち、読み出し制御電位 $V_{CL}$ の絶対値が小さい方から順に供給することが好ましい。

## 【0088】

本実施の形態で開示する半導体装置は、動作原理上、DRAMで必須とされるキャパシタを用いない構成であるため、単位メモリセル当たりの面積が削減可能となり、高集積化が可能となる。

## 【0089】

なお、本実施の形態においては、酸化物半導体を用いてオフ電流が少ない書き込み用トランジスタを実現しているが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料( $E_g > 3eV$ )などを適用しても良い。

30

## 【0090】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【0091】

(実施の形態2)

本実施の形態では、図3および図4を用いて、実施の形態1に示した半導体装置を $m \times n$ 個配置して、記憶容量を増加させた半導体装置の回路図の一例を示す。図3は、メモリセル1200が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

40

## 【0092】

図3に示す半導体装置は、複数のメモリセル1200が縦 $m$ 個(行) $\times$ 横 $n$ 個(列)( $m$ 、 $n$ は自然数)のマトリクス状に配置されたメモリセルアレイ1300と、 $m$ 本のワード線WLと、 $m$ 本の制御信号線CLと、 $n$ 本の読み出し信号線RLと、 $n$ 本のビット線BLを有している。また、メモリセルアレイ1300に信号を供給するための周辺駆動回路として、第1の駆動回路1211と、第2の駆動回路1212と、第3の駆動回路1213と、第4の駆動回路1214を有している。

## 【0093】

図3では、メモリセル1200として、実施の形態1に示したメモリセル200と同じ構

50

成が適用されている。つまり、各メモリセル1200は、読み出し用トランジスタとして機能する第1のトランジスタ1201、書き込み用トランジスタとして機能する第2のトランジスタ1202を有している。第1のトランジスタ1201のゲート電極と、第2のトランジスタ1202のソース電極またはドレイン電極の一方とは電氣的に接続され、第1のトランジスタ1201のソース電極またはドレイン電極の一方と、制御信号線CLは電氣的に接続され、第1のトランジスタ1201のソース電極またはドレイン電極の他方と、読み出し信号線RLは電氣的に接続されている。第1のトランジスタ1201は、バックゲート電極1203を有しており、バックゲート電極1203は制御信号線CLと電氣的に接続されている。ビット線BLと、第2のトランジスタ1202のソース電極またはドレイン電極の他方は電氣的に接続され、ワード線WLと、第2のトランジスタ1202のゲート電極は電氣的に接続されている。

10

【0094】

また、 $i$ 行 $j$ 列のメモリセル1200( $i, j$ )( $i$ は1以上 $m$ 以下の整数、 $j$ は1以上 $n$ 以下の整数)は、ワード線 $WL\_i$ 、制御信号線 $CL\_i$ 、ビット線 $BL\_j$ 、読み出し信号線 $RL\_j$ にそれぞれ接続されている。

【0095】

制御信号線CLは第1の駆動回路1211と接続されており、ビット線BLは、第2の駆動回路1212と接続されており、ワード線WLは、第3の駆動回路1213と接続されており、読み出し信号線RLは、第4の駆動回路1214と接続されている。第2の駆動回路1212は、ビット線BLに電位を供給するための電位生成回路を有しており、第4の駆動回路1214は、読み出し信号線RLの電位変化を検出する電位検出回路を有している。なお、ここでは、第1の駆動回路1211乃至第4の駆動回路1214をそれぞれ独立に設けているが、いずれか一、または複数の機能を有するデコーダを用いても良い。

20

【0096】

メモリセルアレイ1300が有するメモリセル1200へのデータの書き込みは、実施の形態1で説明した書き込みモードと同様に行うことができるが、データの書き込み中に、書き込み対象でないメモリセル1200に誤ってデータが書き込まれないように配慮する必要がある。メモリセルアレイ1300における書き込みモードの一例を以下に説明する。

【0097】

まず、書き込み対象行のワード線 $WL\_i$ に、ワード線 $WL\_i$ が接続しているメモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )が有する第2のトランジスタ1202をオン状態とする電位を供給し、メモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )が有する第2のトランジスタ1202をオン状態とする。この時、ワード線 $WL\_i$ 以外のワード線WLに、第2のトランジスタ1202をオフ状態とする電位を供給し、メモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )以外のメモリセル1200が有する第2のトランジスタ1202をオフ状態とする。

30

【0098】

次に、ワード線 $WL\_i$ に接続しているメモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )に記憶させるそれぞれのデータに応じた電位 $V_k$ を、ビット線 $BL\_1$ 乃至ビット線 $BL\_n$ に順次供給する。その後、ワード線 $WL\_i$ の電位を第2のトランジスタ1202をオフ状態とする電位として、ワード線 $WL\_i$ が接続しているメモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )にデータを記憶させる(書き込む)ことができる。

40

【0099】

ワード線 $WL\_i$ に接続しているメモリセル1200( $i, 1$ )乃至メモリセル1200( $i, n$ )へデータを書き込む場合は、前述したように一つずつ順に書き込みを行ってもよいが、全てのメモリセル1200に同時に書き込みを行ってもよいし、いくつかの単位毎に分けて書き込みを行ってもよい。

【0100】

50

続いて、メモリセルアレイ 1300 における読み出しモードの一例を説明する。メモリセルアレイ 1300 が有するメモリセル 1200 に記憶されているデータの読み出しは、実施の形態 1 で説明した読み出しモードと同様に行うことができるが、データの読み出し中に、読み出し対象でないメモリセル 1200 のデータを誤って読み出さないように配慮する必要がある。

【0101】

メモリセル 1200 (  $i, j$  ) のデータを読み出す場合、読み出し信号線  $RL\_j$  に接続しているメモリセル 1200 (  $i, j$  ) 以外のメモリセル 1200 が記憶しているデータが読み出し動作時に干渉しないようにするため、制御信号線  $CL\_i$  以外の制御信号線  $CL_x$  の電位を、制御信号線  $CL_x$  と、該制御信号線  $CL_x$  に接続するメモリセル 1200 のノード ND の合計電位が、第 1 のトランジスタ 1201 のしきい値未満の電位となるようにする。

10

【0102】

続いて、実施の形態 1 で説明した読み出しモードと同様に、制御信号線  $CL\_i$  に順次読み出し制御電位  $V_{CL}$  を供給し、読み出し信号線  $RL\_j$  の電位変化を検出することで、メモリセル 1200 (  $i, j$  ) に記憶されているデータを読み出すことができる。

【0103】

複数のメモリセル 1200 からデータを読み出す場合は、一つずつ順に読み出してもよいが、制御信号線  $CL\_i$  に接続されているメモリセル 1200 (  $i, 1$  ) 乃至メモリセル 1200 (  $i, n$  ) のデータを同時に読み出してもよいし、いくつかの単位毎に分けて読み出してもよい。

20

【0104】

本実施の形態で開示する半導体装置は、動作原理上、DRAM で必須とされるキャパシタを用いない構成であるため、単位メモリセル当たりの面積が削減可能となり、高集積化が可能となる。このため、更なる、単位メモリセル当たりの面積削減及びメモリセルの高集積化が可能となる。例えば、最小加工寸法を  $F$  として、メモリセルの占める面積を  $15F^2$  から  $25F^2$  とすることが可能となる。

【0105】

図 4 に、メモリセルに記憶されているデータを読み出すための、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

30

【0106】

読み出し時には、端子 A は読み出しを行うメモリセルが接続されたビット線  $BL$  に接続される。また、トランジスタのゲート電極にはバイアス電位  $V_{bias}$  が印加され、端子 A の電位が制御される。

【0107】

センスアンプ回路は、端子 A の電位が参照電位  $V_{ref}$  (例えば、 $0V$ ) より高いとハイデータを出力し、端子 A の電位が参照電位  $V_{ref}$  より低いとローデータを出力する。まず、トランジスタをオン状態として、端子 A に接続されたビット線  $BL$  に  $V_{BLH}$  の電位をプリチャージする。次に、読み出しを行うメモリセルを読み出しモードとし、端子 A に接続されたビット線  $BL$  の電位を、参照電位  $V_{ref}$  と比較すると、メモリセルに記憶された情報に応じて、出力データがハイデータもしくはローデータを出力する。

40

【0108】

このような読み出し回路と、読み出し制御電位  $V_{CL}$  を組み合わせることにより、メモリセルにどのような値のデータが記憶されているかを判定することができる。なお、本実施の形態の読み出し回路は一例であり、他の公知の回路を用いても良い。

【0109】

本実施の形態では NOR 型の半導体装置の例を示したが、NAND 型の半導体装置とすることもできる。

【0110】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み

50

合わせて用いることができる。

【0111】

(実施の形態3)

本実施の形態では、本明細書に開示する半導体装置に用いることができるトランジスタとその作製方法について、図5及び図7を用いて説明する。本実施の形態では、トランジスタの一例として、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタについて詳細に説明する。

【0112】

図5(E)に示すトランジスタ410は、基板400上に、ゲート電極401、ゲート絶縁層402、酸化物半導体層403、ソース電極405a、ドレイン電極405bを有している。トランジスタ410上には、絶縁層407(第1の絶縁層ともいう)、及び保護絶縁層409(第2の絶縁層ともいう)が順に積層されている。トランジスタ410は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

10

【0113】

図5(A)乃至(E)にトランジスタ410の作製方法の一例を示す。

【0114】

まず、基板400上に導電層を形成した後、第1のフォトリソグラフィ工程によりゲート電極401を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0115】

基板400に使用することができる基板に大きな制限はないが、ガラス基板、セラミック基板、石英基板、サファイア基板の他、結晶化ガラスなどを用いることができる。

【0116】

また、基板400として、可撓性基板(フレキシブル基板)を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタを直接作製してもよいし、他の作製基板上にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタとの間に、剥離層を設けるとよい。

30

【0117】

基板400とゲート電極401との間に下地層を設けてもよい。下地層は、窒化シリコン、酸化シリコン、窒化酸化シリコン、又は酸化窒化シリコンから選ばれた一又は複数の絶縁層による積層構造により形成することができ、基板400からの不純物元素の拡散を防止する機能がある。

【0118】

また、下地層に、塩素、フッ素などのハロゲン元素を含ませることで、基板400からの不純物元素の拡散を防止する機能をさらに高めることができる。下地層に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下とすればよい。

40

【0119】

なお、下地層として酸化ガリウムを用いてもよい。また、下地層を酸化ガリウムと上記絶縁層の積層構造としてもよい。酸化ガリウムは帯電しにくい材料であるため、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。

【0120】

また、ゲート電極401の材料は、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、タングステン(W)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)、マグネシウム(Mg)等の金属材料又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。

【0121】

50

続いて、ゲート電極 401 上にゲート絶縁層 402 を形成する（図 5（A）参照）。ゲート絶縁層 402 には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化タンタル、酸化ガリウム、酸化ランタン、酸化セシウム、酸化マグネシウム、酸化イットリウム、酸化ハフニウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が導入されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が導入されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））等を用いることができ、プラズマ CVD 法やスパッタリング法等で形成することができる。また、ゲート絶縁層 402 は単層に限らず異なる層の積層でも良い。例えば、第 1 のゲート絶縁層としてプラズマ CVD 法により窒化シリコン層（ $\text{SiN}_y$ （ $y > 0$ ））を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として酸化シリコン層（ $\text{SiO}_x$ （ $x > 0$ ））を積層して、ゲート絶縁層 402 としても良い。

10

## 【0122】

また、本実施の形態で説明する酸化物半導体は、不純物を除去して、酸化物半導体の主成分以外のキャリア供与体となる不純物が極力含まれないように高純度化された酸化物半導体である。

## 【0123】

このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

20

## 【0124】

例えば、 $\mu$ 波（例えば周波数 2.45 GHz）を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

## 【0125】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマ CVD 法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

30

## 【0126】

また、ゲート絶縁層 402 には、酸化物半導体と同種の成分でなる絶縁材料を用いると特に好ましい。このような材料は酸化物半導体との相性が良く、これをゲート絶縁層 402 に用いることで、酸化物半導体との界面の状態を良好に保つことができるからである。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数の元素を含むことを意味する。例えば、酸化物半導体が In-Ga-Zn 系の酸化物半導体材料によって構成される場合、同種の成分でなる絶縁材料としては酸化ガリウムなどがある。

## 【0127】

また、ゲート絶縁層 402 を積層構造とする場合には、酸化物半導体と同種の成分でなる絶縁材料でなる膜（以下、膜 a）と、膜 a の成分材料とは異なる材料を含む膜（以下、膜 b）との積層構造とするとなお良い。膜 a と膜 b とを酸化物半導体層側から順に積層した構造とすることで、電荷は膜 a と膜 b との界面の電荷捕獲中心に優先的に捕獲される（酸化物半導体層と膜 a との界面との比較）ため、酸化物半導体層の界面での電荷捕獲を十分に抑制することができるようになり、半導体装置の信頼性が向上するためである。

40

## 【0128】

また、ゲート絶縁層 402、酸化物半導体層に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体層の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 401 が形成された基板 400、又はゲート絶縁層 402 までが形成

50

された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層407の成膜前に、ソース電極405a及びドレイン電極405bまで形成した基板400にも同様に行ってもよい。

#### 【0129】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体層を形成する。

#### 【0130】

なお、酸化物半導体層をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン等の希ガス雰囲気下で基板にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴンガスに代えて窒素ガス、ヘリウムガス、酸素ガスなどを用いてもよい。

#### 【0131】

酸化物半導体層の成膜前に、酸化物半導体層が形成される絶縁層（本実施の形態ではゲート絶縁層402に相当する）に対して、後述する酸素プラズマドーブと同様の方法により、酸素ガスの代わりに塩素系ガスやフッ素系ガスなどのハロゲンガスを導入して、ハロゲン元素を導入してもよい。また、ハロゲン元素の導入は、イオン注入法またはイオンドーピング法を用いてもよい。

#### 【0132】

酸化物半導体層が形成される絶縁層にハロゲン元素を導入することで、該絶縁層中の水素を固定化し、該絶縁層中から酸化物半導体層中への水素の拡散を防ぐことができる。また、該絶縁層中に、ハロゲン元素と同時に酸素を導入してもよい。なお、これら元素の導入は、該絶縁層と酸化物半導体層との界面に与えるダメージが最小限となる条件で行うことが好ましい。

#### 【0133】

酸化物半導体層に用いる酸化物半導体としては、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する金属酸化物を用いることができる。例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系酸化物半導体、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にSiO<sub>2</sub>を含んでもよい。さらに、Ga、Sn、Hf、Al、ランタノイドを含有させてもよい。

#### 【0134】

ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物、という意味であり、その組成比は問わない。また、InとGaとZn以外の元素を含んでもよい。

#### 【0135】

なお、酸化物半導体は非晶質でもよく、一部または全部が結晶化していてもよい。酸化物半導体に、結晶性を有する酸化物半導体を用いる場合は、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下の表面上に形成するとよい。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

10

20

30

40

50

## 【0136】

また、酸化物半導体層は、化学式  $InMO_3(ZnO)_m$  ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、Mは、Sn、Zn、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

## 【0137】

本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

10

## 【0138】

In-Ga-Zn-O系酸化物半導体をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$  [mol数比]の酸化物ターゲットを用い、In-Ga-Zn-O層を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$  [mol数比]の酸化物ターゲットを用いてもよい。

## 【0139】

また、In-Zn-O系酸化物半導体を形成する場合、用いるターゲットの組成比は、原子数比で、 $In:Zn = 50:1$  から  $1:2$  (モル数比に換算すると  $In_2O_3:ZnO = 25:1$  から  $1:4$ )、好ましくは  $In:Zn = 20:1$  から  $1:1$  (モル数比に換算すると  $In_2O_3:ZnO = 10:1$  から  $1:2$ )、さらに好ましくは  $In:Zn = 15:1$  から  $1.5:1$  (モル数比に換算すると  $In_2O_3:ZnO = 15:2$  から  $3:4$ ) とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が  $In:Zn:O = X:Y:Z$  のとき、 $Z > 1.5X + Y$  とする。

20

## 【0140】

また、In-Sn-Zn-O系酸化物半導体は、ITZOと呼ぶことができる。In-Sn-Zn-O系酸化物半導体を形成する場合は、ITZOをスパッタ法で成膜するためのターゲットの組成比を、原子数比で  $In:Sn:Zn = 1:2:2$ 、 $In:Sn:Zn = 2:1:3$ 、 $In:Sn:Zn = 1:1:1$ 、または  $In:Sn:Zn = 20:45:35$  などとすればよい。

30

## 【0141】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜とすることができる。

## 【0142】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。例えば、スパッタガスとしてアルゴンを用いる場合は、純度9N、露点-121、含有 $H_2O$ 量0.1ppb以下、含有 $H_2$ 量0.5ppb以下が好ましく、酸素を用いる場合は、純度8N、露点-112、含有 $H_2O$ 量1ppb以下、含有 $H_2$ 量1ppb以下が好ましい。

40

## 【0143】

酸化物半導体層の成膜は、減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下好ましくは300以上500以下として行う。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体層を成膜する。

## 【0144】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手

50

段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ $H_2O$ ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0145】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源電力0.5kW、スパッタガスとして酸素（酸素流量比率100%）を用いる条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるために好ましい。

【0146】

次いで、第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層中の過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）することができる。また、酸化物半導体層と、該酸化物半導体層が接する絶縁層との界面に生じた欠陥を低減することができる。

【0147】

第1の加熱処理は、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、250以上750以下、または400以上基板の歪み点未満の温度で行う。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行う。

【0148】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0149】

例えば、第1の加熱処理として、650以上700以下の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0150】

加熱処理を、窒素または希ガスなどの不活性ガス、酸素、超乾燥エアのガス雰囲気下で行なう場合は、これらの雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とする。

【0151】

次いで、酸化物半導体層を第2のフォトリソグラフィ工程により島状の酸化物半導体層441に加工する（図5（B）参照）。また、島状の酸化物半導体層441を形成するためのレジストマスク420をインクジェット法で形成してもよい。レジストマスク420をインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0152】

10

20

30

40

50

また、ゲート絶縁層402にコンタクトホールを形成する場合、その工程は酸化物半導体層の加工時に同時に行うことができる。

【0153】

なお、ここでの酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体層のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0154】

レジストマスク420を除去した後、イオン注入法やイオンドーピング法により酸化物半導体層441に酸素430を導入してもよい。また、酸素430の導入は、酸素プラズマドーブ法により行ってもよい。具体的には、高周波（RF）を用いて酸素430をプラズマ化し、酸素ラジカル、酸素イオンを基板上の酸化物半導体層へ導入する。この時、酸化物半導体層441が形成される基板にバイアスを印加すると好ましい。基板に印加するバイアスを大きくすることで、より深くまで酸素430を導入することができる（図5（C）参照）。

10

【0155】

酸素430を酸化物半導体層441に供給して、酸化物半導体層441中に、酸化物半導体の化学量論比を超えて（好ましくは2倍まで（2倍未満））酸素を含有させる。酸素の含有量を多くしすぎると、水素吸蔵合金（水素貯蔵合金）のように、かえって酸化物半導体層441が水素を取り込んでしまう恐れがあるためである。なお、これは、単結晶の場合の酸素の数量をYとして、Yを超える程度、好ましくは、Yを超えて2Yまで、と表現することもできる。あるいは、酸素の含有量は、酸素ドーブ処理を行わない場合の酸化物半導体中の酸素の量Zを基準として、Zを超える程度、好ましくは、Zを超えて2Zまでとすることもできる。酸化物半導体層441にドーブされる酸素430は酸素ラジカル、酸素原子、及び/又は酸素イオンを含む。よって、酸化物半導体層において酸素の含有量は水素の含有量より大きくなる。

20

【0156】

例えば、酸化物半導体層441の組成がInGaZnO<sub>x</sub>で表されるとすると、In:Ga:Zn=1:1:1である酸化物の単結晶構造より導かれる化学式はInGaZnO<sub>4</sub>であるから、xは4を越えて8までとなる酸素過剰領域を有する酸化物半導体層441を形成する。同様に、酸化物半導体層441の組成がInGaZn<sub>2</sub>O<sub>x</sub>で表されるとすると、xは5を越えて10までとなる酸素過剰領域を有する酸化物半導体層441を形成する。なお、酸素過剰領域は、酸化物半導体層の一部（界面も含む）に存在していればよい。

30

【0157】

なお、酸化物半導体層において、酸素は主たる成分材料の一つである。このため、酸化物半導体層中の酸素濃度を、SIMS（Secondary Ion Mass Spectroscopy）などの方法を用いて、正確に見積もることは難しい。つまり、酸化物半導体層に酸素が意図的に添加されたか否かを判別することは困難であるといえる。

40

【0158】

ところで、酸素にはO<sup>17</sup>やO<sup>18</sup>といった同位体が存在し、自然界におけるこれらの存在比率はそれぞれ酸素原子全体の0.037%、0.204%程度であることが知られている。つまり、酸化物半導体層中におけるこれら同位体の濃度は、SIMSなどの方法によって見積もることができる程度になるから、これらの濃度を測定することで、酸化物半導体層中の酸素濃度をより正確に見積もることが可能な場合がある。よって、これらの濃度を測定することで、酸化物半導体層に意図的に酸素が添加されたか否かを判別してもよい。

【0159】

例えば、O<sup>18</sup>の濃度を基準に用いると、酸素が添加された領域における酸素の同位体の濃度D1（O<sup>18</sup>）と、酸素が添加されていない領域における酸素の同位体の濃度D2（

50

$O^{18}$ )との間には、 $D1(O^{18}) > D2(O^{18})$ が成立する。

【0160】

また、酸化物半導体層441に添加される(含まれる)酸素430の少なくとも一部は酸素の不對結合手を酸化物半導体中で有することが好ましい。不對結合手を有することにより、層中に残存しうる水素と結合して、水素を固定化(非可動イオン化)することができるためである。

【0161】

酸化物半導体層441に添加される酸素(酸素ラジカル、酸素原子、及び/又は酸素イオン)は、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、又はオゾン発生装置により供給されてもよい。より具体的には、例えば、半導体装置に対してエッチング処理を行うための装置や、レジストマスクに対してアッシングを行うための装置などを用いて酸素430を発生させ、酸化物半導体層441を処理することができる。

【0162】

酸化物半導体層441に酸素430を導入することで、酸素が過剰に導入された酸化物半導体層441が形成される。酸素の電気陰性度は3.0と、電気陰性度が約2.0である酸化物半導体層中の金属(Zn、Ga、In)よりも大きいため、水素に対して酸素を過剰に含有させることで、M-H結合より水素原子を奪い、OH基を形成する。なお、このOH基は、Mと結合してM-O-H基を形成しうる。

【0163】

すなわち、酸素の導入により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素、または水酸基が、酸素と反応することで水を生成する。特に不對結合手を有する酸素は、酸化物半導体中に残存する水素と容易に反応し、水を生成しやすい。よって、後に行われる第2の加熱処理により、不純物である水素、または水酸基を、水として、脱離させやすくすることができる。

【0164】

酸化物半導体層441に酸素430を導入した後、第2の加熱処理(好ましくは200以上600以下、例えば250以上550以下)を行う。例えば、窒素雰囲気下で450、1時間の第2の加熱処理を行う。なお、上記雰囲気に水、水素などが含まれないことが好ましい。

【0165】

以上の工程を経ることによって、酸素430の導入及び加熱処理によって、酸化物半導体層の脱水化または脱水素化を行うことができ、第1の加熱処理で除去しきれなかった水素、水分、水酸基又は水素化物(「水素化合物」ともいう)などの水素分子を含む不純物を酸化物半導体層441中から排除することができる。また、不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を補い、酸化物半導体層441をi型(真性)化することができる。また、酸化物半導体層と、該酸化物半導体層が接する絶縁層との界面に生じた欠陥を低減することができる。このようにして、酸化物半導体層441を、電氣的にi型化された酸化物半導体層403とすることができる。

【0166】

次いで、ゲート絶縁層402、及び酸化物半導体層403上に、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電層を形成する。ソース電極、及びドレイン電極に用いる導電層としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Mgから選ばれた元素を含む金属、または上述した元素を成分とする金属窒化物(窒化チタン、窒化モリブデン、窒化タングステン)等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属またはそれらの金属窒化物(窒化チタン、窒化モリブデン、窒化タングステン)を積層させた構成としても良い。また、ソース電極、及びドレイン電極に用いる導電層としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ

10

20

30

40

50

合金 ( $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ ) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0167】

第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極405a、ドレイン電極405bを形成した後、レジストマスクを除去する。

【0168】

なお、トランジスタ410のチャンネル長Lは、酸化物半導体層403に接するソース電極405aとドレイン電極405bの間隔幅によって決定される(図5(E)参照)。

10

【0169】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0170】

20

なお、導電層のエッチングの際に、酸化物半導体層403がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電層のみをエッチングし、酸化物半導体層403を全くエッチングしないという条件を得ることは難しく、導電層のエッチングの際に酸化物半導体層403は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0171】

本実施の形態では、導電層としてTiを用い、酸化物半導体層にはIn-Ga-Zn-O系酸化物半導体を用いたため、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いると良い。

【0172】

30

次いで、酸化物半導体層403の一部に接し、ソース電極405aとドレイン電極405bの上に絶縁層407を形成する。(図5(D)参照)。

【0173】

絶縁層407は、少なくとも1nm以上の膜厚とし、スパッタリング法など、絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層407の形成方法に特に限定はなく、例えば、プラズマCVD法やスパッタリング法などの成膜方法を用いて作製することができる。なお、水素や水などが混入しにくいという点では、スパッタリング法が好適である。絶縁層407に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜きが生じ酸化物半導体層のバックチャンネル(半導体層のゲート電極から遠い側の領域。トランジスタ410では、酸化物半導体層403中における、絶縁層407との界面近傍の領域。)が低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。従って、絶縁層407は、水素及び水素を含む不純物が含まれない手段を用いて成膜することが重要である。

40

【0174】

絶縁層407としては、代表的には酸化シリコン、酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ガリウムなどの無機絶縁材料を用いることができる。酸化ガリウムは帯電しにくい材料であるため、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。なお、絶縁層407として、または、絶縁層407と積層して、酸化物半導体と同種の成分でなる金属酸化物層を形成してもよい。

50

## 【0175】

本実施の形態では、絶縁層407として膜厚200nmの酸化シリコンをスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン層のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットには、酸化シリコンまたはシリコンを用いることができる。例えば、シリコンをターゲットに用いて、酸素を含む雰囲気下でスパッタを行うと酸化シリコンを形成することができる。

## 【0176】

酸化物半導体や、絶縁層407の成膜時における成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層407は、絶縁層407中に含まれる不純物の濃度を低減することができる。また、絶縁層407の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

10

## 【0177】

絶縁層407を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

## 【0178】

次いで、減圧雰囲気下、不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア雰囲気下で第3の加熱処理(好ましくは200以上600以下、例えば250以上550以下)を行ってもよい。例えば、窒素雰囲気下で450、1時間の第3の加熱処理を行ってもよい。第3の加熱処理を行うと、酸化物半導体層の一部(チャンネル形成領域)は絶縁層407と接した状態で昇温される。なお、上記雰囲気に水、水素などが含まれないことが好ましい。

20

## 【0179】

酸化物半導体層と酸素を含む絶縁層407とを接した状態で熱処理を行うと、酸素を含む絶縁層407より酸素をさらに酸化物半導体層へ供給することができる。なお、酸素を含む絶縁層407は、酸素過剰領域を有する絶縁層であることが好ましい。

## 【0180】

以上の工程でトランジスタ410が形成される。トランジスタ410は、水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を酸化物半導体層より意図的に排除し、酸素が供給されることによりi型化された酸化物半導体層403を含むトランジスタである。よって、トランジスタ410は、電気的特性変動が抑制されており、電気的に安定である。

30

## 【0181】

絶縁層407上にさらに保護絶縁層409を形成してもよい。例えば、プラズマCVD法やスパッタリング法等を用いて酸化アルミニウム層を形成する。保護絶縁層409には、水分などの不純物をほとんど含まず、更にアルカリ金属や、水素及び酸素に対するバリア性の高い材料を用いるとよい。具体的には、窒化シリコン層、窒化アルミニウム層、酸化アルミニウム層などを用いると良い。本実施の形態では、保護絶縁層409に酸化アルミニウムを用いる(図5(E)参照)。

40

## 【0182】

保護絶縁層409に用いる酸化アルミニウムは、絶縁層407まで形成された基板400を100以上400以下の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、アルミニウムのターゲットを用いて成膜する。この場合においても、絶縁層407と同様に、処理室内の残留水分を除去しつつ保護絶縁層409を成膜することが好ましい。

## 【0183】

また、保護絶縁層409にバリア性の高い材料を用いると、酸化物半導体層中からの酸素

50

脱離を防ぐことができる。特に、保護絶縁層409と、ゲート絶縁層402または下地層（図示せず）をバリア性の高い材料で形成すると有効である。即ち、酸化物半導体層を挟むようにバリア性の高い材料を設けると、半導体装置の信頼性を向上させることができる。

【0184】

トランジスタ410の形成後、さらに大気中で100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から加熱温度への昇温と加熱温度から室温までの降温を1サイクルとする処理を複数回繰り返して行ってもよい。

【0185】

また、第1の加熱処理を行わず、第2の加熱処理を第1の加熱処理の条件で行ってもよい。

【0186】

図7(A)に、トランジスタ410にバックゲート電極を形成した構成例を示す。バックゲート電極は、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。バックゲート電極は導電層で形成され、ゲート電極と同様に機能させることができる。また、バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0187】

バックゲート電極は、ゲート電極、ソース電極、ドレイン電極などと同様の材料及び方法により形成することができる。

【0188】

図7(A)において、バックゲート電極411は、酸化物半導体層403のチャネル形成領域上に、絶縁層407及び保護絶縁層409を介して形成されている。図7(A)は、バックゲート電極411を保護絶縁層409上に形成する例を示しているが、バックゲート電極411は、絶縁層407と保護絶縁層409の間に形成してもよい。

【0189】

本実施の形態の半導体層に用いる酸化物半導体は、ドナーとなる性質を持つ水素を酸化物半導体から極力除去して酸化物半導体の主成分以外の不純物が極力含まれないように高純度化し、酸素を供給してi型（真性）の酸化物半導体、又はi型に限りなく近い酸化物半導体としたものである。従って、上述のトランジスタに用いられる酸化物半導体層は、電氣的にi型化した酸化物半導体層である。

【0190】

また、i型化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とすることができる。

【0191】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

【0192】

具体的には、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を室温下において $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ )以下にすること、さらには、 $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ )以下、さらには $1 \text{ zA}$  ( $1 \times 10^{-21} \text{ A}$ )以下、さらには $1 \text{ yA}$  ( $1 \times 10^{-24} \text{ A}$ )以下にすることが可能である。

【0193】

また、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、オン電流の温度依存性がほとんど見られず、オフ電流の変化も非常に小さい。

【0194】

また、上述の酸化物半導体をチャネル形成領域に用いたトランジスタは、バイアス-熱ストレス試験（BT試験）前後においてもトランジスタのしきい値電圧の変化量が低減でき

10

20

30

40

50

、信頼性の高いトランジスタとすることができる。

【0195】

また、上述の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。

【0196】

以上のように、安定した電気的特性を有する酸化物半導体を用いた半導体装置を提供することができる。よって、信頼性の高い半導体装置を提供することができる。

【0197】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0198】

(実施の形態4)

本実施の形態では、実施の形態3に示したトランジスタとは異なる構成のトランジスタについて説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、本実施の形態での繰り返しの説明は省略する。なお、同じ箇所の詳細な説明も省略する。

【0199】

図6(A)に示すトランジスタ450は、基板400上に、ゲート電極401、ゲート絶縁層402、酸化物半導体層403、チャンネル保護層406、ソース電極405a、ドレイン電極405bを有している。トランジスタ450上には、保護絶縁層409が積層されている。トランジスタ450は、チャンネル保護型(チャンネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり、逆スタガ型トランジスタの一つでもある。

【0200】

酸化物半導体層403とチャンネル保護層406の成膜は、酸化物半導体層403とチャンネル保護層406の界面を大気に触れさせることなく、連続して行うことが好ましい。大気に触れず連続して成膜することで、酸化物半導体層403とチャンネル保護層406の界面に、水、水素、ハイドロカーボンなどの不純物が付着することを防ぐことができる。

【0201】

チャンネル保護層406は、ゲート絶縁層402と同様の材料及び方法により成膜することができる。また、チャンネル保護層406として酸化物半導体と同種の成分でなる金属酸化物を用いてもよい。チャンネル保護層406として酸化物半導体と同種の成分でなる金属酸化物を用いることで、該金属酸化物と酸化物半導体との界面及びその近傍への水素イオンの蓄積を抑制または防止することができる。具体的には、金属酸化物として、酸化物半導体の構成元素から選択される一または複数の金属元素の酸化物を含む材料を用いるのが好ましい。

【0202】

なお、該金属酸化物層としては、酸化ガリウムを用いるのが好ましい。酸化ガリウムは、バンドギャップ(Eg)が大きいので、酸化ガリウムによって酸化物半導体層を挟むことで、酸化物半導体層と金属酸化物層との界面において、エネルギー障壁が形成され、その界面においてキャリアの移動は妨げられる。したがって、キャリアは酸化物半導体から金属酸化物に移動することなく、主として、酸化物半導体層中を移動する。一方、水素イオンは、酸化物半導体層と金属酸化物層との界面を通過して、例えば、酸化物半導体層と接する面と対向する面の界面(例えば、絶縁層との界面)近傍に蓄積される。その付近はキャリアの流れる領域からは離れているため、トランジスタのしきい値電圧への影響を与えない、またはその影響が極めて少ない。なお、酸化ガリウムとIn-Ga-Zn-O系の材料を接触させた場合のエネルギー障壁は、伝導帯側で約0.8eVとなり、価電子帯側で約0.9eVとなる。

【0203】

チャンネル保護層406、ソース電極405a、及びドレイン電極405b上にさらに水分や水素などの不純物が酸化物半導体層403に再混入しないように、これらが外部から侵入することをブロックする保護絶縁層409を形成することが好ましい。保護絶縁層40

10

20

30

40

50

9は、実施の形態3と同様に形成することができる。

【0204】

また、保護絶縁層409として、または、保護絶縁層409と積層して、酸化ガリウムを形成してもよい。酸化ガリウムは帯電しにくい材料であるため、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。

【0205】

なお、トランジスタ450のチャンネル長Lは、キャリアの流れる方向と平行な方向で、酸化物半導体層403と接するチャンネル保護層406の幅で定義される。

【0206】

図7(B)に、トランジスタ450にバックゲート電極411を形成した構成例を示す。バックゲート電極411は、酸化物半導体層403のチャンネル形成領域上に、保護絶縁層409を介して形成されている。図7(B)は、バックゲート電極411を保護絶縁層409上に形成する例を示しているが、ソース電極405a及びドレイン電極405bと同じ層を用いて、チャンネル保護層406上にバックゲート電極411を形成してもよい。

10

【0207】

図6(B)に示すトランジスタ460は、基板400上に、ソース電極405a、及びドレイン電極405b、酸化物半導体層403、ゲート絶縁層402、ゲート電極401を有している。基板400と酸化物半導体層403の間には、下地層436が形成されている。トランジスタ460上には、保護絶縁層409が形成されている。トランジスタ460は、トップゲート構造の一つであり順スタガ型トランジスタともいう。

20

【0208】

下地層436は、実施の形態3で説明した下地層と同様に形成することができる。また、下地層436として、酸化物半導体と同種の成分でなる金属酸化物を用いることで、該金属酸化物と酸化物半導体との界面及びその近傍への水素イオンの蓄積を抑制または防止することができる。具体的には、金属酸化物として、酸化物半導体の構成元素から選択される一または複数の金属元素の酸化物を含む材料を用いるのが好ましい。

【0209】

トランジスタ460は、下地層436上に導電層を形成した後、第1のフォトリソグラフィ工程により、ソース電極405a、及びドレイン電極405bを形成する。ソース電極405a、及びドレイン電極405bは、実施の形態3で説明したソース電極405a、及びドレイン電極405bと同様の材料及び方法で形成することができる。

30

【0210】

第1のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層403に接するソース電極405aとドレイン電極405bの間隔幅によって、トランジスタ460のチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nmから数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第1のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

40

【0211】

ゲート電極401、ゲート絶縁層402上に、さらに水分や水素などの不純物が酸化物半導体層403に再混入しないように、これらが外部から侵入することをブロックする保護絶縁層409を形成することが好ましい。保護絶縁層409は、実施の形態3と同様に形成することができる。

【0212】

また、保護絶縁層409として、または、保護絶縁層409と積層して、酸化ガリウム層を形成してもよい。酸化ガリウムは帯電しにくい材料であるため、絶縁層のチャージアップによるしきい値電圧の変動を抑えることができる。

50

## 【0213】

図7(C)に、トランジスタ460にバックゲート電極411を形成した構成例を示す。バックゲート電極411は、酸化物半導体層403のチャネル形成領域と重畳する位置に、下地層436を介して形成されている。バックゲート電極411の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

## 【0214】

図6(C)に示すトランジスタ470は、基板400上に、ゲート電極401、ゲート絶縁層402、酸化物半導体層403、ソース電極405a、ドレイン電極405bを有している。トランジスタ470上には、絶縁層407、及び保護絶縁層409が順に積層されている。トランジスタ470は、ボトムゲート構造のトランジスタの一つである。

10

## 【0215】

トランジスタ470のチャネル長Lは、酸化物半導体層403に接するソース電極405aとドレイン電極405bの間隔幅によって決定される。

## 【0216】

図7(D)に、トランジスタ470にバックゲート電極411を形成した構成例を示す。バックゲート電極411は、ゲート電極とバックゲート電極411で半導体層のチャネル形成領域を挟むように配置される。バックゲート電極411は導電層で形成され、ゲート電極と同様に機能させることができる。また、バックゲート電極411の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

## 【0217】

バックゲート電極411は、ゲート電極、ソース電極、ドレイン電極などと同様の材料及び方法により形成することができる。

20

## 【0218】

(実施の形態5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図8を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

30

## 【0219】

図8(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

## 【0220】

図8(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

40

## 【0221】

図8(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。

50

そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0222】

図8(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図8(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。

10

【0223】

また、表示パネル742はタッチパネルを備えており、図8(D)には映像表示されている複数の操作キー745を点線で示している。なお、太陽電池セル749で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0224】

筐体740と筐体741の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0225】

図8(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、前述の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

20

【0226】

図8(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、前述の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

30

【0227】

以上のように、本実施の形態に示す電子機器には、前述の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【符号の説明】

【0228】

200     メモリセル  
 201     第1のトランジスタ  
 202     第2のトランジスタ  
 203     バックゲート電極  
 211     第1の配線  
 212     第2の配線  
 213     第3の配線  
 214     第4の配線  
 215     第5の配線  
 220     容量素子  
 250     メモリセル  
 281     ノード  
 301     処理  
 302     処理

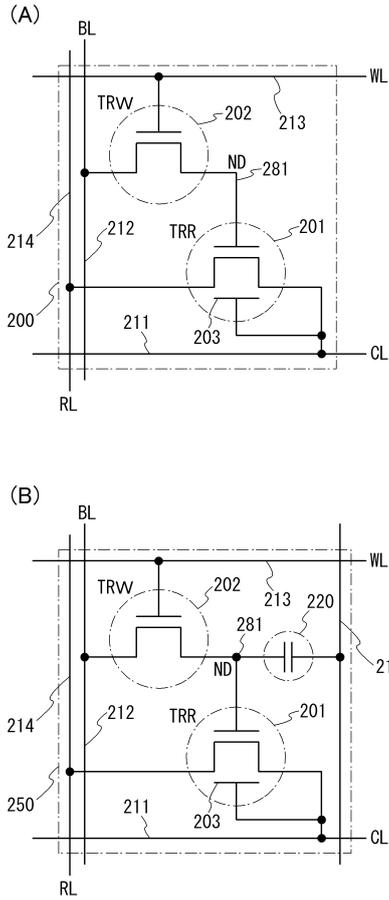
40

50

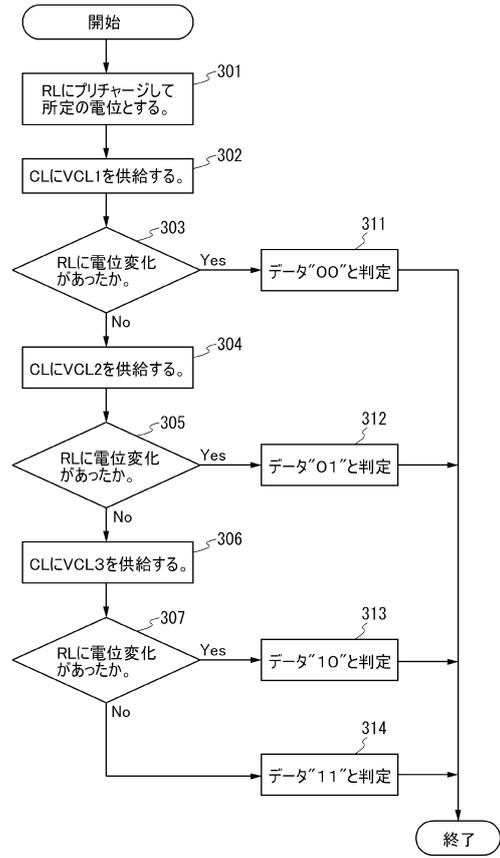
3 0 3	判断	
3 0 4	処理	
3 0 5	判断	
3 0 6	処理	
3 0 7	判断	
3 1 1	処理	
3 1 2	処理	
3 1 3	処理	
3 1 4	処理	
4 0 0	基板	10
4 0 1	ゲート電極	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極	
4 0 5 b	ドレイン電極	
4 0 6	チャンネル保護層	
4 0 7	絶縁層	
4 0 9	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	バックゲート電極	20
4 2 0	レジストマスク	
4 3 0	酸素	
4 3 6	下地層	
4 4 1	酸化物半導体層	
4 5 0	トランジスタ	
4 6 0	トランジスタ	
4 7 0	トランジスタ	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	30
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	40
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクフォン	50

7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	10
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
1 2 0 0	メモリセル	
1 2 0 1	第1のトランジスタ	
1 2 0 2	第2のトランジスタ	20
1 2 0 3	バックゲート電極	
1 2 1 1	第1の駆動回路	
1 2 1 2	第2の駆動回路	
1 2 1 3	第3の駆動回路	
1 2 1 4	第4の駆動回路	
1 3 0 0	メモリセルアレイ	

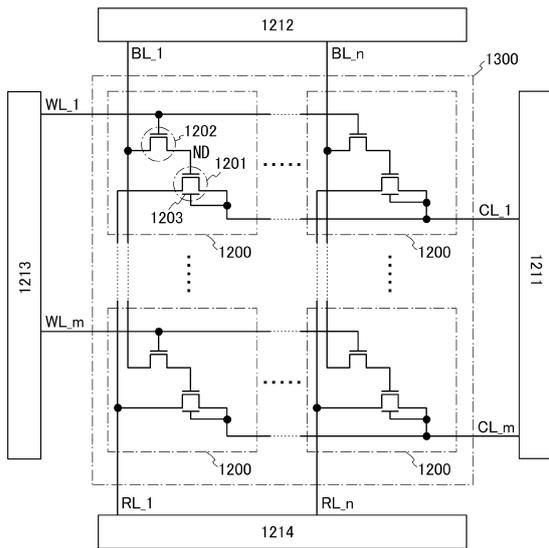
【図1】



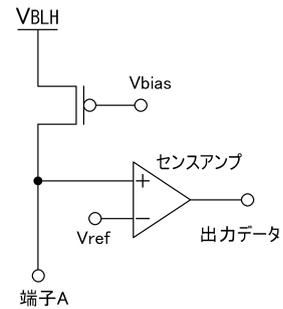
【図2】



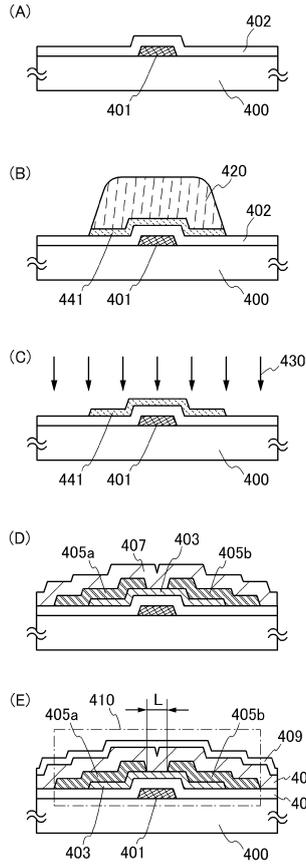
【図3】



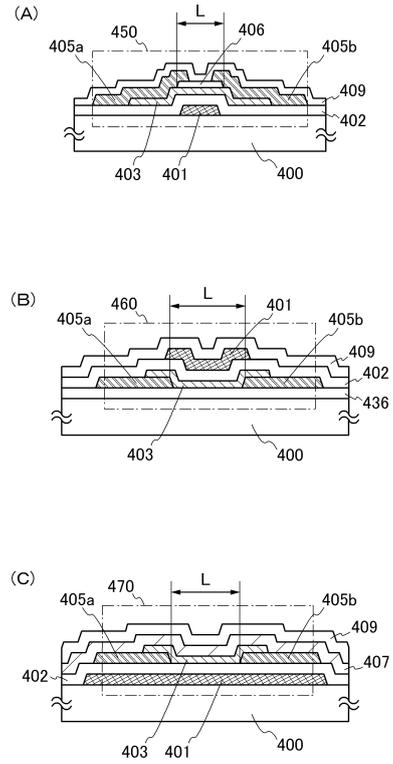
【図4】



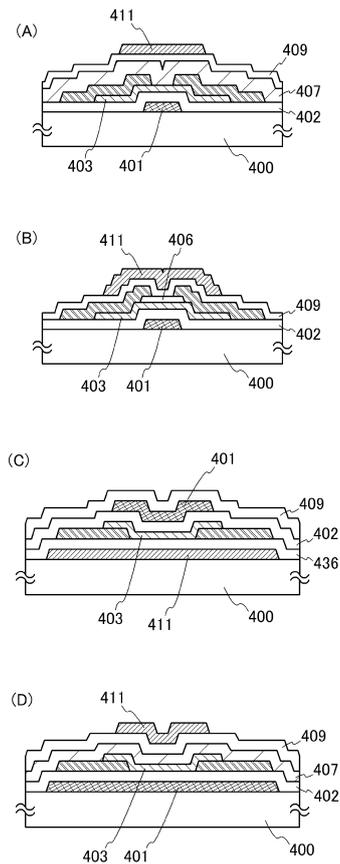
【 図 5 】



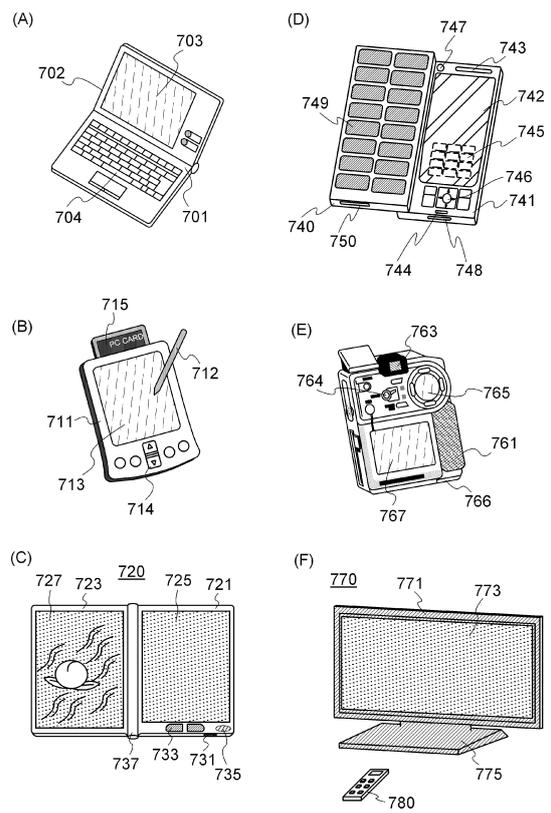
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

- (56)参考文献 特開2001-351386(JP,A)  
特開平04-099060(JP,A)  
米国特許第05220530(US,A)  
米国特許第07221580(US,B1)  
特表2009-506526(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/405  
G11C 11/56  
H01L 29/786