

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-211182

(P2008-211182A)

(43) 公開日 平成20年9月11日(2008.9.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4M104
HO 1 L 27/092 (2006.01)	HO 1 L 29/58 G	5F043
HO 1 L 29/423 (2006.01)	HO 1 L 21/306 D	5F048
HO 1 L 29/49 (2006.01)	HO 1 L 21/283 C	5F058
HO 1 L 21/306 (2006.01)	HO 1 L 29/78 3 0 1 G	5F140

審査請求 未請求 請求項の数 11 O L 外国語出願 (全 65 頁) 最終頁に続く

(21) 出願番号 特願2008-2367 (P2008-2367)
 (22) 出願日 平成20年1月9日(2008.1.9)
 (31) 優先権主張番号 60/879, 635
 (32) 優先日 平成19年1月10日(2007.1.10)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 07011442.6
 (32) 優先日 平成19年6月12日(2007.6.12)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 591060898
 アンテルユニヴェルシテール・マイクロエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ
 INTERUNIVERSITAIRE MICRO-ELEKTRONICA CENTRUM VZW
 ベルギー、ペー-3001ルーヴァン、カペルドリーフ75番

最終頁に続く

(54) 【発明の名称】 2つの仕事関数を備えたCMOSデバイスの製造方法

(57) 【要約】

【課題】本発明は、2つの仕事関数の半導体デバイスの製造方法を提供する。

【解決手段】製造方法は、基板の第1領域及び第2領域上にデバイスを設置することを備える。これは、基板の第1領域及び第2領域上に誘電性層を設置すること、及び第1及び第2領域の両方の誘電性層の上部にゲート電極を設置することによってなされる。第1領域上のゲート電極及び第2領域上のゲート電極の両方は仕事関数を有する。上記方法は、さらに、誘電性層とゲート電極との間で第1領域上にキャッピング層を設置することで第1領域上のゲート電極の仕事関数を変更し、及び第2領域における誘電性層とゲート電極との間の界面でスピーシーズを導入するようにスピーシーズを埋め込むことにより第2領域上のゲート電極の仕事関数を変更することを備える。



【選択図】 図 2 0

【特許請求の範囲】

【請求項 1】

2つの仕事関数半導体デバイスの製造方法において、

- 基板の第1領域及び第2領域上に誘電性層を設けること、ここで第1領域上の誘電性層は第2領域上の誘電性層とともに一体に堆積され、さらに、

- 第1及び第2領域の両方の誘電性層の上部にゲート電極を設けること、ここで第1領域上のゲート電極は第2領域上のゲート電極とともに一体に堆積され、かつ第1領域上のゲート電極及び第2領域上のゲート電極の両方は仕事関数を有し、

によって、基板の第1領域及び第2領域上にそれぞれデバイスを設けることを備え、上記方法は、さらに、

誘電性層とゲート電極との間で第1領域上にキャッピング層を設け第2領域上には設けないことで第1領域上のゲート電極の仕事関数を変更し、及び

第1領域ではなく第2領域における誘電性層とゲート電極との間の界面でスピーシーズを導入するようにスピーシーズを埋め込むことにより第2領域上のゲート電極の仕事関数を変更する、

ことを備えた、2つの仕事関数半導体デバイスの製造方法。

【請求項 2】

第1領域上のデバイスは、N-MOSデバイスである、請求項1記載の製造方法。

【請求項 3】

第2領域上のデバイスは、P-MOSデバイスである、請求項1又は2記載の製造方法

【請求項 4】

誘電性層とゲート電極との間の界面でのスピーシーズの埋め込みは、誘電性層の上部にゲート電極を設ける前に行われる、請求項1から3のいずれかに記載の製造方法。

【請求項 5】

誘電性層とゲート電極との間の界面でのスピーシーズの埋め込みは、ゲート電極形成後に行われる、請求項1から3のいずれかに記載の製造方法。

【請求項 6】

スピーシーズの埋め込みは、誘電性層の特定位置上にレジスト層を設け、レジスト層にて覆われていない領域にイオン注入することを備える、請求項1から5のいずれかに記載の製造方法。

【請求項 7】

キャッピング層を設けることは、 $D_y D_x$ キャッピング層を設けることでなされる、請求項1から6のいずれかに記載の製造方法。

【請求項 8】

選択的ウェットエッチングによりキャッピング層を除去することをさらに備える、請求項7記載の製造方法。

【請求項 9】

選択的ウェットエッチングは、5未満のpHを有する低pH溶液によりなされる、請求項8記載の製造方法。

【請求項 10】

ゲート電極は、FUSIゲート電極である、請求項1から9のいずれかに記載の製造方法。

【請求項 11】

2つの仕事関数半導体デバイスであって、該デバイスは、第1タイプのデバイス及び第2タイプのデバイスを備え、各タイプのデバイスは、

- 基板上のゲート誘電体と、及び

- ゲート誘電体上のゲート電極とを備え、該ゲート電極は仕事関数を有し、

ここで、第1タイプデバイスのゲート電極は、第2タイプデバイスのゲート電極とともに一体に作製され、第1タイプデバイスのゲート誘電体は、第2タイプデバイスのゲート

10

20

30

40

50

誘電体とともに一体に作製され、及び、2つの仕事関数半導体デバイスは、さらに、第2タイプデバイスの誘電性層とゲート電極との間ではなく第1タイプデバイスの誘電性層とゲート電極との間にキャッピング層を備え、第1タイプデバイスの誘電性層とゲート電極との間の界面ではなく第2タイプデバイスの誘電性層とゲート電極との間の界面に埋め込まれたスピーシーズを備える、2つの仕事関数半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2つの仕事関数を備えたCMOSデバイスを製造する方法に関する。

【背景技術】

10

【0002】

CMOSデバイスを作製ため、N-MOS及びP-MOS型トランジスタゲートのそれぞれに2つの明確に異なる仕事関数(WF)が必要である。このゲート仕事関数は、ゲート電極用に使われる材料により主に決定されるので、2つの仕事関数の要求は、通常、所定のゲート誘電体用の2つの異なる材料、とりわけ2つの異なる金属の使用を意味する。そのような2つの金属へのアプローチの処理フロー又は統合は、非常に扱いにくく、多くの処理工程を含んでいる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

20

本発明に関し、2つの仕事関数を備えたCMOSデバイスの形成方法を開示し、該方法は、処理工程数を低減した単純化された処理フローを提供する。P-MOS及びN-MOSトランジスタの両方について、ゲート電極に同じ材料を使用し、それぞれのトランジスタ・ゲートの仕事関数を調節することを提案する。これは、(1)ゲート誘電体の埋め込み、又は(2)ゲート電極とホスト・ゲート誘電性材料との間に誘電性キャッピング層の挿入、及び/又は(3)完全にシリサイドされた(FUSI)ゲート形成の前にホスト・ゲート電極の埋め込みによりなされる。本発明の実施形態は、特にFUSIゲートを有するデバイスに適用可能である。

【課題を解決するための手段】

【0004】

30

第一の態様では、本発明は、2つの仕事関数半導体デバイスを製造する方法を提供する。この方法は、基板の第1領域上のデバイス、及び第2領域上のデバイスを提供することを備える。本発明の実施形態によれば、このことは、

- 基板の第1及び第2の領域上に誘電性層を設けること、ここで、第1領域上の誘電性層は第2領域上の誘電性層に完全に堆積され、それゆえ同じ特性、例えば同じ材質、同じ厚さ等を有する、及び

- 第1及び第2の両領域の誘電性層上にゲート電極を設けること、ここで、第1領域上のゲート電極は第2領域上のゲート電極に完全に堆積され、それ故、同じ特性、例えば同じ材質、同じ厚さ等を有する、

によってなされる。

40

【0005】

本発明の第一の態様の実施形態に係る方法は、さらに、

誘電性層とゲート電極との間の第1領域上にキャッピング層を設けることにより第1領域上のデバイスの仕事関数を変化させること、及び

誘電性層と電極との間の界面でスピーシーズを含むことにより第2領域上のデバイスの仕事関数を変更すること、を備える。

【0006】

本発明の実施形態の利点は、ゲート材料の選択的な除去が必要でないということである。普通の導電性、例えば金属又はFUSIのゲート電極は、nmos及びpmosデバイ

50

スの両方に使用可能である。このことは、二重相のFUSI CMOSスキーム、例えばnmos用のNiSi、pmos用Niリッチ、が使用されるとき、従来の方法に比較して、N+/P+境界での電位問題を低減又はさらに削除する。後者の場合、NiSi(nmos)とNiリッチ(pmos)とのゲート電極間の界面の長さは、高密度アプリケーションに対する関心事でありえる。nmos及びpmos両方の普通の(つまり同じ相)FUSI電極の場合、本発明の実施形態のように、この問題/関心事は解決される。更に、nmos及びpmos両方のNiリッチFUSIの使用は、FUSI CMOS統合プロセス用のより高いプロセスウインドウに導き、従ってより有利な生産能力を有する。

【0007】

本発明の実施形態に従い、仕事関数は、ゲート誘電体を適合させることにより変更される。これは、以下により詳しく説明するように、酸化膜換算膜厚(EOT)を低く維持しながら、好ましくはできるだけ低くしながら、キャッピング及び埋め込みによりなすことができる。このEOT要求は、何も堆積又は埋め込みができないことを意味する。

10

【0008】

本発明の実施形態では、第1領域上のデバイスはN-MOSデバイスである。本発明の実施形態では、第2領域上のデバイスはP-MOSデバイスである。本発明の実施形態では、誘電性層と電極との間の界面でスピーシーズを含むことは、誘電性層の上にゲート電極を設ける前に実行可能である。他の実施形態では、誘電性層と電極との間の界面でスピーシーズを含むことは、電極形成後に行なわれることがある。

【0009】

本発明の実施形態に係る方法は、更に、誘電性層とゲート電極との間の第2領域上にキャッピング層を設けることを含むことができる。この方法は、埋め込みの間、二重のキャッピングが保護のために設けられる。

20

【0010】

本発明の実施形態に係る方法は、更に、デバイスの処理の間、ゲート耐圧を保護するためのキャッピング層を設けることを含むことができる。

【0011】

本発明の実施形態に係る方法では、誘電性層と電極との間の界面にスピーシーズを含むことは、イオン注入によりスピーシーズを導入することを備えることができる。導入されたスピーシーズは、仕事関数調整要素である。イオン注入でスピーシーズを導入することは、誘電性層の特定位置にレジスト層を設けること、及びそのレジスト層によってカバーされない領域へのイオン注入を実行することを含む。

30

【0012】

本発明の実施形態に係る方法は、半導体デバイスの仕事関数をさらに調整するため、ブレ及び/又はポストキャッピング層堆積窒化条件を調整することを備えることができる。

【0013】

本発明の実施形態に係る方法では、キャッピングは、DyOによって実行可能である。そのようなDyOキャッピング層は、選択的なウェットエッチングによって除去可能である。この選択的なウェットエッチングは、低pHのHCl系溶液によって実行可能である。上記選択的なウェットエッチング溶液のpH値は、5未満が可能であり、より好ましくは2と4の間である。

40

【0014】

本発明の実施形態に係る方法では、ゲート電極は、FUSI電極であってもよい。

【0015】

第2態様において、本発明の実施形態は、DyO層を除去する方法を提供し、その方法は、選択的なウェットエッチングを行なうことを含む。その選択的なウェットエッチングは、HCl系溶液によって実行可能である。有利なことは、そのようなHCl系溶液は、DyO層、その中でもHfSiON又はSiON層の方に選択的にエッチングすることを可能にすることである。

【0016】

50

第3態様では、本発明は、第1のタイプの半導体デバイス及び第2タイプの半導体デバイスを備えた、2仕事関数半導体デバイスを提供する。各半導体デバイスは、

- 基板上のゲート誘電体、及び
- ゲート誘電体上のゲート電極、を備え、

ここで、第1タイプの半導体デバイスのゲート電極は、第2タイプの半導体デバイスのゲート電極と一体的に堆積され、したがって、同じ特性、例えば同じ材料、同じ厚さなど、を有し、また、第1タイプの半導体デバイスのゲート誘電体は、同じ基材で作製されるが誘電性層と電極との間の界面で異なるスピーシーズを含んでいる第2タイプの半導体デバイスのゲート誘電体と異なる。

【発明を実施するための最良の形態】

10

【0017】

本発明は、特別な実施形態に関して、図面を参照して記載される。しかしながら、本発明は、それに限定されず、特許請求の範囲によってのみ限定される。記載された図面は、単に模式的なものであり、限定するものではない。図面では、構成要素のうちのいくつかのサイズは、図示のために拡大され、実際の寸法にて描かれないことがある。寸法及び相対的な寸法は、本発明の実施への実際の縮小とは対応していない。

【0018】

さらに、明細書及び特許請求の範囲において、第1、第2、第3のような用語は、類似の構成要素間での区別のために使用され、ランキングや他の方法において、順番を一時的に、空間的に記述するのに必ずしも必要ではない。そのように使用された用語は、適切な状況の下で交換可能であり、また、ここに記載された本発明の実施形態は、ここに記載された又は図示された以外の他の順序において操作可能であるということが理解されねばならない。

20

【0019】

さらに、明細書及び特許請求の範囲において、上部、底部、上方、下方、及びそれに類似する用語は、描写的な目的のために使用され、相対的な位置を記述するために必ずしも必要ではない。そのように使用された用語は、適切な状況の下で交換可能であり、また、ここに記載された本発明の実施形態は、ここに記載された又は図示された以外の他の配向において操作可能であるということが理解されねばならない。

【0020】

30

特許請求の範囲にて使用される「備える」の用語は、それ以後に列挙された手段に限定されるように解釈されるべきでないということに注意すべきである。即ち、それは、他の要素又はステップを排除するものではない。それは、記載された特徴、整数、ステップ、又は構成部分の存在を言及されるように明示するように解釈されるべきであり、一つ若しくは複数の他の特徴、整数、ステップ、又は構成部分、あるいはそれらのグループの存在又は追加を排除するものではない。したがって、「手段A及びBを備えるデバイス」の表現の範囲は、構成部分A及びBからだけ成るデバイスに限定されるべきではない。本発明に関して、デバイスに関連する構成部分のみがA及びBであるということの意味する。

【0021】

40

同様に、また特許請求の範囲にて使用される「連結された」の用語は、接続だけに関するものに制限されると解釈されるべきではない。用語「連結された」及び「接続された」は、それらの派生語と共に用いられることがある。これらの用語が互いに同意語として意図されないことが理解されるべきである。したがって、表現「デバイスBに連結されたデバイスA」の範囲は、デバイスAの出力がデバイスBの入力に直接に接続されるデバイス又はシステムに限定されるべきでない。それは、他のデバイス又は手段を含む経路であることができるAの出力とBの入力との間の経路が存在することを意味する。「連結された」は、2つ以上の要素が直接に物理的又は電氣的に接触することを意味することができる、あるいは、2つ以上の要素が互いに直接に接触するのではなく、さらに互いに協働し相互作用することを意味することができる。

【0022】

50

本明細書を通して記載した「1つの実施形態」又は「実施形態」は、実施形態に関連して記載された特別な特性、構造、特徴が本発明の少なくとも一つの実施形態に含まれることを意味する。したがって、この明細書の全体にわたり様々な箇所に記載の「1つの実施形態において」又は「実施形態において」の表現は、必ずしも同じ実施形態を参照していないが、同じ実施形態を参照していてもよい。更に、特別な特性、構造、特徴は、この開示から当業者に明らかなように一つ以上の実施形態において、いずれかの適切な方法で組み合わせられることができる。

【0023】

同様に、本発明の典型的な実施形態の記述では、発明の種々の特徴は、開示を合理化し、一以上の種々の創造性のある態様の理解を援助する目的のため、一つの実施形態、図、又は記述において、時々、グループ化されることを認識すべきである。しかしながら、開示の方法は、クレームされた発明が各請求項で明らかに詳述されるよりも多くの特徴を必要とする意図を反映すると解釈されるべきではない。むしろ、以下の請求項が反映するように、創造性のある態様は、一つの先に示された実施形態のすべての特徴よりも少ないところにある。したがって、詳細な説明に従う請求項は、それにより、本発明の別個の実施形態としてそれ自身で主張する各請求項と共に、この詳細な説明に明らかに組み入れられる。

10

【0024】

更に、ここに記載された幾つかの実施形態は、他の実施形態に含まれた他の特徴ではない幾つかの特徴を含んでおり、異なる実施形態の特徴の組み合わせは、本発明の範囲内であり、かつ技術の当業者によって理解されるように、異なる実施形態を形成することを意味する。例えば、以下の請求項において、クレームされたいずれの実施形態も、いずれの組み合わせの中でも用いることができる。

20

【0025】

更に、幾つかの実施形態は、方法、又はコンピュータシステムのプロセッサ又は機能を実行する他の手段によって実行可能な方法の要素の組み合わせとして、ここに記載される。したがって、そのような方法又は方法の要素を実行するための必要な指示を備えたプロセッサは、上記方法又は方法の要素を実行するための手段を形成する。更に、装置の実施形態における、ここに記載された要素は、本発明を実行する目的の要素により実行された機能を実行するための手段の一例である。

30

【0026】

ここに提供される記述では、多数の特定の細部が述べられている。しかしながら、本発明の実施形態は、それらの特定の細部なしで実行可能であることが理解されよう。他の例では、公知の方法、構造、及び技術は、この記述の理解を不明瞭にしないために詳細には示されていない。

【0027】

本発明は、本発明のいくつかの実施形態の詳細な説明によって記載される。本発明の他の実施形態は、本発明の真の思想又は技術的な教えから逸脱せずに当業者の知識により形成可能であることは明らかである。ここで、本発明は、添付の特許請求の範囲の用語によってのみ限定される。

40

【0028】

本発明の実施形態では、用語「基板」は、使用可能な、あるいはデバイス、回路又はエピタキシャル層が形成される、いずれの基礎をなす一つ若しくは複数の材料を含むことができる。他の実施形態では、この「基板」は、例えば不純物添加シリコン、ガリウムヒ素 (GaAs)、ガリウムヒ素リン (GaAsP)、インジウムリン (InP)、ゲルマニウム (Ge)、シリコン・ゲルマニウム (SiGe) 基板のような、半導体基板を含むことができる。上記「基板」は、例えば半導体基板部分に加えて、 SiO_2 又は Si_3N_4 層のような絶縁層を含むことができる。したがって、基板の用語は、また、シリコン・オン・ガラス、シリコン・オン・サファイア基板を含んでいる。用語「基板」は、対象の層又は部分の下にある層用の要素を一般的に定義するために使用される。また、「基板」は

50

層、例えばガラスや金属層が形成される他のいかなるベース材であってもよい。

【0029】

基板、例えば、半導体基板(10)は、2つの異なった領域(N-MOS領域I、及びP-MOS領域II)を備え、露出した表面を有する。半導体基板(10)の露出表面は、少なくとも2つの異なった半導体材料の領域を備え、その領域(IとII)は互いに分離されている。それらの領域(IとII)は、能動的な領域として一般的に知られ、一方、それらの間の分離部は、表面絶縁(LOCOS)又は浅溝型素子分離(STI)として典型的に知られている。p型の能動的な領域として典型的に知られている1つのタイプの領域(I)では、N-MOS型トランジスタが形成され、一方、n-タイプの能動的な領域として典型的に知られている別のタイプの領域(II)では、P-MOS型トランジスタが形成されることになる。基板の露出表面上には、図1及び図9に示されるように、ホスト・ゲート誘電体(11)が堆積される。ホスト・ゲート誘電体(11)は、例えばSiO₂、SiON; HfO₂、HfSiO、HfSiON; ZrO₂、ZrSiO、ZrSiON; 両層(HfO₂/SiO₂のような)、又はHfZrO、HfZrSiO、HfLaO、HfLaSiOのような3成分の誘電体が可能である。

10

【0030】

1つのタイプの基板領域は、任意に、図2及び図10に示されるようなフォトレジスト(12)で覆われていることがある。典型的な実施形態では、領域(I)は、図1~図8により示された実施形態において感光層(12)で覆われ、一方、別の領域タイプ(II)は、露出したままである。しかしながら、ゲート誘電体の選択に依存して、及び、例えばゲート誘電体や、ゲート誘電体とゲート電極との間の中間層又は両方の組み合わせにおけるイオン注入である、トランジスタ・ゲートの仕事関数を調節する方法の選択に依存して、別のタイプの領域(II)をカバーすることを選択したり、及び図9~図16に図示される実施形態で示されるように露出した1つの領域(I)を有することを選択したりすることができる。

20

【0031】

次に、露出した領域(II、I)のホスト・ゲート誘電体は、図3及び図11に示されるように、選択された埋め込みスピーシーズ(13)が埋め込まれる。優先的に、NMOS用のイオン注入スピーシーズは、ランタノイド元素(Yb、La、Dy、Er、Gd、Scなど)、又はP、As、Sbや、(Yb+P)のようなこれらの化合物のようなドーパントの一つを含むことができる。PMOSに関し、イオン注入スピーシーズは、Al、O、Ru、Pt、W、Mo、B、又は(Al+B)のようなその組み合わせを含むことができる。

30

【0032】

埋め込み後、他方の領域(I、II)における他方の誘電性層と比べて変更された電気的特性(14)を有する一方の領域(II、I)における誘電性層を残して、図4及び図12に示すように、レジスト(12)が除去される。

【0033】

次に、図5及び図13に示すように、高kのキャップ層(15)が両方のタイプの領域(I、II)、つまりホスト誘電性層(11)及び変更されたホスト誘電性層(14)の両方の上に任意に堆積可能である。高kのキャップ層は、誘電率がSiO₂の誘電率よりも高い、つまり4を超える層である。そして高kのキャップ層(15)は、例えば図6及び図14に示されるようなパターン化されたフォトレジスト・マスク(16)、並びに、図7及び図15に示されるような選択的なウェットエッチング工程を用いることによって、変更されたホスト誘電性層で覆われた領域(II、I)から選択的に取り除かれる。

40

【0034】

図8及び図16は、フォトレジスト(16)の除去後の、最終のゲート誘電性スタックを示す。高kのキャップ層(15)の選択的ウェットエッチング及びフォトレジスト(16)除去の両方は、ゲート誘電体を完全に保全するようなゲート誘電体処理に対する強い要求に合うように選択され、それによってその誘電性特性は実質的に保持される。これら

50

の処理工程は、別の実施形態でより詳しく説明する。

【0035】

最終ゲート誘電体スタックの準備後に、最終ゲート誘電体スタックの上部にゲート電極が設けられる。本発明の実施形態に従い、ゲート電極は、第1及び第2領域における両方のゲートスタック上に一体的にそれぞれ設けられ、それによって、同じ特性、例えば同じ電極材料、同じ電極厚さなど、を有するゲート電極が提供される。

【0036】

ゲート仕事関数を調整するためのさらなる3つの方法は、N-MOS及びP-MOS型トランジスタ用の同じゲート電極材料を備えたCMOSデバイスを形成するとき、本発明の実施形態に従って開示される。これらの方法は、それ自身又は組み合わせて用いることができる。

10

【0037】

(1) ホスト・ゲート誘電体へのイオン注入による仕事関数調整

ホスト・ゲート誘電体(11)への埋め込み(13)は、図3及び図11におけるように、ゲート電極、例えば多結晶シリコン又は金属ゲート電極のような半導体ゲート電極を形成する前に実施可能である。

【0038】

又は、図17及び図19に示すように、埋め込み(13)は、パターン化されていないゲート電極によって行うことができる。このことは、埋め込みは、ゲート電極形成の前又は後に実行可能であることを意味する。後者の場合、ゲート電極(17)は、単一の電極材料層、例えば半導体材料又は金属から成ることができるか、又は、金属を有するポリシリコンあるいは第2金属を有する第1金属のようなスタック層を備えることができる。後者の場合、ホスト・ゲート誘電体(11)へゲート電極(17)を介しての埋め込みは、スタックの第1層がホスト・ゲート誘電体上に堆積された後、又は複数の層、つまり全ゲート電極スタックが堆積された後、処理可能である。

20

【0039】

ゲート電極は、ポリシリコン・ゲートのような半導体ゲート、低い埋め込みエネルギーが使用されたときでも埋め込まれたスピーシーズ(13)がホスト・ゲート誘電体(11)に到達可能であるような低い埋め込み阻止能を有する金属ゲート、MIPS(ポリシリコン+金属ゲートスタック)、完全にシリサイドされた(FUSI)ゲート、又はN-MOS及びP-MOS上のこれらの異なったゲート電極の組み合わせであってもよい。

30

【0040】

ホスト・ゲート誘電体(11)のイオン注入による仕事関数の調整方法は、また、例えば、高品質ホスト・ゲート誘電体(11)の誘電特性が後で修正されながら、厚いホスト・ゲート誘電体(11)が良好な電気的特性を有して形成可能であるように酸化膜換算膜厚(EOT)を調整することに関して良好な方法を提供する。

【0041】

フォトレジストがイオン注入プロセス(13)の間、保護マスクとして用いられる。フォトレジストを除去した後、ポスト・イオン注入アニールが好ましくは必要である。このアニール・ステップは、複数の目的を有している。即ち、1)V_t調整のためのターゲットとされた場所へ埋め込むスピーシーズを飛ばすこと。この場所は、ホスト・ゲート誘電体(11)、又はゲート電極とホスト誘電体(11)との界面のどちらかであり得る。2)新しいゲート誘電体(14)(図4、図12、図18及び図20におけるように)の形成を容易にすること。3)イオン注入後にゲート誘電体(14)中の可能な破損を修理すること。

40

【0042】

(2) ホスト・ゲート誘電体とゲート電極との間の高kの誘電性キャップ層を用いることによる仕事関数調整

キャップ層(15)は、選択的に堆積するか、又はNMOS(I)又はPMOS(II)領域からそれぞれ選択的に取り除くことができる。適切な熱の蓄え(例えば結合スパイ

50

ク又はレーザー・アニールによって供給された)の下では、キャップ層は、混合誘電体を形成するためにホスト誘電体と相互に作用することができるか、又はホスト誘電体と混ざらないことを示すことができる。キャップ層は、また、電極材料と反応することがある。

【0043】

キャップ層は、NMOS用の、La系酸化物(YbO、DyO、LaO、ErO、GdO)又はScO、及びPMOS用のAlOからの酸化物であることができる。DyScOのような3元素、又はSiあるいはN混合物(DyScON)との化合物のような4元素の酸化物もまた考えられる。

【0044】

電極は、ポリシリコンゲート、金属ゲート、MIPS(ポリシリコン+金属ゲートスタック)、十分にシリサイド化された(FUSI)ゲート、又は、N-及びP-MOS上の異なるゲート電極の化合物のいずれか一方であることができる。又、方法は、EOTスケールリング用の良好な方法も提供する。

10

【0045】

ホスト・ゲート誘電体は、SiO₂、SiON; HfO₂、HfSiO、HfSiON; ZrO₂、ZrSiO、ZrSiON; 二重層(HfO₂/SiO₂のような)、又は、HfZrO、HfZrSiOのような三元素誘電体であることができる。

【0046】

(3) FUSI形成前のゲート電極におけるイオン注入による仕事関数調整

半導体ゲート電極へのイオン注入を用いることにより、またFUSIプロセス間の熱サイクル及びスノープロ効果の両方と結合されることにより、埋め込まれたスピーシーズは、これらのスピーシーズがホスト・ゲート誘電体(11)と反応するか、又はゲート電極とホスト・ゲート誘電体との間の界面を修正する部分である、ゲート電極とホスト・ゲート誘電体(11)との間の界面の方へ押される。半導体材料とシリサイド形成金属間の反応により金属合金を形成することにより完全にシリサイド化されたゲート電極を形成するとき、半導体ゲートに埋め込まれたスピーシーズは、反応しない半導体材料と比較して、形成された金属合金において低い可溶性を呈する。したがって、埋め込まれたスピーシーズは、形成された金属合金の前に移動される。この現象は、スノープロ効果として知られている。

20

【0047】

FUSIゲート形成は、Ni、Co、Pt、NiPt、NiYbの金属のうちの1つとポリSi(a-Si、Si、SiGe、Ge)、又はドーブしたポリSi(a-Si、Si、SiGe、Ge)の反応を通じて起こる。

30

【0048】

優先的に、NMOS用のイオン注入スピーシーズは、ランタニド元素(Yb、La、Dy、Er、Gd、Scなど)、又はP、As、Sbのようなドーパントの一つや、(Yb+P)のようなそれらの組み合わせを含むことができる。PMOSに関し、イオン注入スピーシーズは、Al、O、Ru、Pt、W、Mo、B、又は(Al+B)のようなそれらの組み合わせを含むことができる。

【0049】

ホスト・ゲート誘電体は、SiO₂、SiON; HfO₂、HfSiO、HfSiON; ZrO₂、ZrSiO、ZrSiON; 二重層(HfO₂/SiO₂のような)又はHfZrO、HfZrSiO、HfLaO、HfLaSiOのような三元素誘電体であることができる。

40

【0050】

例

さらに、2つの誘電体層を用いて、つまりN-MOS及びP-MOS型トランジスタ用の異なるゲート誘電性層をそれぞれ形成することによりCMOS FETを作製するため、上述の仕事関数調整方法を用いることによるいくつかの特定の完成方法を開示する。

【0051】

50

方法 1 : NMOS 上のキャップ層 (1 5) 及び PMOS 上のイオン注入 (1 3)

方法 1 は、図 1 ~ 8 に示されている。図 1 では、ホスト誘電体 (1 1) 層は、2 つの異なる領域、つまり (I) NMOS 及び (II) PMOS を備える半導体基板 (1 0) 上に堆積される。半導体基板は、例えば Si、SiGe、SOI、Ge、及び III - V 材料のいずれかであることができる。方法は、プレーナ型又は FinFET の構造のいずれかを有するトランジスタの生産に適用することができる。

【 0 0 5 2 】

ホスト誘電体 (1 1) は、例えば SiON、HfSiON、HfO₂、HfSiO、ZrO₂、HfZrO、HfLaO、HfLaSiO のうちの一つであることができる。特別の実施形態では、ホスト誘電体 (1 1) は、1 ~ 20 間の厚さを有する、薄い SiON 層である。

10

【 0 0 5 3 】

PMOS 領域用のイオン注入スピーシーズ (1 3) は、Al 又は O であることができる。後の処理において、高 k のキャップ層 (1 5) が NMOS 領域 (I) 上に形成されるならば、ゲート電極の選択に依存して、イオン注入は、選択されなくてもよい。

【 0 0 5 4 】

高 k のキャップ層 (1 5) は、ホスト誘電体 (1 1) の上部に堆積され、その後、PMOS 領域 (II) から選択的に除去される。高 k のキャップ層 (1 5) は、次の酸化物 DyO、ScO、LaO、YbO、DyScO、DyYbO、DyLaO のうちの一つであることができる。

20

【 0 0 5 5 】

シングル・ゲート電極アプローチでは、N - MOS 及び P - MOS 型トランジスタの両者のゲート電極は、一体的に作製され、よって、同じ特性を有する。即ち、上記ゲート電極は、例えば、とりわけ、ポリシリコン、アモルファス・シリコン、SiGe、Niリッチな FUSI、次の金属窒化物 (TiN、Ta₂N)、金属炭化物 / 炭素窒化物 (TaC、TaCN)、金属酸化 - (炭化) 窒化物 (TaCNO、MoON、WON) の一つ、又は MIPS (上部にポリシリコン・キャップ層を備えた上記の金属電極のうちの一つ) であり同じ厚さを有するような、同じ材料から作製される。

【 0 0 5 6 】

熱的焼きなましに際して、NMOS 領域 (I) 上の最終誘電体は、キャップ層 (1 5) とホスト誘電体 (1 1) 間の混合、又は 2 つの特殊な層から成るスタックのいずれかであることができる。

30

【 0 0 5 7 】

方法 2 : PMOS 上のキャップ層 (1 5) 及び NMOS 上のイオン注入 (1 3)

方法 2 は、図 9 ~ 図 1 6 に示されている。図 9 では、ホスト誘電体 (1 1) 層は、2 つの異なる領域、つまり (I) NMOS 及び (II) PMOS を備える半導体基板 (1 0) 上に堆積される。半導体基板は、例えば Si、SiGe、SOI、Ge 及び III - V 材料のいずれかであることができる。方法は、プレーナ型又は FinFET のいずれかの構造を有するトランジスタの生産に適用することができる。

【 0 0 5 8 】

ホスト誘電体 (1 1) は、例えば SiON、HfSiON、HfO₂、HfSiO、ZrO₂、HfZrO、HfLaO、HfLaSiO のうちの一つであることができる。特別な実施形態では、ホスト誘電体 (1 1) は、1 ~ 20 間の厚さを備えた薄い SiON 層である。

40

【 0 0 5 9 】

NMOS 領域 (I) 用のイオン注入スピーシーズ (1 3) は、Yb、La、Dy、Er、Gd、Sc、P、As、Sb のうちの一つであることができる。高 k のキャップ層 (1 5) が後の処理において PMOS 領域 (II) 上に形成されるならば、ゲート電極の選択に依存して、埋め込みをしないことが選択可能である。

【 0 0 6 0 】

50

ホスト誘電体(11)の上部に堆積され、NMOS領域(I)から選択的に除去される高kのキャップ層(15)は、AlO若しくはAlN、又はAlONのようなそれらの組み合わせであることができる。前の処理の間に、NMOS領域(II)におけるホスト・ゲート誘電体(11)に埋め込みが行なわれるならば、ゲート電極の選択に依存して、キャップ無しが選択可能である。

【0061】

シングル・ゲート電極アプローチでは、N-MOS及びP-MOS型トランジスタの両者のゲート電極は、一体的に作製され、よって、同じ特性を有する。即ち、上記ゲート電極は、例えば、とりわけ、ポリシリコン、アモルファス・シリコン、SiGe、NiリッチなFUSI、次の金属窒化物(TiN、Ta₂N)、金属炭化物/炭素窒化物(TaC、TaCN)、金属酸化-(炭化)窒化物(TaCNO、MoON、WON)の一つ、又はMIPS(上部にポリシリコン・キャップ層を備えた上記の金属電極のうちの一つ)であり同じ厚さを有するような、同じ材料から作製される。

10

【0062】

熱的焼きなましに際して、PMOS領域(II)上の最終誘電体は、キャップ層(15)とホスト誘電体(11)間の混合、又は2つの特殊な層から成るスタックのいずれかであることができる。

【0063】

方法3: PMOS上のキャップ層(15)及びNMOS上のキャップ層(15')

方法1及び方法2の組み合わせである第三の方法も提供される。この方法は、方法1でのようなNMOS領域(I)用の第1の高kキャップ層を使用し、かつ方法2でのようなPMOS領域(II)用の第2の、異なった、高kキャップ層を用いる。この実施形態では、キャップ層は、NMOS(I)及びPMOS(II)領域に選択的にそれぞれ形成される。これは、第2キャップ層を堆積し、他の領域、例えばPMOS(II)における第1キャップ層からこの第2キャップ層を選択的に除去した後、例えば、第1キャップ層を堆積し、一方の領域、例えばNMOS(I)から選択的にこの第1キャップ層を取り除くことによって行うことができる。この実施形態では、埋め込みは用いられず、対象とされる仕事関数は、NMOS(I)及びPMOS(II)領域用の2つの異なるキャップ層を用いることによりそれぞれ得られる。

20

【0064】

基板、ホスト誘電体(11)、キャップ層(15)及びゲート電極に関する材料選択は、方法1及び方法2によるものである。

30

【0065】

単一のFUSIゲート電極 - 2つの誘電体プロセス完成の流れ

特別の実施形態では、CMOS完成用の単純化された方法を記載する。この方法は、高機能な応用例(低V_t)を含めて、広いV_t範囲に適している。この方法は、NMOSデバイス上のホスト誘電体層の上部の高kキャップ層、及びNMOS及びPMOSデバイスの両方に同時に形成された単相のNiリッチのFUSI電極を使用する。

【0066】

該方法は、ホスト・ゲート誘電体上に薄い高kキャップ層(例えば、DyO、ScO、LaO)の使用により、低V_tのn-タイプ電極もNiリッチのFUSIで達成可能であるように仕事関数(WF)が調整可能であるという利点がある。ホスト・ゲート誘電体は、例えばSiO₂、SiON、又はHfSiONのような高k材料のうちの一つであってもよい。高kを有する誘電体は、SiO₂の誘電率、つまり4より高い誘電率を有する誘電体を意味する。そのような高kの誘電体の誘電率は、好ましくは10~40の範囲、好ましくは15~30の範囲である。

40

【0067】

NMOSデバイス上のDyOキャップ層、及び単相のNiリッチなFUSIゲート電極を用いた実施形態の結果が以下に示される。

【0068】

50

提案されたCMOS完成のフローでは、高kのキャップ層15は、図1～図8に示すようにPMOSデバイスから選択的に取り除かれ、NiリッチのFUSI相は、後でNMOS及びPMOSのデバイス用に同時に形成される。高kキャップ層の選択的な除去、及び後のフォトレジストの除去は、本発明の別個の実施形態の目的をなす。

【0069】

さらに、ゲート仕事関数調整(NiリッチのFUSIゲート電極を備えたp又はn型のデバイスのための)は、例えばPMOS用のAl又はNMOS用のP/Ybのようなキャッピング層によりカバーされていないデバイスの誘電体層への仕事関数調整要素の埋め込みによって達成することができる。プレ又はポストの高kキャップ堆積窒化条件調整は、また、仕事関数をさらに調整するために使用可能である。

10

【0070】

NMOS及びPMOSデバイスの両方のための単相のFUSI(Niリッチ)ゲート電極のさらなる利点は、2重相のFUSI CMOSスキームが用いられるときに、NMOSゲート電極とPMOSゲート電極との間の境界での電位問題を排除することである。シリサイド相で、特別な金属シリサイドの所定のタイプ、即ち、金属リッチな(シリコンがプア)又は金属プアな(シリコンがリッチ)シリサイドが示される。2重相のFUSIの場合、NiSi(NMOS)とNiリッチな(PMOS)ゲート電極との間の界面領域の長さは、非常に高密度の応用例に関するものでありえる。本発明の実施形態のように、NMOS及びPMOSの両方に関する単相FUSI電極の場合、この界面問題が解決される。

20

【0071】

NMOS及びPMOSの両者用のNiリッチな相FUSIの使用は、また、FUSI CMOS完成プロセス用のより高いプロセスウインドウへ我々を導き、よって、生産可能性のさらなる利点となる。

【0072】

実験

NiSi又はNi₃₁Si₁₂ FUSIゲートを備えた短いチャネルn-FETデバイスがセルフラインCMPに基づくアプローチを使用して製造された。最適化されたMOCVD HfSiON(2.3nm)又は熱SiON(2nm)は、ホスト誘電体として堆積された。その後、極めて薄いDyOキャップ層(5)が550でDy(EDMDD)3及びO₂先駆物質を用いて、AVD(登録商標)によって堆積された。SiO₂表面(3~7nm)をエッチングした傾斜を備えたMOSCAPは、5又は10のDyOを有する両方のNiSi又はNi₂Si FUSIのeWFを評価するために用いられた。

30

【0073】

DyOキャップ層を備えたHfSiON

V_{fb}とEOTとのプロット(図26)から、DyOキャップ層で、HfSiON上のNi FUSIの有効なWFが、DyO厚さ及びNiシリサイド相に依存して、Si伝導帯エッジの方へ調整されることが理解可能である。図27では、FUSI/DyO/HfSiONゲートスタックのXTEMは、完全なデバイス製造後、HfSiONとDyOとの間で十分に混ざること示す。高周波キャパシタンス電圧(HFCV)測定(図28)を用いて、HfSiON又はDyO/HfSiON誘電体の厚さT_{inv}がそれぞれ約1.72nm又は1.75nmであるとわかる。動作状態のよい短いチャネルデバイス(Lg=100nm)ドレイン電流に対するゲート電圧(I_d-V_g)カーブは、NiSi FUSI電極を備えたHfSiON及びDyO/HfSiONデバイスの両方に関して約70mV/Decの良好なサブトレショールド傾斜(SS)とともに図29に実証されている。さらに、両デバイスは、それらの良好な短チャネル効果を提案する同様のドレイン誘起電位障壁低下(DIBL)値(~65mV/V)を示す。DyOキャップを利用することは、それらのCVデータ(図28)に対応して、300mVの、NiSi FUSIデバイスの閾値電圧(V_t)低下に帰着することが観察されている。図30では、DyO

40

50

/HfSiONスタックを備えたデバイスは、基準のHfSiONデバイスへ同様のV_tロールオフ特性を維持する。NiSi/DyO/HfSiONスタックを備えた長いチャネルデバイス(チャネル長L_g = 1 μmを備えた)のV_tは、0.22Vであり、低V_t要求を満たしている。

【0074】

NiリッチのFUSIは、特にHfSiON上でその高い仕事関数(WF)により、良好なpFET電極の候補であることはよく知られている。よって、図30において、5のDyOキャップ層を有するNi₂₁Si₁₂FUSInFETsのV_tは、NiSiFUSIのそれよりも約30mV低くなるように生産されることに注目することは興味がある。同じ図において、1nmのDyOキャップを用いる場合、Ni₂SiFUSInFETのV_tは、約0.35Vであることが予想される。N又はFのチャネル埋め込みと組み合わせて、このデータは、単相のNi₂Siゲートを用いて、低V_tFUSI/HfSiONCMOSを実現するための可能性を実証する。図31では、HfSiON上でDyOキャップを様々なL_gを備えたすべてのデバイスに用いるときに、可動性又はゲートリーク(転換)の低下は、観察されない。

【0075】

DyOキャップ層を備えたSiON

DyO/SiONのXTEM(図32)は、完全なデバイス製作の後に、新しいDySiONケイ酸塩形成を提案する。DyOキャップを用いたSiON上のNiFUSIのWFを低下させるWFの範囲は、キャップ厚さ及びシリサイド相(図32の挿入図)に依存する。nFETs(図33)のHFCVから、DyOキャップは、HfSiONの場合に対比して、約0.8までSiONの厚さT_{inv}の低下を導くということに注目するのは興味がある。図34から、DyOキャップは、そのわずかに薄い厚さT_{inv}にかかわらず、SiON(~150xまで)と比較して、ゲートリークJ_g(@V_{dd} = 1.1V)を著しく減少することが理解できる。図35から判るように、DyOキャップは、基準のSiONnFETsと比較して、閾値電圧(V_t)ロールオフ特性を低下させない。5のDyOキャップでは、nFETのV_t、NiSi/Ni₃₁Si₁₂FUSIゲートを備えたlinは、それぞれ0.18V/0.38Vである(チャネル長L_g = 1 μm)。図32を考慮すると、1nmのDyOキャップ及びNi₂SiFUSIゲートを備えたデバイスのV_tは、約0.28Vになると予想される。p-FET用のAlのブレドピング、又はN/F埋め込みチャネルのプロセスを組み合わせて、このデータは、単一相Ni₂Siゲートを使用した低V_tFUSI/SiONCMOSを実現することが実行可能であることを示している。

【0076】

高kキャップ層の選択的なウェットエッチング

この実施形態では、HfO、HfSiONx、HfDyOx、HfScOxのような下にあるホスト誘電体の方へDyO又はDyScO系のキャップ層を選択的に除去することができるウェットエッチング溶液が提案されている。ランタニド元素(LaOを含む)からの同様の酸化物は、提案された溶液で同様に選択的に除去可能であろう。

【0077】

選択的な除去プロセス用の保護マスクとして、異なる材料が選択可能であろう。この特定の実施形態では、フォトレジストは、残っているキャップ層(15)及び露出したホスト誘電体(11、14)の両方へ良好な選択性で除去されることから、フォトレジストが保護マスクとして用いられる。

【0078】

高kキャップ層(15)は、ホスト誘電体(11)の上部に堆積される。このように、基板(10)の全体は、高kキャップ層で覆われる。フォトレジスト(16)は、標準の方法でコートされる。その後、レジスト(16)は、高kキャップ層(15)上で、例えばDyOが後に除去されるべきウエハの領域から取り除かれる。残っているレジストは、DyOキャップ層(15)エッチング/除去用の保護マスクとして用いられる。DyO除

10

20

30

40

50

去の化学的作用は、非常に小さな厚さの変化がk値における大きな変化をもたらす場合があるので、キャップ層(15)へのレジストパターンの良好な形成/移動が保証されかつ下にあるホスト誘電体層(11)の方へ選択的になされるように、フォトリソ(16)保護マスクをそのままにするように選択される。DyOの除去後、パターン化されたレジスト保護層(16)は、除去されるべきである。このレジスト除去のプロセスは、ホスト誘電材料(11)及び高kキャップ層(15)に選択的になるように選択される。

【0079】

高kキャップ層(DyO)除去

特定の実施形態では、 HfO_2 、 HfSiO 、 HfSiON 、又は同様の高k層からDyO系のキャップ層(15)(図21を参照)を選択的に取り除くために、低pH溶液が使用される。図17は、酸性化された溶液において、DyO、 DyScO 及びLaOのエッチング速度を示す。

10

【0080】

希釈されたHCl溶液のような酸は、評価された。しかしながら、ここに記載された実施形態は、HCl系の溶液の使用に制限されない。 HNO_3 、 H_3PO_4 、 H_2SO_4 、 HBr 、酢酸、ギ酸、プロピオン酸のような他の希釈された酸を用いることができる。

【0081】

概念を実証するために用いられるHCl希釈の例としては、水9にHCl1の割合である。これは、約3.6 w/w%、つまり約1.2 M(mol/l)の濃度、又は約0のpHを意味する。より広い濃度範囲が有益であり、pH範囲は、pH0~pH5であり、より好ましくはpH0~pH4である。実験では、温度は25であったが、他の温度もまた使用可能である。低い温度は、反応速度を減少させる可能性があり、一方、高い温度は、高kキャップ層の除去を加速する。

20

【0082】

DyO除去の実験は、ピーカー、及び市販の単一のウエハー・スプレー・ツール中で行われた。しかしながら、その方法は、これらのツール・タイプ又はカテゴリーに制限されるものではなく、バッチ・スプレー・プロセッサ、又は再循環槽もまた使用可能であろう。

【0083】

希釈されたHFは、DyO(もし他の酸と組み合わせが必要ならば)を除去するために使用可能であるが、これは、レジストハードマスクのパターンの完全な損失を引き起こす可能性があり、Hf系の高k材が使用されたならば、下にあるホスト誘電体を攻撃することから、本発明の実施形態による完成アプローチの中で用いることはできない。HCl及びHF/HCl(0.03 M/1.2 M)の溶液は、DUVレジストとのそれらの互換性に関する単一のウエハー・ツール上でチェックされる。図22は、HCl及びHF/HCl化学的作用でのDUV(遠紫外線)レジストの互換性を示す。図18(a)は、非処理のレジスト特性、つまりリソグラフィパターンング後で、ウェットエッチング腐食液にさらす前のSEMの断面を示し、図18(b)は、HF/HCl処理されたレジスト特性を示し、図18(c)は、HCl処理されたレジスト特性を示す。HF/HClプロセスの後、レジストパターンの損失が観察されることは明らかである。SEMの平面で、検査も行なわれており、同じ結果であった。これは、エッチング混合物としてのHFの制限された使用を示している。

30

40

【0084】

図23は、DyO除去のエッチング速度を要約している。エッチング速度実験は、25の温度で、HCl(3.6 w/w%)で、単一のウエハースピンプロセッサ・ツールで行なわれた。方法の順番は、希釈されたHCl(dHCl)への露出、水でのすすぎ、回転乾燥だった。観察されるように、DyO層は、dHCl内で容易に除去される。エッチング速度は、比較的高い。また、図17に示されるデータから認識可能なように、より薄められたHClは、より信頼でき、より製造可能な値へエッチング速度を減少させるであろう。

50

【0085】

DyOを除去するために用いられる溶液は、ホスト誘電体層を実質的にそのままにしておくべきである。異なるホスト誘電体層(HfO₂、HfSiON、SiON)は、25の温度で、希釈されたHCl(3.6w/w%)溶液にさらされた。その結果は、図24に要約されている。テストされたホスト誘電体層は、本質的にふれられず、その結果、表1に要約されるように優れた選択性となる。

【0086】

表1: 3.7w-%のHCl溶液及びフォトレジストハードマスクを用いて異なるホスト誘電体への高kキャップ層除去の選択性。

【0087】

【表1】

キャップ:	ホスト誘電体:		
	HfO ₂	SiON	HfSiON
DyO	2000	850	460
DyScO	>3600	>1500	>180

【0088】

図36は、選択的なDyOキャップ除去後にnFETsを、基準ウエハ(つまりいずれの選択的なウェットエッチングプロセス無しに新たなHfSiON又は新たなDyO/HfSiONを備えたnFETs)と比較することにより、同様のV_{fb}及びT_{inv}変化を示している。2つのゲート誘電体を有するnFETsに関して、図37は、DyOキャップ層により約180mVのV_t低下を示し、これは、CVデータ(図36)と一致している。

【0089】

フォトレジスト除去

非常に低いpHを有するので、業界基準のSPM清浄液は、用いることができない。上述から判るように、これは、このステップで望まないDyOを除去するのに理想的である。

【0090】

中性又はアルカリ性の水性ストリッパ、又は非水性のストリッピング溶液が好ましくは用いられる。中性又はアルカリ性pHの水性ストリッピング溶液の場合、酸化成分は、フォトレジストを酸化させて、かつそれを可溶性にするのに存在する必要がある。本発明の実施形態では、有機系の溶剤ストリッパの使用を主張する。レジストは、多くの溶剤に溶解可能であり、仮のリストを含むが、1-メトキシ-2-プロパノール、2-ブタノール、アセトニトリル、アセチルアセトン、シクロヘキサノン、ジメチルスルフォキシド(DMSO)、酢酸エチル、メチルイソブチルケトン(MIBK)、N-エチルピロリドン(NEP)、N-メチルピロリドン(NMP)、テトラヒドロフラン(THF)、テトラヒドロフルフリラルコール(THFA)に限定されるものではない。

【0091】

そのようなレジストストリッパ調剤は、市販されている(例えばFujifilmからのMicrostrip 2001)。本発明では、例としてこのレジストストリッパ調剤が使用され、ピーカー内で希釈されずに調整され、80に加熱された。高温での他のアプローチが恐らく同様に可能であろう。用いられる順番は、Microstrip 2001へ浸し、10分の水でのすすぎ、及びMarangoniによる乾燥だった。

【0092】

SEMの平面で、レジスト除去速度が検査され、レジストは1分以内で完全に除去されることが観察された。プロセスウインドウを確立するため、ホスト誘電体と高kキャップ層のこの化学作用での互換性が検査された。80でのMicrostrip 2001(ピーカー調整

10

20

30

40

50

)に関する結果は、図25に示されている。20分の時間枠では、テストされたいずれの層においても、厚さの低下(損失)はほとんど観察されない。レジスト除去が1分未満にて達成されることから、このことは、ホスト誘電体又は高kキャップ層を損傷することなく、レジストの十分な過剰エッチングを可能にする。

【0093】

レジスト除去は、静的なタンク内で行われるが、再循環槽内でも可能であり、単一ウエハ又はバッチスプレープロセッサで行われる。レジストの洗浄効率を向上させるため、メガソニック放射又は流体ジェットスプレー(例えば、Nano Spray - ナノ組織材料の熱スプレー)によるような物理的な除去力が、レジスト除去プロセスの間、使用可能である。

【0094】

さらに、有機溶媒によるレジストの除去後、ウエハ表面からレジスト又は溶媒のいずれかから残余の汚れをさらに除去するために、追加の水性系(低又はアルカリpH)の洗浄溶液が使用可能である。そのような水性系の洗浄液は、室温又は高い温度でNH₄OH/H₂O₂/H₂Oの混合物を含むことができる。これは、静的なタンク内でなすことができるが、再循環槽内でも可能であり、単一ウエハ又はバッチスプレープロセッサで行われる。レジストの洗浄効率を向上させるため、メガソニック放射又は流体ジェットスプレー(例えばNano Spray)によるような物理的な除去力が、このプロセスの間、使用可能である。

【0095】

上述の説明は、本発明のある実施形態を詳細である。しかしながら、たとえどのように詳しく説明が本文においてなされていても、本発明は、多くの方法で実施されるであろう。ある特徴、又は本発明の態様を説明するときの特別な用語の使用は、その用語が関連する本発明の態様又は特性の特定の特徴を含むことに限定されるように、その用語が再定義されているということの意味するようには取られるべきではないことに注意すべきである。

【0096】

種々の実施形態に適用されるように、上述の詳細な説明が本発明の新規な特徴を示し、記載し、指摘しているが、示されたデバイスやプロセスの形態や詳述における様々な省略、代用及び変更は、本発明の精神から逸脱することなく当業者によってなされるであろうことが理解されるであろう。

【図面の簡単な説明】

【0097】

【図1】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図2】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図3】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図4】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図5】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図6】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高kキャップ層堆積、及びこの高kキャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図7】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高

10

20

30

40

50

k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 8】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 9】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 10】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

10

【図 11】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 12】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 13】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

20

【図 14】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 15】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 16】2つのプロセス統合フローが模式的に表わされている。各プロセスフローは、高 k キャップ層堆積、及びこの高 k キャップ層の選択的除去によるゲート誘電体埋め込みのステップを備える。

【図 17】本発明の実施形態に係る、領域 I I (p m o s) 上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。

30

【図 18】本発明の実施形態に係る、領域 I I (p m o s) 上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。

【図 19】本発明の実施形態に係る、領域 I (n m o s) 上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。

【図 20】本発明の実施形態に係る、領域 I (n m o s) 上のパターン化されていないゲート電極を介するゲート誘電体埋め込みを示す。

【図 21】酸性化された溶液で、特に希釈された H C l にて、D y O、D y S c O 及び L a O の 10 n m 厚の層のエッチング速度をそれぞれ示す。

【図 22】H C l 及び H F / H C l 化学での D U V レジストの互換性を示す。図では、図 18 において (a) は未処理のサンプルを示し、(b) は H F / H C l で処理されたサンプルを示し、(c) は H C l で処理されたサンプルを示す。

40

【図 23】S W スプレーツールにおける 25 ° C の温度で d H C l (3 . 6 w / w %) での D y を含む酸化物の除去を示す。

【図 24】S W スプレーツールにおける 25 ° C の温度で d H C l (3 . 6 w / w %) との高 k 層の互換性を示す。

【図 25】ピーカー・セット・アップにおける 80 ° C でマイクロストリップ 2001 と高 k 層及び高 k キャップ層の互換性を示す。

【図 26】本発明の実施形態に従い、D y O で覆った H f S i O N 上の N i F U S I 電極の仕事関数 W F (V f b) をプロットしている。

50

【図27】本発明の実施形態に従い、NiSi / FUSI / DyO / HfSiONゲートスタックのXTEMを示す。

【図28】DyO層キャップ層の有、無でのHfSiON上のFUSIデバイスの高周波キャパシタンス電圧(HFCV)測定の結果を示す。

【図29】短いチャネルデバイス(Lg = 100nm)のためのDyOキャップ層の有無でのHfSiON n-FETのId-Vg曲線をプロットしている。

【図30】HfSiON又はDyO / HfSiON誘電体を備えたn-FETに関するチャネル長(Lg)の関数としてのスレショルド電圧(Vt, sat)をプロットしている。

【図31】HfSiON又はDyO / HfSiON誘電体を備えたnFETに関するチャネル長(Lg)対ゲートリーク(JG)をプロットしている。

【図32】ソース/ドレイン活性化の後、NiSi / DyO (0.5nm) / SiON (2nm)ゲートのXTEMを示す。

【図33】DyOキャップ層の有無でのnFETs NiSi / SiONのHFCV測定の結果を示す。

【図34】SiON又はDyO / SiONの誘電体を備えたnFETに関するチャネル長(Lg)対ゲートリーク(JG)をプロットしている。

【図35】SiON又はDy / SiONの誘電体を備えたnFETに関するスレショルド電圧(Vt, sat)対チャネル長(Lg)をプロットしている。

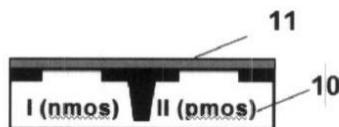
【図36】基準ウエハと、選択的なDyOキャップ層除去後の同じウエハとに関するC-V曲線間の比較をプロットしている。

【図37】ゲート電流(Ig)対2つのゲート誘電体(同じウエハ上の)を有するMIPS nFETsのゲート電圧(Vg)をプロットしている。

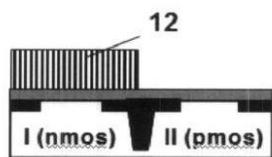
10

20

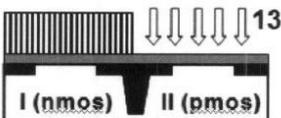
【図1】



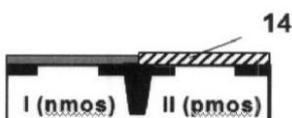
【図2】



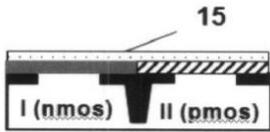
【図3】



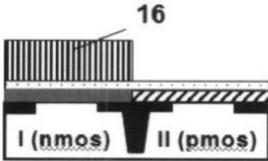
【図4】



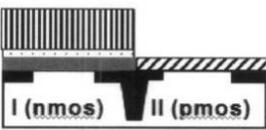
【 図 5 】



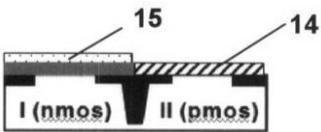
【 図 6 】



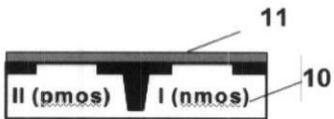
【 図 7 】



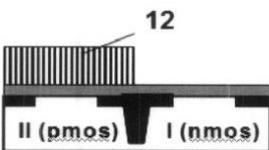
【 図 8 】



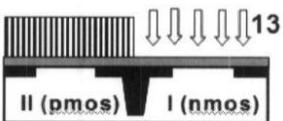
【 図 9 】



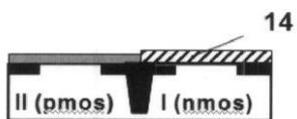
【 図 10 】



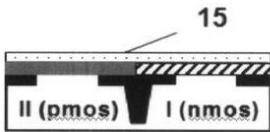
【 図 11 】



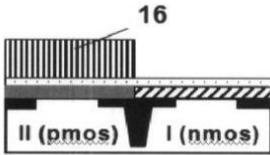
【 図 12 】



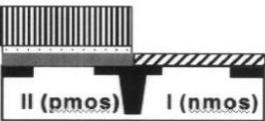
【 図 1 3 】



【 図 1 4 】



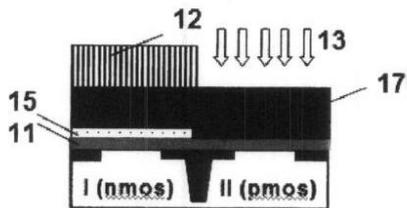
【 図 1 5 】



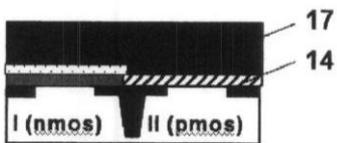
【 図 1 6 】



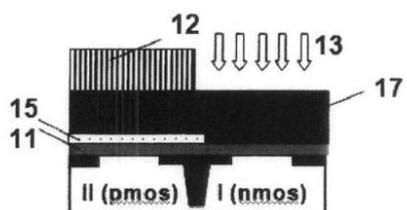
【 図 1 7 】



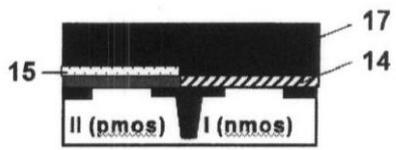
【 図 1 8 】



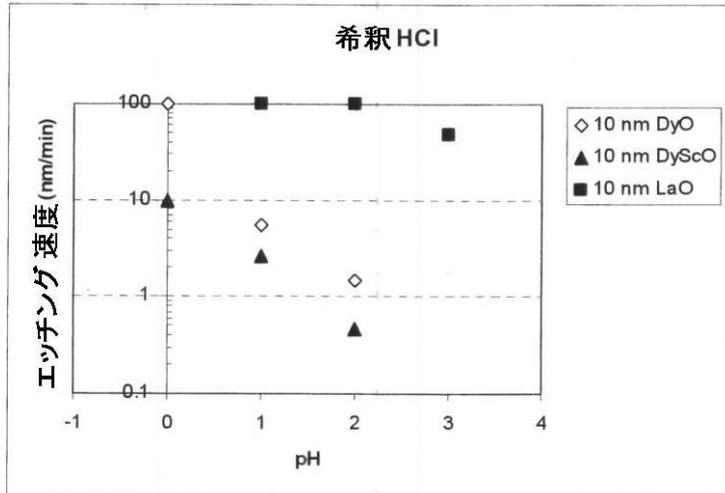
【 図 1 9 】



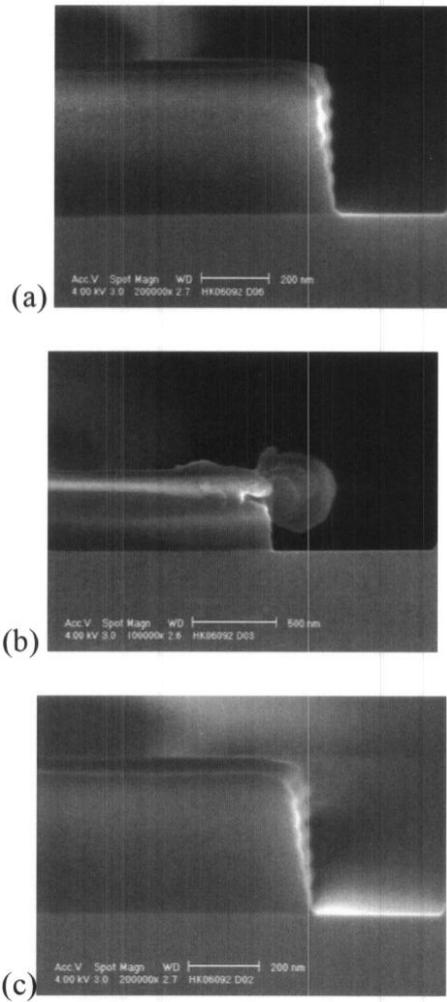
【 図 2 0 】



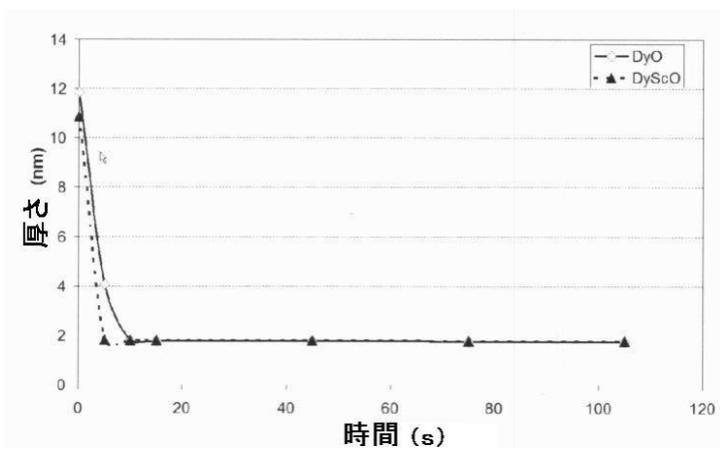
【 図 2 1 】



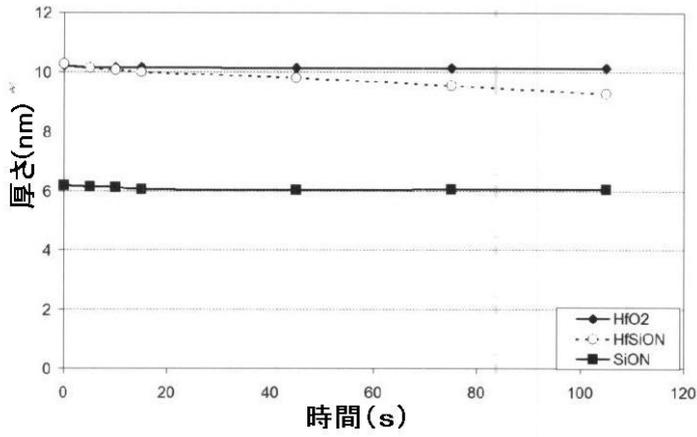
【 図 2 2 】



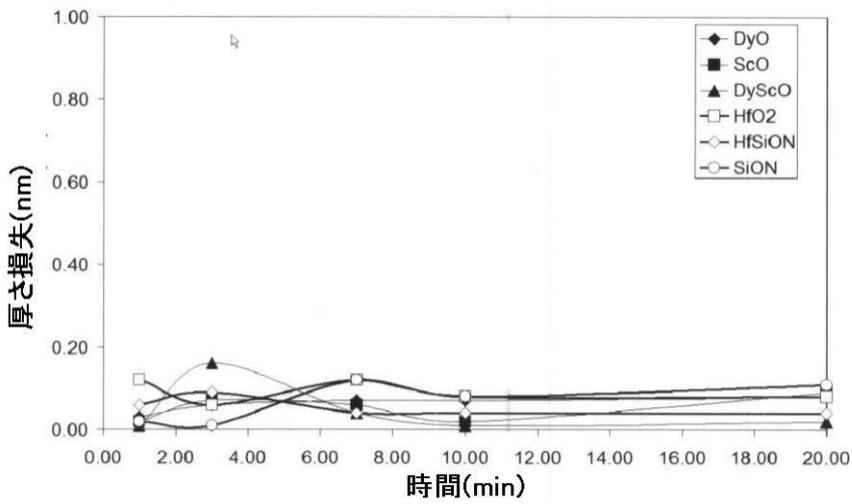
【 図 2 3 】



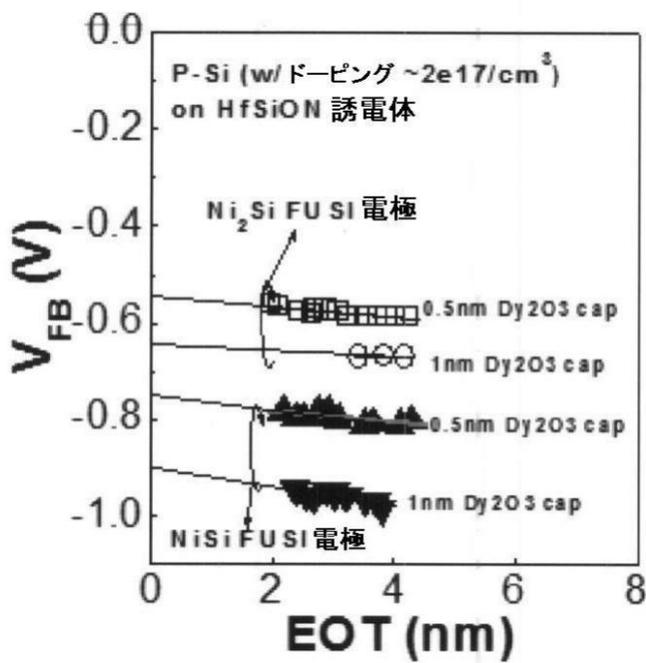
【 図 2 4 】



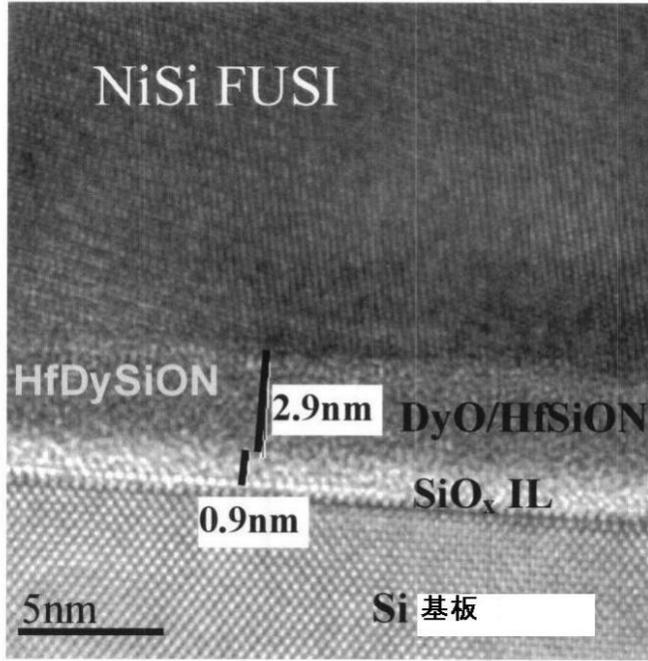
【 図 2 5 】



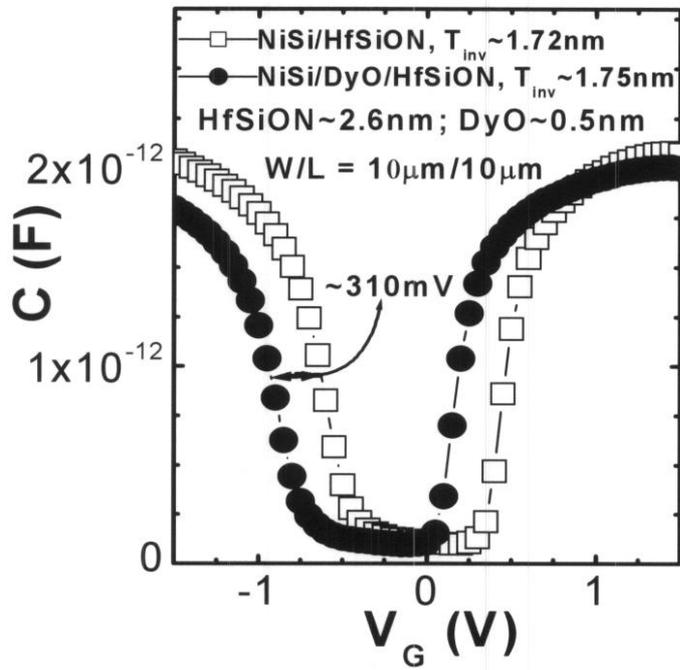
【 図 2 6 】



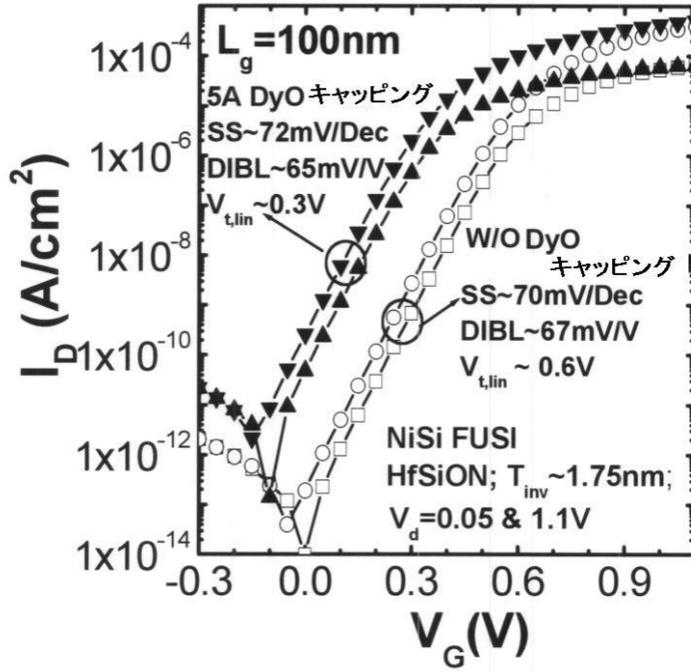
【 图 2 7 】



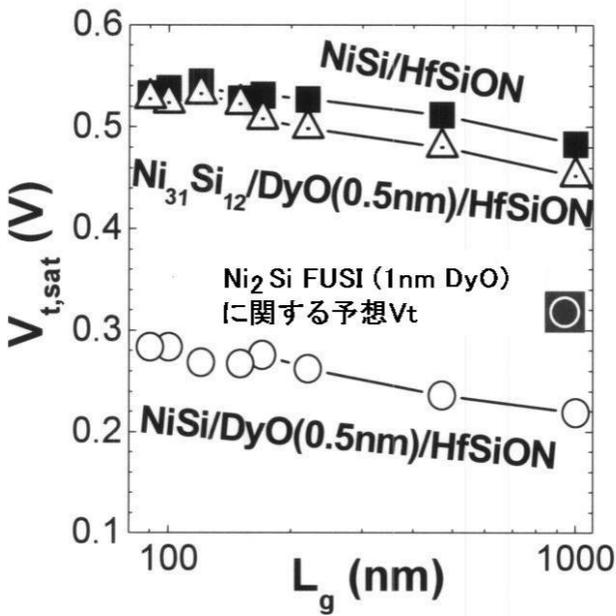
【 图 2 8 】



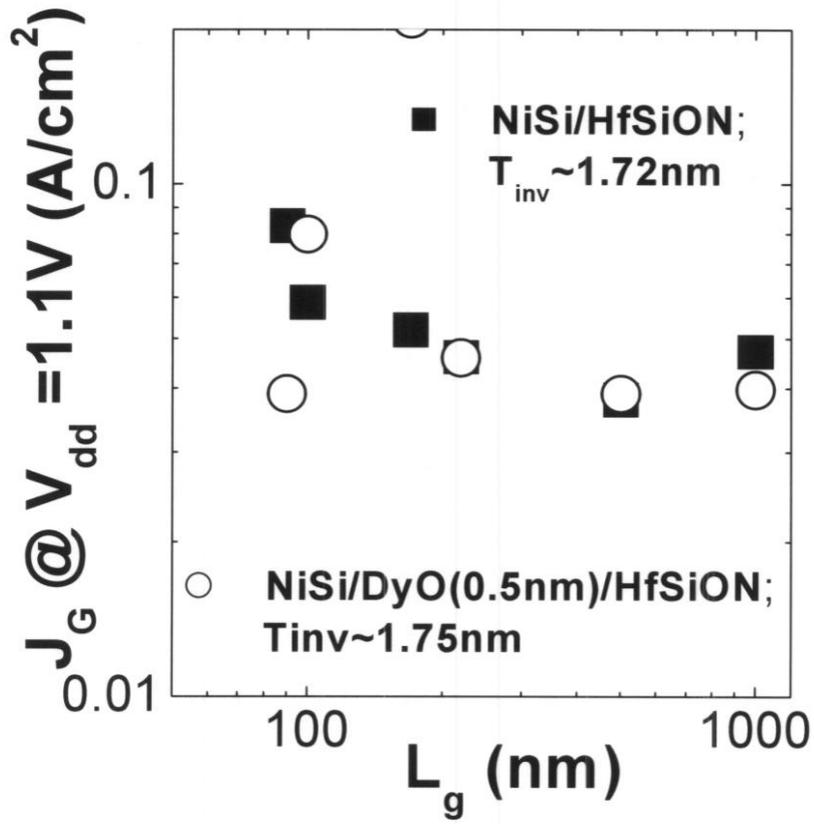
【 図 2 9 】



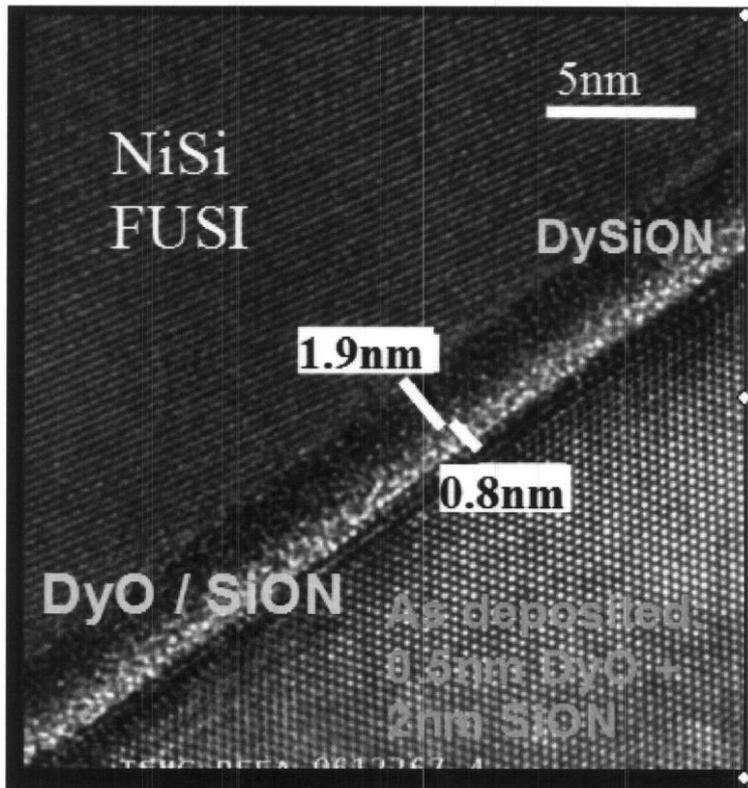
【 図 3 0 】



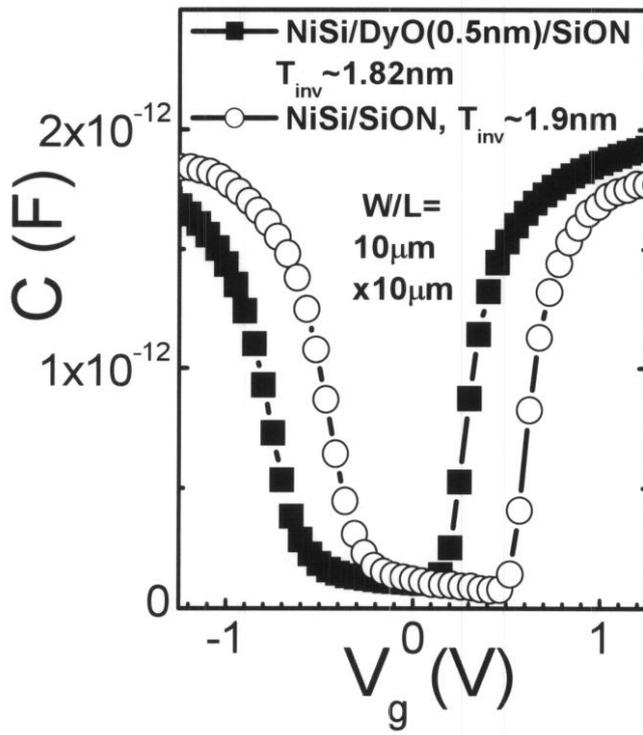
【 図 3 1 】



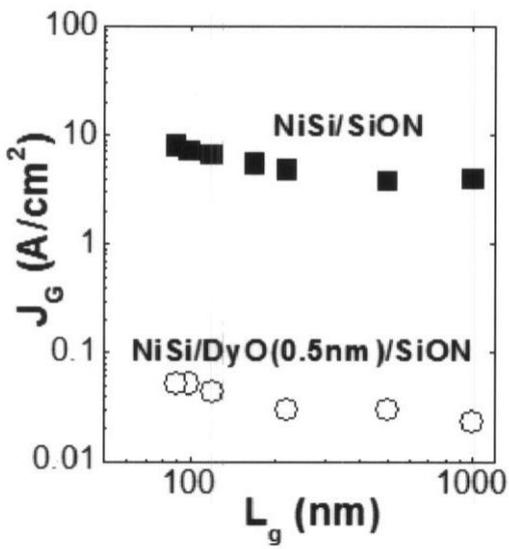
【 図 3 2 】



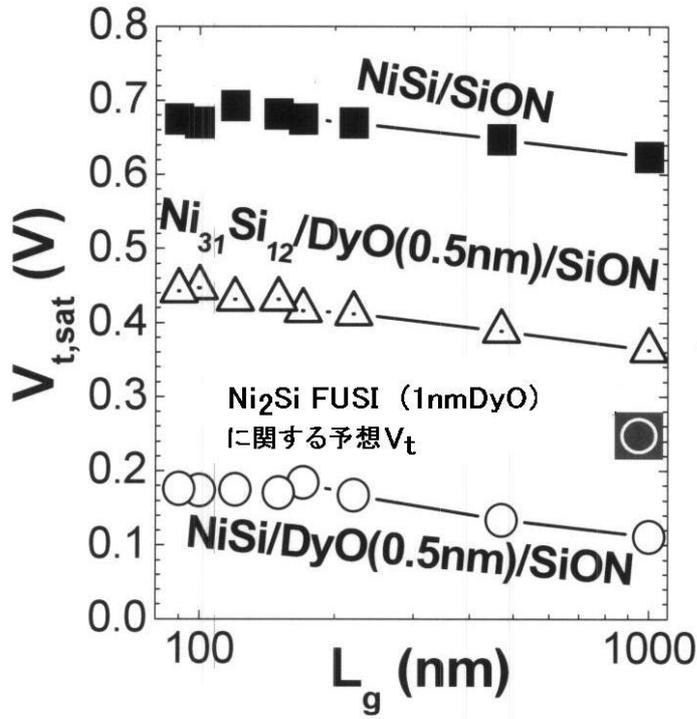
【 図 3 3 】



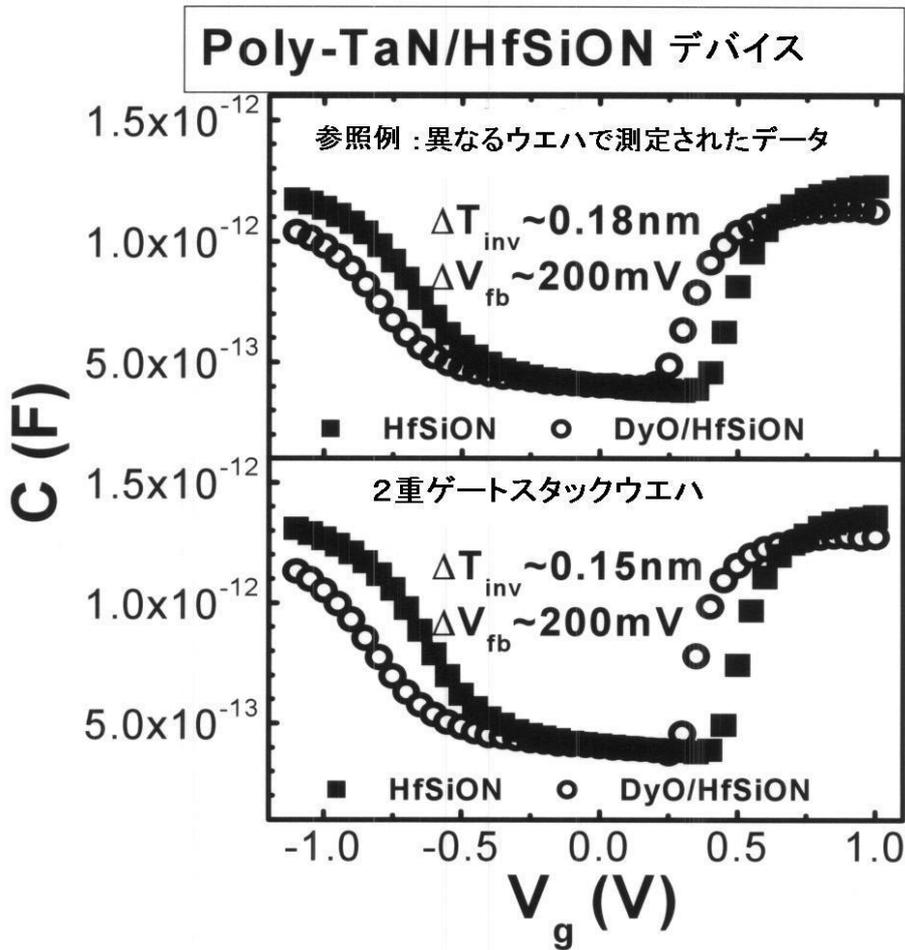
【 図 3 4 】



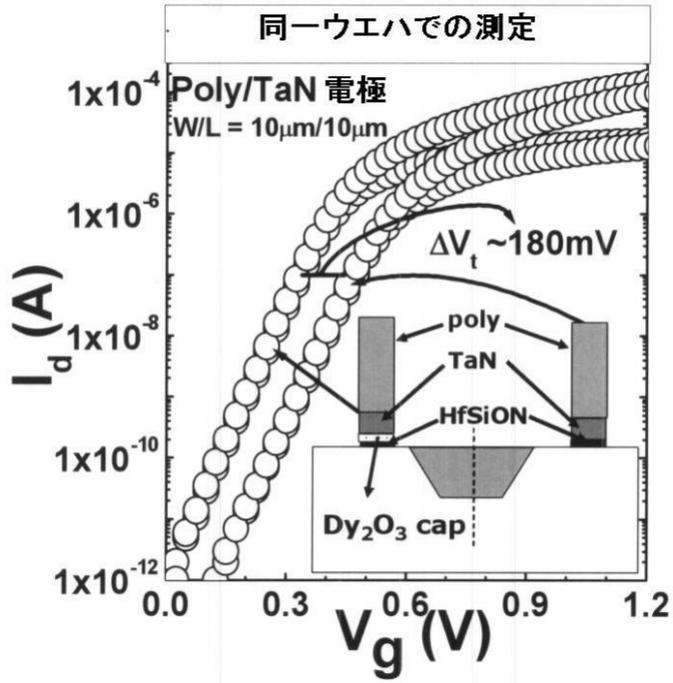
【 図 3 5 】



【 図 3 6 】



【 図 3 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/283 (2006.01) H 0 1 L 21/314 M
H 0 1 L 29/78 (2006.01)
H 0 1 L 21/314 (2006.01)

(71)出願人 507350912
 タイワン・セミコンダクター・マニュファクチャリング・カンパニー・リミテッド
 Taiwan Semiconductor Manufacturing Company L
 t d .
 台湾 3 0 0 - 0 7 7 シンチュ、リ - シン・ロード 6 番 8

(74)代理人 100101454
 弁理士 山田 卓二

(74)代理人 100081422
 弁理士 田中 光雄

(74)代理人 100112911
 弁理士 中野 晴夫

(72)発明者 チャン・ショウ - ゼン
 ベルギー、ベー - 3 0 8 0 テルフレン、ロケルトラン 2 5 番

(72)発明者 ユ・ホン・ユ
 ベルギー、ベー - 3 0 0 1 ルーヴァン、テルフルセフェスト 2 1 / 0 0 4 7 番

(72)発明者 アナベラ・ベロソ
 ベルギー、ベー - 3 0 0 1 ルーヴァン、コーニング・レオポルト・デ・デルデ・ラン 2 6 番、ブ
 ス 2 0 4

(72)発明者 リタ・フォス
 ベルギー、ベー - 3 1 2 8 トレモ口、フィラドレーフ 1 4 番

(72)発明者 ステファン・クビセック
 ベルギー、ベー - 3 2 1 2 ペレンベルク、ロヴェルト 2 0 番

(72)発明者 セルジュ・ピースマン
 ベルギー、ベー - 3 0 0 0 ルーヴァン、アルブレヒト・ブレイン 4 ブス 3 0 2 番

(72)発明者 ラグナス・シンガナマラ
 ベルギー、ベー - 3 0 0 1 ヘフェルレー、セレスティネンラン 6 5 / 8 8 番

(72)発明者 アンネ・ラウウェルス
 ベルギー、ベー - 2 6 3 0 アールトセラル、ヘレンボスラン 5 6 番

(72)発明者 バルト・オンシア
 ベルギー、ベー - 1 0 3 0 シャールベーク、ルイ・ベルトラン・ラン 1 2 1 番

F ターム(参考) 4M104 AA01 AA02 AA04 AA05 AA09 BB01 BB19 BB20 BB21 BB22
 BB30 BB32 BB34 BB36 BB38 BB39 BB40 CC05 DD26 DD78
 DD84 EE03 EE12 EE14 EE16 EE17 FF13 FF14 GG09 GG10
 GG14
 5F043 AA37 AA38 BB25
 5F048 AC03 BA01 BB04 BB05 BB08 BB09 BB10 BB11 BB12 BB14
 BB17 BB18 BG12 BG13
 5F058 BA11 BA20 BC02 BC08 BC09 BC11 BC12 BD01 BD04 BD05
 BD10 BD15 BD16 BD18 BF02 BF06 BH11 BJ04
 5F140 AA06 AB03 BA01 BA03 BA05 BA07 BA08 BD01 BD04 BD09
 BD11 BD13 BD17 BF01 BF03 BF04 BF05 BF08 BF09 BF10
 BF11 BF15 BF38 BG32 CB01 CB04

【外国語明細書】

I

METHODS FOR MANUFACTURING A CMOS DEVICE WITH DUAL WORK FUNCTION

TECHNICAL FIELD OF THE INVENTION

5 The present invention relates to methods for manufacturing a CMOS device with dual work function.

BACKGROUND OF THE INVENTION

10 In order to make CMOS devices, one needs two distinctly different work functions (WF) for N-MOS and P-MOS transistor gate respectively. As the gate work function is mainly determined by the material used for the gate electrode, this dual work function requirement usually implies the use of two different materials, in particular two different metals, for a given gate dielectric. The process flow or integration of such dual metal approach is quite cumbersome and includes a large number of process steps.

15

SUMMARY OF THE INVENTION

20 With regard to the present invention, methods are disclosed to form a CMOS device with dual work function, the methods providing a simplified process flow with reduced number of process steps. For both P- MOS and N-MOS transistors it is proposed to use the same material for the gate electrodes and to adjust the work function of the respective transistor gates. This may be done by (1) implantation of the gate dielectric or (2) insertion of a dielectric capping layer in between the gate electrode and the host gate dielectric material, and/or (3) implantation of the host gate electrode prior to fully silicided (FUSI) gate formation. Embodiments of the present invention
25 may be applied in particular to devices with FUSI gates.

30 In a first aspect, the present invention provides a method for manufacturing a dual workfunction semiconductor device. The method comprises providing a device on a first region and a device on a second region of a substrate. According to embodiments of the present invention, this is done by
- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on

the second region and therefore having the same properties, e.g. same material, same thickness, etc., and

- providing a gate electrode on top of the dielectric layer on both the first and second regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region and therefore having the same properties, e.g. same material, same thickness, etc.

The method according to embodiments of the first aspect of the present invention further comprises

changing the workfunction of the device on the first region by providing a capping layer onto the first region between the dielectric layer and the gate electrode, and changing the workfunction of the device on the second region by including species at the interface between the dielectric layer and the electrode.

An advantage of embodiments of the present invention is that no selective removal of gate material is required. A common conductive, e.g. metal or FUSI, gate electrode may be used for both nmos and pmos devices. This reduces or even eliminates potential problems at the N+/P+ boundary compared to prior art methods when a dual-phase FUSI CMOS scheme – e.g. NiSi for nmos and Ni-rich for pmos – is used. In the latter case, the length of the interface between NiSi (nmos) and Ni-rich (pmos- gate electrodes can be of concern for very high density applications. In case of a common (i.e. same phase) FUSI electrode for both nmos and pmos, as in accordance with embodiments of the present invention, this problem/concern is solved. Furthermore, use of Ni-rich FUSI for both nmos and pmos leads to a higher process window for the FUSI CMOS integration process, hence with further advantages for manufacturability.

In accordance with embodiments of the present invention, the workfunction is thus changed by adapting the gate dielectric. This may be done by capping and implanting as described in more detail below, while keeping the equivalent oxide thickness (EOT) low, preferably as low as possible. This EOT requirement implies that not just anything can be deposited or implanted.

In embodiments of the present invention, the device on the first region is an N-MOS device. In embodiments of the present invention, the device on the second region is a P-MOS device.

In embodiments of the present invention, including species at the interface between the dielectric layer and the electrode may be performed before providing the gate electrode on top of the dielectric layer. In alternative embodiments, including species at the interface between the dielectric layer and the electrode may be performed
5 after electrode formation.

A method according to embodiments of the present invention may furthermore comprise providing a capping layer onto the second region between the dielectric layer and the gate electrode. This way, a double capping is provided for protection of the dielectric layer during implantation.

10 A method according to embodiments of the present invention may furthermore comprise providing a further capping layer for protecting the gate integrity during processing of the devices.

In a method according to embodiments of the present invention, including species at the interface between the dielectric layer and the electrode may comprise
15 introducing species by ion implantation. The introduced species are work-function tuning elements. Introducing species by ion implantation comprises providing a resist layer on specific locations of the dielectric layer, and performing ion implantation in regions not covered by the resist layer.

A method according to embodiments of the present invention may further
20 comprise tuning of pre and/or post capping layer deposition nitridation conditions for further tuning the workfunction of the semiconductor device.

In a method according to embodiments of the present invention, capping may be performed by means of DyO. Such DyO capping layer may be removed by means of a selective wet etch. The selective wet etch may be performed by means of a HCl-based
25 solution with a low pH. The pH-value of the selective wet etch solution can be lower than 5, more preferably between 2 and 4.

In a method according to embodiments of the present invention, the gate electrode may be a FUSI electrode.

In a second aspect, embodiments of the present invention provide a method for
30 removing a DyO layer, the method comprising performing a selective wet etch. The selective wet etch may be performed by means of a HCl-based solution. Advantageous

is that such HCl-based solution allows to selectively etch the DyO layer, a.o. towards HfSiON or SiON layers.

In a third aspect, the present invention provides a dual workfunction semiconductor device, comprising semiconductor devices of a first type and
5 semiconductor devices of a second type. Each semiconductor device comprises:

- a gate dielectric on a substrate, and
- a gate electrode on the gate dielectric,

wherein the gate electrodes of the semiconductor devices of the first type are integrally deposited with the gate electrodes of the semiconductor devices of the second type, and
10 therefore having the same properties, e.g. same material, same thickness, etc., and wherein the gate dielectric of the semiconductor devices of the first type is different from the gate dielectric of the semiconductor devices of the second type in that it is made of a same basic material, but including different species at the interface between the dielectric layer and the electrode.

15

BRIEF DESCRIPTION OF THE DRAWINGS

In Figs 1 to 8 and figs 9 to 16 two process integration flows are schematically represented. Each process flow comprises the steps of gate dielectric implantation followed by high-k cap layer deposition and selective removal of this high-k cap layer.

20 Fig. 17 and Fig 18 illustrate gate dielectric implantation through the unpatterned gate electrode on region II (pmos) according to an embodiment of the present invention.

Fig. 19 and Fig. 20 illustrate gate dielectric implantation through the unpatterned gate electrode on region I (nmos) according to an embodiment of the present invention.

25 Fig. 21 illustrates the etch rate of 10 nm thick layers of DyO, DyScO and LaO, respectively, in acidified solutions, in particular in diluted HCl.

Fig. 22 illustrates the compatibility of DUV resist with HCL and HF/HCL chemistry. In Fig. 18 (a) shows an untreated sample, (b) shows a sample treated with HF/HCl, and (c) shows a sample treated with HCl.

30 Fig. 23 illustrates the removal of Dy-containing oxides in dHCl (3.6 w/w %) at a temperature of 25°C in a SW spray tool.

Fig. 24 illustrates the compatibility of high-k layers with dHCl (3.6 w/w %) at a temperature of 25°C in a SW spray tool.

Fig. 25 illustrates the compatibility of high-k layers and high-k cap layers with microstrip 2001 at 80°C in a beaker set-up.

5 Fig. 26 plots the workfunction WF (V_{fb}) of a Ni FUSI electrode on HfSiON capped with DyO in accordance with embodiments of the present invention.

Fig. 27 shows an XTEM of a NiSi FUSI/DyO/HfSiON gate stack in accordance with embodiments of the present invention.

10 Fig. 28 illustrates results of high frequency capacitance-voltage (HFCV) measurements of FUSI devices on HfSiON with or without DyO layer cap layer.

Fig. 29 plots Id-Vg curves of HfSiON n-FET's with or without DyO cap layer for short channel devices ($L_g = 100\text{nm}$).

Fig. 30 plots the threshold voltage ($V_{t,sat}$) as function of channel length (L_g) for n-FETs with HfSiON or DyO/HfSiON dielectrics.

15 Fig. 31 plots gate leakage (J_G) vs. channel length (L_g) for nFETs with HfSiON or DyO/HfSiON dielectrics.

Fig. 32 shows an XTEM of a NiSi/DyO(0.5nm)/SiON(2nm) gate after Source/Drain activation.

20 Fig. 33 shows results of HFCV measurements of nFETs NiSi/SiON with and without DyO cap layer.

Fig. 34 plots gate leakage (J_G) vs. channel length (L_g) for nFETs with SiON or DyO/SiON dielectrics.

Fig. 35 plots threshold voltage ($V_{t, sat}$) vs. channel length (L_g) for nFETs with SiON or Dy/SiON dielectrics.

25 Fig. 36 plots a comparison between the C-V curves for a reference wafer and the same wafer after selective DyO cap layer removal.

Fig. 37 plots gate current (I_g) versus gate voltage (V_g) of MIPS nFETS having dual gate dielectrics (on the same wafer).

The present invention will be described with respect to particular embodiments and with reference to certain drawings but the invention is not limited thereto but only by the claims. The drawings described are only schematic and are non-limiting. In the drawings, the size of some of the elements may be exaggerated and not drawn on scale
5 for illustrative purposes. The dimensions and the relative dimensions do not correspond to actual reductions to practice of the invention.

Furthermore, the terms first, second, third and the like in the description and in the claims, are used for distinguishing between similar elements and not necessarily for describing a sequence, either temporally, spatially, in ranking or in any other manner. It
10 is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other sequences than described or illustrated herein.

Moreover, the terms top, bottom, over, under and the like in the description and the claims are used for descriptive purposes and not necessarily for describing relative
15 positions. It is to be understood that the terms so used are interchangeable under appropriate circumstances and that the embodiments of the invention described herein are capable of operation in other orientations than described or illustrated herein.

It is to be noticed that the term “comprising”, used in the claims, should not be interpreted as being restricted to the means listed thereafter; it does not exclude other
20 elements or steps. It is thus to be interpreted as specifying the presence of the stated features, integers, steps or components as referred to, but does not preclude the presence or addition of one or more other features, integers, steps or components, or groups thereof. Thus, the scope of the expression “a device comprising means A and B” should not be limited to devices consisting only of components A and B. It means
25 that with respect to the present invention, the only relevant components of the device are A and B.

Similarly, it is to be noticed that the term “coupled”, also used in the claims, should not be interpreted as being restricted to direct connections only. The terms
“coupled” and “connected”, along with their derivatives, may be used. It should be
30 understood that these terms are not intended as synonyms for each other. Thus, the scope of the expression “a device A coupled to a device B” should not be limited to

devices or systems wherein an output of device A is directly connected to an input of device B. It means that there exists a path between an output of A and an input of B which may be a path including other devices or means. "Coupled" may mean that two or more elements are either in direct physical or electrical contact, or that two or more
5 elements are not in direct contact with each other but yet still co-operate or interact with each other.

Reference throughout this specification to "one embodiment" or "an embodiment" means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present
10 invention. Thus, appearances of the phrases "in one embodiment" or "in an embodiment" in various places throughout this specification are not necessarily all referring to the same embodiment, but may. Furthermore, the particular features, structures or characteristics may be combined in any suitable manner, as would be apparent to one of ordinary skill in the art from this disclosure, in one or more
15 embodiments.

Similarly it should be appreciated that in the description of exemplary embodiments of the invention, various features of the invention are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the disclosure and aiding in the understanding of one or more of the
20 various inventive aspects. This method of disclosure, however, is not to be interpreted as reflecting an intention that the claimed invention requires more features than are expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are hereby expressly incorporated into this detailed
25 description, with each claim standing on its own as a separate embodiment of this invention.

Furthermore, while some embodiments described herein include some but not other features included in other embodiments, combinations of features of different
30 embodiments are meant to be within the scope of the invention, and form different embodiments, as would be understood by those in the art. For example, in the following claims, any of the claimed embodiments can be used in any combination.

Furthermore, some of the embodiments are described herein as a method or combination of elements of a method that can be implemented by a processor of a computer system or by other means of carrying out the function. Thus, a processor with the necessary instructions for carrying out such a method or element of a method forms
5 a means for carrying out the method or element of a method. Furthermore, an element described herein of an apparatus embodiment is an example of a means for carrying out the function performed by the element for the purpose of carrying out the invention.

In the description provided herein, numerous specific details are set forth. However, it is understood that embodiments of the invention may be practiced without
10 these specific details. In other instances, well-known methods, structures and techniques have not been shown in detail in order not to obscure an understanding of this description.

The invention will now be described by a detailed description of several embodiments of the invention. It is clear that other embodiments of the invention can be
15 configured according to the knowledge of persons skilled in the art without departing from the true spirit or technical teaching of the invention, the invention being limited only by the terms of the appended claims.

In embodiments of the present invention, the term "substrate" may include any underlying material or materials that may be used, or upon which a device, a circuit or
20 an epitaxial layer may be formed. In other alternative embodiments, this "substrate" may include a semiconductor substrate such as e.g. doped silicon, a gallium arsenide (GaAs), a gallium arsenide phosphide (GaAsP), an indium phosphide (InP), a germanium (Ge), or a silicon germanium (SiGe) substrate. The "substrate" may include for example, an insulating layer such as a SiO_2 or a Si_3N_4 layer in addition to a
25 semiconductor substrate portion. Thus, the term substrate also includes silicon-on-glass, silicon-on sapphire substrates. The term "substrate" is thus used to define generally the elements for layers that underlie a layer or portions of interest. Also, the "substrate" may be any other base on which a layer is formed, for example a glass or metal layer.

A substrate, e.g. a semiconductor substrate (10) comprises 2 different areas (N-
30 MOS area I and P-MOS area II) and has an exposed surface. The exposed surface of the semiconductor substrate (10) comprises at least two different areas of a

semiconductor material, which areas (I, II) are separated from each-other. These areas (I, II) are typically known as active areas, while the separation in-between is typically known as field insulation (LOCOS) or shallow trench insulation (STI). In one type of area (I), typically known as p-type active area, an N-MOS transistor is to be formed, while in the other type of area (II), typically known as n-type active area, a P-MOS transistor is to be formed. On the exposed surface of the substrate, a host gate dielectric (11) is deposited as shown in Figures 1 and 9. The host gate dielectric (11) can for example be SiO₂, SiON; HfO₂, HfSiO, HfSiON; ZrO₂, ZrSiO, ZrSiON; a bi-layer (like HfO₂/SiO₂), or a ternary dielectric, like HfZrO, HfZrSiO, HfLaO, HfLaSiO.

One type of the substrate areas may then optionally be covered with photoresist (12) as shown in Figures 2 and 10. In an exemplary embodiment, area (I) is covered with this photosensitive layer (12) in the embodiment illustrated by Figures 1-8 while the other area type (II) remains exposed. However, depending on the choice of the gate dielectric and the way the work function of the transistor gate is adjusted, e.g. ion implantation in the gate dielectric, intermediate layer between gate dielectric and gate electrode or a combination of both, one can choose to cover the other type of area (II) and have the one area (I) exposed as shown in the embodiment illustrated by Figures 9-16.

Next the host gate dielectric in the exposed area (II, I) is implanted with selected implantation species (13) as shown in Figures 3 and 11. Preferentially the ion implantation species for NMOS may include the lanthanides (Yb, La, Dy, Er, Gd, Sc, etc.), or one of the dopants like P, As, Sb or combinations thereof like (Yb +P). For PMOS the ion implantation species may include Al, O, Ru, Pt, W, Mo, B or combinations thereof like (Al +B).

After implantation, the resist (12) is removed as shown in Figures 4 and 12 leaving behind on one of the areas (II, I) a dielectric layer with modified electrical properties (14) compared to the other dielectric layer (11) in the other area (I, II).

Next, as shown in Figures 5 and 13, optionally a high-k cap layer (15) may be deposited over both type of areas (I, II), i.e. on top of both the host dielectric layer (11) and the modified host dielectric layer (14). A high-k cap layer is a layer with a dielectric constant higher than that of SiO₂, i.e. higher than 4. The high-k cap layer (15) is then

selectively removed from the area (II, I) covered with the modified host dielectric layer (14), for example by using a patterned photoresist mask (16) as shown in Figures 6 and 14 and a selective wet-etch process as shown in Figures 7 and 15.

5 Figures 8 and 16 show the final gate dielectric stack after removal of the photoresist (16). Both the selective wet-etch of the high-k cap layer (15) and the photoresist (16) removal are selected to meet the strong requirements of gate dielectric processing, such as integrity of the gate dielectric thereby substantially preserving its dielectric characteristics. These process steps are in more detail described in separate embodiments.

10 After provision of the final gate dielectric stacks, the gate electrode is provided on top of the final gate dielectric stacks. In accordance with embodiments of the present invention, a gate electrode is integrally provided onto both gate stacks at the first and second areas, respectively, thus providing gate electrodes with same properties, e.g. same electrode material, same electrode thickness, etc.

15 Further three methods for gate work function tuning, when forming a CMOS device with the same gate electrode material for N-MOS and P-MOS transistor, are disclosed in accordance with embodiments of the present invention. These methods can be used per se or in combination.

20 (1) Work-function tuning by ion implantation into the host gate dielectric

The implantation (13) in the host gate dielectric (11) can be done before forming the gate electrode, e.g. a semiconductor gate electrode such as polycrystalline silicon or a metal gate electrode, as in Fig. 3 and in Fig. 11.

25 Alternatively the implantation (13) can be done through the unpatterned gate electrode, as in Fig. 17 and in Fig. 19. This means that the implantation can be performed before or after gate electrode formation. In the later case, the gate electrode (17) can consist of a single layer of electrode material, e.g. a semiconductor material or a metal, or can comprise a stack of layers, such as polysilicon with metal or a first metal with a second metal. In the latter case implantation through the gate electrode (17) into
30 the host gate dielectric (11) can proceed either after the first layer of the stack is

deposited on the host gate dielectric, or after a plurality of layers or even the total gate electrode stack is deposited.

The gate electrode can be either a semiconductor gate, such as a polysilicon gate, a metal gate with low implantation stopping power such that implanted species
5 (13) can reach the host gate dielectric (11) even if low implant energy is used, a MIPS (polysilicon + metal gate stack), a fully silicided (FUSI) gate, or combinations of these different gate electrodes on N- and P-MOS respectively.

The method of tuning the work-function by ion implantation of the host gate dielectric (11) provides also a good way for equivalent oxide thickness (EOT) scaling
10 as, e.g. a thicker host gate dielectric (11) can be formed with good electrical properties while the dielectric properties of this high quality host gate dielectric (11) are modified afterwards.

Photoresist is used as protective mask during the ion implantation process (13). After photoresist removal, a post-ion implantation annealing is preferably required. This
15 anneal step has multiple purposes: 1) drive the implanted species to the targeted location for V_t tuning. This location can be either the host gate dielectric (11) or the interface between the gate electrode and the host dielectric (11); 2) facilitate the formation of the new gate dielectric (14) (as in Fig. 4, Fig.12, Fig. 18 and Fig. 20); 3) repair the possible damages in the gate dielectric (14) after the ion implantation.

20

(2) Work-function tuning by using a high-k dielectric cap layer between host gate dielectric and gate electrode

The cap layer (15) can be selectively deposited or selectively removed from the NMOS (I) or respectively, PMOS (II) area. Under suitable thermal budget (provided by
25 junction spike or laser anneal, for example), the cap layer can either interact with the host dielectric to form an intermixing dielectric or can show no intermixing with the host dielectric. The cap layer may also react with the electrode material.

The cap layer may be an oxide from the La-family oxides (YbO, DyO, LaO, ErO, GdO) or ScO for NMOS; and AlO for PMOS. Ternary or quaternary oxides like
30 DyScO, or combinations with Si or with N- incorporation (DyScON) are also considered.

The electrode can be either polysilicon gate, metal gate, MIPS (polysilicon + metal gate stack), fully silicided (FUSI) gate, or combinations of different gate electrodes on N- and P-MOS, separately. The method provides also a good way for EOT scaling.

5 The host gate dielectrics can be SiO₂, SiON; HfO₂, HfSiO, HfSiON; ZrO₂, ZrSiO, ZrSiON; bi-layers (like HfO₂/SiO₂), or ternary dielectric, like HfZrO HfZrSiO.

(3) Work-function tuning by ion implantation in the gate electrode prior to FUSI formation

10 By using ion implantation into a semiconductor gate electrode, and combined with both the thermal cycle and snow-plow effect during the FUSI process, the implanted species are pushed towards the interface between the gate electrode and host gate dielectric (11) where these implanted species react either with the host gate dielectric (11) or modify the interface between gate electrode and host gate dielectric.

15 When forming a fully silicided gate electrode by forming a metallic alloy due to the reaction between a semiconductor material and a silicide-forming metal, the species implanted in the semiconductor gate experience a lower solubility in the metallic alloy formed compared to the unreacted semiconductor material. Hence the implanted species are moved in front of the metallic alloy formed. This phenomenon is known as
20 snow-plow effect.

FUSI gate formation takes place through the reaction of poly-Si (a-Si, Si, SiGe, Ge), or doped poly-Si (a-Si, Si, SiGe, Ge) with one of the following metals: Ni, Co, Pt, NiPt, NiYb.

25 Preferentially the ion implantation species for NMOS may include the lanthanides (Yb, La, Dy, Er, Gd, Sc, etc.), or one of the dopants like P, As, Sb or combinations thereof like (Yb +P). For PMOS the ion implantation species may include Al, O, Ru, Pt, W, Mo, B or combinations thereof like (Al +B).

The host gate dielectrics can be SiO₂, SiON; HfO₂, HfSiO, HfSiON; ZrO₂, ZrSiO, ZrSiON; bi-layers (like HfO₂/SiO₂), or ternary dielectric, like HfZrO, HfZrSiO,
30 HfLaO, HfLaSiO.

Examples

Further several specific integration methods are disclosed to fabricate CMOS FETs using dual dielectric layers, i.e. by forming different gate dielectric layers for N-MOS and P-MOS transistor respectively, by using the work function tuning methods of the previous paragraphs.

Method 1: cap layer (15) on NMOS and ion implantation (13) on PMOS

Method 1 is illustrated in Figs 1 to 8. In Figure 1 a host dielectric (11) layer is deposited on a semiconductor substrate (10) comprising two different areas: (I) NMOS and (II) PMOS. The semiconductor substrate can for example be any of the following materials Si, SiGe, SOI, Ge, and III-V materials. The method can be applied to manufacturing of transistors with either planar or FinFET structure.

The host dielectric (11) may for example be one of the following SiON, HfSiON, HfO₂, HfSiO, ZrO₂, HfZrO, HfLaO, HfLaSiO. In a particular embodiment the host dielectric (11) is a thin SiON layer, with a thickness between 1- 20 Å.

The ion implantation species (13) for the PMOS area may be Al or O. No ion-implantation can be also an option, depending on the gate electrode choice, if a high-k cap layer (15) is formed on the NMOS area (I) in subsequent processing.

The high-k cap layer (15) is deposited on top of the host dielectric (11) and afterwards removed selectively from the PMOS area (II). The high-k cap layer (15) can be one of the following oxides: DyO, ScO, LaO, YbO, DyScO, DyYbO, DyLaO.

In a single gate electrode approach the gate electrode for both N-MOS and P-MOS transistor are integrally made, and thus have the same properties, i.e. a.o. are made from same material such as e.g. polysilicon, amorphous silicon or SiGe, Ni rich-FUSI, one of the following metal nitrides (TiN, TaN), metal carbides/carbo-nitrides (TaC, TaCN), metal oxi-(carbo)-nitrides (TaCNO, MoON, WON) or MIPS (one of the above metal electrodes with polysilicon cap layer on top), and having a same thickness.

Upon thermal annealing the final dielectric on the NMOS area (I) can be either a mix between the cap layer (15) and the host dielectric (11) or a stack consisting of two distinctive layers.

Method 2: cap layer (15) on PMOS and ion implantation (13) on NMOS

Method 2 is illustrated in Figs 9 to 16. In Figure 9 a host dielectric (11) layer is deposited on a semiconductor substrate (10) comprising two different areas: (I) NMOS
5 and (II) PMOS. The semiconductor substrate can for example be any of the following materials Si, SiGe, SOI, Ge, and III-V materials. The method can be applied to manufacturing of transistors with either planar or FinFET structure.

The host dielectric (11) may be for example one of the following SiON, HfSiON, HfO₂, HfSiO, ZrO₂, HfZrO, HfLaO, HfLaSiO. In a particular embodiment
10 the host dielectric (11) is a thin SiON layer with the thickness between 1-20Å.

The ion implantation species (13) for the NMOS area (I) may be one of the following Yb, La, Dy, Er, Gd, Sc, P, As, Sb, No implantation can be also an option, depending on the gate electrode choice, if a high-k cap layer (15) is formed on the PMOS area (II) in subsequent processing.

15 The high-k cap layer (15) deposited on top of the host dielectric (11) and removed selectively from the NMOS area (I) can be AlO or AlN or a combination thereof like AlON. No cap can be an option depending on the choice of the gate electrode if an implantation is performed in the host gate dielectric (11) in the NMOS area (II) during previous processing.

20 In a single gate electrode approach the gate electrode for both N-MOS and P-MOS transistor are integrally made and thus have the same properties, i.e. a.o. are made from same material such as e.g. can be polysilicon, amorphous silicon or SiGe, Ni rich -FUSI, one of the following metal nitrides (TiN, TaN), metal carbides/carbo-nitrides (TaC, TaCN), metal oxi-(carbo)-nitrides (TaCNO, MoON, WON) or MIPS
25 (one of the above metal electrodes with poly capping layer on top) , and having a same thickness.

Upon thermal annealing the final dielectric on the PMOS area (II) can be either a mix between the cap layer (15) and the host dielectric (11) or a stack consisting of two distinctive layers.

30

Method 3: cap layer (15) on PMOS and cap layer (15') on NMOS

A third method which is a combination of method 1 and method 2 is also provided. The method uses a first high-k cap layer for the NMOS area (I) as in method 1 and a second, different, high-k cap layer for the PMOS area (II) as in method 2. In this embodiment the cap layers are formed selectively on the NMOS (I) and PMOS (II) area respectively. This can be done e.g. by depositing a first cap layer and selectively removing this first cap layer from one area, e.g. NMOS (I), followed by the depositing of a second cap layer and selectively removing this second cap layer from the first cap layer in the other area, e.g. PMOS (II). In this embodiment no implantation is used, the targeted work functions are obtained by using two different cap layers for the NMOS (I) and PMOS (II) area, respectively.

The materials choice for the substrate, the host dielectric (11), the cap layers (15) and the gate electrode are according to method 1 and method 2.

Single FUSI gate electrode - dual dielectric process integration flow

In a particular embodiment, a simplified method for CMOS integration is described. The method is suitable for a wide V_t range, inclusive high performance applications (low V_t). The method uses a high-k cap layer on top of a host dielectric layer on the NMOS devices and a single-phase Ni-rich FUSI electrode formed simultaneously on both NMOS and PMOS devices.

The method takes advantage of the fact that by use of a thin high-k cap layer (e.g., DyO, ScO, LaO) on top of the host gate dielectric, the work function (WF) can be modulated such that low- V_t n-type electrode can also be achieved with a Ni-rich FUSI. The host gate dielectric may for example be one of the following materials: SiO₂, SiON or high-k materials such as HfSiON. With high-k dielectric is meant a dielectric having a dielectric constant which is higher than the dielectric constant of SiO₂, i.e. higher than 4. The dielectric constant of such high-k dielectric is preferably in the range of 10 to 40, preferably 15 to 30.

Results of an embodiment using a DyO cap layer on the NMOS devices and a single phase Ni-rich FUSI gate electrode are given hereinbelow.

In the CMOS integration flow proposed, the high-k cap layer 15 is selectively removed from the PMOS devices as in Fig. 1-8, and a Ni-rich FUSI phase is afterwards

simultaneously formed for NMOS and PMOS devices. The selective removal of the high-k cap layer and the subsequent photoresist strip make the object of a separate embodiment of this invention.

Further gate work function modulation (for p or n-type devices with Ni-rich FUSI gate electrodes) can be achieved by means of implantation of workfunction-tuning elements into the dielectric layers of devices not covered by a capping layer, such as for example Al for PMOS or P/Yb for NMOS. Pre- and/or post high-k cap deposition nitridation conditions tuning can also be used for further tuning the work function.

A further advantage of the single phase FUSI (Ni-rich) gate electrode for both NMOS and PMOS devices is that it eliminates the potential problems at the boundary between NMOS gate electrode and PMOS gate electrode when a dual-phase FUSI CMOS scheme is used. With a silicide phase, a predetermined type of a particular metal silicide is meant, i.e. metal rich (silicon poor) or metal poor (silicon rich) silicide. In the case of dual-phase FUSI, the length of the interface region between NiSi (NMOS) and Ni-rich (PMOS) gate electrodes can be of concern for very high density applications. In case of the single phase FUSI electrode for both NMOS and PMOS as in embodiments of the present invention, this interface problem is solved.

The use of a Ni-rich phase FUSI for both NMOS and PMOS also leads us to a higher process window for the FUSI CMOS integration process, hence with further advantages for manufacturability.

Experiment

Short channel nFET devices with NiSi or Ni₃Si₂ FUSI gate were fabricated using a self-aligned CMP-based approach. Optimized MOCVD HfSiON (2.3nm) or thermal SiON (2 nm) was deposited as host dielectrics. An ultra-thin DyO cap layer (5Å) was then deposited by AVD® using Dy(EDMDD)₃ and O₂ precursors at 550°C. MOSCAPs with slant etching SiO₂ surface (3-7nm) were used to evaluate the eWF of both NiSi or Ni₂Si FUSI with 5 or 10Å DyO.

HfSiON with DyO cap layer

From the plot of V_b vs. EOT (Fig.26), it can be seen that with a DyO cap layer the effective WF of Ni FUSI on HfSiON is modulated towards Si conduction band edge, depending on the DyO thickness and the phase of Ni silicide. In Fig.27, an XTEM of FUSI/DyO/HfSiON gate stack indicates the complete intermixing between HfSiON and DyO after full device fabrication. Using high frequency capacitance-voltage (HFCV) measurements (Fig.28), the thickness T_{inv} of the HfSiON or DyO/HfSiON dielectrics is determined to be $\sim 1.72\text{nm}$ or 1.75nm respectively. Well-behaved short channel devices ($L_g = 100\text{nm}$) drain current versus gate voltage (I_d - V_g) curves are demonstrated in Fig.29 with good subthreshold slope (SS) of $\sim 70\text{mV/Dec}$ for both HfSiON and DyO/HfSiON devices with NiSi FUSI electrode. In addition, both devices exhibit a similar Drain Induced Barrier Lowering (DIBL) value ($\sim 65\text{mV/V}$), suggesting their good short channel effect. It has been observed that applying the DyO cap results in a threshold voltage (V_t) reduction of the NiSi FUSI devices with 300mV , corresponding to their CV data (Fig.28). In Fig.30, the devices with DyO/HfSiON stack maintain a similar V_t roll-off characteristics to the reference HfSiON devices. The V_t of the long channel devices (with channel length $L_g = 1\mu\text{m}$) with NiSi/DyO/HfSiON stack is 0.22V , satisfying the low V_t requirement.

It is well known that Ni rich FUSI is a good pFET electrode candidate due to its high work function (WF) especially on HfSiON. It is thus interesting to note that in Fig 30, with a 5\AA DyO cap layer, the V_t of $\text{Ni}_{21}\text{Si}_{12}$ FUSI nFETs turns out to be $\sim 30\text{mV}$ lower than that of NiSi FUSI. In the same figure, if one uses a 1nm DyO cap, the V_t of a Ni₂Si FUSI nFET is predicted to be $\sim 0.35\text{V}$. In combination with N or F channel implantation, this data demonstrates the feasibility to realize low V_t FUSI/HfSiON CMOS using a single phase Ni₂Si gate. In Fig.31, no mobility or gate leakage (inversion) degradation is observed when using a DyO cap on HfSiON for all the devices with various L_g .

SiON with DyO cap layer

The XTEM (Fig.32) of DyO/SiON suggests a new DySiON silicate formation after full device fabrication. The extent of WF lowering of Ni FUSI on SiON using DyO cap relies on the cap thickness and silicide phase (inset of Fig.32). From HFCV of nFETs (Fig.33), it is interesting to note the DyO cap leads to a reduction of SiON

thickness T_{inv} by $\sim 0.8\text{\AA}$, contrasting to the HfSiON case. From Fig.34, it can be seen that the DyO cap significantly reduces the gate leakage J_G (@Vdd=1.1V) compared to SiON (by $\sim 150x$) despite of its slightly thinner thickness T_{inv} . As can be seen from Fig.35, DyO cap does not degrade the threshold voltage (V_t) roll-off characteristics as compared to the reference SiON nFETs. With 5\AA DyO cap, the nFET $V_{t,lin}$ with NiSi/Ni₃₁Si₁₂ FUSI gate is 0.18V/0.38V respectively (channel length $L_g=1\mu\text{m}$). Considering Fig.32, the V_t of devices with 1nm DyO cap and with Ni₂Si FUSI gate is predicted to be $\sim 0.28\text{V}$. Combining the process of Al pre-doping for p-FETs or channel N/ F implantation, this data shows it is viable to realize low V_t FUSI/SiON CMOS using single phase Ni₂Si gate.

Selective wet etch of the high-k cap layer

In this embodiment, a wet etch solution is proposed that can remove DyO or DyScO based cap layers selectively towards underlying host dielectrics such as HfO, HfSiON_x, HfDyO_x, HfScO_x. Similar oxides from Lanthanides (including LaO) could be selectively removed with the proposed solution as well.

Different materials could be selected as protective mask for the selective removal process. In this specific embodiment photoresist is used as protective mask, since photoresist can be removed with good selectivity towards both the remaining cap layer (15) and the exposed host dielectric (11, 14).

The high-k cap layer (15) is deposited on top of the host dielectric (11). In this way the whole substrate (10) is covered with the high-k cap layer. Photoresist (16) is coated in a standard way. Thereafter the resist (16) is removed from the wafer areas where later on the high-k cap layer (15), e.g. DyO, should be removed. The remaining resist is used as a protective mask for the DyO cap layer (15) etching/removal. The DyO removal chemistry is selected to leave the photoresist (16) protective mask intact so that a good definition/transfer of the resist pattern to the cap layer (15) is ensured and to be selective towards the underlying host dielectric layer (11), because very minor thickness variation can cause big variations in k-value. After the DyO removal, the patterned resist protective layer (16) should be removed. This resist removal process is selected to be selective to the host dielectric material (11) and the high-k cap layer (15).

High-k cap layer (DyO) removal

In a specific embodiment use is made of low pH solutions to selectively remove DyO-based cap layers (15) (see Figure 21) from HfO_2 , HfSiO , HfSiON or similar high-k layers. Figure 17 shows the etch rate of DyO, DyScO and LaO in acidified solutions.

Acids, such as diluted HCl solutions, have been evaluated but the embodiments described herein are not restricted to the use of HCl based solutions. Other diluted acids can be used such as HNO_3 , H_3PO_4 , H_2SO_4 , HBr , acetic acid, formic acid, propionic acid.

As an example, the HCl dilution used to demonstrate the concept, was 1 part of HCl in 9 parts of water. This means a concentration of about 3.6 w/w %, or about 1.2 M (mol/l) or a pH of about 0. The useful concentration range can be broader and the pH range should be between pH 0 – pH 5, more preferably between pH 0 – pH 4. In the experiments the temperature was 25°C, but other temperatures will work as well. Lower temperature might decrease the reaction speed, while increased temperatures accelerate the high-k cap layer removal.

Experiments on DyO removal have been done both in beakers and in a commercially available single wafer spray tool. The method should, however, not be limited to these tool types or categories but could also be used in batch spray processors or re-circulating baths.

Diluted HF could also be used to remove DyO (if needed in combination with another acid) but cannot be used in an integration approach in accordance with embodiments of the present invention, since this can cause pattern integrity loss of the resist hardmask and also attacks the underlying host dielectric if HF-based high-k's are used. HCl and HF/HCl (0.03M / 1.2M) solutions were checked on a single wafer tool with regard to their compatibility with DUV resist. Figure 22 shows the compatibility of DUV (deep ultraviolet) resist with HCl and HF/HCl chemistry. Figure 18(a) shows a cross-section SEM of a non-treated resist feature, i.e. after lithographic patterning and before exposing to wet etchant, 18(b) a HF/HCl treated resist feature, and 18(c) a HCl treated resist feature. It is obvious that after the HF/HCl process, resist pattern loss is

observed. Top-view SEM inspections have also been performed and had the same outcome. This indicates the limited use of HF as etching mixture.

Figure 23 summarizes the etch rates for DyO removal. The etch rate experiments were performed on a single wafer spin processor tool with HCl (3.6 w/w %) at a temperature of 25°C. The recipe sequence was diluted HCl (dHCl) exposure, water rinse, spin dry. As can be observed, the DyO layer is easily removed in dHCl. The etch rate is relatively high and more diluted HCl would decrease the etch rate to a more reliable and manufacturable value, as can be learned from the data shown in Figure 17.

The solution used to remove the DyO should leave the host dielectric layer substantially intact. Different host dielectric layers (HfO₂, HfSiON, SiON) were exposed to a diluted HCl (3.6 w/w %) solution at a temperature of 25C. The results are summarized in Figure 24. The tested host dielectric layers remain essentially untouched resulting in excellent selectivities as summarized in Table 1.

15

Table 1: Selectivity of high-k cap layer removal towards different host dielectrics using 3.7 w-% HCl solution and photoresist hardmask.

Cap:	Host dielectric:		
	HfO ₂	SiON	HfSiON
DyO	2000	850	460
DyScO	>3600	>1500	>180

20

Fig.36 reveals a similar V_{fb} & T_{inv} variation by comparing nFETs after selective DyO cap removal to reference wafers (i.e. nFETs with fresh HfSiON or fresh DyO/HfSiON without any selective wet etching process). Regarding to the nFETs with dual gate dielectrics, Fig.37 shows a V_t reduction of ~180mV due to DyO cap layer, consistent with the CV data (Fig.36).

25

Photoresist removal

The industry standard SPM cleaning solutions cannot be used because they have a very low pH. This is, as learned from the above, ideal to remove DyO which is unwanted in this step.

30

A neutral or alkaline pH aqueous stripper or a non-aqueous stripping solution is preferably used. In case of a neutral or alkaline pH aqueous stripping solution, an oxidizing component needs to be present to oxidize the photoresist and to solubilize it. In embodiments of the present invention, the use is claimed of organic based solvent strippers. The resist can be dissolved in many solvents and a tentative list includes, but not limited by, 1-methoxy-2-propanol, 2-butanol, Acetonitrile, Acetylaceton, Cyclohexanon, Dimethylsulfoxide (DMSO), Ethylacetaat, Methylisobutylketon (MIBK), N-ethylpyrrolidon (NEP), N-methylpyrrolidon (NMP), Tetrahydrofuran (THF), Tetrahydrofurfurylcohol (THFA).

Such resist stripper formulations are commercially available (e.g. Microstrip 2001 from Fujifilm). In the present invention, this resist stripper formulation has been used, as an example, it undiluted in a beaker setup and heated at 80°C. Other approaches at higher temperature will probably work as well. The sequence used was Microstrip 2001 dip, 10 minute water rinse and Marangoni dry.

With top view SEM the resist removal rate has been examined and it has been observed that resist was completely removed within 1 minute. To establish a process window, the compatibility of the host dielectric and high-k cap layers with this chemistry was examined. The results for Microstrip 2001 at 80C (beaker set-up) are shown in Figure 25. In a time frame of 20 minutes almost no thickness reduction (loss) is observed for any of the layers tested. Since resist removal is complete in less than 1 minute, this allows enough overetching of the resist without compromising the host dielectric or the high-k cap layer.

The resist removal can be done in a static tank but also in re-circulating baths and on single wafer or batch spray processors. To enhance the resist cleaning efficiency, a physical removal force such as by megasonic irradiation or liquid jet spray (e.g. NanoSpray – thermal spraying of nanostructured materials) can be used during the resist removal process.

In addition, after removal of the resist by an organic solvent, an additional aqueous based (low or alkaline pH) cleaning solution can be used to further remove residual contamination from either the resist or the solvent from the wafer surface. Such an aqueous based cleaning solution can comprise of $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ mixtures at

room temperature or elevated temperature. This can be done in a static tank but also in re-circulating baths and on single wafer or batch spray processors. To enhance the cleaning efficiency, a physical removal force such as by megasonic irradiation or liquid jet spray (e.g. NanoSpray) can also be used during this process.

5 The foregoing description details certain embodiments of the invention. It will be appreciated, however, that no matter how detailed the foregoing appears in text, the invention may be practiced in many ways. It should be noted that the use of particular terminology when describing certain features or aspects of the invention should not be taken to imply that the terminology is being re-defined herein to be restricted to
10 including any specific characteristics of the features or aspects of the invention with which that terminology is associated.

 While the above detailed description has shown, described, and pointed out novel features of the invention as applied to various embodiments, it will be understood that various omissions, substitutions, and changes in the form and details of the device
15 or process illustrated may be made by those skilled in the technology without departing from the spirit of the invention.

Claims

- 1.- Method for manufacturing a dual workfunction semiconductor device, comprising providing a device on a first region and a device on a second region of a substrate by
- 5
- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on the second region, and
 - providing a gate electrode on top of the dielectric layer on both the first and second
- 10
- regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region and both the gate electrode on the first region and the gate electrode on the second region having a workfunction, the method further comprising
- changing the workfunction of the gate electrode on the first region by providing a
- 15
- capping layer onto the first region between the dielectric layer and the gate electrode and not onto the second region, and
 - changing the workfunction of the gate electrode on the second region by implanting species to introduce these species at the interface between the dielectric layer and the gate electrode in the second region and not in the first region.
- 20
- 2.- Method according to claim 1, wherein the device on the first region is an N-MOS device.
- 3.- Method according to any of the previous claims, wherein the device on the second region is a P-MOS device.
- 4.- Method according to any of the previous claims, wherein implanting species at
- 25
- the interface between the dielectric layer and the gate electrode is performed before providing the gate electrode on top of the dielectric layer.
- 5.- Method according to any of claims 1 to 3, wherein implanting species at the interface between the dielectric layer and the gate electrode is performed after gate electrode formation.

- 6.- Method according to any of the previous claims, wherein implanting species comprises providing a resist layer on specific locations of the dielectric layer, and performing ion implantation in regions not covered by the resist layer.
- 7.- Method according to any of the previous claims, wherein providing a capping layer is performed by providing a DyOx capping layer.
- 8.- Method according to claim 7, furthermore comprising removing the capping layer by means of a selective wet etch.
- 9.- Method according to claim 8, wherein the selective wet etch is performed by means of a low-pH solution with a pH lower than 5.
- 10.- Method according to any of the previous claims, wherein the gate electrode is a FUSI gate electrode.
- 11.- A dual workfunction semiconductor device, comprising devices of a first type and devices of a second type, each device comprising:
- a gate dielectric on a substrate, and
 - a gate electrode on the gate dielectric, the gate electrode having a workfunction,
- wherein the gate electrodes of the devices of the first type are integrally made with the gate electrodes of the devices of the second type, and wherein the gate dielectric of the devices of the first type is integrally made with the gate dielectric of the devices of the second type and wherein the dual workfunction semiconductor device furthermore comprises a capping layer in between the dielectric layer and the gate electrode of the devices of the first type and not in devices of the second type and implanted species at the interface between the dielectric layer and the gate electrode of the devices of the second type and not of the first type.

ABSTRACT

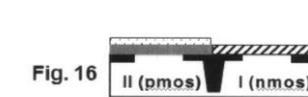
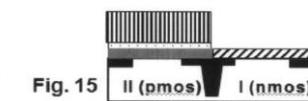
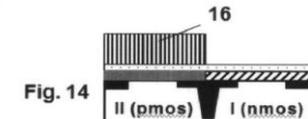
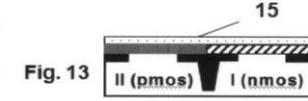
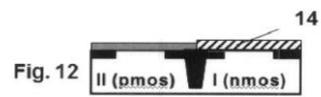
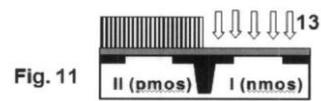
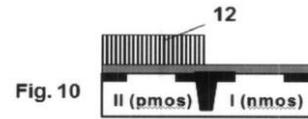
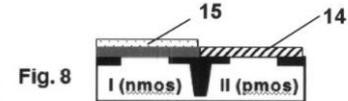
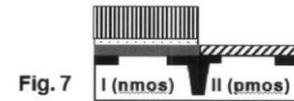
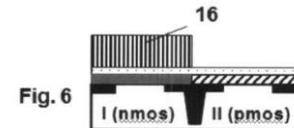
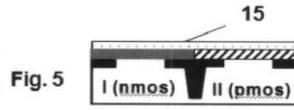
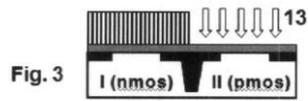
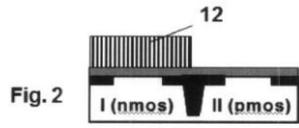
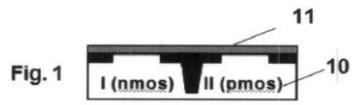
**METHODS FOR MANUFACTURING A CMOS DEVICE
WITH DUAL WORK FUNCTION**

- 5 The present invention provides a method for manufacturing a dual workfunction semiconductor device. The method comprises providing a device on a first region and a device on a second region of a substrate. According to embodiments of the present invention, this is done by
- providing a dielectric layer onto the first and second region of the substrate, the dielectric layer on the first region being integrally deposited with the dielectric layer on the second region, and
 - providing a gate electrode (17) on top of the dielectric layer on both the first and second regions, the gate electrode on the first region being integrally deposited with the gate electrode on the second region.
- 10
- 15 The method according to embodiments of the first aspect of the present invention further comprises
- changing the workfunction of the device on the first region by providing a capping layer (15) onto the first region (I) between the dielectric layer and the gate electrode (17), and
- 20 changing the workfunction of the device on the second region (II) by including species at the interface between the dielectric layer (14) and the electrode (17).

A corresponding dual workfunction semiconductor device is also provided.

+ Fig. 20

1/10



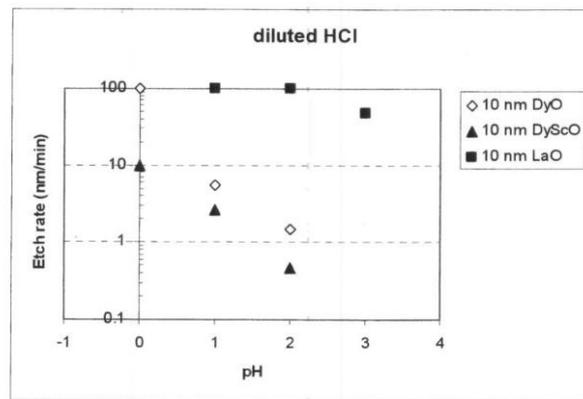
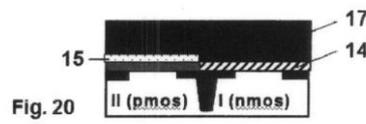
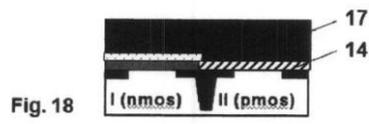
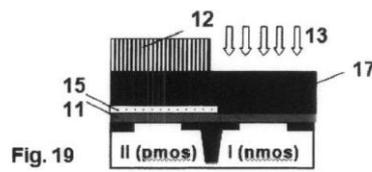
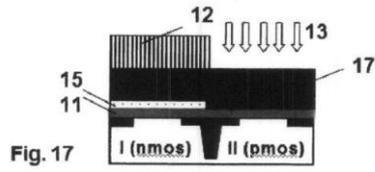


Figure 21

3/10

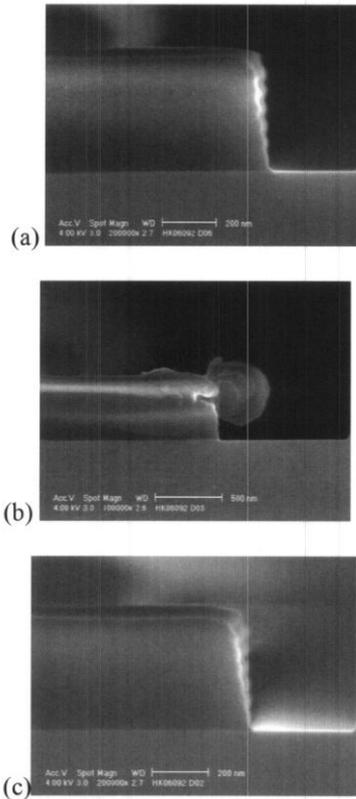


Figure 22

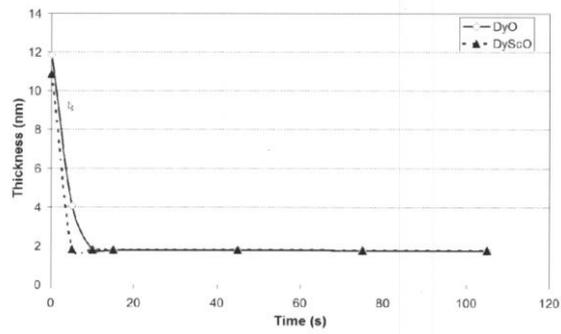


Figure 23

4/10

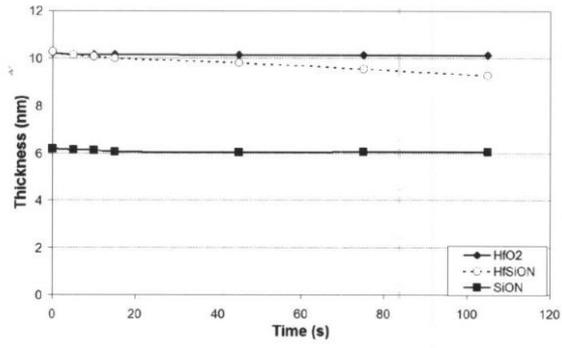


Figure 24

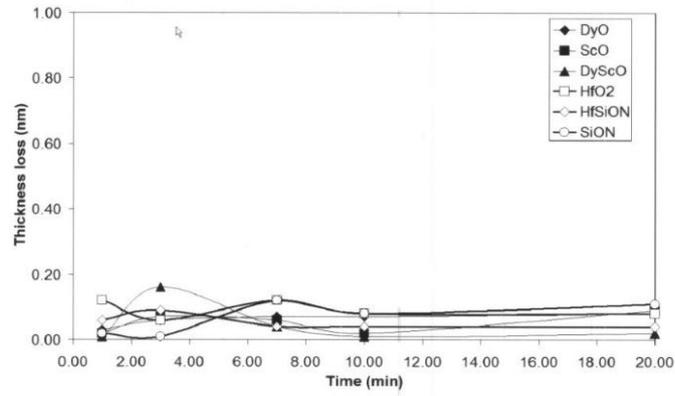


Figure 25

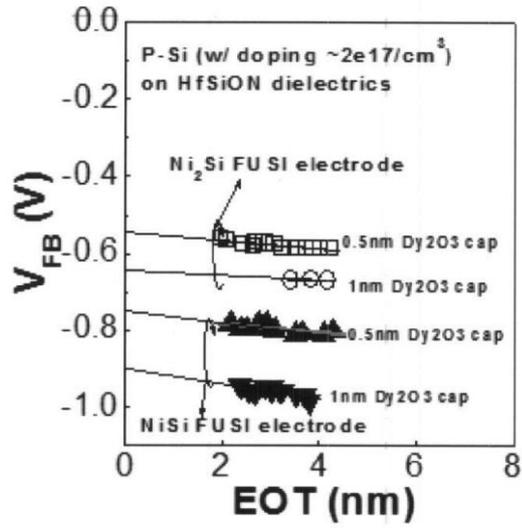


Figure 26

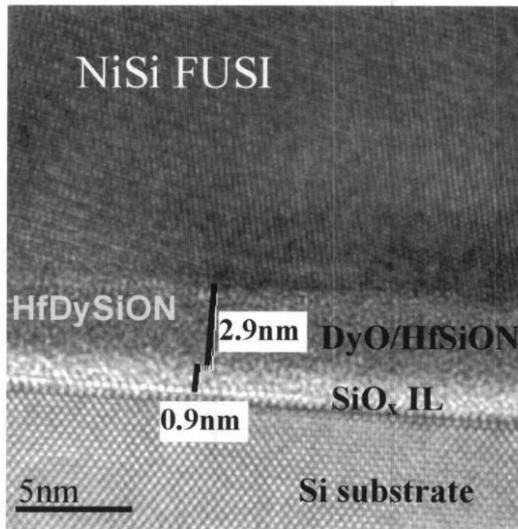


Figure 27

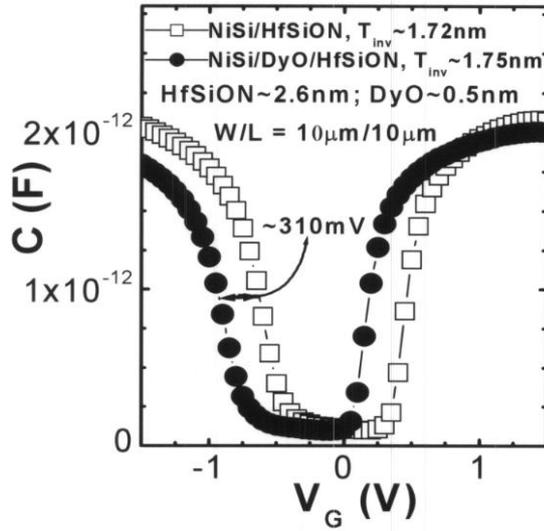


Figure 28

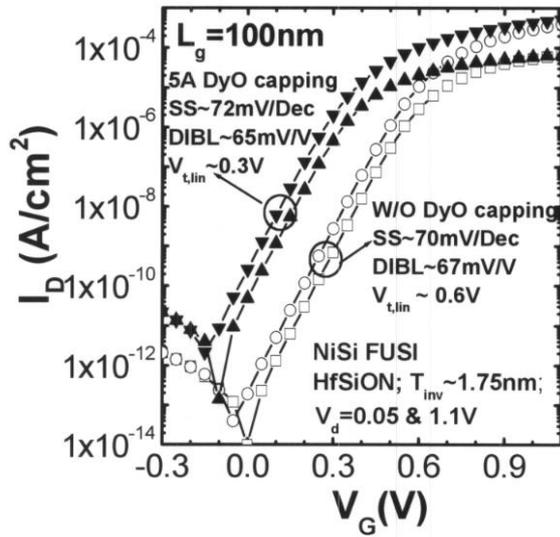


Figure 29

7/10

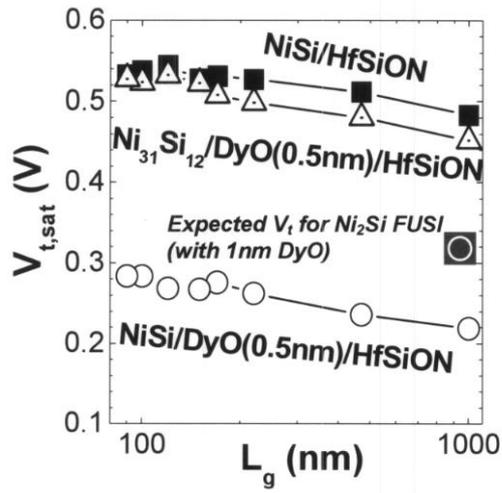


Figure 30

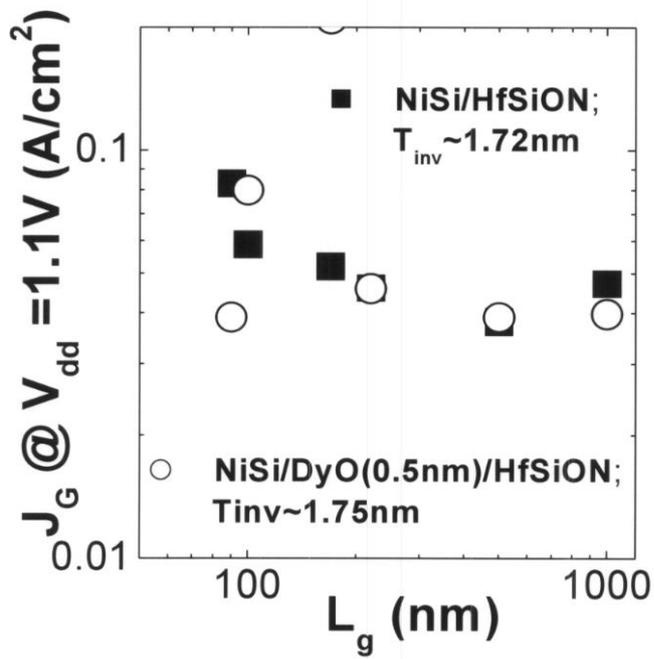


Figure 31

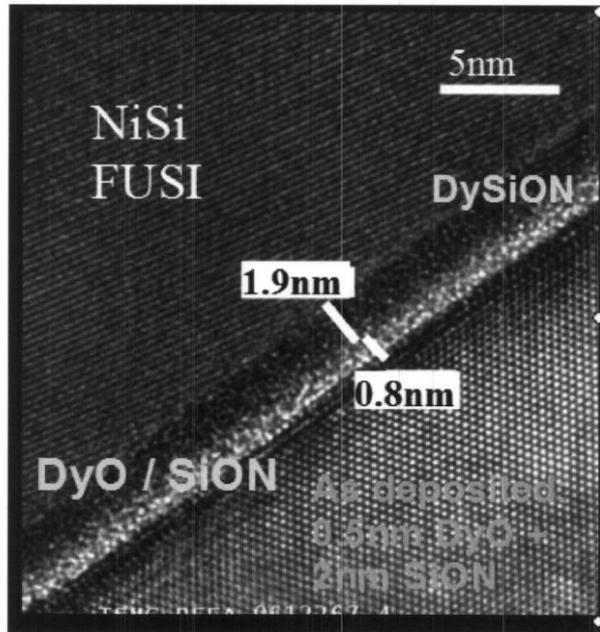


Figure 32

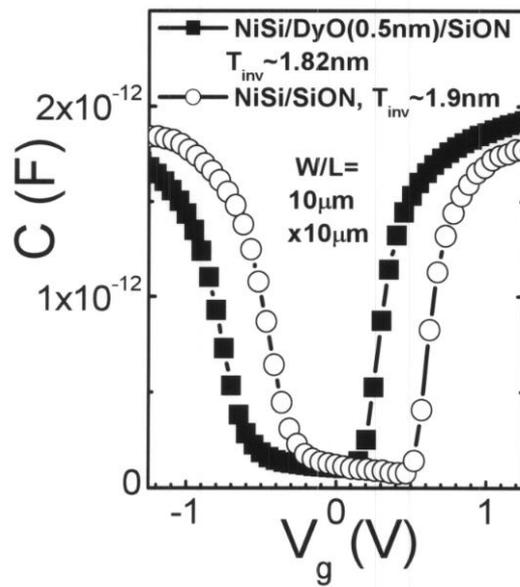


Figure 33

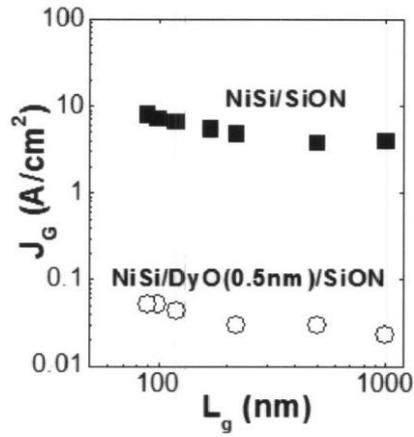


Figure 34

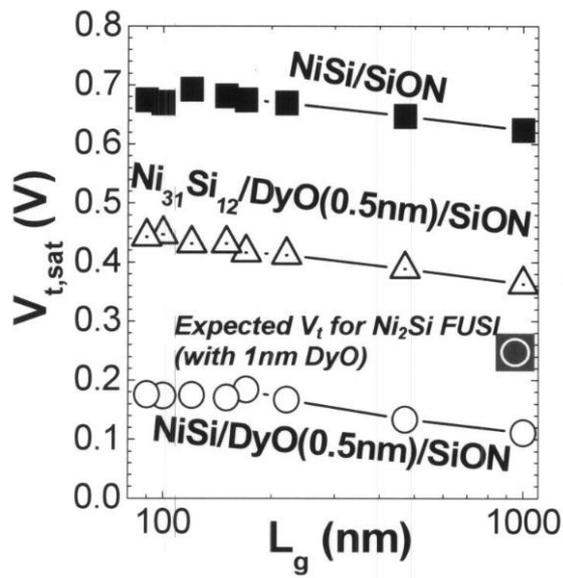


Figure 35

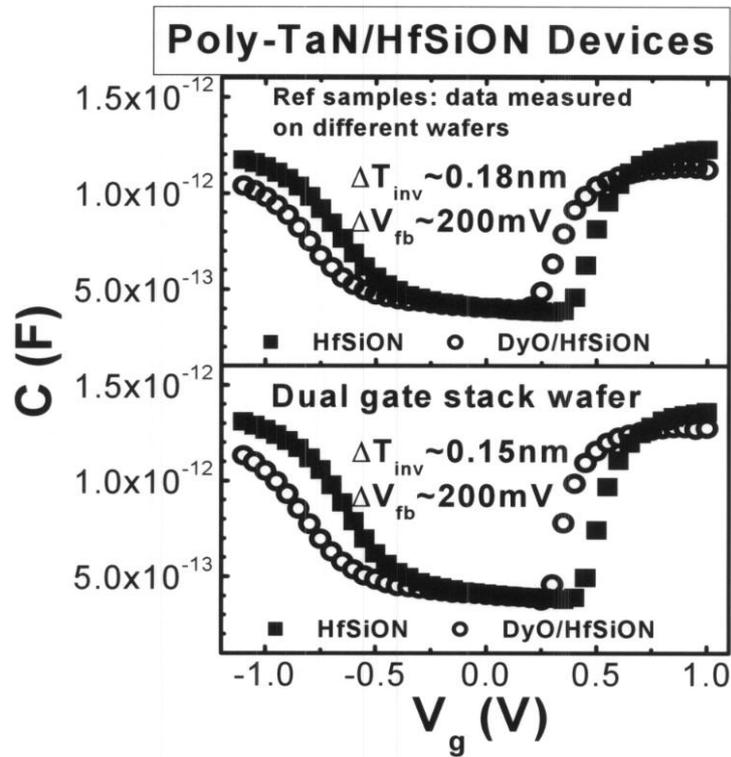


Fig. 36

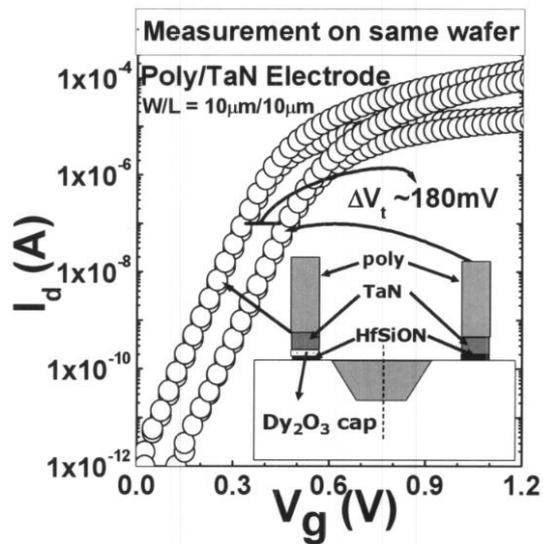


Fig. 37