



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0133003
(43) 공개일자 2022년10월04일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 3/06 (2006.01)</p> <p>(52) CPC특허분류
G06F 12/0246 (2013.01)
G06F 3/0604 (2013.01)</p> <p>(21) 출원번호 10-2021-0038253
(22) 출원일자 2021년03월24일
심사청구일자 없음</p> | <p>(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
염윤정
경기도 이천시 부발읍 경충대로 2091
이효재
경기도 이천시 부발읍 경충대로 2091</p> <p>(74) 대리인
오중한, 문용호</p> |
|---|--|

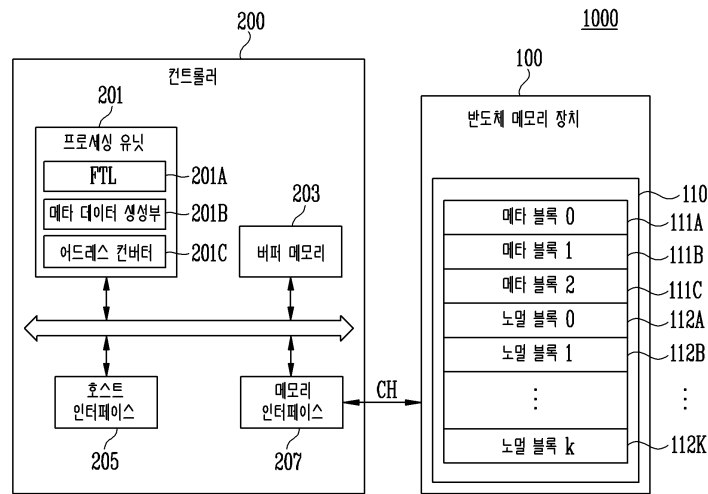
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템 및 그것의 동작 방법

(57) 요약

본 기술은 메모리 시스템 및 이의 동작 방법에 관한 것으로, 메모리 시스템은 복수의 메타 블록들 및 복수의 노멀 블록들을 포함하는 반도체 메모리 장치; 및 메타 데이터를 생성하고, 생성된 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 저장되도록 상기 반도체 메모리 장치를 제어하기 위한 컨트롤러를 포함하며, 상기 컨트롤러는 상기 메타 데이터의 어드레스가 상기 선택된 타겟 메타 블록의 선택된 서브 블록에 대응되도록 상기 어드레스를 변환시킨다.

대표도 - 도7



(52) CPC특허분류

G06F 3/064 (2013.01)

G06F 3/0652 (2013.01)

G06F 3/0658 (2013.01)

G06F 3/0659 (2013.01)

G11C 16/08 (2013.01)

G11C 16/14 (2013.01)

G06F 2212/1016 (2013.01)

명세서

청구범위

청구항 1

복수의 메타 블록들 및 복수의 노멀 블록들을 포함하는 반도체 메모리 장치; 및

메타 데이터를 생성하고, 생성된 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 저장되도록 상기 반도체 메모리 장치를 제어하기 위한 컨트롤러를 포함하며,

상기 컨트롤러는 상기 메타 데이터의 어드레스가 상기 선택된 타겟 메타 블록의 선택된 서브 블록에 대응되도록 상기 어드레스를 변환시키는 메모리 시스템.

청구항 2

제 1 항에 있어서,

상기 컨트롤러는 상기 메타 데이터를 생성하고, 상기 어드레스를 변환시키기 위한 프로세싱 유닛을 포함하는 메모리 시스템.

청구항 3

제 2 항에 있어서,

상기 프로세싱 유닛은 호스트로부터 수신되는 커맨드에 응답하여 상기 반도체 메모리 장치를 제어하기 위한 커맨드 큐를 생성하는 플래쉬 변환 계층;

상기 커맨드에 대응하는 커맨드 동작을 위한 상기 메타 데이터를 생성하기 위한 메타 데이터 생성부; 및

상기 메타 데이터 생성부에서 생성된 상기 메타 데이터의 상기 어드레스를 상기 선택된 타겟 메타 블록에 포함된 복수의 서브 블록들 중 캡 블록으로 할당된 상기 선택된 서브 블록의 어드레스로 변환시키기 위한 어드레스 컨버터를 포함하는 메모리 시스템.

청구항 4

제 3 항에 있어서,

상기 메타 데이터는 상기 호스트로부터 수신된 상기 커맨드에 해당하는 커맨드 데이터에 대한 정보, 상기 커맨드 동작에 대한 정보, 상기 커맨드 동작이 수행되는 상기 반도체 메모리 장치의 상기 노멀 블록들에 대한 정보, 및 상기 커맨드 동작에 상응한 맵 데이터에 대한 정보를 포함하는 메모리 시스템.

청구항 5

제 1 항에 있어서,

상기 복수의 메타 블록들 중 상기 선택된 타겟 메타 블록을 제외한 나머지 메타 블록들은 SLC(single-level cell) 블록, 리플레이스 블록 또는 오버프로비저닝 블록으로 사용되는 메모리 시스템.

청구항 6

제 5 항에 있어서,

상기 SLC 블록은 상기 컨트롤러로부터 상기 노멀 블록들에 저장하기 위한 유저 데이터들을 우선적으로 SLC 방식으로 저장한 후, 저장된 상기 유저 데이터들을 상기 노멀 블록들로 이동시키기 위한 버퍼 블록인 메모리 시스템.

청구항 7

제 1 항에 있어서,

상기 선택된 타겟 메타 블록은 복수의 서브 블록들을 포함하며, 상기 선택된 타겟 메타 블록은 소거 동작 시 서브 블록 단위로 소거되고,

상기 노멀 블록들 각각은 상기 소거 동작 시 블록 단위로 소거되는 메모리 시스템.

청구항 8

제 7 항에 있어서,

상기 복수의 서브 블록들 중 상기 선택된 서브 블록은 캠 블록으로 할당되어 상기 메타 데이터를 저장하고,

상기 복수의 서브 블록들 중 상기 선택된 서브 블록을 제외한 나머지 서브 블록들은 리플레이스 블록 또는 보조 블록으로 할당되는 메모리 시스템.

청구항 9

복수의 메타 블록들 및 복수의 노멀 블록들을 포함하는 반도체 메모리 장치; 및

메타 데이터를 생성하고, 생성된 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 저장되도록 상기 반도체 메모리 장치를 제어하기 위한 컨트롤러를 포함하며,

상기 컨트롤러는 상기 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 포함된 복수의 서브 블록들 중 적어도 하나의 서브 블록에 저장되도록 상기 반도체 메모리 장치를 제어하는 메모리 시스템.

청구항 10

제 9 항에 있어서,

상기 컨트롤러는 상기 메타 데이터를 생성하고, 상기 메타 데이터의 어드레스를 상기 적어도 하나의 서브 블록의 어드레스로 변화시키기 위한 프로세싱 유닛을 포함하는 메모리 시스템.

청구항 11

제 10 항에 있어서,

상기 프로세싱 유닛은 호스트로부터 수신되는 커맨드에 응답하여 상기 반도체 메모리 장치를 제어하기 위한 커맨드 큐를 생성하는 플래쉬 변환 계층;

상기 커맨드에 대응하는 커맨드 동작을 위한 상기 메타 데이터를 생성하기 위한 메타 데이터 생성부; 및

상기 메타 데이터 생성부에서 생성된 상기 메타 데이터의 상기 어드레스를 상기 선택된 타겟 메타 블록에 포함된 상기 복수의 서브 블록들 중 캠 블록으로 할당된 상기 선택된 서브 블록의 상기 어드레스로 변환시키기 위한 어드레스 컨버터를 포함하는 메모리 시스템.

청구항 12

제 11 항에 있어서,

상기 메타 데이터는 상기 호스트로부터 수신된 상기 커맨드에 해당하는 커맨드 데이터에 대한 정보, 상기 커맨드 동작에 대한 정보, 상기 커맨드 동작이 수행되는 상기 반도체 메모리 장치의 상기 노멀 블록들에 대한 정보, 및 상기 커맨드 동작에 상응한 맵 데이터에 대한 정보를 포함하는 메모리 시스템.

청구항 13

제 10 항에 있어서,

상기 복수의 메타 블록들 중 상기 선택된 타겟 메타 블록을 제외한 나머지 메타 블록들은 SLC(single-level cell) 블록, 리플레이스 블록 또는 오버프로비저닝 블록으로 사용되는 메모리 시스템.

청구항 14

제 10 항에 있어서,

상기 선택된 타겟 메타 블록은 소거 동작 시 서브 블록 단위로 소거되고,
상기 노멀 블록들 각각은 상기 소거 동작 시 블록 단위로 소거되는 메모리 시스템.

청구항 15

제 10 항에 있어서,

상기 복수의 서브 블록들 중 상기 선택된 서브 블록은 캠 블록으로 할당되어 상기 메타 데이터를 저장하고,
상기 복수의 서브 블록들 중 상기 선택된 서브 블록을 제외한 나머지 서브 블록들은 리플레이스 블록 또는 보조 블록으로 할당되는 메모리 시스템.

청구항 16

호스트로부터 수신되는 커맨드에 응답하여 메타 데이터를 생성하는 단계;

상기 메타 데이터의 어드레스를 반도체 메모리 장치에 포함된 복수의 메타 블록들 중 선택된 타겟 메타 블록의 선택된 서브 블록의 어드레스로 변환시키는 단계; 및

상기 메타 데이터를 상기 반도체 메모리 장치로 전송하여 상기 선택된 서브 블록에 저장하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 17

제 16 항에 있어서,

상기 복수의 메타 블록들 중 상기 선택된 타겟 메타 블록을 제외한 나머지 메타 블록들은 SLC(single-level cell) 블록, 리플레이스 블록 또는 오버프로비저닝 블록으로 사용되는 메모리 시스템의 동작 방법.

청구항 18

제 16 항에 있어서,

상기 선택된 타겟 메타 블록은 복수의 서브 블록들을 포함하며, 상기 복수의 서브 블록들 각각은 캡 블록, 리플레이스 블록, 보조 블록으로 할당되는 메모리 시스템의 동작 방법.

청구항 19

제 16 항에 있어서,

상기 타겟 메타 블록과 각각의 상기 복수의 노멀 블록들은 서로 동일한 블록 단위를 가지는 메모리 시스템의 동작 방법.

청구항 20

제 16 항에 있어서,

상기 타겟 메타 블록은 서브 블록 단위로 소거되고 상기 복수의 노멀 블록들은 블록 단위로 소거되는 메모리 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 상세하게는 메모리 시스템 및 그 동작 방법에 관한 것이다.

배경 기술

[0003] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0004] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템의 일 예로 데이터 저장 장치는 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등을 포함한다.

[0005] 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0006] 불휘발성 메모리 장치는 쓰기 및 읽기 속도가 상대적으로 느리지만 전원 공급이 차단되더라도 저장 데이터를 유지한다. 따라서 전원 공급 여부와 관계없이 유지되어야 할 데이터를 저장하기 위해 불휘발성 메모리 장치가 사용된다. 불휘발성 메모리 장치에는 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등이 있다. 플래시 메모리는 노어 타입과 낸드 타입으로 구분된다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시 예는 메모리 시스템에 포함된 메타 블록들을 효율적으로 활용하여 메모리 시스템의 성능을 개선

할 수 있는 메모리 시스템 및 메모리 시스템의 동작 방법을 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 메모리 시스템은 복수의 메타 블록들 및 복수의 노멀 블록들을 포함하는 반도체 메모리 장치; 및 메타 데이터를 생성하고, 생성된 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 저장되도록 상기 반도체 메모리 장치를 제어하기 위한 컨트롤러를 포함하며, 상기 컨트롤러는 상기 메타 데이터의 어드레스가 상기 선택된 타겟 메타 블록의 선택된 서브 블록에 대응되도록 상기 어드레스를 변환시킨다.

[0012] 본 발명의 실시 예에 따른 메모리 시스템은 복수의 메타 블록들 및 복수의 노멀 블록들을 포함하는 반도체 메모리 장치; 및 메타 데이터를 생성하고, 생성된 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 저장되도록 상기 반도체 메모리 장치를 제어하기 위한 컨트롤러를 포함하며, 상기 컨트롤러는 상기 메타 데이터를 상기 복수의 메타 블록들 중 선택된 타겟 메타 블록에 포함된 복수의 서브 블록들 중 적어도 하나의 서브 블록에 저장된다.

[0014] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은 호스트로부터 수신되는 커맨드에 응답하여 메타 데이터를 생성하는 단계; 상기 메타 데이터의 어드레스를 반도체 메모리 장치에 포함된 복수의 메타 블록들 중 선택된 타겟 메타 블록의 선택된 서브 블록의 어드레스로 변환시키는 단계; 및 상기 메타 데이터를 상기 반도체 메모리 장치로 전송하여 상기 선택된 서브 블록에 저장하는 단계를 포함한다.

발명의 효과

[0016] 본 기술에 따르면, 메모리 시스템에 포함된 메타 블록들 중 하나의 타겟 메타 블록을 복수의 서브 블록들로 구분하고, 복수의 서브 블록들을 메타 데이터 저장 블록, 리플레이스 블록, 보조 블록으로 활용할 수 있다. 또한 나머지 메타 블록들을 SLC 블록, 리플레이스 블록 등으로 활용하여 메모리 시스템의 성능을 개선할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템을 나타내는 블록도이다.
- 도 2는 도 1의 반도체 메모리 장치를 나타내는 블록도이다.
- 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- 도 5는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예를 보여주는 회로도이다.
- 도 6은 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKc)의 다른 실시 예를 보여주는 회로도이다.
- 도 7은 본 발명의 일 실시 예에 따른 컨트롤러 및 반도체 메모리 장치를 나타내는 블록도이다.
- 도 8은 도 7의 메타 블록들(111A~111C) 중 어느 하나의 메타 블록(111A)을 나타내는 블록도이다.
- 도 9는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 설명하기 위한 순서도이다.
- 도 10은 도 1 또는 도 7에 도시된 컨트롤러의 일 예를 나타내는 블록도이다.
- 도 11은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 12는 도 11을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0021] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템을 나타내는 블록도이다.
- [0022] 도 1을 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(100) 및 컨트롤러(200)를 포함한다. 또한 메모리 시스템(1000)은 호스트(300)와 통신한다. 컨트롤러(200)는 반도체 메모리 장치(100)의 제반 동작을 제어한다. 또한 컨트롤러(200)는 호스트(300)로부터 수신한 커맨드에 기초하여 반도체 메모리 장치(100)의 동작을 제어한다.
- [0023] 일 예로 컨트롤러(200)는 호스트(300)로부터 커맨드를 수신한 경우 커맨드에 대응하는 커맨드 동작을 위한 메타 데이터를 생성하고, 생성된 메타 데이터를 반도체 메모리 장치(100)에 프로그램할 수 있다. 예시적으로, 메타 데이터는 호스트(300)로부터 수신된 커맨드에 해당하는 커맨드 데이터에 대한 정보, 커맨드에 해당하는 커맨드 동작에 대한 정보, 커맨드 동작이 수행되는 반도체 메모리 장치(100)의 메모리 블록들에 대한 정보, 및 커맨드 동작에 상응한 맵 데이터 등에 대한 정보를 포함할 수 있다. 예시적으로, 메타 데이터는 반도체 메모리 장치(100)의 메모리 블록들 중 노멀 블록에 저장되는 유저 데이터의 논리 주소-물리 주소 맵핑 데이터 또는 맵 스캔 정보와 같이 컨트롤러(200)에 의해 생성되고 사용되는 데이터를 포함할 수 있다. 다시 말해, 메타 데이터에는 호스트(300)로부터 수신된 커맨드에 해당하는 유저 데이터를 제외하고 커맨드 동작을 위한 정보들 및 데이터가 포함될 수 있다. 반도체 메모리 장치(100)는 컨트롤러(200)으로부터 메타 데이터를 수신하고, 수신된 메타 데이터를 다수의 메모리 블록들 중 메타 블록에 저장할 수 있다.
- [0025] 도 2는 도 1의 반도체 메모리 장치를 나타내는 블록도이다.
- [0026] 도 2를 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 제어 로직(140) 및 전압 생성부(150)를 포함한다.
- [0027] 메모리 셀 어레이(110)는 다수의 메모리 블록들(BLK1~BLKz)을 포함한다. 다수의 메모리 블록들(BLK1~BLKz)은 워드라인들(WL)을 통해 어드레스 디코더(120)에 연결된다. 다수의 메모리 블록들(BLK1~BLKz)은 비트 라인들(BL1 내지 BLm)을 통해 읽기 및 쓰기 회로(130)에 연결된다. 다수의 메모리 블록들(BLK1~BLKz) 각각은 다수의 메모리 셀들을 포함한다. 실시 예로서, 다수의 메모리 셀들은 불휘발성 메모리 셀들이며, 수직 채널 구조를 갖는 불휘발성 메모리 셀들로 구성될 수 있다. 상기 메모리 셀 어레이(110)는 2차원 구조의 메모리 셀 어레이로 구성될 수 있다. 실시 예에 따라, 상기 메모리 셀 어레이(110)는 3차원 구조의 메모리 셀 어레이로 구성될 수 있다. 한편, 메모리 셀 어레이에 포함되는 복수의 메모리 셀들은 복수의 메모리 셀들 각각은 적어도 1비트의 데이터를 저장할 수 있다. 일 실시 예에서, 메모리 셀 어레이(110)에 포함되는 복수의 메모리 셀들 각각은 1 비트의 데이터를 저장하는 싱글-레벨 셀(single-level cell; SLC)일 수 있다. 다른 실시 예에서, 메모리 셀 어레이(110)에 포함되는 복수의 메모리 셀들 각각은 2 비트의 데이터를 저장하는 멀티-레벨 셀(multi-level cell; MLC)일 수 있다. 또 다른 실시 예에서, 메모리 셀 어레이(110)에 포함되는 복수의 메모리 셀들 각각은 3 비트의 데이터를 저장하는 트리플-레벨 셀(triple-level cell; TLC)일 수 있다. 또 다른 실시 예에서, 메모리 셀 어레이(110)에 포함되는 복수의 메모리 셀들 각각은 4 비트의 데이터를 저장하는 쿼드-레벨 셀(quad-level cell; QLC)일 수 있다. 실시 예에 따라, 메모리 셀 어레이(110)는 5 비트 이상의 데이터를 각각 저장하는 복수의 메모리 셀들을 포함할 수 있다.
- [0029] 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 제어 로직(140) 및 전압 생성부(150)는 메모리 셀 어레이(110)를 구동하는 주변 회로로서 동작한다. 어드레스 디코더(120)는 워드라인들(WL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(120)는 제어 로직(140)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디

코더(120)는 반도체 메모리 장치(100) 내부의 입출력 버퍼(미도시)를 통해 어드레스를 수신한다.

- [0030] 어드레스 디코더(120)는 수신된 어드레스 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 블록 어드레스에 따라 적어도 하나의 메모리 블록을 선택한다. 또한 어드레스 디코더(120)는 프로그램 동작 중 선택된 워드라인에 전압 생성부(150)에서 발생된 프로그램 전압(Vpgm)을 선택된 워드라인에 인가하고, 나머지 비 선택된 워드라인들에는 패스 전압(Vpass)을 인가한다. 또한 어드레스 디코더(120)는 리드 동작 중 선택된 메모리 블록 중 선택된 워드라인에 전압 생성부(150)에서 발생된 리드 전압(Vread)을 선택된 워드라인에 인가하고, 나머지 비 선택된 워드라인들에는 패스 전압(Vpass)을 인가한다. 또한 프로그램 검증 동작 시에는 선택된 메모리 블록 중 선택된 워드라인에 전압 생성부(150)에서 발생된 검증 전압을 선택된 워드라인에 인가하고, 나머지 비 선택된 워드라인들에는 패스 전압(Vpass)을 인가한다.
- [0031] 어드레스 디코더(120)는 수신된 어드레스 중 열 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 열 어드레스를 읽기 및 쓰기 회로(130)에 전송한다.
- [0032] 반도체 메모리 장치(100)의 리드 동작 및 프로그램 동작은 페이지 단위로 수행된다. 리드 동작 및 프로그램 동작 요청 시에 수신되는 어드레스는 블록 어드레스, 행 어드레스 및 열 어드레스를 포함한다. 어드레스 디코더(120)는 블록 어드레스 및 행 어드레스에 따라 하나의 메모리 블록 및 하나의 워드라인을 선택한다. 열 어드레스는 어드레스 디코더(120)에 의해 디코딩되어 읽기 및 쓰기 회로(130)에 제공된다.
- [0033] 어드레스 디코더(120)는 블록 디코더, 행 디코더, 열 디코더 및 어드레스 버퍼 등을 포함할 수 있다.
- [0035] 읽기 및 쓰기 회로(130)는 다수의 페이지 버퍼들(PB1~PBm)을 포함한다. 읽기 및 쓰기 회로(130)는 메모리 셀 어레이(110)의 리드 동작 시에는 "읽기 회로(read circuit)"로 동작하고, 프로그램 동작 시에는 "쓰기 회로(write circuit)"로 동작할 수 있다. 다수의 페이지 버퍼들(PB1~PBm)은 비트 라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결된다. 다수의 페이지 버퍼들(PB1~PBm)은 프로그램 동작 시 프로그램할 데이터를 수신하여 임시 저장하고, 임시 저장된 데이터에 기초하여 비트 라인들(BL1~BLm)의 전위 레벨을 조절한다. 다수의 페이지 버퍼들(PB1~PBm)은 리드 동작 및 프로그램 검증 동작 시 메모리 셀들의 문턱 전압을 센싱하기 위하여 메모리 셀들과 연결된 비트라인들에 센싱 전류를 계속적으로 공급하면서 대응하는 메모리 셀의 프로그램 상태에 따라 흐르는 전류량이 변화되는 것 센싱 노드를 통해 감지하여 센싱 데이터로 래치한다. 읽기 및 쓰기 회로(130)는 제어 로직(140)에서 출력되는 페이지 버퍼 제어 신호들에 응답하여 동작한다.
- [0036] 읽기 및 쓰기 회로(130)는 리드 동작 시 메모리 셀의 데이터를 센싱하여 독출 데이터를 임시 저장한 후 반도체 메모리 장치(100)의 입출력 버퍼(미도시)로 데이터(DATA)를 출력한다. 예시적인 실시 예로서, 읽기 및 쓰기 회로(130)는 페이지 버퍼들(또는 페이지 레지스터들) 이외에도 열 선택 회로 등을 포함할 수 있다.
- [0038] 제어 로직(140)은 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 및 전압 생성부(150)에 연결된다. 제어 로직(140)은 반도체 메모리 장치(100)의 입출력 버퍼(미도시)를 통해 명령어(CMD) 및 제어 신호(CTRL)를 수신한다. 제어 로직(140)은 제어 신호(CTRL)에 응답하여 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 또한 제어 로직(140)은 다수의 페이지 버퍼들(PB1~PBm)의 센싱 노드 프리차지 전위 레벨을 조절하기 위한 제어 신호를 출력한다. 제어 로직(140)은 메모리 셀 어레이(110)의 리드 동작(read operation)을 수행하도록 읽기 및 쓰기 회로(130)를 제어할 수 있다.
- [0040] 전압 생성부(150)는 제어 로직(140)에서 출력되는 제어 신호에 응답하여 프로그램 동작 시 프로그램 전압(Vpgm) 및 패스 전압(Vpass)을 생성하고, 리드 동작 시 리드 전압(Vread) 및 패스 전압(Vpass)을 생성한다. 전압 생성부(150)는 다양한 전압 레벨들을 갖는 복수의 전압들을 생성하기 위해서, 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(140)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 전압들을 생성할 것이다. 전술한 바와 같이, 전압 생성부(150)는 차지 펌프(charge pump)를 포함할 수 있으며, 상기 차지 펌프는 상술한 복수의 펌핑 커패시터들을 포함할 수 있다. 전압 생성부(150)에 포함되는 차지 펌프의 구체적인 구성은 필요에 따라 다양하게 설계될 수 있다.

- [0042] 어드레스 디코더(120), 읽기 및 쓰기 회로(130) 및 전압 생성부(150)는 메모리 셀 어레이(110)에 대한 리드 동작, 프로그램 동작 및 소거 동작을 수행하는 "주변 회로"로서 기능할 수 있다. 주변 회로는 제어 로직(140)의 제어에 기초하여, 메모리 셀 어레이(110)에 대한 리드 동작, 프로그램 동작 및 소거 동작을 수행한다.
- [0044] 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- [0045] 도 3을 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 3차원 구조를 가질 수 있다. 각 메모리 블록은 기판 위에 적층된 복수의 메모리 셀들을 포함한다. 이러한 복수의 메모리 셀들은 +X 방향, +Y 방향 및 +Z 방향을 따라 배열된다. 각 메모리 블록의 구조는 도 4 및 도 5를 참조하여 더 상세히 설명된다.
- [0047] 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- [0048] 도 4를 참조하면 메모리 블록(BLKa)은 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m)을 포함한다. 실시 예로서, 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 'U'자형으로 형성될 수 있다. 메모리 블록(BLKa) 내에서, 행 방향(즉 +X 방향)으로 m개의 셀 스트링들이 배열된다. 도 4에서, 열 방향(즉 +Y 방향)으로 2개의 셀 스트링들이 배열되는 것으로 도시되었다. 하지만 이는 설명의 편의를 위한 것으로서 열 방향으로 3개 이상의 셀 스트링들이 배열될 수 있음이 이해될 것이다.
- [0049] 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 적어도 하나의 소스 선택 트랜지스터(SST), 제 1 내지 제 n 메모리 셀들(MC1~MCn), 파이프 트랜지스터(PT), 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함한다.
- [0050] 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 유사한 구조를 가질 수 있다. 실시 예로서, 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막을 포함할 수 있다. 실시 예로서, 채널층을 제공하기 위한 필라(pillar)가 각 셀 스트링(each cell string)에 제공될 수 있다. 실시 예로서, 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막 중 적어도 하나를 제공하기 위한 필라가 각 셀 스트링에 제공될 수 있다.
- [0051] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCp) 사이에 연결된다.
- [0052] 실시 예로서, 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 행 방향으로 신장되는 소스 선택 라인에 연결되고, 상이한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 상이한 소스 선택 라인들에 연결된다. 도 4에서, 제 1 행의 셀 스트링들(CS11~CS1m)의 소스 선택 트랜지스터들은 제 1 소스 선택 라인(SSL1)에 연결되어 있다. 제 2 행의 셀 스트링들(CS21~CS2m)의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결되어 있다.
- [0053] 다른 실시 예로서, 셀 스트링들(CS11~CS1m, CS21~CS2m)의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.
- [0054] 각 셀 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에 연결된다.
- [0055] 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 제 1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)로 구분될 수 있다. 제 1 내지 제 p 메모리 셀들(MC1~MCp)은 +Z 방향과 역방향으로 순차적으로 배열되며, 소스 선택 트랜지스터(SST)와 파이프 트랜지스터(PT) 사이에서 직렬 연결된다. 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)은 +Z 방향으로 순차적으로 배열되며, 파이프 트랜지스터(PT)와 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결된다. 제 1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)은 파이프 트랜지스터(PT)를 통해 연결된다. 각 셀 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다.
- [0056] 각 셀 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결된다.
- [0057] 각 셀 스트링의 드레인 선택 트랜지스터(DST)은 해당 비트 라인과 메모리 셀들(MCp+1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들은 행 방향으로 신장되는 드레인 선택 라인에 연결된다. 제 1 행의 셀 스트링들

(CS11~CS1m)의 드레인 선택 트랜지스터들은 제 1 드레인 선택 라인(DSL1)에 연결된다. 제 2 행의 셀 스트링들(CS21~CS2m)의 드레인 선택 트랜지스터들은 제 2 드레인 선택 라인(DSL2)에 연결된다.

- [0058] 열 방향으로 배열되는 셀 스트링들은 열 방향으로 신장되는 비트 라인에 연결된다. 도 3에서, 제 1 열의 셀 스트링들(CS11, CS21)은 제 1 비트 라인(BL1)에 연결되어 있다. 제 m 열의 셀 스트링들(CS1m, CS2m)은 제 m 비트 라인(BLm)에 연결되어 있다.
- [0059] 행 방향으로 배열되는 셀 스트링들 내에서 동일한 워드 라인에 연결되는 메모리 셀들은 하나의 페이지를 구성한다. 예를 들면, 제 1 행의 셀 스트링들(CS11~CS1m) 중 제 1 워드 라인(WL1)과 연결된 메모리 셀들은 하나의 페이지를 구성한다. 제 2 행의 셀 스트링들(CS21~CS2m) 중 제 1 워드 라인(WL1)과 연결된 메모리 셀들은 다른 하나의 페이지를 구성한다. 드레인 선택 라인들(DSL1, DSL2) 중 어느 하나가 선택됨으로써 하나의 행 방향으로 배열되는 셀 스트링들이 선택될 것이다. 워드 라인들(WL1~WLn) 중 어느 하나가 선택됨으로써 선택된 셀 스트링들 중 하나의 페이지가 선택될 것이다.
- [0060] 다른 실시 예로서, 제 1 내지 제 m 비트 라인들(BL1~BLm) 대신 이븐 비트 라인들 및 오드 비트 라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 짝수 번째 셀 스트링들은 이븐 비트 라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 홀수 번째 셀 스트링들은 오드 비트 라인들에 각각 연결될 수 있다.
- [0061] 실시 예로서, 제 1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCp) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MCp+1~MCn) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKa)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKa)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKa)의 크기는 감소하는 반면 메모리 블록(BLKa)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0062] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱 전압을 가질 수 있다. 메모리 블록(BLKa)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱 전압은 각각의 더미 메모리 셀들에 연결된 더미 워드 라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱 전압을 가질 수 있다.
- [0064] 도 5는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예를 보여주는 회로도이다.
- [0065] 도 5를 참조하면 메모리 블록(BLKb)은 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m')을 포함한다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은 +z 방향을 따라 신장된다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은, 메모리 블록(BLK1') 하부의 기관(미도시) 위에 적층된, 적어도 하나의 소스 선택 트랜지스터(SST), 제 1 내지 제 n 메모리 셀들(MC1~MCn) 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함한다.
- [0066] 각 셀 스트링의 소스 선택 트랜지스터(SST)은 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCn) 사이에 연결된다. 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 동일한 소스 선택 라인에 연결된다. 제 1 행에 배열된 셀 스트링들(CS11'~CS1m')의 소스 선택 트랜지스터들은 제 1 소스 선택 라인(SSL1)에 연결된다. 제 2 행에 배열된 셀 스트링들(CS21'~CS2m')의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결된다. 다른 실시 예로서, 셀 스트링들(CS11'~CS1m', CS21'~CS2m')의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.
- [0067] 각 셀 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)과 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결된다. 제 1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결된다.
- [0068] 각 셀 스트링의 드레인 선택 트랜지스터(DST)는 해당 비트 라인과 메모리 셀들(MC1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들의 드레인 선택 트랜지스터들은 행 방향으로 신장되는 드레인 선택 라인에 연결

된다. 제 1 행의 셀 스트링들(CS11'~CS1m')의 드레인 선택 트랜지스터들은 제 1 드레인 선택 라인(DSL1)에 연결된다. 제 2 행의 셀 스트링들(CS21'~CS2m')의 드레인 선택 트랜지스터들은 제 2 드레인 선택 라인(DSL2)에 연결된다.

- [0069] 결과적으로, 각 셀 스트링에 파이프 트랜지스터(PT)가 제외된 것을 제외하면 도 5의 메모리 블록(BLKb)은 도 4의 메모리 블록(BLKa)과 유사한 등가 회로를 갖는다.
- [0070] 다른 실시 예로서, 제 1 내지 제 m 비트 라인들(BL1~BLm) 대신 이븐 비트 라인들 및 오드 비트 라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 짝수 번째 셀 스트링들은 이븐 비트 라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 홀수 번째 셀 스트링들은 오드 비트 라인들에 각각 연결될 수 있다.
- [0071] 실시 예로서, 제 1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCn) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MC1~MCn) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKb)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKb)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKb)의 크기는 감소하는 반면 메모리 블록(BLKb)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0072] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱 전압을 가질 수 있다. 메모리 블록(BLKb)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱 전압은 각각의 더미 메모리 셀들에 연결된 더미 워드 라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱 전압을 가질 수 있다.
- [0074] 도 6은 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKc)의 다른 실시 예를 보여주는 회로도이다.
- [0075] 도 6을 참조하면, 메모리 블록(BLKc)은 복수의 셀 스트링들(CS1~CSm)을 포함한다. 복수의 셀 스트링들(CS1~CSm)은 복수의 비트 라인들(BL1~BLm)에 각각 연결될 수 있다. 복수의 셀 스트링들(CS1~CSm) 각각은 적어도 하나 이상의 소스 선택 트랜지스터(SST), 제1 내지 제n 메모리 셀들(MC1~MCn), 및 적어도 하나 이상의 드레인 선택 트랜지스터(DST)를 포함한다.
- [0076] 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 유사한 구조를 가질 수 있다. 실시 예로서, 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막을 포함할 수 있다. 실시 예로서, 채널층을 제공하기 위한 필라(pillar)가 각 셀 스트링(each cell string)에 제공될 수 있다. 실시 예로서, 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막 중 적어도 하나를 제공하기 위한 필라가 각 셀 스트링에 제공될 수 있다.
- [0077] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCn) 사이에 연결된다.
- [0078] 각 셀 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에 연결된다.
- [0079] 각 셀 스트링의 드레인 선택 트랜지스터(DST)은 해당 비트 라인과 메모리 셀들(MC1~MCn) 사이에 연결된다.
- [0080] 동일한 워드 라인에 연결되는 메모리 셀들은 하나의 페이지를 구성한다. 드레인 선택 라인(DSL)이 선택됨으로써 셀 스트링들(CS1~CSm)이 선택될 것이다. 워드 라인들(WL1~WLn) 중 어느 하나가 선택됨으로써 선택된 셀 스트링들 중 하나의 페이지가 선택될 것이다.
- [0081] 다른 실시 예로서, 제 1 내지 제 m 비트 라인들(BL1~BLm) 대신 이븐 비트 라인들 및 오드 비트 라인들이 제공될 수 있다. 셀 스트링들(CS1~CSm) 중 짝수 번째 셀 스트링들은 이븐 비트 라인들에 각각 연결되고, 홀수 번째 셀 스트링들은 오드 비트 라인들에 각각 연결될 수 있다.

- [0083] 도 7은 본 발명의 일 실시 예에 따른 컨트롤러 및 반도체 메모리 장치를 나타내는 블록도이다.
- [0084] 도 7을 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(100) 및 컨트롤러(200)를 포함한다. 반도체 메모리 장치(100)는 도 2를 참조하여 설명된 반도체 메모리 장치일 수 있다. 컨트롤러(200)는 도 1의 컨트롤러(200)에 대응된다. 이하, 중복되는 설명은 생략된다.
- [0085] 반도체 메모리 장치(100)는 메모리 셀 어레이(110)를 포함할 수 있다. 반도체 메모리 장치(100)의 메모리 셀 어레이(110)는 복수의 메타 블록들(111A~111C) 및 복수의 노멀 블록들(112A~112K)을 포함할 수 있다. 복수의 메타 블록들(111A~111C) 및 복수의 노멀 블록들(112A~112K) 각각은 도 2 내지 도 6을 참조하여 설명된 복수의 메모리 블록들(BLK1~BLKz) 각각에 대응될 수 있다.
- [0086] 도 7에서, 반도체 메모리 장치(100)의 메모리 셀 어레이(110) 이외의 구성에 대한 도시는 생략하였다.
- [0087] 복수의 메타 블록들(111A~111C) 중 타겟 메타 블록(예를 들어 111A)은 복수의 노멀 블록들(112A~112K)에 저장되는 데이터의 메타 데이터가 저장될 수 있다. 일 실시 예에서, 메타 데이터는 펌웨어의 구동에 필요한 데이터일 수 있다. 예시적으로, 메타 데이터는 예시적으로, 호스트로부터 수신된 커맨드에 해당하는 커맨드 데이터에 대한 정보, 커맨드에 해당하는 커맨드 동작에 대한 정보, 커맨드 동작이 수행되는 반도체 메모리 장치(100)의 메모리 블록들에 대한 정보, 및 커맨드 동작에 상응한 맵 데이터 등에 대한 정보를 포함할 수 있다. 예시적으로, 메타 데이터는 반도체 메모리 장치(100)의 메모리 블록들 중 복수의 노멀 블록들(112A~112K)에 저장되는 유저 데이터의 논리 주소-물리 주소 맵핑 데이터 또는 맵 스캔 정보를 포함할 수 있다.
- [0088] 노멀 블록들(112A~112K)에는 호스트로부터 수신되는 유저 데이터가 저장될 수 있다.
- [0089] 본 발명의 실시 예에서는 복수의 메타 블록들(111A~111C) 중 타겟 메타 블록(예를 들어 111A)을 복수의 서브 블록들로 구분하고, 복수의 서브 블록들 중 적어도 하나의 서브 블록에 메타 데이터를 저장할 수 있다. 또한, 타겟 메타 블록(예를 들어 111A)의 복수의 서브 블록들 중 메타 데이터가 저장된 적어도 하나의 서브 블록을 제외한 나머지 서브 블록들은 리플레이스 블록 및 보조 블록으로 활용할 수 있다. 리플레이스 블록은 복수의 노멀 블록들(112A~112K) 중 배드 블록으로 판단된 노멀 블록을 대체하기 위한 블록일 수 있다. 즉, 배드 블록으로 판단된 블록에 저장된 데이터를 리플레이스 블록으로 이동시켜 저장하고, 리드 동작 시 리플레이스 블록에 저장된 데이터를 리드할 수 있다. 보조 블록은 메모리 시스템의 서든 파워 오프 시 현재 수행 중인 제반 동작에 대한 정보 및 데이터를 저장할 수 있다. 보조 블록에 저장된 정보 및 데이터는 파워 복구 후 중단된 제반 동작을 재수행하기 위하여 리드되어 활용될 수 있다.
- [0090] 또한, 복수의 메타 블록들(111A~111C) 중 타겟 메타 블록(예를 들어 111A)을 제외한 나머지 메타 블록들(111B 및 111C)은 SLC 블록, 추가적인 리플레이스 블록 및 오버프로비저닝(overprovisioning) 블록으로 활용될 수 있다. SLC 블록은 메모리 시스템의 쓰기 동작 시 복수의 노멀 블록들(112A~112K)에 저장하기 위한 데이터를 컨트롤러(200)로부터 수신하여 저장한다. 이 후, SLC 블록에 저장된 데이터를 복수의 노멀 블록들(112A~112K)로 이동시켜 저장한다. SLC 블록은 컨트롤러(200)로부터 수신한 데이터를 SLC 방식으로 프로그램하여 빠르고 안정적으로 데이터를 저장할 수 있다. SLC 블록에 저장된 데이터는 리드되어 노멀 블록들(112A~112K)에 MLC, TLC 또는 QLC 방식으로 프로그램될 수 있다. 즉, SLC 블록은 노멀 블록들(112A~112K)에 저장될 데이터의 버퍼 역할을 수행할 수 있다.
- [0092] 컨트롤러(200)는 프로세싱 유닛(201), 버퍼 메모리(203), 호스트 인터페이스(205) 및 메모리 인터페이스(207)를 포함할 수 있다.
- [0093] 프로세싱 유닛(201)은 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 프로세싱 유닛(201)은 호스트로부터 전송된 요청을 처리할 수 있다. 수신된 요청을 처리하기 위해, 프로세싱 유닛(201)은 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 펌웨어를 구동하고, 내부의 기능 블록들 및 반도체 메모리 장치(100)를 제어할 수 있다.
- [0094] 프로세싱 유닛(201)은 플래쉬 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함, 201A), 메타 데이터 생성부(201B), 및 어드레스 컨버터(201C)를 포함하여 구성될 수 있다.
- [0095] 플래쉬 변환 계층(FTL; 201A)은 펌웨어는 버퍼 메모리(203) 또는 프로세싱 유닛(201)와 직접적으로 연결되는 추가적인 메모리(미도시) 또는 프로세싱 유닛(201) 내의 저장 공간에 저장될 수 있다. 플래쉬 변환 계층(FTL; 201A)은 쓰기 동작 시 호스트로부터 입력된 어드레스(예를 들어 논리 어드레스(logical address))에 대응하는

물리 어드레스(physical address)를 맵핑할 수 있다. 또한 플래쉬 변환 계층(FTL; 201A)은 리드 동작 시 호스트로부터 입력된 논리 어드레스에 맵핑된 물리 어드레스를 확인한다. 이때 맵핑 동작은 버퍼 메모리(203)에 저장된 맵 데이터에 기초하여 수행된다. 또한 플래쉬 변환 계층(FTL; 201A)은 호스트로부터 수신되는 커맨드에 응답하여 반도체 메모리 장치(100)를 제어하기 위한 커맨드 큐를 생성할 수 있다.

[0097] 메타 데이터 생성부(201B)는 호스트로부터 수신되는 커맨드에 기초하여 커맨드 동작을 위한 메타 데이터를 생성한다. 예시적으로, 메타 데이터는 호스트로부터 수신된 커맨드에 해당하는 커맨드 데이터에 대한 정보, 커맨드에 해당하는 커맨드 동작에 대한 정보, 커맨드 동작이 수행되는 반도체 메모리 장치(100)의 메모리 블록들에 대한 정보, 및 커맨드 동작에 상응한 맵 데이터 등에 대한 정보를 포함할 수 있다. 메타 데이터 생성부(201B)는 생성된 메타 데이터에 반도체 메모리 장치(100)에 포함된 복수의 메타 블록들(111A~111C) 중 어느 하나의 메타 블록에 대응하는 어드레스를 할당할 수 있다.

[0099] 어드레스 컨버터(201C)는 메타 데이터 생성부(201B)에서 생성된 메타 데이터에 대응하는 어드레스를 타겟 메타 블록(예를 들어 111A)의 서브 블록들 중 선택된 서브 블록의 어드레스로 변환시킨다. 예를 들어, 메타 데이터 생성부(201B)에서 생성된 메타 데이터는 복수의 메타 블록들 중 하나의 메타 블록에 대응되는 어드레스가 할당되며, 어드레스 컨버터(201C)는 메타 데이터의 할당된 어드레스 즉, 하나의 메타 블록에 대응하는 어드레스를 타겟 메타 블록(예를 들어 111A)의 서브 블록들 중 선택된 서브 블록의 어드레스로 변환시킨다.

[0101] 버퍼 메모리(203)는 호스트로부터 수신된 프로그램 데이터 또는 반도체 메모리 장치(100)로부터 수신된 리드 데이터를 임시 저장할 수 있다. 한편, 버퍼 메모리(203)는 펌웨어의 구동에 필요한 데이터, 예를 들면, 메타 데이터를 저장할 수 있다. 이를 위해, 반도체 메모리 장치(100)의 복수의 메타 블록들(111A~111C) 중 타겟 메타 블록(111A)의 선택된 적어도 하나의 서브 블록에 저장된 메타 데이터가 리드되어 버퍼 메모리(203)에 저장될 수 있다. 일 실시 예에서, 버퍼 메모리(203)는 프로세싱 유닛(201)의 동작 메모리(working memory)로서 동작할 수 있다.

[0103] 호스트 인터페이스(205)는 호스트와 메모리 시스템(1000)을 인터페이싱할 수 있다. 버퍼 메모리(203)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다.

[0105] 메모리 인터페이스(207)는 프로세싱 유닛(201)의 제어에 의해 반도체 메모리 장치(100)를 제어할 수 있다. 메모리 인터페이스(207)는 반도체 메모리 장치(100)를 제어하기 위한 커맨드, 어드레스, 제어 신호 등을 생성하여, 채널(CH)을 통해 반도체 메모리 장치(100)로 전달할 수 있다. 또한, 메모리 인터페이스(207)는 채널(CH)을 통해 반도체 메모리 장치(100)로부터 데이터를 제공받을 수 있다.

[0107] 도 8은 도 7의 메타 블록들(111A~111C) 중 어느 하나의 메타 블록(111A)을 나타내는 블록도이다.

[0108] 도 8을 참조하면, 메타 블록(111A)은 복수의 서브 블록들(SUB1~SUB3)로 구분될 수 있다. 복수의 서브 블록들(SUB1~SUB3)은 각각 캠 블록(CAM_BLOCK), 리플레이스 블록(Replace_BLOCK), 및 보조 블록(Additional_BLOCK)으로 정의될 수 있다.

[0109] 캠 블록(CAM_BLOCK)은 도 7의 컨트롤러(200)로부터 수신되는 메타 데이터를 저장하는 서브 블록일 수 있다. 리플레이스 블록(Replace_BLOCK)은 도 7의 노멀 블록들(112A~112K) 중 메드 블록으로 판단된 노멀 블록을 대체하기 위한 서브 블록일 수 있다. 보조 블록(Additional_BLOCK)은 메모리 시스템의 서든 파워 오프 시 현재 수행 중인 반도체 메모리의 제반 동작에 대한 정보 및 데이터를 저장하는 서브 블록일 수 있다.

[0110] 메타 블록(111A)은 소거 동작 시 부분 소거 방식으로 서브 블록 단위로 소거 동작이 수행될 수 있다. 즉, 소거 동작 시 복수의 서브 블록들(SUB1~SUB3) 중 선택된 소거 블록을 선택적으로 소거할 수 있다.

[0111] 본 발명의 실시 예에서 메타 블록들(111A~111C) 각각은 도 7의 노멀 블록들(112A~112K) 각각과 동일한 블록 단

위를 가진다. 즉, 메타 블록들(111A~111C) 각각은 노멀 블록들(112A~112K) 각각과 동일한 회로 구조를 가질 수 있다. 또한 메타 블록들(111A~111C) 각각은 서브 블록 단위로 소거될 수 있으며, 노멀 블록들(112A~112K) 각각은 블록 단위(하나의 메모리 블록)로 소거될 수 있다.

- [0113] 도 9는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 설명하기 위한 순서도이다.
- [0114] 도 1 내지 도 9를 참조하여 메모리 시스템의 메타 데이터 프로그램 방법을 설명하면 다음과 같다.
- [0115] 단계 S910에서, 호스트(300)으로부터 커맨드가 수신되면 컨트롤러(200)는 수신된 커맨드에 대응하는 메타 데이터를 생성한다. 예를 들어, 메타 데이터 생성부(201B)는 호스트(300)로부터 수신되는 커맨드에 대응하는 커맨드 동작을 위한 메타 데이터를 생성한다.
- [0116] 이와 함께, 컨트롤러(200)의 프로세싱 유닛(201)은 호스트(300)으로부터 수신되는 커맨드에 응답하여 반도체 메모리 장치(100)를 제어하기 위한 명령어(CMD)를 생성할 수 있으며, 반도체 메모리 장치(100)는 명령어(CMD)에 응답하여 프로그램 동작, 리드 동작, 소거 동작과 같은 제반 동작을 수행할 수 있다.
- [0118] 단계 S920에서, 컨트롤러(200)는 생성된 메타 데이터에 대응하는 메타 블록의 어드레스를 할당한다. 예를 들어, 메타 데이터 생성부(201B)는 생성된 메타 데이터가 프로그램 동작 시 프로그램될 메타 블록을 선정하여 선정된 메타 블록의 어드레스를 할당한다. 예를 들어 메타 데이터 생성부(201B)는 반도체 메모리 장치(100)에 포함되는 복수의 메타 블록들(111A~111C) 중 메타 데이터가 프로그램되는 적어도 하나의 메타 블록의 어드레스를 메타 데이터에 할당할 수 있다.
- [0120] 단계 S930에서, 컨트롤러(200)는 메타 데이터에 할당된 하나의 메타 블록에 대응하는 어드레스를 타겟 메타 블록의 서브 블록에 대응하는 어드레스로 변환한다. 예를 들어, 어드레스 컨버터(201C)는 메타 데이터에 할당된 하나의 메타 블록에 대응하는 어드레스를 타겟 메타 블록(예를 들어 111A)의 서브 블록들(SUB1~SUB3) 중 캠 블록(CAM_BLOCK)에 대응하는 서브 블록(SUB)의 어드레스로 변환시킨다.
- [0122] 단계 S940에서, 반도체 메모리 장치(100)는 컨트롤러(200)로부터 메타 데이터 및 메타 데이터에 대응하는 변환된 어드레스, 즉, 타겟 메타 블록(111A)의 캠 블록(CAM_BLOCK)에 대응하는 서브 블록(SUB1)의 어드레스를 수신하고, 이에 기초하여 메타 데이터를 타겟 메타 블록(111A)의 서브 블록(SUB1)에 저장한다.
- [0124] 단계 S950에서, 컨트롤러(200)는 반도체 메모리 장치(100)에 포함된 복수의 메타 블록들(111A~111C) 중 메타 데이터가 저장된 서브 블록(SUB1)을 포함하는 타겟 메타 블록(111A)을 제외한 나머지 메타 블록들(111B, 111C)을 SLC 블록, 리플레이스 블록, 또는 오버프로비저닝 블록으로 할당한다.
- [0126] 상술한 메타 데이터의 프로그램 동작이 완료된 후, 반도체 메모리 장치(100)는 복수의 노멀 블록들(112A~112K) 중 배드 블록으로 판단된 노멀 블록을 대체하기 위하여 타겟 메타 블록(111A)에 포함된 복수의 서브 블록들(SUB1~SUB3) 중 캠 블록(CAM_BLOCK)으로 정의되어 메타 데이터가 저장된 서브 블록(SUB1)을 제외한 나머지 서브 블록들(SUB2, SUB3) 중 적어도 어느 하나의 서브 블록(예를 들어 SUB2)을 리플레이스 블록(Replace_BLOCK)으로 할당할 수 있다. 또한 반도체 메모리 장치(100)는 타겟 메타 블록(111A)에 포함된 복수의 서브 블록들(SUB1~SUB3) 중 캠 블록(CAM_BLOCK)으로 정의되어 메타 데이터가 저장된 서브 블록(SUB1)을 제외한 나머지 서브 블록들(SUB2, SUB3) 중 적어도 어느 하나의 서브 블록(예를 들어 SUB3)을 보조 블록으로 할당하고, 서든 파워 오프 시 현재 수행 중인 제반 동작에 대한 정보 및 데이터를 보조 블록에 저장할 수 있다. 보조 블록에 저장된 정보 및 데이터는 파워 복구 후 중단된 제반 동작을 재수행하기 위하여 리드되어 활용될 수 있다.
- [0127] 또한 반도체 메모리 장치(100)는 복수의 메타 블록들(111A~111C) 중 메타 데이터가 저장된 서브 블록(SUB1)을 포함하는 타겟 메타 블록(111A)을 제외한 나머지 메타 블록들(111B 및 111C)을 SLC 블록, 추가적인 리플레이스 블록 및 오버프로비저닝 블록으로 할당할 수 있다. 이로 인하여 메모리 시스템의 메모리 블록 활용도가 개선되

어 메모리 시스템의 성능을 개선할 수 있다.

- [0129] 도 10은 도 1 또는 도 7에 도시된 컨트롤러의 일 예를 나타내는 블록도이다.
- [0130] 도 10을 참조하면, 컨트롤러(200)는 반도체 메모리 장치(100) 및 호스트(HOST)와 연결된다. 반도체 메모리 장치(100)는 도 7를 참조하여 설명된 반도체 메모리 장치일 수 있다. 컨트롤러(200)는 도 1 또는 도 7의 컨트롤러(200)에 대응된다. 이하, 중복되는 설명은 생략된다.
- [0131] 컨트롤러(200)는 호스트(Host)로부터의 요청에 응답하여, 반도체 메모리 장치(100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(200)는 반도체 메모리 장치(100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(200)는 반도체 메모리 장치(100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(200)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0132] 컨트롤러(200)는 램(210, Random Access Memory), 프로세싱 유닛(220, processing unit), 호스트 인터페이스(230, host interface), 메모리 인터페이스(240, memory interface) 및 에러 정정 블록(250)을 포함한다. 램(210)은 프로세싱 유닛(220)의 동작 메모리, 반도체 메모리 장치(100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 도 10의 램(210)은 도 7의 버퍼 메모리(203)와 실질적으로 동일한 구성 요소일 수 있다.
- [0133] 프로세싱 유닛(220)은 컨트롤러(200)의 제반 동작을 제어한다. 도 10의 프로세싱 유닛(220)은 도 7의 프로세싱 유닛(201)과 실질적으로 동일한 구성요소일 수 있다.
- [0134] 호스트 인터페이스(230)는 호스트(Host) 및 컨트롤러(200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer system interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다. 도 10의 호스트 인터페이스(230)는 도 7의 호스트 인터페이스(205)와 실질적으로 동일한 구성 요소일 수 있다.
- [0135] 메모리 인터페이스(240)는 반도체 메모리 장치(100)와 인터페이스한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다. 도 10의 메모리 인터페이스(240)는 도 7의 메모리 인터페이스(207)와 실질적으로 동일한 구성 요소일 수 있다.
- [0136] 에러 정정 블록(250)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(100)로부터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다. 프로세싱 유닛(220)은 에러 정정 블록(250)의 에러 검출 결과에 따라 읽기 전압을 조절하고, 재 읽기를 수행하도록 반도체 메모리 장치(100)를 제어할 것이다. 예시적인 실시 예로서, 에러 정정 블록은 컨트롤러(200)의 구성 요소로서 제공될 수 있다.
- [0137] 컨트롤러(200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0138] 컨트롤러(200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 메모리 시스템(1000)을 포함한다. 컨트롤러(200) 및 반도체 메모리 장치(100)를 포함하는 메모리 시스템(1000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0139] 다른 예로서, 컨트롤러(200) 및 반도체 메모리 장치(100)를 포함하는 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴

퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙 박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0140] 예시적인 실시 예로서, 반도체 메모리 장치(100) 및 이를 포함하는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(100) 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi-Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.

[0142] 도 11은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.

[0143] 도 11을 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 다수의 반도체 메모리 칩들을 포함한다. 다수의 반도체 메모리 칩들은 다수의 그룹들로 분할된다.

[0144] 도 11에서, 다수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 반도체 메모리 칩은 도 2를 참조하여 설명된 반도체 메모리 장치(100)와 마찬가지로 구성되고, 동작할 것이다.

[0145] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 10을 참조하여 설명된 컨트롤러(200)와 마찬가지로 구성되고, 다수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 다수의 메모리 칩들을 제어하도록 구성된다.

[0146]

[0147] 도 12는 도 11을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

[0148] 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.

[0149] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.

[0150] 도 12에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.

[0151] 도 12에서, 도 11을 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은, 도 10을 참조하여 설명된 컨트롤러(200) 및 반도체 메모리 장치(100)를 포함하는 메모리 시스템으로 대체될 수 있다.

[0153] 본 명세서와 도면에 개시된 본 발명의 실시 예들은 본 발명의 기술 내용을 쉽게 설명하고 본 발명의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는

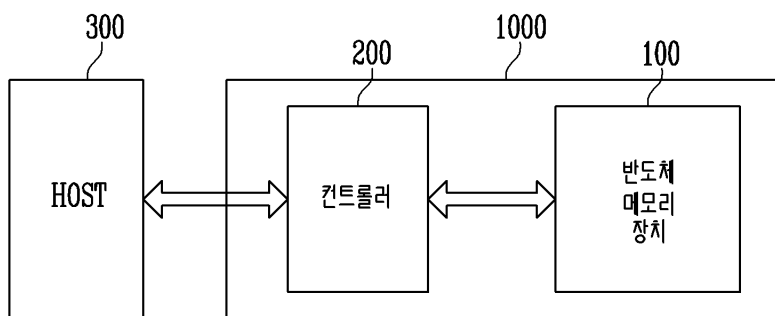
기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

부호의 설명

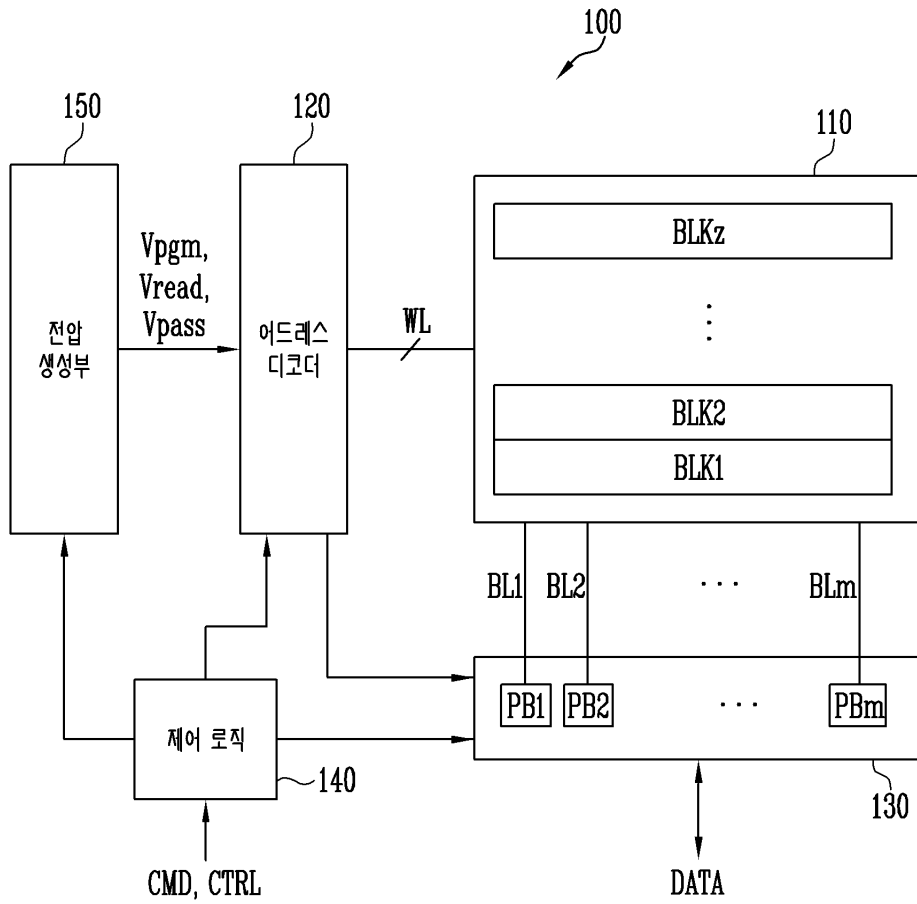
- [0155] 100: 반도체 메모리 장치
- 200: 컨트롤러
- 300: 호스트
- 1000: 메모리 시스템
- 201: 프로세스 유닛
- 203: 버퍼 메모리
- 205: 호스트 인터페이스
- 207: 메모리 인터페이스
- 201A: FTL
- 201B: 메타 데이터 생성부
- 201C: 어드레스 컨버터
- 111A~111C: 메타 블록
- 112A~112K: 노멀 블록
- SUB1~SUB3: 서브 블록

도면

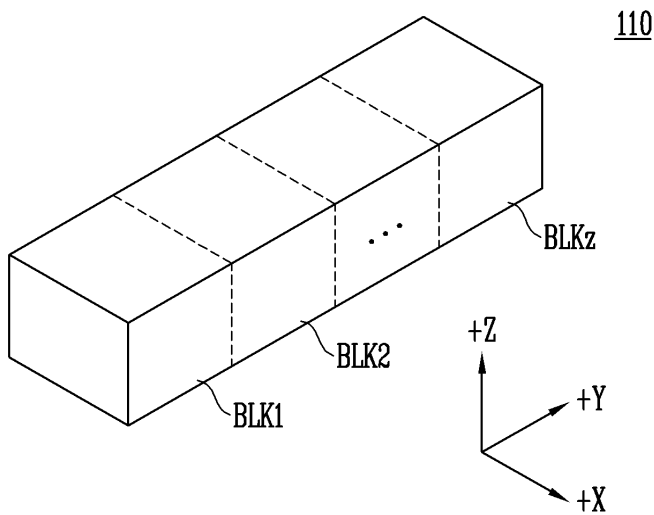
도면1



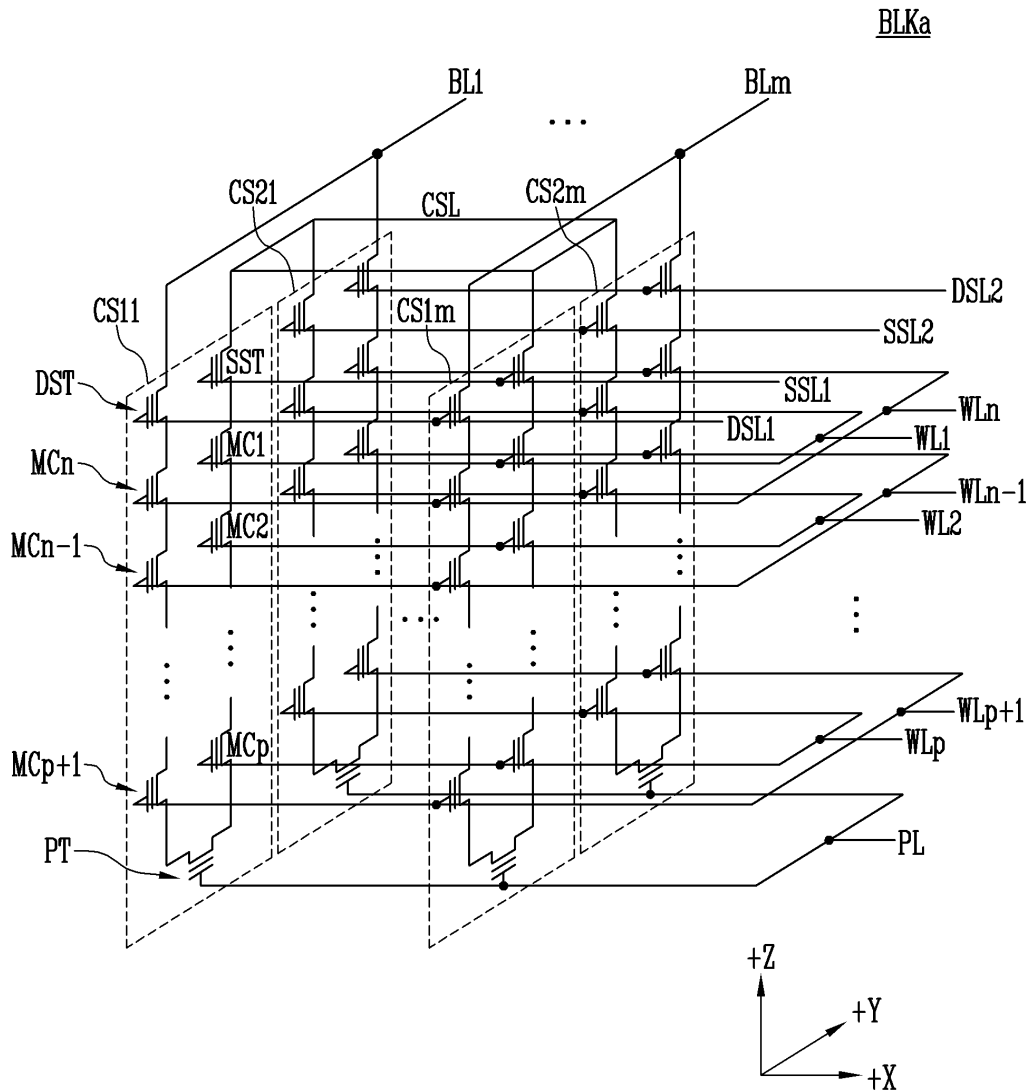
도면2



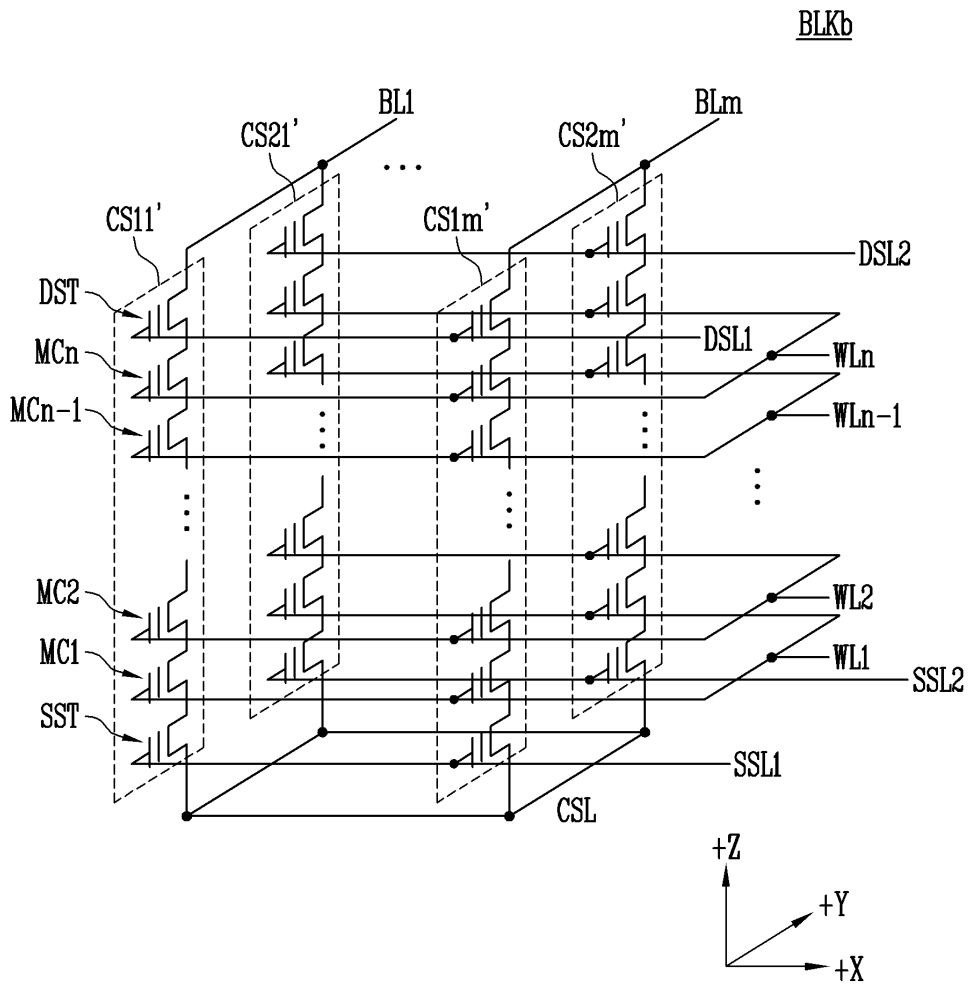
도면3



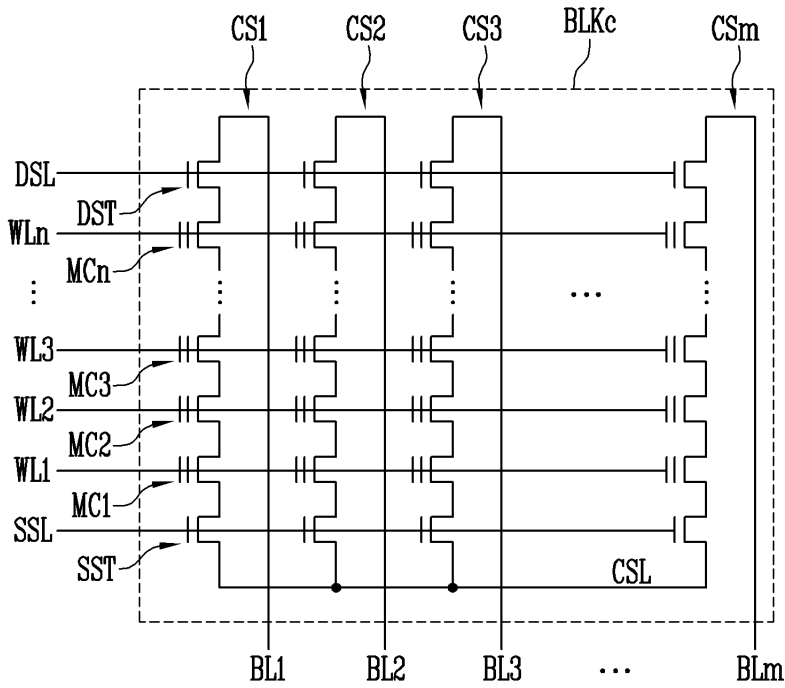
도면4



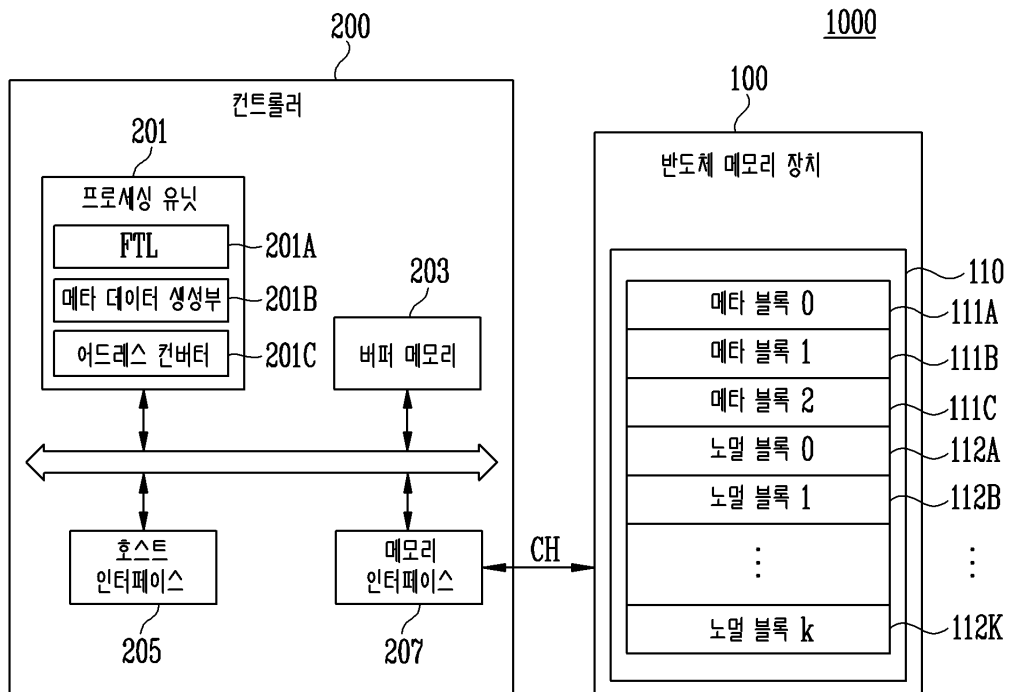
도면5



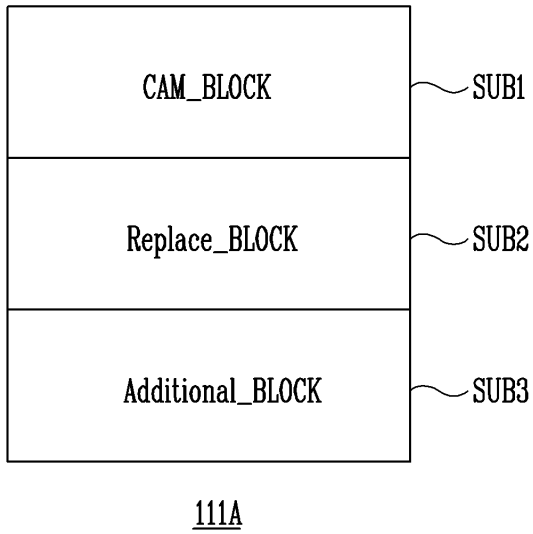
도면6



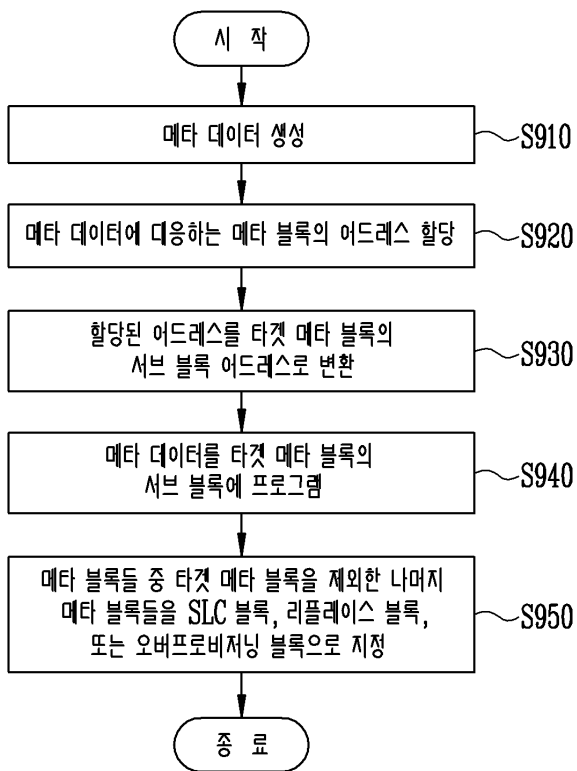
도면7



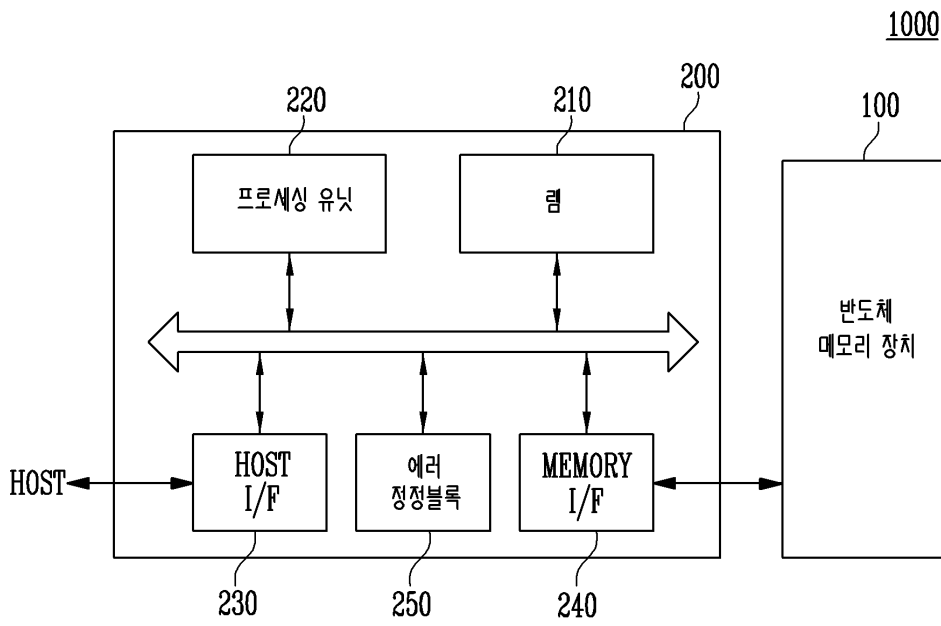
도면8



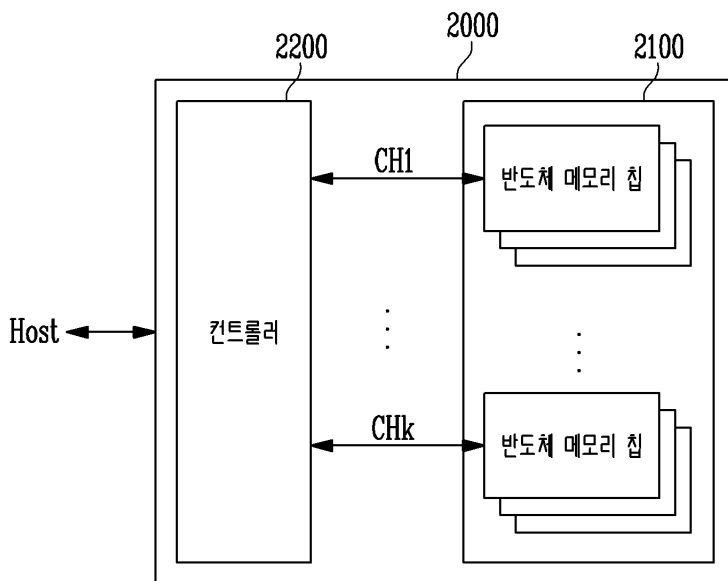
도면9



도면10



도면11



도면12

