



(12) 发明专利

(10) 授权公告号 CN 106023874 B

(45) 授权公告日 2023. 08. 18

(21) 申请号 201610615275.5

(22) 申请日 2016.07.29

(65) 同一申请的已公布的文献号
申请公布号 CN 106023874 A

(43) 申请公布日 2016.10.12

(73) 专利权人 上海中航光电子有限公司
地址 201100 上海市闵行区华宁路3388号
专利权人 天马微电子股份有限公司

(72) 发明人 敦栋梁

(74) 专利代理机构 北京允天律师事务所 11697
专利代理师 张俊杰

(51) Int.Cl.
G09G 3/20 (2006.01)

(56) 对比文件

- CN 205992407 U, 2017.03.01
- US 2014168044 A1, 2014.06.19
- US 2016027371 A1, 2016.01.28
- CN 103258494 A, 2013.08.21
- CN 104091573 A, 2014.10.08

审查员 陈本耀

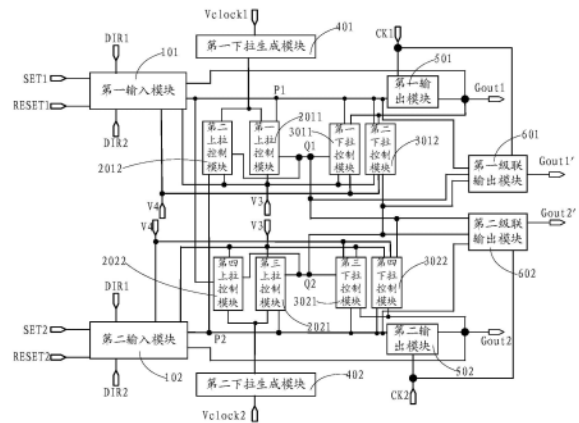
权利要求书8页 说明书18页 附图7页

(54) 发明名称

一种双向扫描单元、驱动方法及栅极驱动电路

(57) 摘要

本发明公开了一种双向扫描单元、驱动方法及栅极驱动电路,双向扫描单元包括有第一级子单元和第二级子单元,双向扫描单元可以沿第一级子单元至第二级子单元的方向逐级输出扫描信号,还可以沿第二级子单元至第一级子单元的方向逐级输出扫描信号,且在扫描过程中,第一级子单元和第二级子单元相互配合,使在其中一级子单元输出扫描信号时,另一级子单元不输出扫描信号。本发明提供的技术方案,双向扫描单元能够逐级输出两级扫描信号,且通过第一级子单元和第二级子单元相互作用而简化双向扫描单元的结构,并且满足栅极驱动电路的多样性的需求。



1. 一种双向扫描单元,其特征在于,所述双向扫描单元包括第一级子单元和第二级子单元,其中,所述第一级子单元包括:第一输入模块、第一上拉节点、第一上拉控制模块、第二上拉控制模块、第一下拉节点、第一下拉控制模块、第二下拉控制模块、第一下拉生成模块、第一输出模块、第一输出端、第一级联输出模块和第一级联输出端;以及,所述第二级子单元包括:第二输入模块、第二上拉节点、第三上拉控制模块、第四上拉控制模块、第二下拉节点、第三下拉控制模块、第四下拉控制模块、第二下拉生成模块、第二输出模块、第二输出端、第二级联输出模块和第二级联输出端;

所述第一输入模块响应于第一控制端的信号而控制第一电压端与所述第一上拉节点之间和控制第四电压端与所述第一输出端之间的接通状态,以及响应于第二控制端的信号而控制第二电压端与所述第一上拉节点之间和控制所述第四电压端与所述第一输出端之间的接通状态,其中,所述第一电压端和第二电压端输出的信号的电平相反;

所述第二输入模块响应于第三控制端的信号而控制所述第一电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间的接通状态,或者响应于第四控制端的信号而控制所述第二电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间的接通状态,其中,所述第一输入模块和第二输入模块的结构相同;

所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与第三电压端之间和控制所述第一下拉节点与所述第一下拉生成模块之间的接通状态;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间和控制所述第一下拉节点与所述第一下拉生成模块之间的接通状态,且所述第三电压端输出电压小于第四电压端输出电压;

所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间和控制所述第二下拉节点与所述第二下拉生成模块之间的接通状态;所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间和控制所述第二下拉节点与所述第二下拉生成模块之间的接通状态,其中,所述第一上拉控制模块和第三上拉控制模块的结构相同,且所述第二上拉控制模块和第四上拉控制模块的结构相同;

所述第一下拉生成模块响应于第一信号端的信号而控制所述第一信号端和所述第一下拉节点之间的接通状态;

所述第二下拉生成模块响应于第二信号端的信号而控制所述第二信号端与所述第二下拉节点之间的接通状态,且所述第一下拉生成模块和第二下拉生成模块的结构相同;

所述第一下拉控制模块响应于所述第一下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间的接通状态;所述第二下拉控制模块响应于所述第二下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间的接通状态;

所述第三下拉控制模块响应于所述第二下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间的接通状态;所述第四下拉控制模块响应于所述第一下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间的接通状态,其中,所述第一下拉控制模块和第三下拉控制模块的结构相同,且所述第二下拉控制模块和第四下拉控制模块的

结构相同；

所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟信号端与所述第一输出端之间的接通状态，以及，所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间的接通状态，其中，所述第一时钟信号端和第二时钟信号端输出的信号相位差为180度，且所述第一输出模块和第二输出模块的结构相同；

所述第一级联输出模块响应于所述一下拉节点或第二下拉节点的信号而控制所述第三电压端与所述第一级联输出端之间的接通状态，以及响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间的接通状态；

以及，所述第二级联输出模块响应于所述第二下拉节点或第一下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间的接通状态，以及响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间的接通状态，其中，所述第一级联输出模块和第二级联输出模块的结构相同。

2. 根据权利要求1所述的双向扫描单元，其特征在于，所述第一输入模块包括：第一晶体管、第二晶体管、第三晶体管和第四晶体管；

所述第一晶体管的栅极连接至所述第一控制端，所述第一晶体管的第一端连接至所述第一电压端，所述第一晶体管的第二端连接至所述第一上拉节点；所述第二晶体管的栅极连接至所述第二控制端，所述第二晶体管的第一端连接至所述第二电压端，所述第二晶体管的第二端连接至所述第一上拉节点；所述第三晶体管的栅极连接至所述第一控制端，所述第三晶体管的第一端连接至所述第四电压端，所述第三晶体管的第二端连接至所述第一输出端；所述第四晶体管的栅极连接至所述第二控制端，所述第四晶体管的第一端连接至所述第四电压端，所述第四晶体管的第二端连接至所述第一输出端；

以及，所述第二输入模块包括：第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管；

所述第十六晶体管的栅极连接至所述第三控制端，所述第十六晶体管的第一端连接至所述第一电压端，所述第十六晶体管的第二端连接至所述第二上拉节点；所述第十七晶体管的栅极连接至所述第四控制端，所述第十七晶体管的第一端连接至所述第二电压端，所述第十七晶体管的第二端连接至所述第二上拉节点；所述第十八晶体管的栅极连接至所述第三控制端，所述第十八晶体管的第一端连接至所述第四电压端，所述第十八晶体管的第二端连接至所述第二输出端；所述第十九晶体管的栅极连接至所述第四控制端，所述第十九晶体管的第一端连接至所述第四电压端，所述第十九晶体管的第二端连接至所述第二输出端。

3. 根据权利要求1所述的双向扫描单元，其特征在于，所述第一上拉控制模块包括：第五晶体管和第六晶体管；

所述第五晶体管的栅极连接至所述第一上拉节点，所述第五晶体管的第一端连接至所述第三电压端，所述第五晶体管的第二端连接至所述一下拉节点；所述第六晶体管的栅极连接至所述第一上拉节点，所述第六晶体管的第一端连接至所述第三电压端，所述第六晶体管的第二端连接至所述一下拉生成模块；

以及，所述第三上拉控制模块包括：第二十晶体管和第二十一晶体管；

所述第二十晶体管的栅极连接至所述第二上拉节点，所述第二十晶体管的第一端连接

至所述第三电压端,所述第二十晶体管的第二端连接至所述第二下拉节点;所述第二十一晶体管的栅极连接至所述第二上拉节点,所述第二十一晶体管的第一端连接至所述第三电压端,所述第二十一晶体管的第二端连接至所述第二下拉生成模块。

4. 根据权利要求3所述的双向扫描单元,其特征在于,所述第二上拉控制模块包括:第七晶体管和第八晶体管;

所述第七晶体管的栅极连接至所述第二上拉节点,所述第七晶体管的第一端连接至所述第三电压端,所述第七晶体管的第二端连接至所述第一下拉节点;所述第八晶体管的栅极连接至所述第二上拉节点,所述第八晶体管的第一端连接至所述第三电压端,所述第八晶体管的第二端连接至所述第一下拉生成模块;

以及,所述第四上拉控制模块包括:第二十二晶体管和第二十三晶体管;

所述第二十二晶体管的栅极连接至所述第一上拉节点,所述第二十二晶体管的第一端连接至所述第三电压端,所述第二十二晶体管的第二端连接至所述第二下拉节点;所述第二十三晶体管的栅极连接至所述第一上拉节点,所述第二十三晶体管的第一端连接至所述第三电压端,所述第二十三晶体管的第二端连接至所述第二下拉生成模块。

5. 根据权利要求4所述的双向扫描单元,其特征在于,所述第一下拉生成模块包括:第九晶体管和第十晶体管;

所述第九晶体管的栅极连接至所述第六晶体管和第八晶体管的第二端,所述第九晶体管的第一端连接至所述第一信号端,所述第九晶体管的第二端连接至所述第一下拉节点;所述第十晶体管的栅极和第一端均连接至所述第一信号端,所述第十晶体管的第二端连接至所述第六晶体管和第八晶体管的第二端;

以及,所述第二下拉生成模块包括:第二十四晶体管和第二十五晶体管;

所述第二十四晶体管的栅极连接至所述第二十一晶体管和第二十三晶体管的第二端,所述第二十四晶体管的第一端连接至所述第二信号端,所述第二十四晶体管的第二端连接至所述第二下拉节点;所述第二十五晶体管的栅极和第一端均连接至所述第二信号端,所述第二十五晶体管的第二端连接至所述第二十一晶体管和第二十三晶体管的第二端。

6. 根据权利要求5所述的双向扫描单元,其特征在于,所述第六晶体管和第八晶体管的宽长比均大于所述第十晶体管的宽长比;

以及,所述第二十一晶体管和第二十三晶体管的宽长比均大于所述第二十五晶体管的宽长比。

7. 根据权利要求1所述的双向扫描单元,其特征在于,所述第一下拉控制模块包括:第十一晶体管和第十二晶体管;

所述第十一晶体管的栅极连接至所述第一下拉节点,所述第十一晶体管的第一端连接至所述第三电压端,所述第十一晶体管的第二端连接至所述第一上拉节点;所述第十二晶体管的栅极连接至所述第一下拉节点,所述第十二晶体管的第一端连接至所述第四电压端,所述第十二晶体管的第二端连接至所述第一输出端;

以及,所述第三下拉控制模块包括:第二十六晶体管和第二十七晶体管;

所述第二十六晶体管的栅极连接至所述第二下拉节点,所述第二十六晶体管的第一端连接至所述第三电压端,所述第二十六晶体管的第二端连接至所述第二上拉节点;所述第二十七晶体管的栅极连接至所述第二下拉节点,所述第二十七晶体管的第一端连接至所述

第四电压端,所述第二十七晶体管的第二端连接至所述第二输出端。

8. 根据权利要求7所述的双向扫描单元,其特征在于,所述第二下拉控制模块包括:第十三晶体管和第十四晶体管;

所述第十三晶体管的栅极连接至所述第二下拉节点,所述第十三晶体管的第一端连接至所述第三电压端,所述第十三晶体管的第二端连接至所述第一上拉节点;所述第十四晶体管的栅极连接至所述第二下拉节点,所述第十四晶体管的第一端连接至所述第四电压端,所述第十四晶体管的第二端连接至所述第一输出端;

以及,所述第四下拉控制模块包括:第二十八晶体管和第二十九晶体管;

所述第二十八晶体管的栅极连接至所述第一下拉节点,所述第二十八晶体管的第一端连接至所述第三电压端,所述第二十八晶体管的第二端连接至所述第二上拉节点;所述第二十九晶体管的栅极连接至所述第一下拉节点,所述第二十九晶体管的第一端连接至所述第四电压端,所述第二十九晶体管的第二端连接至所述第二输出端。

9. 根据权利要求1所述的双向扫描单元,其特征在于,所述第一输出模块包括:第十五晶体管和第一自举电容;

所述第十五晶体管的栅极和所述第一自举电容的第一极板均连接至所述第一上拉节点,所述第十五晶体管的第一端连接至所述第一时钟信号端,所述第十五晶体管的第二端和所述第一自举电容的第二极板相连接为所述第一输出端;

以及,所述第二输出模块包括:第三十晶体管和第二自举电容;

所述第三十晶体管的栅极和所述第二自举电容的第一极板均连接至所述第二上拉节点,所述第三十晶体管的第一端连接至所述第二时钟信号端,所述第三十晶体管的第二端和所述第二自举电容的第二极板相连接为所述第二输出端。

10. 根据权利要求1所述的双向扫描单元,其特征在于,所述第一级联输出模块包括:第三十三晶体管、第三十四晶体管和第三十五晶体管;

所述第三十三晶体管的栅极连接至所述第二下拉节点,所述第三十三晶体管的第一端连接至所述第三电压端,所述第三十三晶体管的第二端连接至所述第一级联输出端;所述第三十四晶体管的栅极连接至所述第一下拉节点,所述第三十四晶体管的第一端连接至所述第三电压端,所述第三十四晶体管的第二端连接至所述第一级联输出模块的输出端;所述第三十五晶体管的栅极连接至所述第一上拉节点,所述第三十五晶体管的第一端连接至所述第一时钟信号端,所述第三十五晶体管的第二端连接至所述第一级联输出端;

以及,所述第二级联输出模块包括:第三十六晶体管、第三十七晶体管和第三十八晶体管;

所述第三十六晶体管的栅极连接至所述第一下拉节点,所述第三十六晶体管的第一端连接至所述第三电压端,所述第三十六晶体管的第二端连接至所述第二级联输出模块的输出端;所述第三十七晶体管的栅极连接至所述第二下拉节点,所述第三十七晶体管的第一端连接至所述第三电压端,所述第三十七晶体管的第二端连接至所述第二级联输出端;所述第三十八晶体管的栅极连接至所述第二上拉节点,所述第三十八晶体管的第一端连接至所述第二时钟信号端,所述第三十八晶体管的第二端连接至所述第二级联输出端。

11. 根据权利要求1所述的双向扫描单元,其特征在于,所述第一信号端和第二信号端输出的信号的电平相反,且所述第一信号端和第二信号端输出的信号为帧反转信号。

12. 根据权利要求1所述的双向扫描单元,其特征在于,所述双向扫描单元还包括:与所述第一上拉节点连接的第一初始化模块,以及,与所述第二上拉节点连接的第二初始化模块;

其中,所述第一初始化模块响应于复位控制端的信号而控制所述第一上拉节点与复位电压端之间的接通状态,以及,所述第二初始化模块响应于所述复位控制端的信号而控制所述第二上拉节点与所述复位电压端之间的接通状态。

13. 根据权利要求12所述的双向扫描单元,其特征在于,所述第一初始化模块包括:第三十一晶体管;

所述第三十一晶体管的栅极连接至所述复位控制端,所述第三十一晶体管的第一端连接至所述复位电压端,所述第三十一晶体管的第二端连接至所述第一上拉节点;

以及,所述第二初始化模块包括:第三十二晶体管;

所述第三十二晶体管的栅极连接至所述复位控制端,所述第三十二晶体管的第一端连接至所述复位电压端,所述第三十二晶体管的第二端连接至所述第二上拉节点。

14. 根据权利要求1所述的双向扫描单元,其特征在于,所述双向扫描单元还包括:与所述第一下拉节点连接的第一初始化模块,以及,与所述第二下拉节点连接的第二初始化模块;

其中,所述第一初始化模块响应于复位控制端的信号而控制所述第一下拉节点与所述复位控制端之间的接通状态,以及,所述第二初始化模块响应于所述复位控制端的信号而控制所述第二下拉节点与所述复位控制端之间的接通状态。

15. 根据权利要求14所述的双向扫描单元,其特征在于,所述第一初始化模块包括:第三十一晶体管;

所述第三十一晶体管的栅极和第一端均连接至所述复位控制端,所述第三十一晶体管的第二端连接至所述第一下拉节点;

以及,所述第二初始化模块包括:第三十二晶体管;

所述第三十二晶体管的栅极和第一端均连接至所述复位控制端,所述第三十二晶体管的第二端连接至所述第二下拉节点。

16. 一种驱动方法,其特征在于,应用于权利要求1~15任意一项所述的双向扫描单元,所述驱动方法包括:第一阶段、第二阶段、第三阶段和第四阶段,其中,在沿所述第一级子单元至第二级子单元扫描时:

在所述第一阶段,所述第一输入模块响应于所述第一控制端的信号而控制第一电压端与所述第一上拉节点之间和控制第四电压端与所述第一输出端之间接通;其中,所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间、且控制所述第一下拉节点与所述第一下拉生成模块之间截止,以及,所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟信号端与所述第一输出端之间接通;所述第一级联输出模块响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间接通;

在所述第二阶段,所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟

信号端与所述第一输出端之间接通,所述第一级联输出模块响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间接通,且所述第一时钟信号端输出信号为扫描信号;以及,所述第二输入模块响应于第三控制端的信号而控制所述第一电压端与所述第二上拉节点之间、且控制所述第四电压端与所述第二输出端之间接通;其中,所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间截止;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间截止;以及,所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间接通;所述第二级联输出模块响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间接通;

在所述第三阶段,所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间接通,所述第二级联输出模块响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间接通,且所述第二时钟信号端输出信号为扫描信号;以及,所述第一输入模块响应于所述第二控制端的信号而控制第二电压端与所述第一上拉节点之间和控制所述第四电压端与所述第一输出端之间接通;其中,所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间截止;

在所述第四阶段,所述第二输入模块响应于所述第四控制端的信号而控制所述第二电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间接通;

其中,所述第一下拉生成模块响应于第一信号端的信号而控制所述第一信号端和控制所述第一下拉节点之间接通;以及,所述第一下拉控制模块响应于所述第一下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间接通;所述第四下拉控制模块响应于所述第一下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间接通;且所述第一级联输出模块响应于所述第一下拉节点的信号而控制所述第三电压端与所述第一级联输出端之间接通,所述第二级联输出模块响应于所述第一下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间接通;或者,所述第二下拉生成模块响应于第二信号端的信号而控制所述第二信号端与所述第二下拉节点之间接通;以及,所述第三下拉控制模块响应于所述第二下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间接通;所述第二下拉控制模块响应于所述第二下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间接通;且所述第一级联输出模块响应于所述第二下拉节点的信号而

控制所述第三电压端与所述第一级联输出端之间接通,所述第二级联输出模块响应于所述第二下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间接通;

或者,在沿所述第二级子单元至第一级子单元扫描时:

在所述第一阶段,所述第二输入模块响应于第四控制端的信号而控制所述第二电压端与所述第二上拉节点之间、且控制所述第四电压端与所述第二输出端之间接通;其中,所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间接通;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间接通;所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间接通;所述第二级联输出模块响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间接通;

在所述第二阶段,所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间接通,所述第二级联输出模块响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间接通,且所述第二时钟信号端输出的信号为所述扫描信号;以及,所述第一输入模块响应于第二控制端的信号而控制第二电压端与所述第一上拉节点之间和控制第四电压端与所述第一输出端之间接通;其中,所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间接通;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间接通;所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间接通;以及,所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间截止;所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟信号端与所述第一输出端之间接通;所述第一级联输出模块响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间接通;

在所述第三阶段,所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟信号端与所述第一输出端之间接通,所述第一级联输出模块响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间接通,且所述第一时钟信号端输出的信号为所述扫描信号;以及,所述第二输入模块响应于所述第三控制端的信号而控制所述第一电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间接通;其中,所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间接通、且控制所述第一下拉节点与所述第一下拉生成模块之间截止;所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间接通、且控制所述第二下拉节点与所述第二下拉生成模块之间截止;

在所述第四阶段,所述第一输入模块响应于所述第一控制端的信号而控制第一电压端

与所述第一上拉节点之间和控制所述第四电压端与所述第一输出端之间接通；

其中,所述第一下拉生成模块响应于第一信号端的信号而控制所述第一信号端和控制所述第一下拉节点之间接通;以及,所述第一下拉控制模块响应于所述第一下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间接通;所述第四下拉控制模块响应于所述第一下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间接通;且所述第一级联输出模块响应于所述第一下拉节点的信号而控制所述第三电压端与所述第一级联输出端之间接通,所述第二级联输出模块响应于所述第一下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间接通;或者,所述第二下拉生成模块响应于第二信号端的信号而控制所述第二信号端与所述第二下拉节点之间接通;以及,所述第三下拉控制模块响应于所述第二下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间接通;所述第二下拉控制模块响应于所述第二下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间接通;且所述第一级联输出模块响应于所述第二下拉节点的信号而控制所述第三电压端与所述第一级联输出端之间接通,所述第二级联输出模块响应于所述第二下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间接通。

17. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括的n级双向扫描单元为第一级双向扫描单元至第n级双向扫描单元,其中,每一级双向扫描单元均为权利要求1~15任意一项所述的双向扫描单元,n为不小于2的整数。

18. 根据权利要求17所述的栅极驱动电路,其特征在于,定义相邻两级所述双向扫描单元为第i级双向扫描单元和第i+1级双向扫描单元,i为不大于n的正整数;

所述第i级双向扫描单元的第一级联输出端与所述第i+1级双向扫描单元的第一控制端相连,所述第i+1级双向扫描单元的第一级联输出端与所述第i级双向扫描单元的第二控制端相连;

所述第i级双向扫描单元的第二级联输出端与所述第i+1级双向扫描单元的第三控制端相连,所述第i+1级双向扫描单元的第二级联输出端与所述第i级双向扫描单元的第四控制端相连;

以及,奇数级双向扫描单元的第一时钟信号端为同一信号端、且第二时钟信号端为同一信号端,偶数级双向扫描单元的第一时钟信号端为同一信号端、且第二时钟信号端为同一信号端。

一种双向扫描单元、驱动方法及栅极驱动电路

技术领域

[0001] 本发明涉及显示扫描技术领域,更为具体的说,涉及一种双向扫描单元、驱动方法及栅极驱动电路。

背景技术

[0002] 随着电子技术的发展,显示装置已被广泛应用于各行领域和各种电子产品中,成为人们生活和工作不可或缺的一部分,如电视、手机、电脑、个人数字助理等。现有的显示装置中,显示装置包括有栅极驱动电路,栅极驱动电路主要用于扫描多级栅极线,以通过扫描栅极线而对与栅极线电连接的像素阵列进行扫描,进而配合其他线路结构而进行画面的显示。由于人们对栅极驱动电路的多样性的需求,因此栅极驱动电路的设计成为开发者现今主要研究趋势之一。

发明内容

[0003] 有鉴于此,本发明提供了一种双向扫描单元、驱动方法及栅极驱动电路,双向扫描单元能够逐级输出两级扫描信号,且通过第一级子单元和第二级子单元相互作用而简化双向扫描单元的结构,并且满足栅极驱动电路的多样性的需求。

[0004] 为实现上述目的,本发明提供的技术方案如下:

[0005] 一种双向扫描单元,其中,所述双向扫描单元包括第一级子单元和第二级子单元,其中,所述第一级子单元包括:第一输入模块、第一上拉节点、第一上拉控制模块、第二上拉控制模块、第一下拉节点、第一下拉控制模块、第二下拉控制模块、第一下拉生成模块、第一输出模块、第一输出端、第一级联输出模块和第一级联输出端;以及,所述第二级子单元包括:第二输入模块、第二上拉节点、第三上拉控制模块、第四上拉控制模块、第二下拉节点、第三下拉控制模块、第四下拉控制模块、第二下拉生成模块、第二输出模块、第二输出端、第二级联输出模块和第二级联输出端;

[0006] 所述第一输入模块响应于第一控制端的信号而控制第一电压端与所述第一上拉节点之间和控制第四电压端与所述第一输出端之间的接通状态,以及响应于第二控制端的信号而控制第二电压端与所述第一上拉节点之间和控制所述第四电压端与所述第一输出端之间的接通状态,其中,所述第一电压端和第二电压端输出的信号的电平相反;

[0007] 所述第二输入模块响应于第三控制端的信号而控制所述第一电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间的接通状态,或者响应于第四控制端的信号而控制所述第二电压端与所述第二上拉节点之间和控制所述第四电压端与所述第二输出端之间的接通状态,其中,所述第一输入模块和第二输入模块的结构相同;

[0008] 所述第一上拉控制模块响应于所述第一上拉节点的信号而控制所述第一下拉节点与第三电压端之间和控制所述第一下拉节点与所述第一下拉生成模块之间的接通状态;所述第二上拉控制模块响应于所述第二上拉节点的信号而控制所述第一下拉节点与所述第三电压端之间和控制所述第一下拉节点与所述第一下拉生成模块之间的接通状态,且所

述第三电压端输出电压小于第四电压端输出电压；

[0009] 所述第三上拉控制模块响应于所述第二上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间和控制所述第二下拉节点与所述第二下拉生成模块之间的接通状态；所述第四上拉控制模块响应于所述第一上拉节点的信号而控制所述第二下拉节点与所述第三电压端之间和控制所述第二下拉节点与所述第二下拉生成模块之间的接通状态，其中，所述第一上拉控制模块和第三上拉控制模块的结构相同，且所述第二上拉控制模块和第四上拉控制模块的结构相同；

[0010] 所述第一下拉生成模块响应于第一信号端的信号而控制所述第一信号端和所述第一下拉节点之间的接通状态；

[0011] 所述第二下拉生成模块响应于第二信号端的信号而控制所述第二信号端与所述第二下拉节点之间的接通状态，且所述第一下拉生成模块和第二下拉生成模块的结构相同；

[0012] 所述第一下拉控制模块响应于所述第一下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间的接通状态；所述第二下拉控制模块响应于所述第二下拉节点的信号而控制所述第一上拉节点与所述第三电压端之间和控制所述第四电压端与所述第一输出端之间的接通状态；

[0013] 所述第三下拉控制模块响应于所述第二下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间的接通状态；所述第四下拉控制模块响应于所述第一下拉节点的信号而控制所述第二上拉节点与所述第三电压端之间和控制所述第四电压端与所述第二输出端之间的接通状态，其中，所述第一下拉控制模块和第三下拉控制模块的结构相同，且所述第二下拉控制模块和第四下拉控制模块的结构相同；

[0014] 所述第一输出模块响应于所述第一上拉节点的信号而控制第一时钟信号端与所述第一输出端之间的接通状态，以及，所述第二输出模块响应于所述第二上拉节点的信号而控制第二时钟信号端与所述第二输出端之间的接通状态，其中，所述第一时钟信号端和第二时钟信号端输出的信号相位差为180度，且所述第一输出模块和第二输出模块的结构相同；

[0015] 所述第一级联输出模块响应于所述第一下拉节点或第二下拉节点的信号而控制所述第三电压端与所述第一级联输出端之间的接通状态，以及响应于所述第一上拉节点的信号而控制所述第一时钟信号端与所述第一级联输出端之间的接通状态；

[0016] 以及，所述第二级联输出模块响应于所述第二下拉节点或第一下拉节点的信号而控制所述第三电压端与所述第二级联输出端之间的接通状态，以及响应于所述第二上拉节点的信号而控制所述第二时钟信号端与所述第二级联输出端之间的接通状态，其中，所述第一级联输出模块和第二级联输出模块的结构相同。

[0017] 相较于现有技术，本发明提供的技术方案至少具有以下优点：

[0018] 本发明提供了一种双向扫描单元、驱动方法及栅极驱动电路，双向扫描单元包括有第一级子单元和第二级子单元，双向扫描单元可以沿第一级子单元至第二级子单元的方向逐级输出扫描信号，还可以沿第二级子单元至第一级子单元的方向逐级输出扫描信号，且在扫描过程中，第一级子单元和第二级子单元相互配合，使在其中一级子单元输出扫描

信号时,另一级子单元不输出扫描信号。本发明提供的技术方案,双向扫描单元能够逐级输出两级扫描信号,且通过第一级子单元和第二级子单元相互作用而简化双向扫描单元的结构,并且满足栅极驱动电路的多样性的需求。

附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0020] 图1为本申请实施例提供的一种双向扫描单元的结构示意图;

[0021] 图2为本申请实施例提供的另一种双向扫描单元的结构示意图;

[0022] 图3a为本申请实施例提供的一种正向扫描的时序图;

[0023] 图3b为本申请实施例提供的一种反向扫描的时序图;

[0024] 图4为本申请实施例提供的又一种双向扫描单元的结构示意图;

[0025] 图5为本申请实施例提供的又一种双向扫描单元的结构示意图;

[0026] 图6为本申请实施例提供的一种栅极驱动电路的结构示意图。

具体实施方式

[0027] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0028] 正如背景技术所述,由于人们对栅极驱动电路的多样性的需求,因此栅极驱动电路的设计成为开发者现今主要研究趋势之一。

[0029] 基于此,本申请实施例提供了一种双向扫描单元、驱动方法及栅极驱动电路,双向扫描单元能够逐级输出两级扫描信号,且通过第一级子单元和第二级子单元相互作用而简化双向扫描单元的结构,并且满足栅极驱动电路的多样性的需求。为实现上述目的,本申请实施例提供的技术方案如下,具体结合图1至图6所示,对本申请实施例提供的技术方案进行详细的描述。

[0030] 参考图1所示,为本申请实施例提供的一种双向扫描单元的结构示意图,其中,双向扫描单元应用于栅极驱动电路,所述双向扫描单元包括:

[0031] 第一级子单元和第二级子单元,其中,所述第一级子单元包括:第一输入模块101、第一上拉节点P1、第一上拉控制模块2011、第二上拉控制模块2012、第一下拉节点Q1、第一下拉控制模块3011、第二下拉控制模块3012、第一下拉生成模块401、第一输出模块501、第一输出端Gout1、第一级联输出模块601和第一级联输出端Gout1';以及,所述第二级子单元包括:第二输入模块102、第二上拉节点P2、第三上拉控制模块2021、第四上拉控制模块2022、第二下拉节点Q2、第三下拉控制模块3021、第四下拉控制模块3022、第二下拉生成模块402、第二输出模块502、第二输出端Gout2、第二级联输出模块602和第二级联输出端Gout2';

[0032] 所述第一输入模块101响应于第一控制端SET1的信号而控制第一电压端DIR1与所述第一上拉节点P1之间和控制第四电压端V4与所述第一输出端Gout1之间的接通状态,以及响应于第二控制端RESET1的信号而控制第二电压端DIR2与所述第一上拉节点P1之间和控制所述第四电压端V4与所述第一输出端Gout1之间的接通状态,其中,所述第一电压端DIR1和第二电压端DIR2输出的信号的电平相反;

[0033] 所述第二输入模块102响应于第三控制端SET2的信号而控制所述第一电压端DIR1与所述第二上拉节点P2之间和控制所述第四电压端V4与所述第二输出端Gout2之间的接通状态,或者响应于第四控制端RESET2的信号而控制所述第二电压端DIR2与所述第二上拉节点P2之间和控制所述第四电压端V4与所述第二输出端Gout2的之间接通状态,其中,所述第一输入模块101和第二输入模块102的结构相同;

[0034] 所述第一上拉控制模块2011响应于所述第一上拉节点P1的信号而控制所述第一下拉节点Q1与第三电压端V3之间和控制所述第一下拉节点Q1与所述第一下拉生成模块401之间的接通状态;所述第二上拉控制模块2012响应于所述第二上拉节点P2的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间和控制所述第一下拉节点Q1与所述第一下拉生成模块401之间的接通状态,且所述第三电压端输出电压小于第四电压端输出电压;

[0035] 所述第三上拉控制模块2021响应于所述第二上拉节点P2的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间和控制所述第二下拉节点Q2与所述第二下拉生成模块402之间的接通状态;所述第四上拉控制模块2022响应于所述第一上拉节点P1的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间和控制所述第二下拉节点Q2与所述第二下拉生成模块402之间的接通状态,其中,所述第一上拉控制模块2011和第三上拉控制模块2021的结构相同,且所述第二上拉控制模块2012和第四上拉控制模块2022的结构相同;

[0036] 所述第一下拉生成模块401响应于第一信号端Vclock1的信号而控制所述第一信号端Vclock1和所述第一下拉节点Q1之间的接通状态;

[0037] 所述第二下拉生成模块402响应于第二信号端Vclock2的信号而控制所述第二信号端Vclock2与所述第二下拉节点Q2之间的接通状态,且所述第一下拉生成模块401和第二下拉生成模块402的结构相同;

[0038] 所述第一下拉控制模块3011响应于所述第一下拉节点Q1的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间的接通状态;所述第二下拉控制模块3012响应于所述第二下拉节点Q2的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间的接通状态;

[0039] 所述第三下拉控制模块3021响应于所述第二下拉节点Q2的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间的接通状态;所述第四下拉控制模块3022响应于所述第一下拉节点Q1的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间的接通状态,其中,所述第一下拉控制模块3011和第三下拉控制模块3021的结构相同,且所述第二下拉控制模块3012和第四下拉控制模块3022的结构相同;

[0040] 所述第一输出模块501响应于所述第一上拉节点P1的信号而控制第一时钟信号端CK1与所述第一输出端Gout1之间的接通状态,以及,所述第二输出模块502响应于所述第二

上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间的接通状态,其中,所述第一时钟信号端CK1和第二时钟信号端CK2输出的信号相位差为180度,且所述第一输出模块501和第二输出模块502的结构相同;

[0041] 所述第一级联输出模块601响应于所述第一下拉节点Q1或第二下拉节点Q2的信号而控制所述第三电压端V3与所述第一级联输出端Gout1'之间的接通状态,以及响应于所述第一上拉节点P1的信号而控制所述第一时钟信号端CK1与所述第一级联输出端Gout1'之间的接通状态;

[0042] 以及,所述第二级联输出模块602响应于所述第二下拉节点Q2或第一下拉节点Q1的信号而控制所述第三电压端V3与所述第二级联输出端Gout2'之间的接通状态,以及响应于所述第二上拉节点P2的信号而控制所述第二时钟信号端CK2与所述第二级联输出端Gout2'之间的接通状态,其中,所述第一级联输出模块601和第二级联输出模块602的结构相同。

[0043] 本申请实施例提供的双向扫描单元,其包括有第一级子单元和第二级子单元,双向扫描单元能够沿第一级子单元至第二级子单元的方向扫描,还能够沿第二级子单元至第一级子单元的方向扫描,进而实现双向扫描。此外,本申请实施例提供的第一级子单元和第二级子单元的组成模块结构相同,且各个模块的组成结构也相同,通过第一级子单元和第二级子单元在扫描过程中的相互作用,使得在当其中一级子单元输出扫描信号时,另一级子单元不输出扫描信号,以满足两级子单元逐级输出扫描信号的目的,并且,通过两级子单元之间相互作用,而无需借助外接线路对两级子单元在扫描时进行控制影响,保证双向扫描单元的线路结构简单,易于实现。

[0044] 结合图2所示,对本申请实施例提供的一种具体的双向扫描单元进行详细的描述。其中,图2为本申请实施例提供的另一种双向扫描单元的结构示意图。

[0045] 参考图2所示,本申请实施例提供的所述第一输入模块101包括:第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4;

[0046] 所述第一晶体管M1的栅极连接至所述第一控制端SET1,所述第一晶体管M1的第一端连接至所述第一电压端DIR1,所述第一晶体管M1的第二端连接至所述第一上拉节点P1;所述第二晶体管M2的栅极连接至所述第二控制端RESET1,所述第二晶体管M2的第一端连接至所述第二电压端DIR2,所述第二晶体管M2的第二端连接至所述第一上拉节点P1;所述第三晶体管M3的栅极连接至所述第一控制端SET1,所述第三晶体管M3的第一端连接至所述第四电压端V4,所述第三晶体管M3的第二端连接至所述第一输出端Gout1;所述第四晶体管M4的栅极连接至所述第二控制端RESET1,所述第四晶体管M4的第一端连接至所述第四电压端V4,所述第四晶体管M4的第二端连接至所述第一输出端Gout1;

[0047] 由于第一输入模块101和第二输出模块102的组成结构相同,故而第二输入模块102同样包括四个晶体管,即,以及,所述第二输入模块102包括:第十六晶体管M16、第十七晶体管M17、第十八晶体管M18和第十九晶体管M19;

[0048] 所述第十六晶体管M16的栅极连接至所述第三控制端SET2,所述第十六晶体管M16的第一端连接至所述第一电压端DIR1,所述第十六晶体管M16的第二端连接至所述第二上拉节点P2;所述第十七晶体管M17的栅极连接至所述第四控制端RESET2,所述第十七晶体管M17的第一端连接至所述第二电压端DIR2,所述第十七晶体管M17的第二端连接至所述第二

上拉节点P2;所述第十八晶体管M18的栅极连接至所述第三控制端SET2,所述第十八晶体管M18的第一端连接至所述第四电压端V4,所述第十八晶体管M18的第二端连接至所述第二输出端Gout2;所述第十九晶体管M19的栅极连接至所述第四控制端RESET2,所述第十九晶体管M19的第一端连接至所述第四电压端V4,所述第十九晶体管M19的第二端连接至所述第二输出端Gout2。

[0049] 需要说明的是,本申请实施例提供的第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4的导通类型相同;以及,第十六晶体管M16、第十七晶体管M17、第十八晶体管M18和第十九晶体管M19的导通类型相同。另外,在本申请一实施例中,由于需要将第一上拉节点P1和第二上拉节点P2的信号明确,因而对于第一输入模块101而言,在第一控制端SET1控制第一上拉节点P1和第一电压端DIR1之间接通时,第二控制端RESET1不能同时控制第一上拉节点P1和第二电压端DIR2之间接通,以及,在第二控制端RESET1控制第一上拉节点P1和第二电压端DIR2之间接通时,第一控制端SET1不能同时控制第一上拉节点P1和第一电压端DIR1之间接通;同样的,对于第二输入模块102而言,在第三控制端SET2控制第二上拉节点P2与第一电压端DIR1之间接通时,第四控制端RESET2不能同时控制第二上拉节点P2和第二电压端DIR2之间接通,以及,在第四控制端RESET2控制第二上拉节点P2和第二电压端DIR1之间接通时,第三控制端SET2不能同时控制第二上拉节点P2和第一电压端DIR1之间接通。也就是说,第一晶体管M1和第二晶体管M2不能同时导通,以及,第十六晶体管M16和第十七晶体管M17同样不能同时导通。

[0050] 此外,本申请实施例提供的第三电压端V3和第四电压端V4输出的信号的电平相同,其可以均为高电平信号,还可以均为低电平信号,对此需要根据实际应用进行具体设计,主要满足第四电压端V4输出的信号为不能扫描栅极线(即该信号不能对与栅极线连接的像素阵列进行扫描)、且不能控制与第三电压端V3直接或间接连通的晶体管导通即可。

[0051] 参考图2所示,本申请实施例提供的所述第一上拉控制模块2011包括:第五晶体管M5和第六晶体管M6;

[0052] 所述第五晶体管M5的栅极连接至所述第一上拉节点P1,所述第五晶体管M5的第一端连接至所述第三电压端V3,所述第五晶体管M5的第二端连接至所述第一下拉节点Q1;所述第六晶体管M6的栅极连接至所述第一上拉节点P1,所述第六晶体管M6的第一端连接至所述第三电压端V3,所述第六晶体管M6的第二端连接至所述第一下拉生成模块401;

[0053] 由于第一上拉控制模块2011和第三上拉控制模块2021的组成结构相同,故而第三上拉控制模块2021同样包括两个晶体管,即,以及,所述第三上拉控制模块2021包括:第二十晶体管M20和第二十一晶体管M21;

[0054] 所述第二十晶体管M20的栅极连接至所述第二上拉节点P2,所述第二十晶体管M20的第一端连接至所述第三电压端V3,所述第二十晶体管M20的第二端连接至所述第二下拉节点Q2;所述第二十一晶体管M21的栅极连接至所述第二上拉节点P2,所述第二十一晶体管M21的第一端连接至所述第三电压端V3,所述第二十一晶体管M21的第二端连接至所述第二下拉生成模块402。

[0055] 参考图2所示,所述第二上拉控制模块2012包括:第七晶体管M7和第八晶体管M8;

[0056] 所述第七晶体管M7的栅极连接至所述第二上拉节点P2,所述第七晶体管M7的第一端连接至所述第三电压端V3,所述第七晶体管M7的第二端连接至所述第一下拉节点Q1;所

述第八晶体管M8的栅极连接至所述第二上拉节点P2,所述第八晶体管M8的第一端连接至所述第三电压端V3,所述第八晶体管M8的第二端连接至所述第一下拉生成模块401;

[0057] 由于第二上拉控制模块2012和第四上拉控制模块2022的组成结构相同,故而第四上拉控制模块2022同样包括两个晶体管,即,以及,所述第四上拉控制模块2022包括:第二十二晶体管M22和第二十三晶体管M23;

[0058] 所述第二十二晶体管M22的栅极连接至所述第一上拉节点P1,所述第二十二晶体管M22的第一端连接至所述第三电压端V3,所述第二十二晶体管M22的第二端连接至所述第二下拉节点Q2;所述第二十三晶体管M23的栅极连接至所述第一上拉节点P1,所述第二十三晶体管M23的第一端连接至所述第三电压端V3,所述第二十三晶体管M23的第二端连接至所述第二下拉生成模块402。

[0059] 以及,参考图2所示,本申请实施例提供的所述第一下拉生成模块401包括:所述第一下拉生成模块401包括:第九晶体管M9和第十晶体管M10;

[0060] 所述第九晶体管M9的栅极连接至所述第六晶体管M6和第八晶体管M8的第二端,所述第九晶体管M9的第一端连接至所述第一信号端Vclock1,所述第九晶体管M9的第二端连接至所述第一下拉节点Q1;所述第十晶体管M10的栅极和第一端均连接至所述第一信号端Vclock1,所述第十晶体管M10的第二端连接至所述第六晶体管M6和第八晶体管M8的第二端;

[0061] 由于第一下拉生成模块401和第二下拉生成模块402的组成结构相同,故而第二下拉生成模块402同样包括有两个晶体管,即,以及,所述第二下拉生成模块402包括:第二十四晶体管M24和第二十五晶体管M25;

[0062] 所述第二十四晶体管M24的栅极连接至所述第二十一晶体管M21和第二十三晶体管M23的第二端,所述第二十四晶体管M24的第一端连接至所述第二信号端Vclock2,所述第二十四晶体管M24的第二端连接至所述第二下拉节点Q2;所述第二十五晶体管M25的栅极和第一端均连接至所述第二信号端Vclock2,所述第二十五晶体管M25的第二端连接至所述第二十一晶体管M21和第二十三晶体管M23的第二端。

[0063] 需要说明的是,在本申请一实施例中,第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第二十晶体管M20、第二十一晶体管M21、第二十二晶体管M22和第二十三晶体管M23的导通类型相同;以及,第九晶体管M9、第十晶体管M10、第二十四晶体管M24和第二十五晶体管M25的导通类型相同。其中,当第六晶体管M6和/或第八晶体管M8导通时,需要保证第一下拉生成模块401不能与第一下拉节点Q1之间接通,故而需要第三电压端V3输出的信号控制第一下拉生成模块401与第一下拉节点Q1之间截止;以及,当第二十一晶体管M21和/或第二十三晶体管M23导通时,同样需要保证第二下拉生成模块402不能与第二下拉节点Q2之间接通,故而需要第三电压端V3输出的信号控制第二下拉生成模块402与第二下拉节点Q2之间截止。其中,在本申请一实施例中,为了保证第三电压端V3输出的信号起到控制下拉生成模块和下拉节点之间截止的目的,本申请一实施例提供的所述第六晶体管M6和第八晶体管M8的宽长比均大于所述第十晶体管M10的宽长比;以及,所述第二十一晶体管M21和第二十三晶体管M23的宽长比均大于所述第二十五晶体管M25的宽长比。本申请对于第六晶体管M6、第八晶体管M8、第十晶体管M10、第二十一晶体管M21、第二十三晶体管M23和第二十五晶体管M25的宽长比的具体范围不做限定,对此需要根据实际应用进行具体设计。

[0064] 参考图2所示,本申请实施例提供的所述第一下拉控制模块3011包括:第十一晶体管M11和第十二晶体管M12;

[0065] 所述第十一晶体管M11的栅极连接至所述第一下拉节点Q1,所述第十一晶体管M11的第一端连接至所述第三电压端V3,所述第十一晶体管M11的第二端连接至所述第一上拉节点P1;所述第十二晶体管M12的栅极连接至所述第一下拉节点Q1,所述第十二晶体管M12的第一端连接至所述第四电压端V4,所述第十二晶体管M12的第二端连接至所述第一输出端Gout1;

[0066] 由于第一下拉控制模块3011和第三下拉控制模块3021的组成结构相同,故而第三下拉控制模块3021同样包括两个晶体管,即,以及,所述第三下拉控制模块3021包括:第二十六晶体管M26和第二十七晶体管M27;

[0067] 所述第二十六晶体管M26的栅极连接至所述第二下拉节点Q2,所述第二十六晶体管M26的第一端连接至所述第三电压端V3,所述第二十六晶体管M26的第二端连接至所述第二上拉节点P2;所述第二十七晶体管M27的栅极连接至所述第二下拉节点Q2,所述第二十七晶体管M27的第一端连接至所述第四电压端V4,所述第二十七晶体管M27的第二端连接至所述第二输出端Gout2。

[0068] 以及,本申请实施例提供的所述第二下拉控制模块3012包括:第十三晶体管M13和第十四晶体管M14;

[0069] 所述第十三晶体管M13的栅极连接至所述第二下拉节点Q2,所述第十三晶体管M13的第一端连接至所述第三电压端V3,所述第十三晶体管M13的第二端连接至所述第一上拉节点P1;所述第十四晶体管M14的栅极连接至所述第二下拉节点Q2,所述第十四晶体管M14的第一端连接至所述第四电压端V4,所述第十四晶体管M14的第二端连接至所述第一输出端Gout1;

[0070] 由于第二下拉控制模块3012和第四下拉控制模块3022的组成结构相同,故而,第四下拉控制模块3022同样包括两个晶体管,即,以及,所述第四下拉控制模块3022包括:第二十八晶体管M28和第二十九晶体管M29;

[0071] 所述第二十八晶体管M28的栅极连接至所述第一下拉节点Q1,所述第二十八晶体管M28的第一端连接至所述第三电压端V3,所述第二十八晶体管M28的第二端连接至所述第二上拉节点P2;所述第二十九晶体管M29的栅极连接至所述第一下拉节点Q1,所述第二十九晶体管M29的第一端连接至所述第四电压端V4,所述第二十九晶体管M29的第二端连接至所述第二输出端Gout2。

[0072] 参考图2所示,本申请实施例提供的所述第一输出模块501包括:第十五晶体管M15和第一自举电容C1;

[0073] 所述第十五晶体管M15的栅极和所述第一自举电容C1的第一极板均连接至所述第一上拉节点P1,所述第十五晶体管M15的第一端连接至所述第一时钟信号端CK1,所述第十五晶体管M15的第二端和所述第一自举电容C1的第二极板相连接为所述第一输出端Gout1,即,所述第十五晶体管M15的第二端和所述第一自举电容C1的第二极板相连接、且与第一输出端Gout1相连;

[0074] 由于第一输出模块501与第二输出模块502的组成结构相同,故而第二输出模块502同样包括一晶体管和一自举电容,即,以及,所述第二输出模块502包括:第三十晶体管

M30和第二自举电容C2；

[0075] 所述第三十晶体管M30的栅极和所述第二自举电容C2的第一极板均连接至所述第二上拉节点P2，所述第三十晶体管M30的第一端连接至所述第二时钟信号端CK2，所述第三十晶体管M30的第二端和所述第二自举电容C2的第二极板相连接为所述第二输出端Gout2，即，所述第三十晶体管M30的第二端和所述第二自举电容C2的第二极板相连接、且与所述第二输出端Gout2相连。

[0076] 其中，本申请实施例提供的第三电压端V3输出的电压小于第四电压端V4输出的电压，能够在相应上拉节点控制相应输出模块的晶体管截止、且下拉节点控制第三电压端V3与相应输出端接通时，保证输出模块的晶体管的漏电流大大降低，改善双向扫描单元漏电流较大的问题，保证双向扫描单元工作稳定。其中，本申请对于第三电压端V3输出的电压和第四电压端V4输出的电压具体数值不做限制，需要根据实际应用进行具体设计。

[0077] 参考图2所示，本申请实施例提供的所述第一级联输出模块601包括：第三十三晶体管M33、第三十四晶体管M34和第三十五晶体管M35；

[0078] 所述第三十三晶体管M33的栅极连接至所述第二下拉节点Q2，所述第三十三晶体管M33的第一端连接至所述第三电压端V3，所述第三十三晶体管M33的第二端连接至所述第一级联输出端Gout1'；所述第三十四晶体管M34的栅极连接至所述第一下拉节点Q1，所述第三十四晶体管M34的第一端连接至所述第三电压端V3，所述第三十四晶体管M34的第二端连接至所述第一级联输出端Gout1'；所述第三十五晶体管M35的栅极连接至所述第一上拉节点P1，所述第三十五晶体管M35的第一端连接至所述第一时钟信号端CK1，所述第三十五晶体管M35的第二端连接至所述第一级联输出端Gout1'；

[0079] 由于以及，所述第二级联输出模块包括：第三十六晶体管M36、第三十七晶体管M37和第三十八晶体管M38；

[0080] 所述第三十六晶体管M36的栅极连接至所述第一下拉节点Q1，所述第三十六晶体管M36的第一端连接至所述第三电压端V3，所述第三十六晶体管M36的第二端连接至所述第二级联输出端Gout2'；所述第三十七晶体管M37的栅极连接至所述第二下拉节点Q2，所述第三十七晶体管M37的第一端连接至所述第三电压端V3，所述第三十七晶体管M37的第二端连接至所述第二级联输出端Gout2'；所述第三十八晶体管M38的栅极连接至所述第二上拉节点P2，所述第三十八晶体管M38的第一端连接至所述第二时钟信号端CK2，所述第三十八晶体管M38的第二端连接至所述第二级联输出端Gout2'。

[0081] 在本申请上述任意一实施例中，本申请提供的所述第一信号端Vclock1和第二信号端Vclock2输出的信号的电平可以相同。此外，为了降低功耗，本申请提供的所述第一信号端Vclock1和第二信号端Vclock2输出的信号的电平可以相反，且所述第一信号端Vclock1和第二信号端Vclock2输出的信号为帧反转信号；即，在所述栅极驱动电路扫描完毕一帧画面后，第一信号端Vclock1和第二信号端Vclock2输出的信号各自反相。以及，本申请提供的每个晶体管均优选为薄膜晶体管。

[0082] 下面结合驱动方法对本申请实施例提供的双向扫描单元的各个组成模块和组成每个模块的各个晶体管的导通和截止情况进行进一步描述。需要说明的是，下面以第一晶体管M1至第三十晶体管M30和第三十三晶体管M33至第三十八晶体管M38均为N型晶体管，以及，第三电压端V3和第四电压端V4输出信号为低电平信号，且扫描信号为高电平信号为例

进行说明。

[0083] 结合图1、图2、图3a和图3b所示,对本申请实施例提供的驱动方法进行详细的描述。其中,本申请实施例提供的驱动方法,应用于上述的双向扫描单元,所述驱动方法包括:第一阶段T1、第二阶段T2、第三阶段T3和第四阶段T4。

[0084] 参考图3a所示,为本申请实施例提供的一种正向扫描的时序图,即,沿第一级子单元至第二级子单元进行扫描,其中,第一电压端DIR1输出的信号为高电平信号,而第二电压端DIR2输出的信号为低电平信号。在沿所述第一级子单元至第二级子单元扫描时:

[0085] 在所述第一阶段T1,所述第一输入模块101响应于所述第一控制端SET1的信号而控制第一电压端DIR1与所述第一上拉节点P1之间和控制第四电压端V4与所述第一输出端Gout1之间接通;其中,所述第一上拉控制模块2011响应于所述第一上拉节点P1的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止,以及,所述第四上拉控制模块2022响应于所述第一上拉节点P1的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间截止;所述第一输出模块501响应于所述第一上拉节点P1的信号而控制第一时钟信号端CK1与所述第一输出端Gout1之间接通;所述第一级联输出模块601响应于所述第一上拉节点P1的信号而控制所述第一时钟信号端CK1与所述第一级联输出端Gout1'之间接通;

[0086] 具体结合图2和图3a所示,在第一阶段T1,第一控制端SET1输出高电平信号,进而控制第一晶体管M1和第三晶体管M3导通,使得第一上拉节点P1的信号为第一电压端DIR1输出的高电平信号、且第一输出端Gout1的信号为第四电压端V4输出的低电平信号。第一上拉节点P1控制第五晶体管M5和第六晶体管M6导通,以及,控制第二十二晶体管M22和第二十三晶体管M23导通,使得第一下拉节点Q1和第二下拉节点Q2的信号均为第三电压端V3输出的低电平信号、且控制第一下拉生成模块401与第一下拉节点Q1之间截止和控制第二下拉生成模块402与第二下拉节点Q2之间截止。第一上拉节点P1还控制第三十五晶体管M35导通,使得第一级联输出端Gout1'输出信号为第一时钟信号端CK1输出的低电平信号。第一上拉节点P1还控制第十五晶体管M15导通,将第一时钟信号端CK1输出的低电平信号输出至第一输出端Gout1。

[0087] 在所述第二阶段T2,所述第一输出模块501响应于所述第一上拉节点P1的信号而控制第一时钟信号端CK1与所述第一输出端Gout1之间接通,所述第一级联输出模块601响应于所述第一上拉节点P1的信号而控制所述第一时钟信号端CK1与所述第一级联输出端Gout1'之间接通,且所述第一时钟信号端CK1输出信号为扫描信号;以及,所述第二输入模块102响应于第三控制端SET2的信号而控制所述第一电压端DIR1与所述第二上拉节点P2之间、且控制所述第四电压端V4与所述第二输出端Gout2之间接通;其中,所述第一上拉控制模块2011响应于所述第一上拉节点P1的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止;所述第二上拉控制模块2012响应于所述第二上拉节点P2的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止;以及,所述第三上拉控制模块2021响应于所述第二上拉节点P2的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉

生成模块402之间截止;所述第四上拉控制模块2022响应于所述第一上拉节点P1的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间截止;所述第二输出模块502响应于所述第二上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间接通;所述第二级联输出模块602响应于所述第二上拉节点P2的信号而控制所述第二时钟信号端CK2与所述第二级联输出端Gout2'之间接通;

[0088] 具体结合图2和图3a所示,在第二阶段T2,此时第十五晶体管M15将第一时钟信号端CK1输出的高电平信号(即扫描信号)输出至第一输出端Gout1和第一自举电容C1的一极板,第一输出端Gout1对与其连接的栅极线进行扫描,且第一自举电容C1将连接另一极板的第一上拉节点P1的信号再次拉高;以及,第一级联输出端Gout1'此时同样输出该第一时钟信号端CK1输出的高电平信号。由于第一节点P1的信号还为更高的高电平信号,因而与第一节点P1直接或间接连通的晶体管保持第一阶段T1的状态不变。另外,在第二阶段T2时第三控制端SET2同样输出高电平信号,而控制第十六晶体管M16和第十八晶体管M18导通,使得第二上拉节点P2的信号为第一电压端DIR1输出的高电平信号、且第二输出端Gout2输出第四电压端V4输出的低电平信号。第二上拉节点P2控制第二十晶体管M20和第二十一晶体管M21导通,以及,控制第七晶体管M7和第八晶体管M8导通,使得第二下拉节点Q2和第一下拉节点Q1的信号均为第三电压端V3输出的低电平信号,且保持控制第一下拉生成模块401和第二下拉生成模块402分别与第一下拉节点Q1和第二下拉节点Q2之间的截止状态。第二上拉节点P2还控制第三十八晶体管M38导通,使得第二级联输出端Gout2'输出信号为第二时钟信号端CK2输出的低电平信号。第二上拉节点P2还控制第三十晶体管M30导通,第三十晶体管M30将第二时钟信号端CK2输出的低电平信号输出至第二输出端Gout2。

[0089] 在所述第三阶段T3,所述第二输出模块502响应于所述第二上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间接通,所述第二级联输出模块602响应于所述第二上拉节点P2的信号而控制所述第二时钟信号端CK2与所述第二级联输出端Gout2'之间接通,且所述第二时钟信号端输出信号为扫描信号;以及,所述第一输入模块101响应于所述第二控制端RESET1的信号而控制第二电压端DIR2与所述第一上拉节点P1之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通;其中,所述第三上拉控制模块2021响应于所述第二上拉节点P2的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间截止;所述第二上拉控制模块2012响应于所述第二上拉节点P2的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止;

[0090] 具体结合图2和图3a所示,在第三阶段T3,此时第三十晶体管M30将第二时钟信号端CK2输出的高电平信号(即扫描信号)输出至第二输出端Gout2和第二自举电容C2的一极板,第二输出端Gout2对与其连接的栅极线进行扫描,且第二自举电容C2将连接另一极板的第二上拉节点P2的信号再次拉高;以及,第二级联输出端Gout2'同样输出第二时钟信号端CK2输出的高电平信号。由于第二节点P2的信号还为更高的高电平信号,因而与第二节点P2直接或间接连通的晶体管保持第二阶段T2的状态不变。另外,在第三阶段T3时第二控制端RESET1输出高电平信号,而控制第二晶体管M2和第四晶体管M4导通,使得第一上拉节点P1

的信号为第二电压端DIR2输出的低电平信号、且第一输出端Gout1的信号为第三电压端V3输出的低电平信号；此时，与第一上拉节点P1连接的晶体管均为截止状态。

[0091] 在所述第四阶段T4，所述第二输入模块102响应于所述第四控制端RESET2的信号而控制所述第二电压端DIR2与所述第二上拉节点P2之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通；其中，所述第一下拉生成模块401响应于第一信号端Vclock1的信号而控制所述第一信号端Vclock1和控制所述第一下拉节点Q1之间接通；以及，所述第一下拉控制模块3011响应于所述第一下拉节点Q1的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通；所述第四下拉控制模块3022响应于所述第一下拉节点Q1的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通；且所述第一级联输出模块601响应于所述第一下拉节点Q1的信号而控制所述第三电压端V3与所述第一级联输出端Gout1'之间接通，所述第二级联输出模块602响应于所述第一下拉节点Q1的信号而控制所述第三电压端V3与所述第二级联输出端Gout2'之间接通；或者，所述第二下拉生成模块402响应于第二信号端Vclock2的信号而控制所述第二信号端Vclock2与所述第二下拉节点Q2之间接通；以及，所述第三下拉控制模块3021响应于所述第二下拉节点Q2的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通；所述第二下拉控制模块3012响应于所述第二下拉节点Q2的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通；且所述第一级联输出模块601响应于所述第二下拉节点Q2的信号而控制所述第三电压端V3与所述第一级联输出端Gout1'之间接通，所述第二级联输出模块602响应于所述第二下拉节点Q2的信号而控制所述第三电压端V3与所述第二级联输出端Gout2'之间接通；

[0092] 具体结合图2和图3a所示，在第四阶段T4，第四控制端RESET2输出高电平信号，而控制第十七晶体管M17和第十九晶体管M19导通，使得第二上拉节点P2的信号为第二电压端DIR2输出的低电平信号、且第二输出端Gout2的信号为第四电压端V4输出的低电平信号。由于在第四阶段T4时与第一上拉节点P1和第二上拉节点P2连接的晶体管均为截止状态，因而不能够再次阻止第一下拉生成模块401和第二下拉生成模块402分别与第一下拉节点Q1和第二下拉节点Q2之间导通。其中，参考图3a所示，在本申请一实施例中，第一信号端Vclock1输出的信号为高电平信号、且第二信号端Vclock2输出的信号为低电平信号，因而，第一下拉生成模块401的第十晶体管M10响应第一信号端Vclock1输出的高电平信号的控制，将高电平信号传输至第九晶体管M9的栅极，而后将第九晶体管M9导通后，第一信号端Vclock1输出的高电平信号输出至第一下拉节点Q1。第一下拉节点Q1控制第十一晶体管M11和第十二晶体管M12导通，以及，控制第二十八晶体管M28和第二十九晶体管M29导通，使得第一上拉节点P1和第二上拉节点P2的信号均为第三电压端V3输出的低电平信号，以及使得第一输出端Gout1和第二输出端Gout2的信号均为第四电压端V4输出的低电平信号。并且，第一下拉节点Q1还控制第三十四晶体管M34和第三十六晶体管M36导通，使得第一级联输出端Gout1'和第二级联输出端Gout2'的信号均为第三电压端V3输出的低电平信号。

[0093] 此外，在正向扫描时第二信号端Vclock2的信号还可以为高电平信号，而第一信号端Vclock1的信号为低电平信号，对此本申请不做具体限制。

[0094] 或者,参考图3b所示,为本申请实施例提供的一种反向扫描的时序图,即,沿第二级子单元至第一级子单元进行扫描,此时,第一电压端DIR1和第二电压端DIR2输出的信号反相,即第一电压端DIR1输出低电平信号,而第二电压端DIR2输出高电平信号,其中,在沿所述第二级子单元至第一级子单元扫描时:

[0095] 在所述第一阶段T1,所述第二输入模块102响应于第四控制端RESET2的信号而控制所述第二电压端DIR2与所述第二上拉节点P2之间、且控制所述第四电压端V4与所述第二输出端Gout2之间接通;其中,所述第三上拉控制模块2021响应于所述第二上拉节点P2的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间接通;所述第二上拉控制模块2012响应于所述第二上拉节点P2的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间接通;所述第二输出模块502响应于所述第二上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间接通;所述第二级联输出模块602响应于所述第二上拉节点P2的信号而控制所述第二时钟信号端CK2与所述第二级联输出端Gout2'之间接通;

[0096] 具体结合图2和图3b所示,在第一阶段T1,第四控制端RESET2输出高电平信号,而控制第十七晶体管M17和第十九晶体管M9导通,使得第二上拉节点P2的信号为第二电压端DIR2输出的高电平信号、且第一输出端Gout1的信号为第四电压端V4输出的低电平信号。第二上拉节点P2控制第二十晶体管M20和第二十一晶体管M21导通,以及,控制第七晶体管M7和第八晶体管M8导通,使得第二下拉节点Q2的信号为第三电压端V3输出的低电平信号,且使得第一下拉生成模块401和第二下拉生成模块402分别与第一下拉节点Q1和第二下拉节点Q2之间的截止。第二上拉节点P2还控制第三十八晶体管M38导通,使得第二级联输出端Gout2'的信号为第二时钟信号端CK2输出的低电平信号。第二上拉节点P2还控制第三十晶体管M30导通,第三十晶体管M30将第二时钟信号端CK2输出的低电平信号输出至第二输出端Gout2。

[0097] 在所述第二阶段T2,所述第二输出模块502响应于所述第二上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间接通,所述第二级联输出模块602响应于所述第二上拉节点P2的信号而控制所述第二时钟信号端CK2与所述第二级联输出端Gout2'之间接通,且所述第二时钟信号端CK2输出的信号为所述扫描信号;以及,所述第一输入模块101响应于第二控制端RESET1的信号而控制第二电压端DIR2与所述第一上拉节点P1之间和控制第四电压端V4与所述第一输出端Gout1之间接通;其中,所述第三上拉控制模块2021响应于所述第二上拉节点P2的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间接通;所述第二上拉控制模块2012响应于所述第二上拉节点P2的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间接通;所述第二输出模块502响应于所述第二上拉节点P2的信号而控制第二时钟信号端CK2与所述第二输出端Gout2之间接通;以及,所述第一上拉控制模块2011响应于所述第一上拉节点P1的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止;所述第四上拉控制模块2022响应于所述第一上拉节点P1的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制

所述第二下拉节点Q2与所述第二下拉生成模块402之间截止；所述第一输出模块501响应于所述第一上拉节点P1的信号而控制第一时钟信号端CK1与所述第一输出端Gout1之间接通；所述第一级联输出模块601响应于所述第一上拉节点P1的信号而控制所述第一时钟信号端CK1与所述第一级联输出端Gout1'之间接通；

[0098] 具体结合图2和图3b所示,在第二阶段T2,此时第三十晶体管M30将第二时钟信号端CK2输出的高电平信号(即扫描信号)输出至第二输出端Gout2和第二自举电容C2的一极板,第二输出端Gout2对与其连接的栅极线进行扫描,且第二自举电容C2将连接另一极板的第二上拉节点P2的信号再次拉高;以及,第二级联输出端Gout2'同样输出第二时钟信号端CK2输出的高电平信号。由于第二节点P2的信号还为更高的高电平信号,因而与第二节点P2直接或间接连通的晶体管保持第一阶段T1的状态不变。另外,在第二阶段T2时第二控制端RESET1输出高电平信号,而控制第二晶体管M2和第四晶体管M4导通,使得第一上拉节点P1的信号为第二电压端DIR2输出的高电平信号、且第一输出端Gout1为第四电压端V4输出的低电平信号。第一上拉节点P1控制第五晶体管M5和第六晶体管M6导通,以及,控制第二十二晶体管M22和第二十三晶体管M23导通,使得第一下拉节点Q1和第二下拉节点Q2的信号均为第三电压端V3输出的低电平信号,且保持第一下拉生成模块401与第一下拉节点Q1之间截止和控制第二下拉生成模块402与第二下拉节点Q2之间截止。第一上拉节点P1还控制第三十五晶体管M35导通,使得第一级联输出端Gout1'输出第一时钟信号端CK1输出的低电平信号。第一上拉节点P1还控制第十五晶体管M15导通,将第一时钟信号端CK1输出的低电平信号输出至第一输出端Gout1。

[0099] 在所述第三阶段T3,所述第一输出模块501响应于所述第一上拉节点P1的信号而控制第一时钟信号端CK1与所述第一输出端Gout1之间接通,所述第一级联输出模块601响应于所述第一上拉节点P1的信号而控制所述第一时钟信号端CK1与所述第一级联输出端Gout1'之间接通,且所述第一时钟信号端CK1输出的信号为所述扫描信号;以及,所述第二输入模块102响应于所述第三控制端SET2的信号而控制所述第一电压端DIR1与所述第二上拉节点P2之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通;其中,所述第一上拉控制模块2011响应于所述第一上拉节点P1的信号而控制所述第一下拉节点Q1与所述第三电压端V3之间接通、且控制所述第一下拉节点Q1与所述第一下拉生成模块401之间截止;所述第四上拉控制模块2022响应于所述第一上拉节点P1的信号而控制所述第二下拉节点Q2与所述第三电压端V3之间接通、且控制所述第二下拉节点Q2与所述第二下拉生成模块402之间截止;

[0100] 具体结合图2和图3b所示,在第三阶段T3,此时第十五晶体管M15将第一时钟信号端CK1输出的高电平信号(即扫描信号)输出至第一输出端Gout1和第一自举电容C1的一极板,第一输出端Gout1对与其连接的栅极线进行扫描,且第一自举电容C1将连接另一极板的第一上拉节点P1的信号再次拉高;以及,第一级联输出端Gout1'同样输出第一时钟信号端CK1输出的高电平信号。由于第一节点P1的信号还为更高的高电平信号,因而与第一节点P1直接或间接连通的晶体管保持第二阶段T2的状态不变。另外,在第三阶段T3时第三控制端SET2输出高电平信号,而控制第十六晶体管M16和第十八晶体管M18导通,使得第二上拉节点P2的信号为第一电压端DIR1输出的低电平信号、且第二输出端Gout2的信号为第四电压端V4输出的低电平信号;此时,与第二上拉节点P2连接的晶体管均为截止状态。

[0101] 在所述第四阶段T4,所述第一输入模块101响应于所述第一控制端SET1的信号而控制第一电压端DIR1与所述第一上拉节点P1之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通;其中,所述第一下拉生成模块401响应于第一信号端Vclock1的信号而控制所述第一信号端Vclock1和控制所述第一下拉节点Q1之间接通;以及,所述第一下拉控制模块3011响应于所述第一下拉节点Q1的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通;所述第四下拉控制模块3022响应于所述第一下拉节点Q1的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通;且所述第一级联输出模块601响应于所述第一下拉节点Q1的信号而控制所述第三电压端V3与所述第一级联输出端Gout1'之间接通,所述第二级联输出模块602响应于所述第一下拉节点Q1的信号而控制所述第三电压端V3与所述第二级联输出端Gout2'之间接通;或者,所述第二下拉生成模块402响应于第二信号端Vclock2的信号而控制所述第二信号端Vclock2与所述第二下拉节点Q2之间接通;以及,所述第三下拉控制模块3021响应于所述第二下拉节点Q2的信号而控制所述第二上拉节点P2与所述第三电压端V3之间和控制所述第四电压端V4与所述第二输出端Gout2之间接通;所述第二下拉控制模块3012响应于所述第二下拉节点Q2的信号而控制所述第一上拉节点P1与所述第三电压端V3之间和控制所述第四电压端V4与所述第一输出端Gout1之间接通;且所述第一级联输出模块601响应于所述第二下拉节点Q2的信号而控制所述第三电压端V3与所述第一级联输出端Gout1'之间接通,所述第二级联输出模块602响应于所述第二下拉节点Q2的信号而控制所述第三电压端V3与所述第二级联输出端Gout2'之间接通。

[0102] 具体结合图2和图3b所示,在第四阶段T4,第一控制端SET1输出高电平信号,而控制第一晶体管M1和第三晶体管M3导通,使得第一上拉节点P1的信号为第一电压端DIR1输出的低电平信号、且第一输出端Gout1的信号为第四电压端V4输出的低电平信号。由于在第四阶段T4时与第一上拉节点P1和第二上拉节点P2连接的晶体管均为截止状态,因而不能够再次阻止第一下拉生成模块401和第二下拉生成模块402分别与第一下拉节点Q1和第二下拉节点Q2之间导通。其中,参考图3b所示,在本申请一实施例中,第一信号端Vclock1输出的信号为低电平信号、且第二信号端Vclock2输出的信号为高电平信号,因而,第二下拉生成模块402的第二十五晶体管M25响应第二信号端Vclock2输出的高电平信号的控制,将高电平信号传输至第二十四晶体管M24的栅极,而后将第二十四晶体管M24导通后,第二信号端Vclock2输出的高电平信号输出至第二下拉节点Q2。第二下拉节点Q2控制第二十六晶体管M26和第二十七晶体管M27,以及,控制第十三晶体管M13和第十四晶体管M14导通,使得第二上拉节点P2和第一上拉节点P1的信号均为第三电压端V3输出的低电平信号,以及使得第二输出端Gout2和第一输出端Gout1的信号均为第四电压端V4输出的低电平信号。并且,第二下拉节点Q2还控制第三十三晶体管M33和第三十七晶体管M37导通,使得第一级联输出端Gout1'和第二级联输出端Gout2'均输出第三电压端V3输出的低电平信号。

[0103] 此外,在反向扫描时第二信号端Vclock2的信号还可以为低电平信号,而第一信号端Vclock1的信号为高电平信号,对此本申请不做具体限制。

[0104] 进一步的,为了避免出现开机絮乱的问题,本申请实施例提供的双向扫描单元还包括第一初始化模块和第二初始化模块;第一初始化模块和第二初始化模块用于在扫描之

前,对双向扫描单元中第一上拉节点和第二上拉节点的信号进行复位。具体参考图4所示,为本申请实施例提供的又一种双向扫描单元的结构示意图,其中,所述双向扫描单元还包括:

[0105] 与所述第一上拉节点P1连接的第一初始化模块701,以及,与所述第二上拉节点P2连接的第二初始化模块702;

[0106] 其中,所述第一初始化模块701响应于复位控制端Re_all的信号而控制所述第一上拉节点P1与复位电压端V0之间的接通状态,以及,所述第二初始化模块702响应于所述复位控制端Re_all的信号而控制所述第二上拉节点P2与所述复位电压端V0之间的接通状态。

[0107] 其中,本申请实施例提供的所述第一初始化模块701包括:第三十一晶体管M31;

[0108] 所述第三十一晶体管M31的栅极连接至所述复位控制端Re_all,所述第三十一晶体管M31的第一端连接至所述复位电压端V0,所述第三十一晶体管M31的第二端连接至所述第一上拉节点P1;

[0109] 所述第一初始化模块701和第二初始化模块702的组成结构可以相同,即,以及,所述第二初始化模块702包括:第三十二晶体管M32;

[0110] 所述第三十二晶体管M32的栅极连接至所述复位控制端Re_all,所述第三十二晶体管M32的第一端连接至所述复位电压端V0,所述第三十二晶体管M32的第二端连接至所述第二上拉节点P2。

[0111] 需要说明的是,本申请实施例提供的双向扫描单元为上述图3a和图3b所对应实施例提供的双向扫描单元时,本申请提供的第三十一晶体管M31和第三十二晶体管M32可以为N型晶体管,复位控制端Re_all在双向扫描单元扫描前为高电平信号,以将第三十一晶体管M31和第三十二晶体管M32导通,将为低电平信号的复位电压端V0输出的信号分别传输至第一上拉节点P1和第二上拉节点P2,以对第一上拉节点P1和第二上拉节点P2进行信号复位,避免出现开机絮乱的问题。

[0112] 此外,本申请实施例提供的第一初始化模块和第二初始化模块还可以通过对下拉节点进行电位控制,以间接达到对上拉节点复位的目的。具体参考图5所示,为本申请实施例提供的又一种双向扫描单元的结构示意图,其中,所述双向扫描单元包括:

[0113] 与所述第一下拉节点Q1连接的第一初始化模块701,以及,与所述第二下拉节点Q2连接的第二初始化模块702;

[0114] 其中,所述第一初始化模块701响应于复位控制端Re_all的信号而控制所述第一下拉节点Q1与所述复位控制端Re_all之间的接通状态,以及,所述第二初始化模块702响应于所述复位控制端Re_all的信号而控制所述第二下拉节点Q2与所述复位控制端Re_all之间的接通状态。

[0115] 其中,本申请提供的所述第一初始化模块701包括:第三十一晶体管M31;

[0116] 所述第三十一晶体管M31的栅极和第一端均连接至所述复位控制端Re_all,所述第三十一晶体管M31的第二端连接至所述第一下拉节点Q1;

[0117] 所述第一初始化模块701和第二初始化模块702的组成结构可以相同,即,以及,所述第二初始化模块702包括:第三十二晶体管M32;

[0118] 所述第三十二晶体管M32的栅极和第一端均连接至所述复位控制端Re_all,所述第三十二晶体管M32的第二端连接至所述第二下拉节点Q2。

[0119] 需要说明的是,本申请实施例提供的双向扫描单元为上述图3a和图3b所对应实施例提供的双向扫描单元时,本申请提供的第三十一晶体管M31和第三十二晶体管M32可以为N型晶体管,复位控制端Re_all在双向扫描单元扫描前为高电平信号,以将第三十一晶体管M31和第三十二晶体管M32导通,将为高电平信号的复位控制端Re_all输出的信号分别传输至第一下拉节点Q1和第二下拉节点Q2,通过第一下拉节点Q1和第二下拉节点Q2分别连接的下拉控制模块,将第一上拉节点P1和第二上拉节点P2均与第三电压端V3之间接通,进而通过第三电压端V3的信号对第一上拉节点P1和第二上拉节点P2进行复位,避免出现开机絮乱的问题。

[0120] 此外,本申请实施例还提供了一种栅极驱动电路,所述栅极驱动电路包括的n级双向扫描单元为第一级双向扫描单元至第n级双向扫描单元,其中,每一级双向扫描单元均为上述任意一实施例所述的双向扫描单元,n为不小于2的整数。

[0121] 其中,参考图6所示,为本申请实施例提供的一种栅极驱动电路的结构示意图,其中,定义相邻两级所述双向扫描单元为第i级双向扫描单元 1_i 和第i+1级双向扫描单元 $1_{(i+1)}$,i为不大于n的正整数;

[0122] 所述第i级双向扫描单元 1_i 的第一级联输出端Gout1'与所述第i+1级双向扫描单元 $1_{(i+1)}$ 的第一控制端SET1相连,所述第i+1级双向扫描单元 $1_{(i+1)}$ 的第一级联输出端Gout1'与所述第i级双向扫描单元 1_i 的第二控制端RESET1相连;

[0123] 所述第i级双向扫描单元 1_i 的第二级联输出端Gout2'与所述第i+1级双向扫描单元 $1_{(i+1)}$ 的第三控制端SET2相连,所述第i+1级双向扫描单元 $1_{(i+1)}$ 的第二级联输出端Gout2'与所述第i级双向扫描单元 1_i 的第四控制端RESET2相连;

[0124] 以及,奇数级双向扫描单元的第一时钟信号端CK1为同一信号端、且第二时钟信号端CK2为同一信号端,偶数级双向扫描单元的第一时钟信号端CK1为同一信号端、且第二时钟信号端CK2为同一信号端。

[0125] 需要说明的是,在本申请实施例提供的栅极驱动电路中,在正向扫描时,第一级双向扫描单元的第一控制端SET1和第三控制端SET2均通过外接信号线提供初始的控制信号;以及,在反向扫描时,第n级双向扫描单元的第二控制端RESET1和第四控制端RESET2均通过外接的信号线提供初始的控制信号。此外,由于在扫描过程中需要级联的n级双向扫描单元的所有输出端逐级输出扫描信号,因此,在正向扫描时,第一级双向扫描单元对应的第一时钟信号端输出扫描信号后其第二时钟信号端输出扫描信号;同样的,第二级双向扫描单元对应的第一时钟信号端输出扫描信号后其第二时钟信号端输出扫描信号,并且,第一级双向扫描单元的第二时钟信号端输出扫描信号后,第二级双向扫描单元的第一时钟信号端输出扫描信号。以及,在反向扫描时,第n级双向扫描单元对应的第二时钟信号端输出扫描信号后其第一时钟端输出扫描信号;同样的,第n-1双向扫描单元对应的第二时钟信号端输出扫描信号后其第一时钟信号端输出扫描信号,并且,第n级双向扫描单元的第一时钟信号端输出扫描信号后,第n-1级双向扫描单元的第二时钟信号端输出扫描信号。

[0126] 此外,在实际应用中,本申请提供的所述第一时钟信号端和第二时钟信号端输出的信号相位差为180度,其中,第一时钟信号端和第二时钟信号端输出的信号的频率相同,且在正向扫描时,第二时钟信号端相较于第一时钟信号端延迟预设时间输出;以及,在反向扫描时,第一时钟信号端相较于第二时钟信号端延迟预设时间输出。对于级联的多级双向

扫描单元,在正向扫描时,后一级双向扫描单元的第一时钟信号端相较于前一级双向扫描单元的第二时钟信号端延迟预设时间输出;以及,在反向扫描时,后一级双向扫描单元的第二时钟信号端相较于前一级双向扫描单元的第一时钟信号端延迟预设时间输出。其中,本申请对于预设时间不做具体限制。

[0127] 本申请实施例提供了一种双向扫描单元、驱动方法及栅极驱动电路,双向扫描单元包括有第一级子单元和第二级子单元,双向扫描单元可以沿第一级子单元至第二级子单元的方向逐级输出扫描信号,还可以沿第二级子单元至第一级子单元的方向逐级输出扫描信号,且在扫描过程中,第一级子单元和第二级子单元相互配合,使在当前级子单元输出扫描信号时,另一级子单元不输出扫描信号。本申请实施例提供的技术方案,双向扫描单元能够逐级输出两级扫描信号,且通过第一级子单元和第二级子单元相互作用而简化双向扫描单元的结构,并且满足栅极驱动电路的多样性的需求。

[0128] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

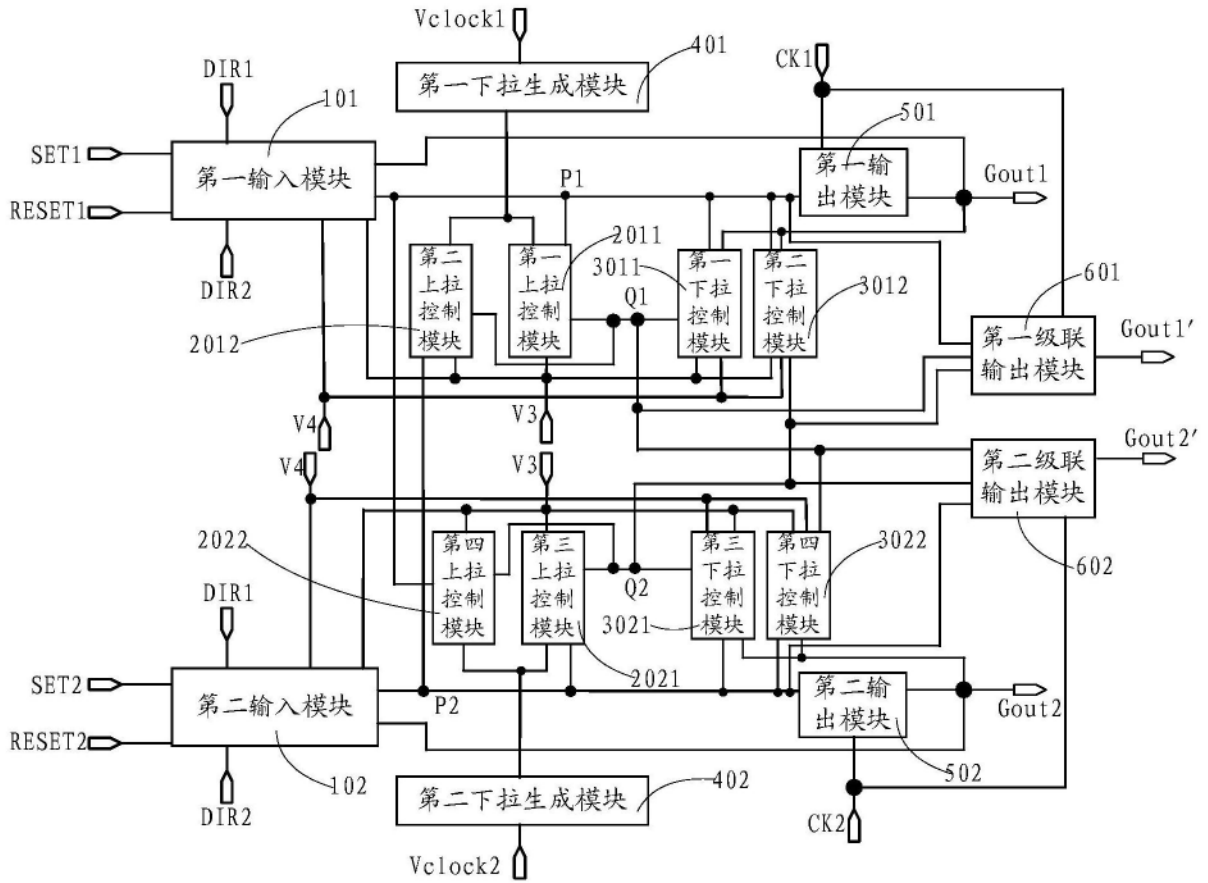


图1

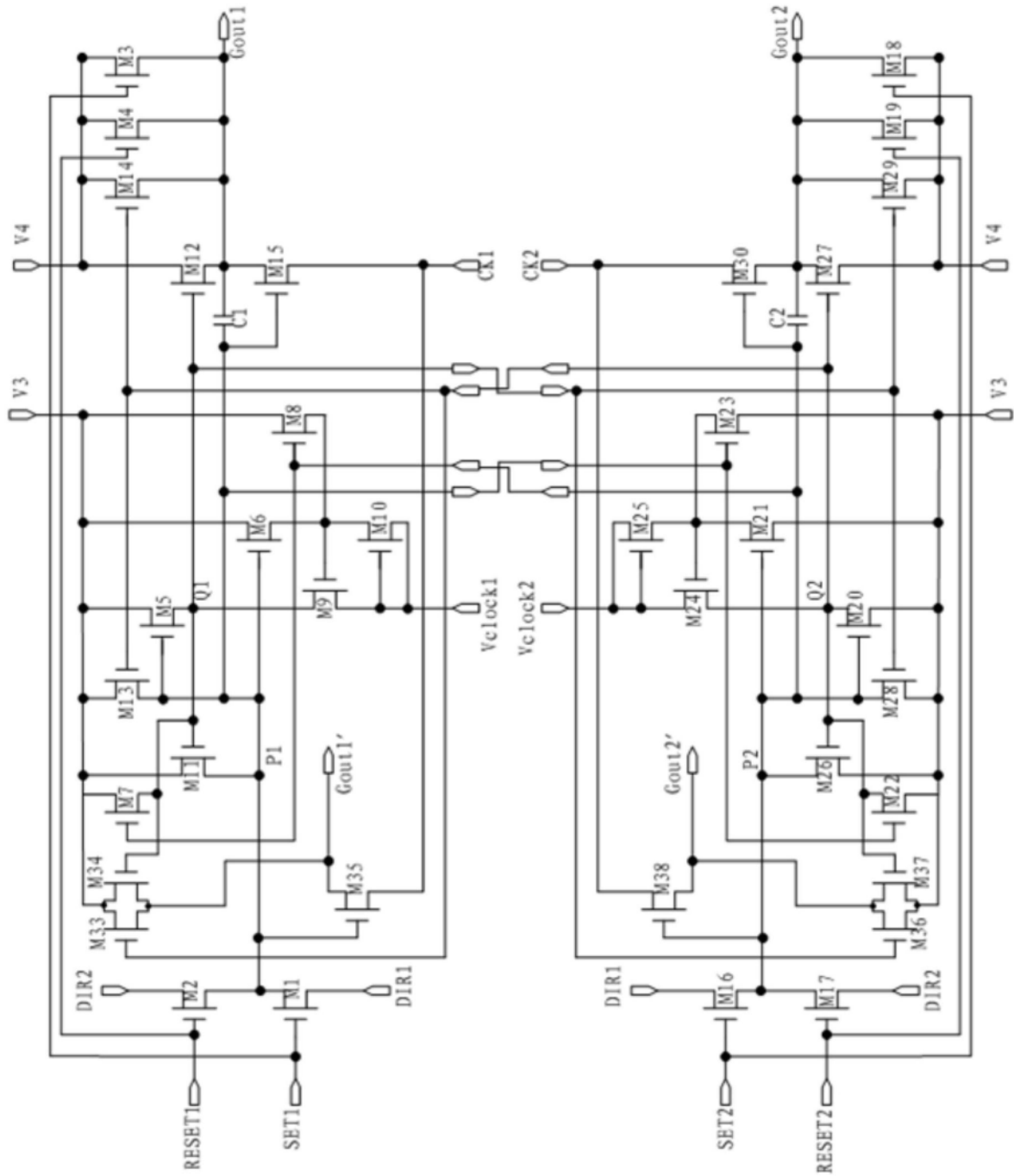


图2

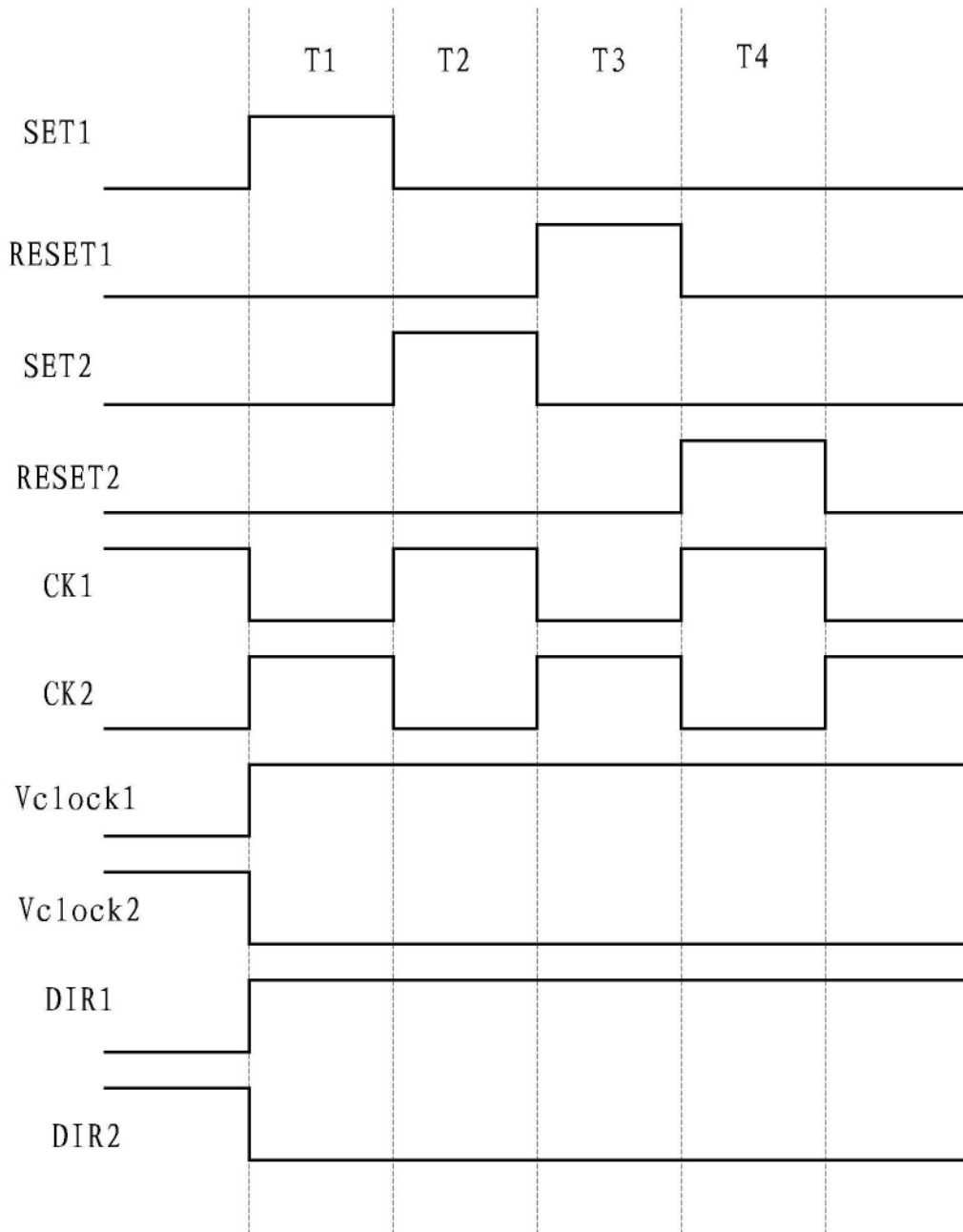


图3a

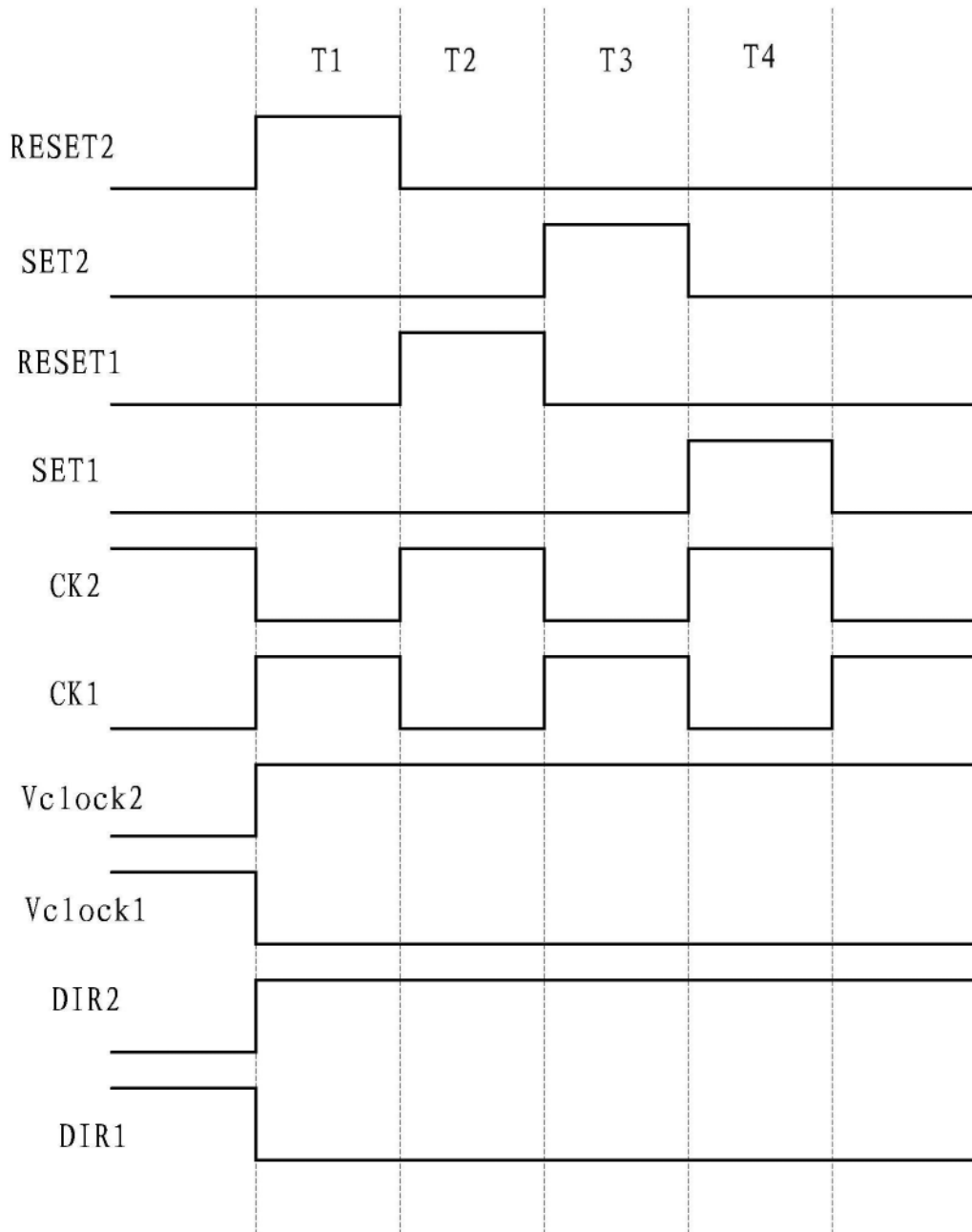


图3b

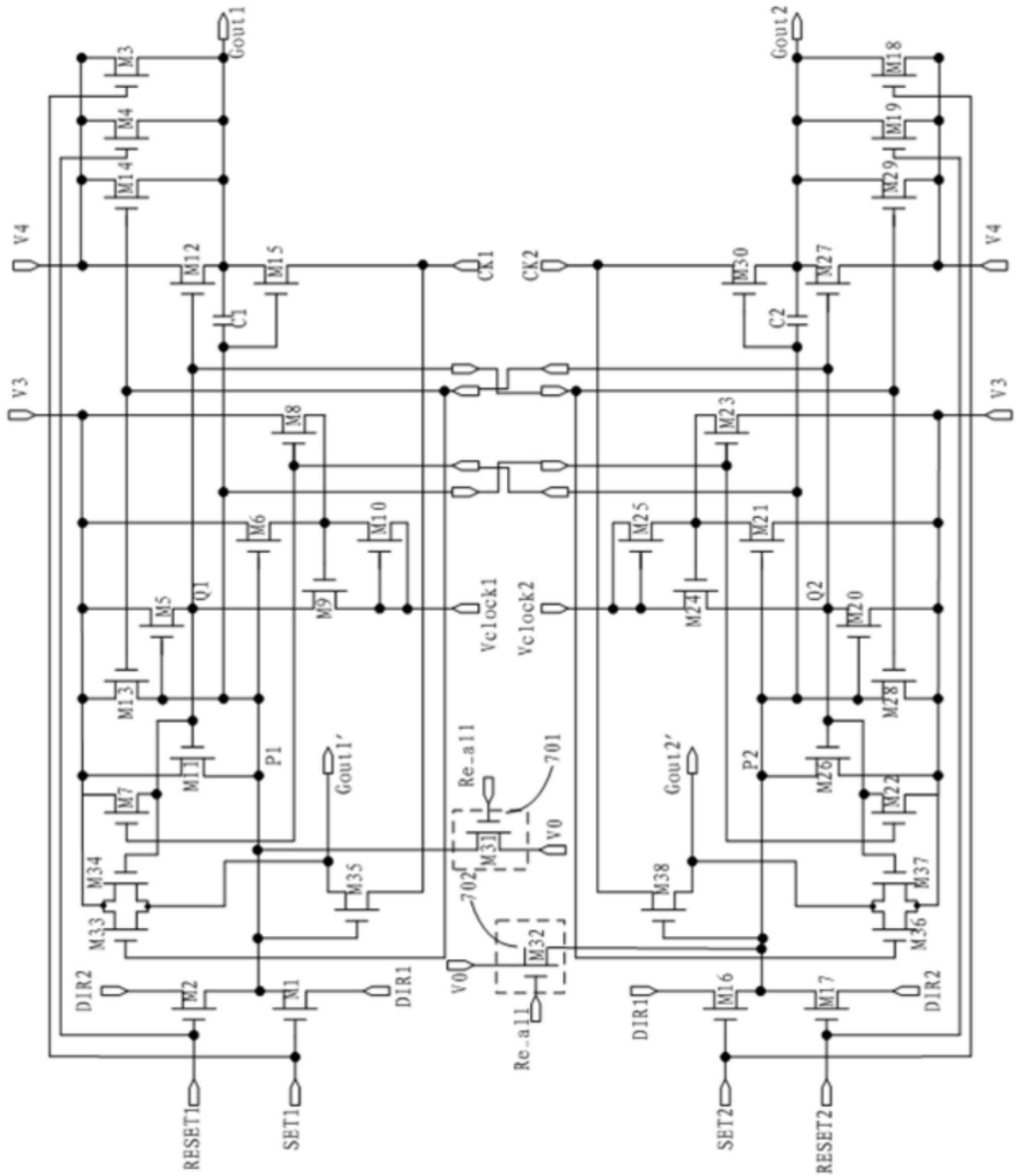


图4

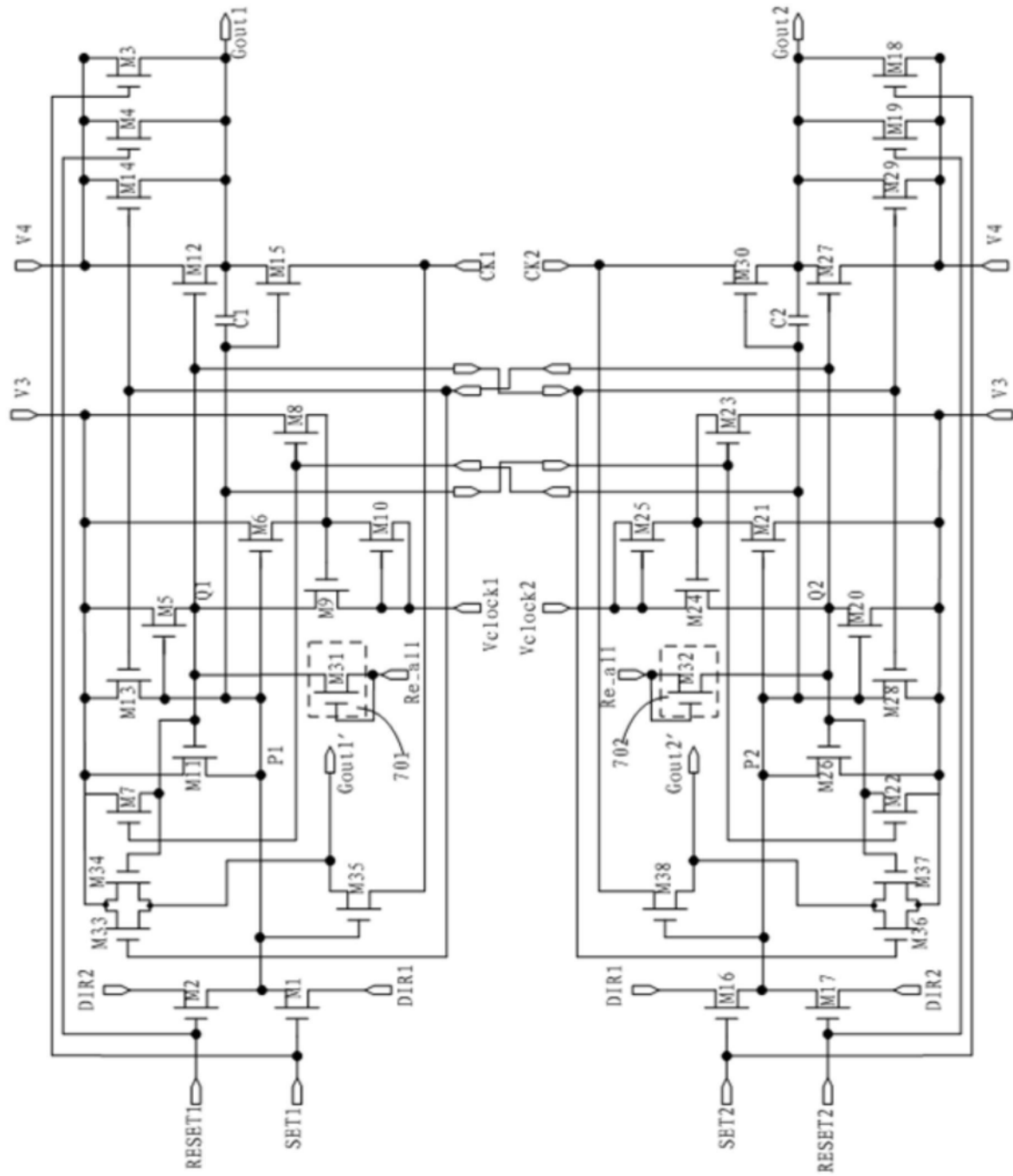


图5

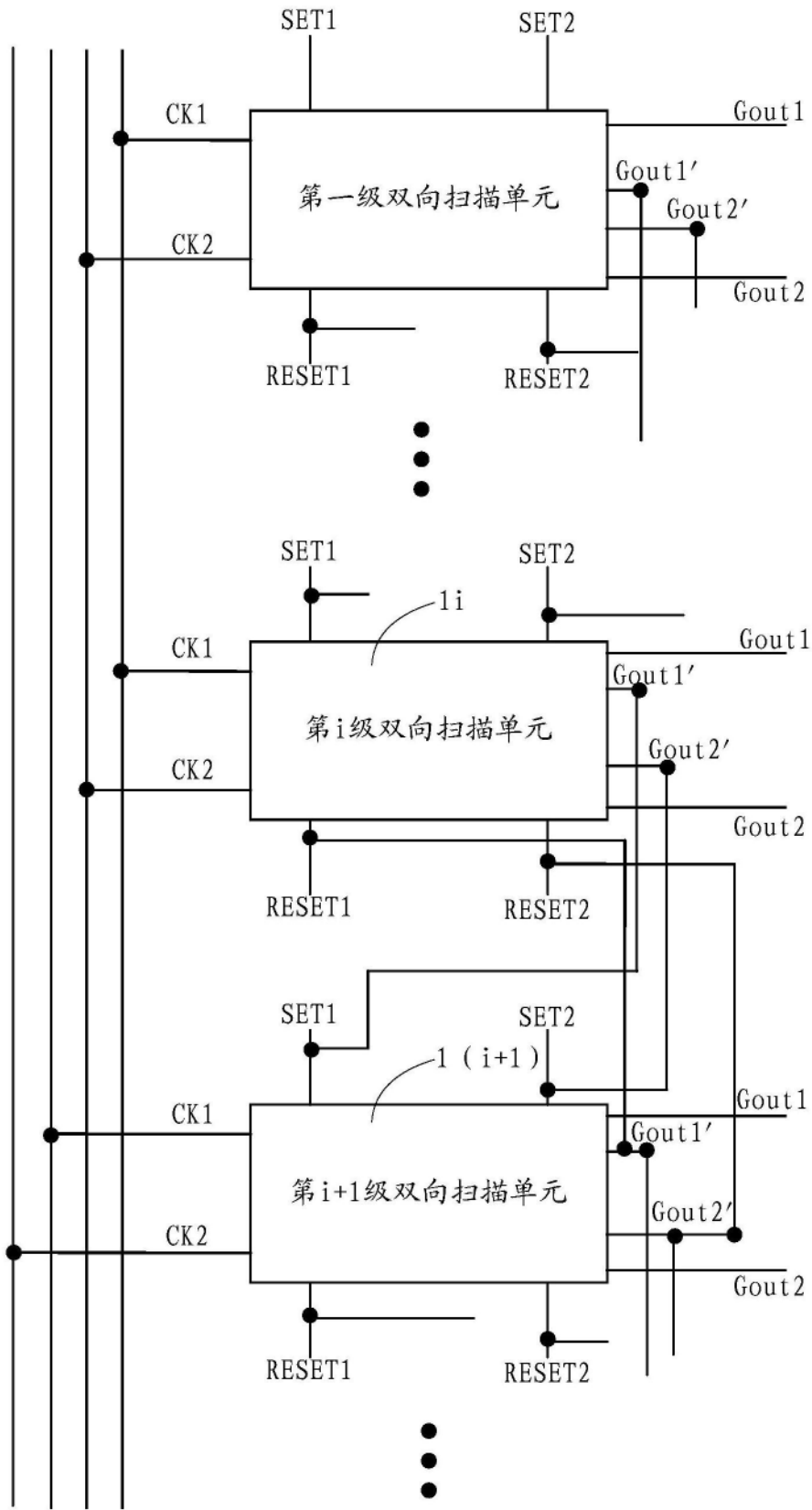


图6