

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-47503
(P2004-47503A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/78	H O 1 L 29/78 3 O 1 G	5 F 1 4 O
H O 1 L 29/861	H O 1 L 29/91 L	

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号	特願2002-198993 (P2002-198993)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年7月8日(2002.7.8)	(74) 代理人	100087479 弁理士 北野 好人
		(74) 代理人	100114915 弁理士 三村 治彦
		(72) 発明者	谷田 義明 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	杉山 芳弘 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

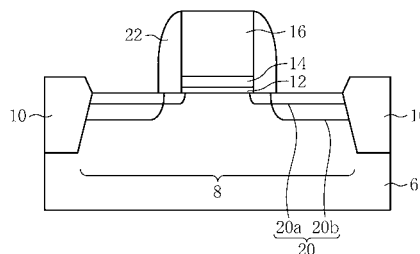
(57) 【要約】

【課題】 絶縁膜の材料として Al_2O_3 等を用いる場合であっても、フラットバンド電圧のシフトを抑制し得る半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に形成された、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層と、中間層上に形成された、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜と、絶縁膜上に形成された電極とを有している。第1の元素を含む酸化物より成る中間層が形成されているため、ゲート絶縁膜の材料として Al_2O_3 等を用いた場合であっても、界面準位密度を低く抑えることができる。従って、フラットバンド電圧の大きなシフトを防止し得る半導体装置及びその製造方法を提供することができる。

【選択図】 図1

本発明の第1実施形態による半導体装置を示す断面図



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層と、
前記中間層上に形成された、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜と、
前記絶縁膜上に形成された電極と
を有することを特徴とする半導体装置。

【請求項 2】

請求項1記載の半導体装置において、
前記絶縁膜と前記電極との間に形成され、前記第1の元素を含む酸化物より成る他の中間層を更に有することを特徴とする半導体装置。

10

【請求項 3】

請求項1又は2記載の半導体装置において、
前記中間層及び/又は前記他の中間層は、前記第1の元素と前記第2の元素とを含む酸化物より成ることを特徴とする半導体装置。

【請求項 4】

請求項1乃至3のいずれか1項に記載の半導体装置において、
前記絶縁膜の膜厚は、5nm以下であることを特徴とする半導体装置。

20

【請求項 5】

請求項1乃至4のいずれか1項に記載の半導体装置において、
前記第2の元素は、Al、Sc、Y又はLaであることを特徴とする半導体装置。

【請求項 6】

請求項5記載の半導体装置において、
前記絶縁膜は、 Al_2O_3 膜、 Sc_2O_3 膜、 Y_2O_3 膜又は La_2O_3 膜であることを特徴とする半導体装置。

30

【請求項 7】

請求項1乃至6のいずれか1項に記載の半導体装置において、
前記第1の元素は、Ta、V、Nb、Th又はUであることを特徴とする半導体装置。

【請求項 8】

半導体基板上に、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層を形成する工程と、
前記中間層上に、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜を形成する工程と、
前記絶縁膜上に電極を形成する工程と
を有することを特徴とする半導体装置の製造方法。

40

【請求項 9】

請求項8記載の半導体装置の製造方法において、
前記中間層を形成する工程では、前記第1の元素を含む第1の原料と前記第2の元素を含む第2の原料とを用いて、前記第1の元素と前記第2の元素とを含む酸化物より成る前記中間層を形成し、
前記絶縁膜を形成する工程では、前記第2の原料を用いて前記絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 10】

請求項8又は9記載の半導体装置の製造方法において、

50

前記絶縁膜を形成する工程の後、前記電極を形成する工程の前に、前記第1の原料と前記第2の原料とを用いて、前記第1の元素と前記第2の元素とを含む酸化物より成る他の中間層を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特にMOS構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来より、MOS (Metal Oxide Semiconductor) 構造の絶縁膜としては、 SiO_2 膜が広く用いられてきた。そして、半導体装置の微細化に伴って、 SiO_2 膜の薄膜化が進められてきた。しかし、 SiO_2 膜の薄膜化は3nm程度が限界といわれている。このため、 SiO_2 より誘電率の高い材料を用いてゲート絶縁膜を構成することが検討されている。

【0003】

従来半導体プロセスとの整合性が良好であり、しかも、誘電率が SiO_2 より高い材料として、 Al_2O_3 が注目されている。

【0004】

ゲート絶縁膜の材料として Al_2O_3 が用いられた提案されている半導体装置について、図13を用いて説明する。図13は、提案されている半導体装置を示す断面図である。

【0005】

図13に示すように、シリコン基板106には、素子領域108を画定する素子分離領域110が形成されている。素子領域108内のシリコン基板106上には、 Al_2O_3 より成るゲート絶縁膜114が形成されている。ゲート絶縁膜114上には、ポリシリコンより成るゲート電極116が形成されている。ゲート電極116上には、キャップ膜118が形成されている。ゲート電極116の両側のシリコン基板106には、エクステンションソースドレインの浅い領域を構成する不純物拡散領域120aが形成されている。ゲート電極116の側面には、サイドウォール絶縁膜122が形成されている。側面にサイドウォール絶縁膜122が形成されたゲート電極116の両側には、エクステンションソースドレインの深い領域を構成する不純物拡散領域120bが形成されている。不純物拡散領域120aと不純物拡散領域120bとにより、エクステンションソースドレイン構造のソース/ドレイン拡散層120が構成されている。こうして、提案されている半導体装置が構成されている。

【0006】

【発明が解決しようとする課題】

しかしながら、ゲート絶縁膜114の材料として Al_2O_3 を用いた場合には、フラットバンド電圧が大きくシフトしてしまう。図14は、C-V特性を示すグラフである。横軸はゲートバイアスを示しており、縦軸は静電容量を示している。図14から分かるように、ゲート絶縁膜の材料として Al_2O_3 を用いた場合には、ゲート絶縁膜の材料として SiO_2 を用いた場合と比較して、フラットバンド電圧が約0.4Vもシフトしてしまう。

【0007】

しかも、フラットバンド電圧のシフトは、 Al_2O_3 膜の膜厚が薄くなるほど大きくなる傾向がある。図15は、 Al_2O_3 膜の膜厚とフラットバンド電圧のシフトとの関係を示すグラフである。横軸は酸化膜換算膜厚を示しており、縦軸はフラットバンド電圧のシフトを示している。測定条件は、以下の通りである。即ち、基板としてp型のシリコン基板を用い、絶縁膜として窒素が添加された Al_2O_3 膜を用い、電極としてポリシリコン膜を用いた。測定温度は、-25とした。図15から分かるように、 Al_2O_3 膜の膜厚が薄くなるほどフラットバンド電圧のシフトは大きくなる傾向がある。

10

20

30

40

50

【0008】

フラットバンド電圧が大きくシフトしてしまうと、所望のしきい値電圧が得られなくなる。このため、ゲート絶縁膜の材料として、 Al_2O_3 等を用いた場合であっても、フラットバンド電圧のシフトを抑制し得る技術が待望されていた。

【0009】

本発明の目的は、絶縁膜の材料として Al_2O_3 等を用いる場合であっても、フラットバンド電圧のシフトを抑制し得る半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】

上記目的は、半導体基板上に形成された、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層と、前記中間層上に形成された、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜と、前記絶縁膜上に形成された電極とを有することを特徴とする半導体装置により達成される。

【0011】

また、上記目的は、半導体基板上に、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層を形成する工程と、前記中間層上に、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜を形成する工程と、前記絶縁膜上に電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0012】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図4を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。

【0013】

(半導体装置)

まず、本実施形態による半導体装置について、図1を用いて説明する。

【0014】

図1に示すように、シリコン基板6には、素子領域8を画定する素子分離領域10が形成されている。

【0015】

素子領域8におけるシリコン基板10上には、例えば厚さ1nmの中間層12が形成されている。中間層12は、少なくともTaを含む酸化物より成るものである。具体的には、中間層12として、AlとTaとSiとO(酸素)とを含む膜が用いられている。中間層12の厚さは、例えば1nmとなっている。

【0016】

中間層12上には、例えば膜厚4nmの Al_2O_3 より成るゲート絶縁膜14が形成されている。

【0017】

ゲート絶縁膜14上には、例えば厚さ100~200nmのポリシリコンより成るゲート電極16が形成されている。

【0018】

ゲート電極16の両側のシリコン基板10には、エクステンションソースドレインの浅い領域を構成する不純物拡散領域20aが形成されている。

【0019】

ゲート電極16の側面には、例えば SiO_2 より成るサイドウォール絶縁膜22が形成されている。

【0020】

側面にサイドウォール絶縁膜22が形成されたゲート電極16の両側のシリコン基板10には、エクステンションソースドレインの深い領域を構成する不純物拡散領域20bが形

成されている。

【0021】

不純物拡散領域20aと不純物拡散領域20bとにより、エクステンションソースドレイン構造のソース/ドレイン拡散層20が形成されている。

【0022】

こうして本実施形態による半導体装置が構成されている。

【0023】

本実施形態による半導体装置は、シリコン基板6と Al_2O_3 より成るゲート絶縁膜14との間に、少なくともTaを含む酸化物より成る中間層14が形成されていることに主な特徴がある。

10

【0024】

ゲート絶縁膜として Al_2O_3 を用いた提案されている半導体装置では、基板はIV族元素であるSiにより構成されている一方、ゲート絶縁膜にはIII族元素であるAlが含まれているため、シリコン基板とゲート絶縁膜との界面にAlによる未結合手が生じ、界面準位密度が高くなってしまっていた。界面準位密度が高くなると、表面ポテンシャルに応じて、界面に電荷が蓄積される。しかし、最も重要なのは未結合手等によって生じた膜中の電荷であり、これがフラットバンド電圧の大きなシフトを招いてしまっていた。

【0025】

これに対し、本実施形態では、シリコン基板6と Al_2O_3 より成るゲート絶縁膜16との間に、少なくともTaを含む酸化物より成る中間層が形成されている。ゲート絶縁膜14に含まれているAlはIII族元素であるのに対し、中間層12に含まれているTaはV族元素であるため、本実施形態によれば、Alによる未結合手が生じるのを防止することができる。従って、本実施形態によれば、ゲート絶縁膜14の材料として Al_2O_3 を用いた場合であっても、固定電荷量を低く抑えることができ、フラットバンド電圧の大きなシフトを防止することができる。

20

【0026】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図2乃至図4を用いて説明する。図2乃至図4は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0027】

まず、図2(a)に示すように、例えば面方位(001)のシリコン基板6を用意する。

30

【0028】

次に、例えばLOCOS法又はSTI法により、シリコン基板6に、素子領域8を画定する素子分離領域10を形成する。

【0029】

次に、例えば0.5%のHF水溶液を用いて、犠牲酸化膜を除去する。

【0030】

次に、図2(b)に示すように、全面に、例えばMOCVD法により、少なくともTaを含む中間層12を形成する。具体的には、中間層12として、AlとTaとSiとOとを含む膜を形成する。中間層12の厚さは、例えば1nmとする。中間層12を形成する際には、減圧下にて、Taの原料ガスとAlの原料ガスと O_2 ガスを供給する。Taの原料としては、例えば、Pent-Etochissi-Tantalate(PET)を用いる。Alの原料としては、例えば、Tri-Ethel-Aluminum(TEA)を用いる。

40

【0031】

次に、全面に、例えばMOCVDにより、 Al_2O_3 より成るゲート絶縁膜14を形成する。ゲート絶縁膜14の膜厚は、例えば4nmとする。Alの原料としては、上記と同様に、例えば、Tri-Ethel-Aluminum(TEA)を用いる。なお、中間層12とゲート絶縁膜14とは、連続した工程で形成すればよい。

【0032】

50

次に、 N_2 雰囲気中で、800、10秒の熱処理を行う。

【0033】

次に、図2(c)に示すように、全面に、例えばCVD法により、膜厚100~200nmのポリシリコン膜16を形成する。ポリシリコン膜16は、後工程においてパターンニングされてゲート電極となるものである。ポリシリコン膜16を形成する際の成膜条件は、例えば650とする。

【0034】

次に、図3(a)に示すように、フォトリソグラフィ技術を用い、ポリシリコン膜16をパターンニングする。ポリシリコン膜16をパターンニングする際には、例えばドライエッチングを用いる。こうして、ポリシリコンより成るゲート電極16が形成される。

10

【0035】

次に、図3(b)に示すように、ゲート電極16をマスクとして、イオン注入法により、ゲート電極16の両側のシリコン基板6に不純物を導入する。これにより、エクステンションソースドレインの浅い領域を構成する不純物拡散領域20aが形成される。

【0036】

次に、全面に、例えば膜厚130nmのシリコン窒化酸化膜を形成する。この後、シリコン窒化酸化膜を異方性エッチングする。これにより、ゲート電極の側面に、シリコン窒化酸化膜より成るサイドウォール絶縁膜22が形成される(図4(a)参照)。

【0037】

次に、側面にサイドウォール絶縁膜22が形成されたゲート電極16をマスクとして、イオン注入法により、シリコン基板6に不純物を導入する。これにより、エクステンションソースドレインの深い領域を構成する不純物拡散領域20bが形成される。こうして、不純物拡散領域20aと不純物拡散領域20bとにより構成されたエクステンションソースドレイン構造のソース/ドレイン拡散層20が形成される。

20

【0038】

こうして本実施形態による半導体装置が製造される。

【0039】

(評価結果)

次に、本実施形態による半導体装置の評価結果について説明する。

【0040】

まず、CV特性を測定することにより、フラットバンド電圧のシフト V_{fb} を求めた。この結果、フラットバンド電圧のシフト V_{fb} は、0.2Vと小さく抑えられており、良好であった。

30

【0041】

また、コンダクタンス法により、界面準位密度を求めた。この結果、界面準位密度は、 $5 \times 10^{10} \text{ cm}^{-2} / \text{eV}$ と低く抑えられており、良好であった。

【0042】

これらのことから、本実施形態によれば、ゲート絶縁膜の材料として Al_2O_3 を用いた場合であっても、界面準位密度が低く、フラットバンド電圧のシフトの小さい半導体装置を提供し得ることがわかる。

40

【0043】

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法を図5乃至図8を用いて説明する。図5は、本実施形態による半導体装置を示す断面図である。図1乃至図4に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0044】

(半導体装置)

まず、本実施形態による半導体装置について図5を用いて説明する。

【0045】

50

本実施形態による半導体装置は、シリコン基板 6 とゲート絶縁膜 1 4 との間に中間層 1 2 が形成されているのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも中間層 1 2 a 形成されていることに主な特徴がある。

【0046】

図 5 に示すように、本実施形態では、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも、中間層 1 2 a が形成されている。中間層 1 2 a としては、例えば中間層 1 2 と同様のものを用いることができる。

【0047】

ポリシリコンより成るゲート電極は I V 族元素である Si により構成されている一方、 Al_2O_3 より成るゲート絶縁膜には V 族元素である Al が含まれているため、ゲート絶縁膜とゲート電極とが接している場合には、ゲート絶縁膜とゲート電極との界面に Al による未結合手が生じ、固定電荷量が多くなる要因となる。

10

【0048】

本実施形態によれば、シリコン基板 6 とゲート絶縁膜 1 4 との間に中間層 1 2 が形成されているのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との間にも中間層 1 2 a が形成されているため、シリコン基板 6 とゲート絶縁膜 1 4 との界面における固定電荷を低減し得るのみならず、ゲート絶縁膜 1 4 とゲート電極 1 6 との界面における固定電荷をも低減し得る。従って、本実施形態によれば、フラットバンド電圧のシフトをより抑制し得る半導体装置を提供することができる。

【0049】

20

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図 6 乃至図 8 を用いて説明する。

【0050】

まず、ゲート絶縁膜 1 4 を形成する工程までは、図 2 (a) 及び図 2 (b) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する (図 6 (a) 及び図 6 (b) 参照) 。

【0051】

次に、図 6 (b) に示すように、全面に、MOCVD 法により、中間層 1 2 a を形成する。中間層 1 2 a の形成方法は、例えば、上述した中間層 1 2 の形成方法と同様とする。

【0052】

30

この後の図 6 (c) 乃至図 8 (b) に示す半導体装置の製造方法は、図 2 (c) 乃至図 4 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【0053】

こうして本実施形態による半導体装置が製造される。

【0054】

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法を図 9 乃至図 12 を用いて説明する。図 9 は、本実施形態による半導体装置を示す断面図である。図 1 乃至図 8 に示す第 1 又は第 2 実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

40

【0055】

(半導体装置)

まず、本実施形態による半導体装置について図 9 を用いて説明する。

【0056】

本実施形態による半導体装置は、シリコン基板 6 とゲート絶縁膜 1 4 との間には中間層 1 2 が形成されておらず、ゲート絶縁膜 1 4 とゲート絶縁膜 1 6 との間にも中間層 1 2 a が形成されていることに主な特徴がある。

【0057】

図 9 に示すように、本実施形態では、シリコン基板 10 上に、ゲート絶縁膜 1 4 が直接形成されている。

50

【0058】

ゲート絶縁膜14とゲート電極16との間には、中間層12aが形成されている。

【0059】

このように、シリコン基板8とゲート絶縁膜14との界面に中間層12を形成することなく、ゲート絶縁膜14とゲート電極16との間にのみ中間層12aを形成してもよい。

【0060】

本実施形態による半導体装置では、シリコン基板6とゲート絶縁膜14との間に中間層12が形成されていないため、シリコン基板6とゲート絶縁膜14との界面における固定電荷は低減し得ないが、ゲート絶縁膜14とゲート電極16との間には中間層12aが形成されているため、ゲート絶縁膜14とゲート電極16との界面における固定電荷については低減し得る。従って、本実施形態によっても、フラットバンド電圧のシフトを抑制することは可能である。

10

【0061】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法を図10乃至図12を用いて説明する。

【0062】

まず、犠牲酸化膜を除去する工程までは、図2(a)を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【0063】

次に、図10(b)に示すように、中間層12を形成することなく、全面に、ゲート絶縁膜14を形成する。ゲート絶縁膜14の形成方法は、例えば上記と同様とする。

20

【0064】

次に、全面に、中間層12aを形成する。中間層12aの形成方法は、例えば上記と同様とする。

【0065】

この後の図10(c)乃至図12(b)に示す半導体装置の製造方法は、図2(c)乃至図4(b)を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【0066】

こうして本実施形態による半導体装置が製造される。

【0067】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

30

【0068】

例えば、上記実施形態では、中間層としてAlとTaとSiとOとを含む膜を用いる場合を例に説明したが、中間層はAlとTaとSiとOとを含む膜に限定されるものではなく、V族元素を含む酸化物より成る膜を広く用いることができる。例えば、中間層として、AlとV(バナジウム)とSiとOとを含む膜、AlとNbとSiとOとを含む膜、AlとUとSiとOとを含む膜等を用いてもよい。V、Nb、UはいずれもV族元素であるため、III族元素であるAlによる未結合手の生成を防止することが可能である。

【0069】

また、上記実施形態では、中間層にAlが含まれていたが、中間層にAlが含まれていなくてもよい。

40

【0070】

また、上記実施形態では、中間層に窒素が含まれていない場合を例に説明したが、中間層にNを含ませてもよい。中間層に窒素を含ませることにより、ゲート電極中に導入されたB(ボロン)等のドーパント不純物がシリコン基板側に突き抜けてしまうのを防止することが可能となる。中間層に窒素を含ませる場合、中間層中における窒素の体積密度は例えば1%以下とすればよい。

【0071】

また、上記実施形態では、Al₂O₃より成るゲート絶縁膜の膜厚を4nmとしたが、ゲ

50

ート絶縁膜の膜厚は4 nmに限定されるものではない。ただし、 Al_2O_3 より成るゲート絶縁膜の膜厚が5 nmより薄くなるとフラットバンド電圧のシフトが顕著になる傾向があるため、本発明は、 Al_2O_3 より成るゲート絶縁膜の膜厚が5 nm以下の場合に特に有効である。

【0072】

また、上記実施形態では、ゲート絶縁膜として Al_2O_3 膜を用いる場合を例に説明したが、ゲート絶縁膜は Al_2O_3 膜に限定されるものではない。本発明の原理は、ゲート絶縁膜が、III族元素を含む酸化物より成る膜である場合に広く適用することができる。例えば、ゲート絶縁膜が、 Sc_2O_3 膜、 Y_2O_3 膜、 La_2O_3 膜等であってもよい。ゲート絶縁膜に含まれるSc、Y、LaはいずれもIII族元素である一方、中間層にV族元素が含まれているため、未結合手の発生を防止することができ、固定電荷を低減することができる。

10

【0073】

また、上記実施形態では、ゲート絶縁膜としてIII族元素を含む酸化物より成る膜を用いる場合を例に説明したが、ゲート絶縁膜としてV族元素を含む酸化物より成る膜を用いてもよい。ゲート絶縁膜としてV族元素を含む酸化物より成る膜を用いる場合には、中間層としてIII族元素を含む酸化物より成る膜を用いればよい。例えば、III族元素を含む酸化物より成る中間層としては、例えばThを含む酸化物より成る膜等を用いることが可能である。

【0074】

また、上記実施形態では、本発明の原理をMOS型トランジスタに適用する場合を例に説明したが、本発明の原理はMOS型トランジスタのみならず、他のあらゆる半導体装置に適用することが可能である。例えば、本発明の原理は、MOSダイオードの絶縁膜に適用することが可能である。即ち、MOSダイオードの絶縁膜として例えばIII族元素を含む酸化物より成る膜を用い、絶縁膜と半導体基板との間や絶縁膜と電極との間に例えばV族元素を含む酸化物より成る中間層を形成すればよい。また、MOSダイオードの絶縁膜として、例えばV族元素を含む酸化物より成る膜を用い、絶縁膜と半導体基板との間や絶縁膜と電極との間に例えばIII族元素を含む酸化物より成る中間層を形成してもよい。また、本発明の原理は、フローティングゲート型のトランジスタのトンネル絶縁膜にも適用することが可能である。即ち、トンネル絶縁膜として例えばIII族元素を含む酸化物より成る膜を用い、トンネル絶縁膜と半導体基板との間やトンネル絶縁膜と電極との間に例えばV族元素を含む酸化物より成る中間層を形成すればよい。また、トンネル絶縁膜として、例えばV族元素を含む酸化物より成る膜を用い、トンネル絶縁膜と半導体基板との間やトンネル絶縁膜と電極との間に例えばIII族元素を含む酸化物より成る膜を形成すればよい。

20

30

【0075】

また、上記実施形態では、シリコン基板を用いる場合を例に説明したが、シリコン基板に限定されるものではなく、本発明の原理は、IV族元素より成る半導体基板を用いる場合に広く適用することが可能である。例えば、シリコンゲルマニウム基板等を用いる場合にも本発明の原理を適用することが可能である。

40

【0076】

(付記1) 半導体基板上に形成された、III族元素及びV族元素の一方である第1の元素を含む酸化物より成る中間層と、
前記中間層上に形成された、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶縁膜と、
前記絶縁膜上に形成された電極と
を有することを特徴とする半導体装置。

【0077】

(付記2) 付記1記載の半導体装置において、
前記絶縁膜と前記電極との間に形成され、前記第1の元素を含む酸化物より成る他の中間

50

層を更に有する

ことを特徴とする半導体装置。

【0078】

(付記3) 付記1又は2記載の半導体装置において、
前記中間層及び/又は前記他の中間層は、前記第1の元素と前記第2の元素とを含む酸化物より成る

ことを特徴とする半導体装置。

【0079】

(付記4) 付記1乃至3のいずれかに記載の半導体装置において、
前記絶縁膜の膜厚は、5nm以下である

ことを特徴とする半導体装置。

【0080】

(付記5) 付記1乃至4のいずれかに記載の半導体装置において、
前記第2の元素は、Al、Sc、Y又はLaである

ことを特徴とする半導体装置。

【0081】

(付記6) 付記5記載の半導体装置において、
前記絶縁膜は、 Al_2O_3 膜、 Sc_2O_3 膜、 Y_2O_3 膜又は La_2O_3 膜である

ことを特徴とする半導体装置。

【0082】

(付記7) 付記1乃至6のいずれかに記載の半導体装置において、
前記第1の元素は、Ta、V、Nb、Th又はUである

ことを特徴とする半導体装置。

【0083】

(付記8) 付記1乃至7のいずれかに記載の半導体装置において、
前記中間層及び/又は前記他の中間層は、更に窒素を含む

ことを特徴とする半導体装置。

【0084】

(付記9) 半導体基板上に形成された、III族元素及びV族元素の一方である元素の
酸化物より成る絶縁膜と、

前記絶縁膜上に形成された、III族元素及びV族元素の他方である元素を含む酸化物より
成る中間層と、

前記中間層上に形成された電極と

を有することを特徴とする半導体装置。

【0085】

(付記10) 半導体基板上に、III族元素及びV族元素の一方である第1の元素を含
む酸化物より成る中間層を形成する工程と、

前記中間層上に、III族元素及びV族元素の他方である第2の元素の酸化物より成る絶
縁膜を形成する工程と、

前記絶縁膜上に電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0086】

(付記11) 付記10記載の半導体装置の製造方法において、

前記中間層を形成する工程では、前記第1の元素を含む第1の原料と前記第2の元素を含
む第2の原料とを用いて、前記第1の元素と前記第2の元素とを含む酸化物より成る前記
中間層を形成し、

前記絶縁膜を形成する工程では、前記第2の原料を用いて前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0087】

(付記12) 付記10又は11記載の半導体装置の製造方法において、

10

20

30

40

50

前記絶縁膜を形成する工程の後、前記電極を形成する工程の前に、前記第1の原料と前記第2の原料とを用いて、前記第1の元素と前記第2の元素とを含む酸化物より成る他の中間層を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0088】

【発明の効果】

以上の通り、本発明によれば、半導体基板とIII族元素及びV族元素の一方である元素の酸化物より成るゲート絶縁膜との間に、III族元素及びV族元素の他方である元素を含む酸化物より成る中間層が形成されているため、ゲート絶縁膜の材料として Al_2O_3 等を用いた場合であっても、固定電荷を低減することができる。従って、本発明によれば、フラットバンド電圧の大きなシフトを防止し得る半導体装置及びその製造方法を提供することができる。

10

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

20

【図5】本発明の第2実施形態による半導体装置を示す断面図である。

【図6】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図7】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図8】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

【図9】本発明の第3実施形態による半導体装置を示す断面図である。

【図10】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

30

【図11】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図12】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

【図13】提案されている半導体装置を示す断面図である。

【図14】C-V特性を示すグラフである。

【図15】 Al_2O_3 膜の膜厚とフラットバンド電圧のシフトとの関係を示すグラフである。

【符号の説明】

6 ... シリコン基板

40

8 ... 素子領域

10 ... 素子分離領域

12、12a ... 中間層

14 ... ゲート絶縁膜

16 ... ゲート電極

20 ... ソース/ドレイン拡散層

20a、20b ... 不純物拡散領域

22 ... サイドウォール絶縁膜

106 ... シリコン基板

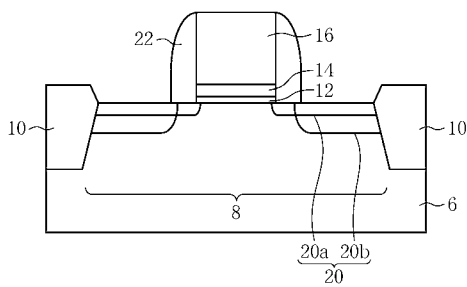
108 ... 素子領域

50

- 1 1 0 ... 素子分離領域
- 1 1 4 ... ゲート絶縁膜
- 1 1 6 ... ゲート電極
- 1 1 8 ... キャップ膜
- 1 2 0 ... ソース/ドレイン拡散層
- 1 2 0 a、1 2 0 b ... 不純物拡散領域
- 1 2 2 ... サイドウォール絶縁膜

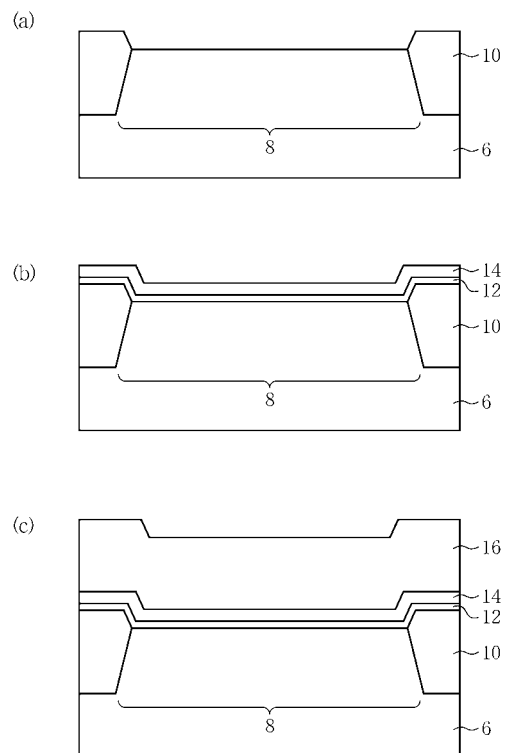
【図 1】

本発明の第1実施形態による半導体装置を示す断面図



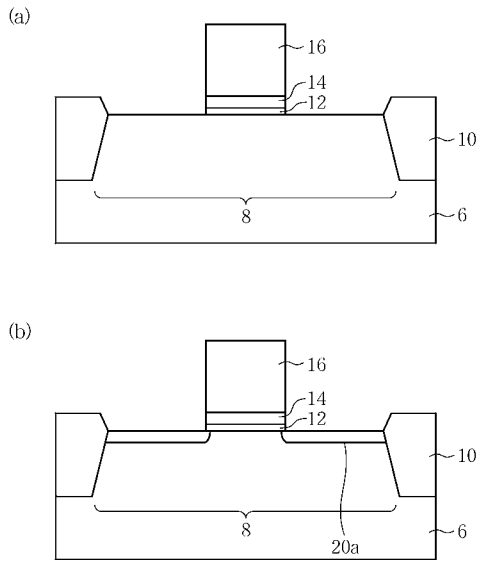
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)



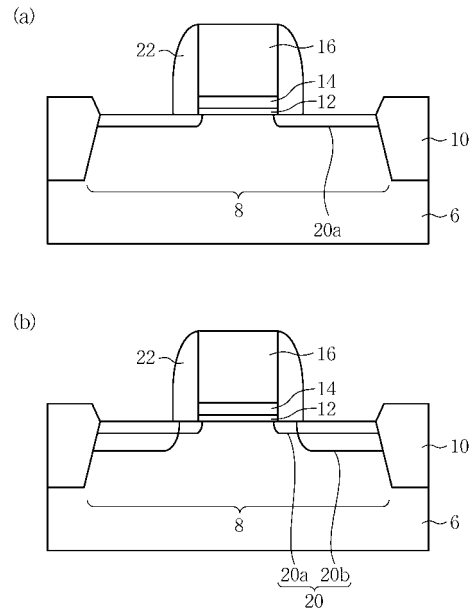
【 図 3 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2)



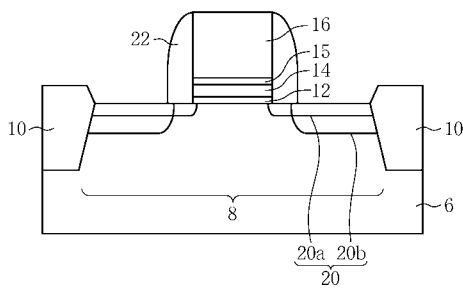
【 図 4 】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その3)



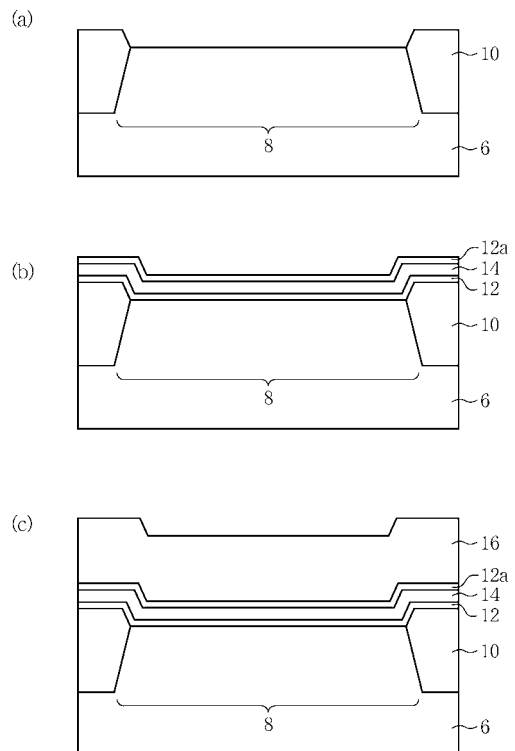
【 図 5 】

本発明の第2実施形態による半導体装置を示す断面図



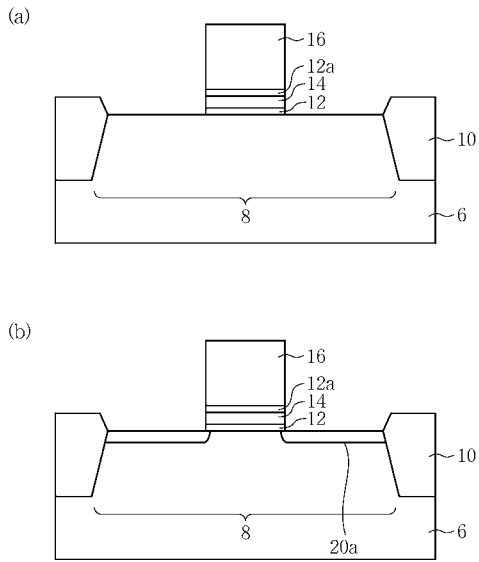
【 図 6 】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その1)



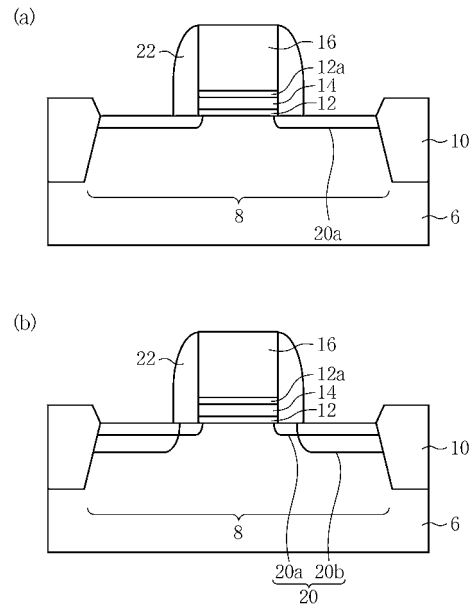
【 図 7 】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その2)



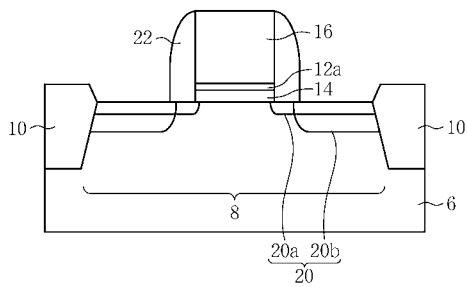
【 図 8 】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その3)



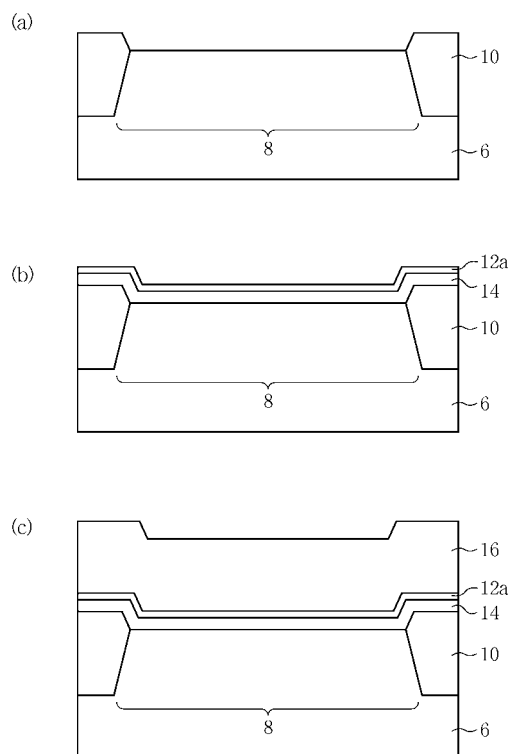
【 図 9 】

本発明の第3実施形態による半導体装置を示す断面図



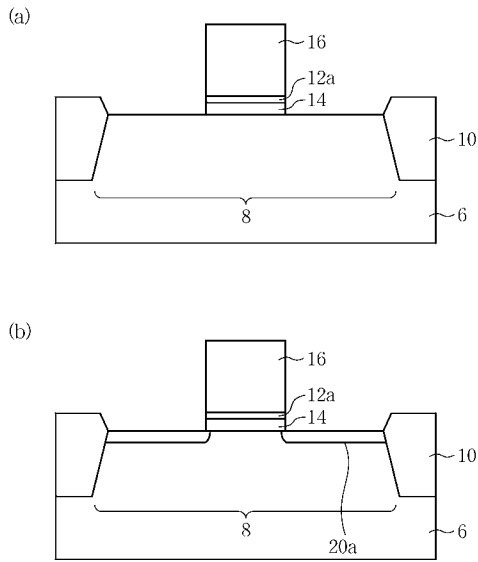
【 図 10 】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その1)



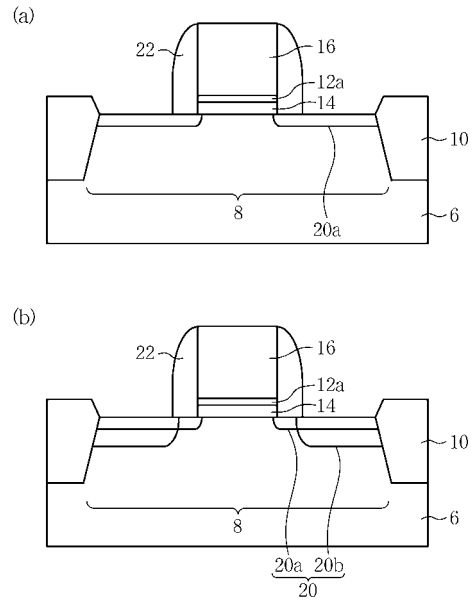
【 図 1 1 】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その2)



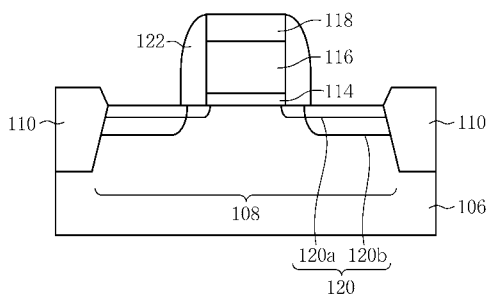
【 図 1 2 】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図(その3)



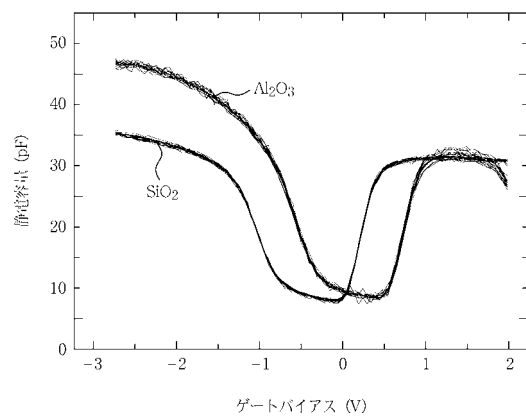
【 図 1 3 】

提案されている半導体装置を示す断面図



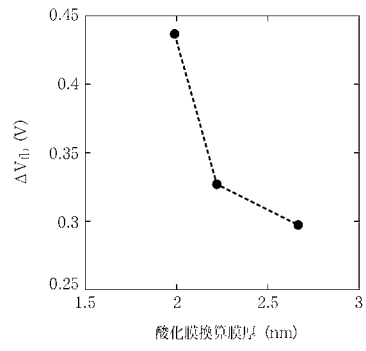
【 図 1 4 】

C-V特性を示すグラフ



【 図 1 5 】

Al₂O₃膜の膜厚とフラットバンド電圧のシフトとの
関係を示すグラフ



フロントページの続き

Fターム(参考) 5F140 AA00 AC14 AC39 BA01 BA05 BA20 BD01 BD02 BD11 BD13
BE10 BF01 BF04 BG08 BG11 BG12 BG28 BG38 BG53 BH15
BK02 BK13 CB01 CB04 CE10