



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I452673 B

(45) 公告日：中華民國 103 (2014) 年 09 月 11 日

(21) 申請案號：098128010

(22) 申請日：中華民國 98 (2009) 年 08 月 20 日

(51) Int. Cl. : H01L27/02 (2006.01)

H05K1/16 (2006.01)

(71) 申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園縣中壢市中壢工業區吉林路 23 號 9 樓

(72) 發明人：倪慶羽 NI, CHING YU (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 552686

TW 200804172A

審查人員：張靖輝

申請專利範圍項數：28 項 圖式數：14 共 0 頁

(54) 名稱

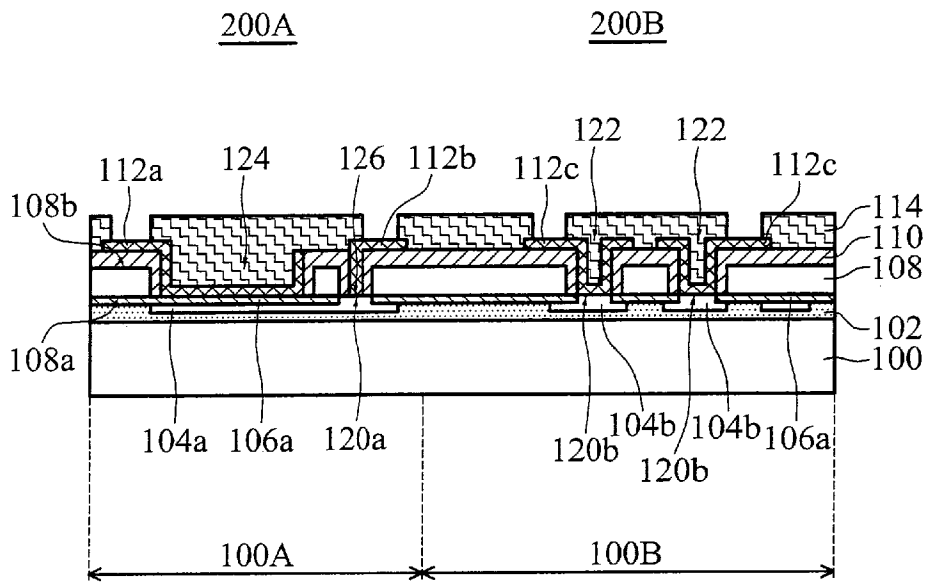
電子裝置及其製造方法

ELECTRONIC DEVICE AND FABRICATION METHOD THEREOF

(57) 摘要

本發明之實施例係有關於一種電子裝置及其製造方法，電子裝置係包括：玻璃基底；圖案化半導體基底，具有至少一開口，設置於玻璃基底上；及至少一被動元件，具有第一導電層及第二導電層，其中第一導電層係位於圖案化半導體基底與玻璃基底之間。

An electronic device and fabrication method thereof are provided. The electronic device contains a glass substrate, a patterned semiconductor substrate, having at least one opening, disposed on the glass substrate and at least one passive device having a first conductive layer and a second conductive layer, wherein the first conductive layer is disposed between the patterned semiconductor substrate and the glass substrate.



第 2 圖

- 100 . . . 玻璃基底
- 100A . . . 電容區
- 100B . . . 電感區
- 102 . . . 黏著層
- 104a、104b . . . 第一導電層
- 106a . . . 介電層
- 108 . . . 半導體基底
- 108a . . . 半導體基底之第一表面
- 108b . . . 半導體基底之第二表面
- 110 . . . 第一保護層
- 112a、112b、112c . . . 第二導電層
- 114 . . . 第二保護層
- 120a、120b . . . 下層開口
- 122、124、126 . . . 上層開口
- 200A . . . 電容器
- 200B . . . 電感器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 88128010

※申請日： 88-8-20

※IPC 分類： H01L 27/02 (2006.01)

一、發明名稱：(中文/英文)

H05K 1/16 (2006.01)

電子裝置及其製造方法

Electronic device and fabrication method thereof

二、中文發明摘要：

本發明之實施例係有關於一種電子裝置及其製造方法，電子裝置係包括：玻璃基底；圖案化半導體基底，具有至少一開口，設置於玻璃基底上；及至少一被動元件，具有第一導電層及第二導電層，其中第一導電層係位於圖案化半導體基底與玻璃基底之間。

三、英文發明摘要：

An electronic device and fabrication method thereof are provided. The electronic device contains a glass substrate, a patterned semiconductor substrate, having at least one opening, disposed on the glass substrate and at least one passive device having a first conductive layer and a second conductive layer, wherein the first conductive layer is disposed between the patterned semiconductor substrate and the glass substrate.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 100～玻璃基底；
- 100A～電容區；
- 100B～電感區；
- 102～黏著層；
- 104a、104b～第一導電層；
- 106a～介電層；
- 108～半導體基底；
- 108a～半導體基底之第一表面；
- 108b～半導體基底之第二表面；
- 110～第一保護層；
- 112a、112b、112c～第二導電層；
- 114～第二保護層；
- 120a、120b～下層開口；
- 122、124、126～上層開口；
- 200A～電容器；
- 200B～電感器。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電子裝置，特別有關於一種電感及/或電容之被動元件及其製造方法

【先前技術】

一般而言，在晶片的主動元件周遭會設置一些被動元件，例如電阻器、電容器或電感器等，以儲存或釋放電路中的電能來調節電流的穩定性。電容器係由兩個電極以及兩個電極之間的介電層所組成，而電感器則通常為螺旋狀的電感器。

傳統的電容器與電感器也可以在晶片封裝的印刷電路板(PCB)上製作，其通常使用高分子作為電容器之介電層材料，使得電容器達到較高的品質因數，然而其電容值密度卻因此而降低。雖然可以使用高介電常數(high K)的高分子作為介電層材料來提高電容值密度，但是高介電常數的高分子材料成本較高，而且在製程上的操作較不容易。

因此，業界亟需一種具有新穎結構的電子裝置，以達到較高的電容值密度及/或較高的品質因數。

【發明內容】

本發明之一實施例係提供一種電子裝置，其包括：玻璃基底；圖案化半導體基底，具有至少一開口，設置於玻璃基底上；及至少一被動元件，具有第一導電層及

第二導電層，其中第一導電層係位於圖案化半導體基底與玻璃基底之間。

此外，本發明之另一實施例又提供一種電子裝置的製造方法，包括：提供半導體基底，具有被動元件區；形成介電層於半導體基底上；形成複數個下層開口於介電層內；形成第一導電層於介電層上及該些下層開口內；提供玻璃基底，將半導體基底與玻璃基底接合，使得介電層及第一導電層介於玻璃基底與半導體基底之間。

在本發明之另一實施例中，上述電子裝置的製造方法可更包括：形成複數個上層開口於半導體基底的被動元件區內，暴露出介電層，及/或該些下層開口內的第一導電層；形成第一保護層於半導體基底上，以及該些上層開口之側壁上；及形成第二導電層於第一保護層上及該些上層開口內，以與介電層及/或第一導電層接觸。

為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

【實施方式】

本實施例提供一種利用半導體基底及玻璃基底製作被動元件的電子裝置及其製造方法，其可單獨製作電感或是單獨形成金屬-絕緣-金屬(metal-insulator-metal，簡稱 MIM)電容器，本實施例也可製作含有此電容器的電感-電容整合型被動元件(inductor-capacitor integrated passive device，簡稱 L-C IPD)，因此以下實施例係為方

便說明起見而同時顯示電感區和電容區，但其並不以同時製作為限。本實施例之結構可具有較高的電容值密度或較高的品質因數。而本實施例之電容器或電感器可利用矽晶圓和玻璃載體進行製作，因此可降低製造成本。

請參閱第 2 圖，其係顯示依據本發明一實施例之被動元件的剖面示意圖。在一實施例中，電感器的平面示意圖如第 1 圖所示，其為螺旋狀的電感器，此螺旋狀可以是如第 1 圖所示之方形螺旋狀，也可以是圓形螺旋狀。沿著第 1 圖中的剖面線 2-2' 之電感器的剖面示意圖如第 2 圖中的電感區 100B 所示，但是第 2 圖中的電感區 100B 僅繪出電感器中的第一導電層 104b 及第二導電層 112c。

如第 2 圖所示，本實施例之電子裝置係揭露一玻璃基底 100，及一圖案化半導體基底 108，例如是矽基底。其中圖案化半導體基底 108 具有至少一上層開口，例如較大尺寸的開口 124 及較小尺寸的開口 122，設置於玻璃基底上。至少一被動元件，如電容 200A 及/或電感 200B，其組成包括第一導電層 104a、104b 及第二導電層 112a、112c，其中第一導電層 104a、104b 係位於半導體基底 108 與玻璃基底 100 之間。另配合被動元件的結構設計，第二導電層 112a、112c 可位於上層開口 124 和 122 內。

請再參閱第 2 圖，此被動元件於電感元件區 100B 內包括一電感 200B，其中第一導電層 104b 與第二導電層 112c 係電性連接。此外，此被動元件於電容元件區 100A 內包括一電容 200A，其包括一介電層 106a，位於半導體基底 108 與玻璃基底 100 之間，且與第一導電層 104a 及

第二導電層 112a 形成三明治結構。

換言之，在電容-電感整合型結構的例子中，被動元件同時包括電容 200A 及電感 200B，且半導體基底 108 包括一對應電容 200A 之第一開口 124 及一對應電感 200B 之第二開口 122，其中第二導電層 112a、112c 係分別位於第一開口 124 及第二開口 122 內。此時，第二導電層 112c 於對應電感之第二開口 122 內係與第一導電層 104b 電性連接。相對而言，電容則包括一介電層 106a，其位於半導體基底 108 與玻璃基底 100 之間。而第二導電層 112a 於對應電容之第一開口 124 內係與第一導電層 104a 及介電層 106a 形成三明治結構。

在一實施例中，第二開口 122 小於第一開口 124，其中第二導電層 112a 及 112c 則可順應性形成於對應電容及電感之第二開口 124、122 內。其中由於介電層 106a 為一平坦化層，因此電容及電感之第一導電層 104a、104b 可共平面，且電容及電感之第二導電層 112a、112c 亦可同時共平面。而半導體基底及玻璃基底之接合則可藉助於黏著層 102，例如環氧樹脂等。

此外，為了隔離第二導電層 112a、112c 與半導體基底 108，本實施例更包括形成第一保護層 110，以順應性覆蓋半導體基底。而在完成第二導電層 112a、112c 之製作後，可再覆蓋一平坦化的第二保護層 114，以覆蓋第二導電層 112a、112c 與第一保護層 110。上述第一和第二保護層的材料可選擇一感光性絕緣材料，例如光阻。

請參閱第 3 圖，本實施例之電子裝置與上述結構之

差異在於，亦可選擇使第二導電層 112c 填滿對應電感之第二開口 122 內。

此外，於電容區中由於第一導電層 104a 係作為電容下電極層，因此可另形成一上層開口 126，並於上層開口 126 內形成連通電容下電極層至外部的導電層 112b。

詳而言之，在本例中，玻璃基底 100 具有電容區 100A 及/或電感區 100B，在玻璃基底 100 上方具有圖案化半導體基底 108，圖案化半導體基底 108 具有下表面 108a 及上表面 108b，於下表面 108a 上具有介電層 106a，介電層 106a 的材料可以是氧化矽、氮化矽、氮氧化矽或前述之組合，其可以利用熱氧化法或化學氣相沈積法形成，介電層 106a 的厚度可約為 500Å 至 1000Å。

在介電層 106a 中具有複數個開口 120a 及/或開口 120b，第一導電層 104a、104b 形成於介電層 106a 上及介電層 106a 的開口 120a、120b 內，因此第一導電層 104a、104b 係位於半導體基底 108 與玻璃基底 100 之間。另可選擇使用黏著層 102，其係用以接合半導體基底 108 和玻璃基底 100，黏著層 102 的材料例如為環氧樹脂 (epoxy resin) 等黏著材料。

在半導體基底 108 的上表面 108b 上形成有至少一開口，例如開口 122，位於電感區 100B 內，這些開口 122 貫穿半導體基底 108，暴露出開口 120b 內的第一導電層 104b。另外，亦可在半導體基底 108 的上表面 108b 上形成開口 124，其位於電容區 100A 內，暴露出介電層 106a。而在一實施例中，可另形成開口 126，以暴露出位於開口

120a 內的第一導電層 104a。第二導電層 112a、112b、112c 和半導體基底 108 之間可由保護層 110 隔離，例如在半導體基底 108 的第二表面 108b 上，以及開口 122、124 和 126 的側壁上覆蓋有第一保護層 110；接著，第二導電層 112a、112b、112c 形成於第一保護層 110 上，以及開口 122、124 和 126 的側壁和底部上。然後，第二保護層 114 形成於第二導電層 112a、112b、112c 和第一保護層 110 上，且暴露出部分的第二導電層 112a、112b、112c。在電容區 100A 的第一導電層 104a、介電層 106a 以及第二導電層 112a 構成一電容器的三明治結構；而在電感區 100B 所構成的電感器，其第一導電層 104b 則形成如第 1 圖所示之電感繞線區，其兩端點則藉由第二導電層 112c 電性連接至外部電路，其中在一實施例中，電容器與電感器可經由串聯或並聯形成電感-電容整合型被動元件。此外，電容器與電感器的第一導電層和第二導電層係分別位於同一平面中，因此可以充分達成扁平化的電子裝置需求。

第一導電層 104 和第二導電層 112 的材料可以是低阻值 (low resistance) 的金屬層，例如金、銀或銅等金屬，其可以利用電鍍或沈積的方式形成，然後再利用微影蝕刻的方式圖案化，形成第一導電層 104 和第二導電層 112 的圖案。

第一保護層 110 和第二保護層 114 的材料可以是感光性的絕緣材料，例如感光型之有機高分子材料，其成分可包含但不限於聚醯亞胺樹脂 (polyimide; PI)、苯環丁

烯(butylcyclobutene; BCB)、聚對二甲苯(parylene)、萘聚合物(polynaphthalenes)、氟碳化物(fluorocarbons)、丙烯酸酯(acrylates)等，且此感光型之有機高分子材料可以是利用塗佈方式，例如旋轉塗佈(spin coating)、噴塗(spray coating)或淋幕塗佈(curtain coating)，或者是其它適合之沈積方式形成，然後再利用曝光顯影的方式圖案化，形成第一保護層 110 和第二保護層 114 的圖案。

接著，請參閱第 4A 至 4K 圖，其係顯示依據本發明之一實施例，具有被動元件之電子裝置製造方法的剖面示意圖。請參閱第 4A 圖，首先提供一半導體基底 108，例如為矽晶圓，其次為形成介電層 106，例如以熱氧化法在半導體基底 108 的表面上形成平坦化的氧化矽 106a、106b，或者也可以利用化學氣相沈積法在半導體基底 108 的表面上形成氮化矽或氮氧化矽之介電層 106。接著，如第 4B 圖所示，以微影蝕刻方式在介電層 106a 中形成至少一下層開口 120，例如是位於電容區的開口 120a，及/或位於電感區的開口 120b。

然後，如第 4C 圖所示，形成第一導電層 104 於介電層 106a 上及下層開口 120 內，例如以電鍍或沈積方式形成金屬層(未繪出)於介電層 106a 上以及開口 120 內，金屬層例如為銅，其厚度可約為 10 μ m，可先利用沈積法形成銅電鍍的種子層(seed layer)，然後再鍍上銅金屬層，接著，以微影蝕刻方式將金屬層圖案化，形成圖案化的第一導電層 104a 於電容區的開口 120a 內及介電層 106a 上，及/或形成圖案化的第一導電層 104b 於電感區的開口

120b 內。

參閱第 4D 圖，提供一玻璃基底 100，其厚度約為 400 μm 。接著在一實施例中，可利用一黏著層 102 將半導體基底 108 與玻璃基底 100 接合在一起，使得第一導電層 104 介於玻璃基底 100 與半導體基底 108 之間。接著，如第 4E 圖所示，可選擇反轉玻璃基底 100 並以之作為載體，對半導體基底 108 進行薄化製程，薄化製程可採用研磨或蝕刻等方式，半導體基底 108 減薄的厚度可約為數十 μm ，此時於半導體基底 108 背面的介電層 106b 也一併被除去。

參閱第 4F 圖，在半導體基底 108 中形成至少一上層開口，例如以微影蝕刻方式在半導體基底 108 的上表面 108b 形成對應電容區 100A 的開口 124、126 及/或對應電感區 100B 的開口 122，上述開口係貫穿半導體基底 108，其中在電感區 100B 的開口 122 暴露出第一導電層 104b，在電容區 100A 的開口 124 暴露出介電層 106a，在電容區 100A 的開口 126 則暴露出第一導電層 104a。

參閱第 4G 圖，於半導體基底上覆蓋一層保護層，例如以塗佈方式將第一保護層的材料 110，例如感光型之有機高分子材料聚醯亞胺樹脂 (PI) 塗佈於半導體基底 108 的表面上，以及開口 122、124 和 126 中，其厚度可約為 5 μm 。接著，提供一光罩 130，具有光罩圖案 132，經過曝光及顯影製程後，第一保護層的材料 110 對應至光罩圖案 132 的部分如開口 122、124、126 內會被去除，形成圖案化的第一保護層 110，如第 4H 圖所示，其中第一

保護層 110 係順應性地覆蓋於半導體基底 108 的表面上，以及開口 122、124 和 126 的側壁上，而位於開口 122、124 和 126 之底部上的第一保護層的材料 110 則被去除。

接著，參閱第 4I 圖，形成第二導電層 112 於開口 124、126 及/或開口 122 內。例如以電鍍或沈積方式順應性地形成金屬層(未繪出)於第一保護層 110 的表面上，以及開口 122、124 和 126 內，覆蓋開口 122 和 124 的側壁及底部，其中，由於開口 126 最小，因此導電層 112b 可直接填滿開口 126，此開口係對應電容區中作為下電極層的導電層 104a。此外，開口 122 小於開口 124，導電層 112c 可選擇順應性形成於對應電感區的開口 122 或直接填滿此開口 122。另為使電容元件獲得較大的表面積，可選擇具有大面積的開口 124，因此導電層 112a 可順應性形成於對應電容區的開口 122 內，並與介電層 106a、導電層 104a 構成三明治結構。金屬層例如為銅，其厚度可約為 $10\mu\text{m}$ ，同樣地，可先利用沈積法形成銅電鍍的種子層(seed layer)，然後再鍍上銅金屬層，接著，以微影蝕刻方式將金屬層圖案化，形成圖案化的第二導電層 112。

參閱第 4J 圖，於第二導電層 112 及第一保護層 110 上覆蓋第二保護層 114。例如可以塗佈方式將第二保護層的材料 114，例如感光型之有機高分子材料聚醯亞胺樹脂(PI)塗佈於第二導電層 112 和第一保護層 110 上，且填滿開口 122 及/或開口 124，其厚度可約為 $15\mu\text{m}$ 。接著，提供一光罩 140，具有光罩圖案 142，經過曝光及顯影製程後，第二保護層的材料 114 對應至光罩圖案 142 的部分

會被去除，形成平坦化的第二保護層 114，其暴露出部分的第二導電層 112a、112b 及/或 112c，以在後續形成電容上、下電極層及/或電感的對外電性連接路徑，如第 4K 圖所示。

接著，將第二保護層 114 與一暫時的載體(temporary carrier)(未繪出)接合，例如使用紫外光薄膜膠帶(UV Tape)貼合於第二保護層 114 上，然後對玻璃基底 100 進行薄化製程，薄化製程可採用研磨或蝕刻等方式，玻璃基底 100 的厚度可由約 400 μm 減薄至約 200 μm ，然後將暫時的載體去除，接著進行晶圓切割，以分離出各個電子裝置。

其中第 3 圖與第 4K 圖所示之電子裝置，兩者之差異係在於導電層 112c 是否填滿對應電感區之開口 122。

依據本發明之一實施例，可在玻璃基底與半導體基底之間形成被動元件之導電層及/或介電層，如此可提高電容值密度或品質因數。而在另一實施例中，如電容-電感整合型元件，其第一導電層可同時作為電容和電感的下電極層且位於同一平面中；第二導電層則亦可選擇藉著於上層開口中形成電容和電感的上電極層而位於同一平面中。因此藉由上述導電層的共平面設計，可使電容和電感趨於扁平化。此外，由於可在高阻值的玻璃基底上形成電容器及/或電感器，因此可提高電容器與電感器之電容值密度與品質因數，其中電容值密度可達到約 0.89 nF/m² 以上，品質因數則可達到約 60 以上。以電感器為例，其結構可為兩圈半的方形螺旋狀電感器，其螺

旋狀區域約為 $0.6*0.5\text{mm}$ ，電極層 104b 的寬度約為 $20\mu\text{m}$ ，電極層的間距約為 $20\mu\text{m}$ ，所得到的電感值在 2.4GHz 約為 2.3nH ，品質因數在 2.4GHz 約為 31，最大品質因數在 4GHz 約為 36。在另一實施例中，電感器結構可為兩圈半的圓形螺旋狀電感器，其螺旋狀區域約為 $0.6*0.5\text{mm}$ ，電極層的寬度約為 $20\mu\text{m}$ ，電極層的間距約為 $20\mu\text{m}$ ，所得到的電感值在 2.4GHz 約為 2.2nH ，品質因數在 2.4GHz 約為 34，最大品質因數在 6GHz 約為 40。

雖然本發明已揭露較佳實施例如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定為準。

【圖式簡單說明】

第 1 圖係顯示依據本發明一實施例之電感器的平面示意圖。

第 2 圖係顯示依據本發明一實施例之電感-電容整合型被動元件的剖面示意圖。

第 3 圖係顯示依據本發明另一實施例之電感-電容整合型被動元件的剖面示意圖。

第 4A-4K 圖係顯示依據本發明之一實施例，電感-電容整合型被動元件之製造方法的剖面示意圖。

【主要元件符號說明】

- | | |
|---------------------------|---------------|
| 100～玻璃基底； | 100A～電容區； |
| 100B～電感區； | 102～黏著層； |
| 104、104a、104b～第一導電層； | |
| 106、106a、106b～介電層； | |
| 108～半導體基底； | |
| 108a～半導體基底之第一表面； | |
| 108b～半導體基底之第二表面； | |
| 110～第一保護層； | |
| 112、112a、112b、112c～第二導電層； | |
| 114～第二保護層； | |
| 120、120a、120b～下層開口； | |
| 122、124、126～上層開口； | |
| 130、140～光罩； | 132、142～光罩圖案； |
| 200A～電容器； | 200B～電感器。 |

第 98128010 號申請專利範圍修正

七、申請專利範圍：

1. 一種電子裝置，包括：

一玻璃基底；
一圖案化半導體基底，具有至少一開口，設置於該玻璃基底上；

至少一被動元件，具有一第一導電層及一第二導電層，其中該第一導電層係位於該圖案化半導體基底與該玻璃基底之間，該第二導電層係位於該圖案化半導體基底的該開口內，並且該第二導電層完全地橫越該開口的底部；以及

一介電層，具有一開口，設置於該圖案化半導體基底鄰近該玻璃基底的一表面上，其中該第一導電層延伸至該介電層鄰近該玻璃基底的一表面的至少一部份上，並且該第一導電層填充至該介電層的該開口中，使得該第一導電層接觸位於該圖案化半導體基底的該開口底部的該第二導電層。

2. 如申請專利範圍第 1 項所述之電子裝置，其中該被動元件為一電感，該第一導電層與該第二導電層係電性連接。

3 如申請專利範圍第 1 項所述之電子裝置，其中該被動元件為一電容，包括該介電層，該介電層位於該圖案化半導體基底與該玻璃基底之間，且與該第一導電層及該第二導電層形成三明治結構。

4. 如申請專利範圍第 1 項所述之電子裝置，其中該至少一被動元件包括一電容及一電感，且該圖案化半導體

103年6月20日修正頁

R15~R19

第 98128010 號申請專利範圍修正本

基底包括一對應該電容之第一開口及一對應該電感之第二開口，其中該第二導電層係位於該第一開口及該第二開口內。

5.如申請專利範圍第 4 項所述之電子裝置，其中該第二導電層於對應該電感之該第二開口內係與該第一導電層電性連接。

6.如申請專利範圍第 4 項所述之電子裝置，其中該電容包括該介電層，該介電層位於該圖案化半導體基底與該玻璃基底之間。

7.如申請專利範圍第 6 項所述之電子裝置，其中該第二導電層於對應該電容之該第一開口內係與該第一導電層及該介電層形成三明治結構。

8.如申請專利範圍第 4 項所述之電子裝置，其中該第二開口小於該第一開口。

9.如申請專利範圍第 4 項所述之電子裝置，其中該第二導電層係填滿或順應性形成於該第二開口內。

10.如申請專利範圍第 4 項所述之電子裝置，其中該第二導電層係順應性形成於對應該電容之該第一開口內。

11.如申請專利範圍第 6 項所述之電子裝置，其中該介電層為一平坦化層。

12.如申請專利範圍第 4 項所述之電子裝置，其中該電容及電感之該第一導電層係共平面，且該電容及電感之該第二導電層係共平面。

13.如申請專利範圍第 1 項所述之電子裝置，更包括

第 98128010 號申請專利範圍修正稿

一黏著層以接合該圖案化半導體基底及該玻璃基底。

14.如申請專利範圍第 1 項所述之電子裝置，其更包括一第一保護層，以隔離該第二導電層與該圖案化半導體基底。

15.如申請專利範圍第 14 項所述之電子裝置，其更包括一第二保護層，以覆蓋該第二導電層與該第一保護層。

16.如申請專利範圍第 14 項所述之電子裝置，其中該第一保護層係順應性覆蓋該圖案化半導體基底。

17.如申請專利範圍第 15 項所述之電子裝置，其中該第二保護層為一平坦化層。

18.如申請專利範圍第 15 項所述之電子裝置，其中該第一和該第二保護層的材料包括一感光性絕緣材料。

19.一種電子裝置的製造方法，包括：

提供一半導體基底，具有一被動元件區；

形成一介電層於該半導體基底上；

形成複數個下層開口於該介電層內；

形成一第一導電層於該介電層上及該些下層開口內；

提供一玻璃基底，將該半導體基底與該玻璃基底接合，使得該介電層及該第一導電層介於該玻璃基底與該半導體基底之間；

圖案化該半導體基底，形成複數個上層開口於該半導體基底的該被動元件區內；以及

形成一第二導電層於該些上層開口中，並且該第二導電層完全地橫越該些上層開口的底部，

第 98128010 號申請專利範圍修正本

其中該第一導電層延伸至該介電層鄰近該玻璃基底的一表面的至少一部份上，並且該第一導電層填充至該介電層的該些下層開口中，使得該第一導電層接觸位於該些上層開口底部的該第二導電層。

20.如申請專利範圍第 19 項所述之電子裝置的製造方法，更包括：

形成一第一保護層於該圖案化半導體基底上，以及該些上層開口之側壁上，

其中該些上層開口暴露出該介電層，及/或該些下層開口內的該第一導電層，該第二導電層形成於該第一保護層上，並且該第二導電層與該介電層接觸。

21.如申請專利範圍第 20 項所述之電子裝置的製造方法，其中該被動元件為一電感，該第一導電層與該第二導電層係電性連接。

22.如申請專利範圍第 21 項所述之電子裝置的製造方法，其中該第二導電層係填滿該上層開口或順應性形成於該上層開口內。

23.如申請專利範圍第 20 項所述之電子裝置的製造方法，其中該被動元件為一電容，其中該介電層、第一導電層及第二導電層係形成三明治結構。

24.如申請專利範圍第 23 項所述之電子裝置的製造方法，其中該第二導電層係順應性形成於該上層開口內。

25.如申請專利範圍第 20 項所述之電子裝置的製造方法，其中於該半導體基底與該玻璃基底接合的步驟之後，更包括將該半導體基底薄化。

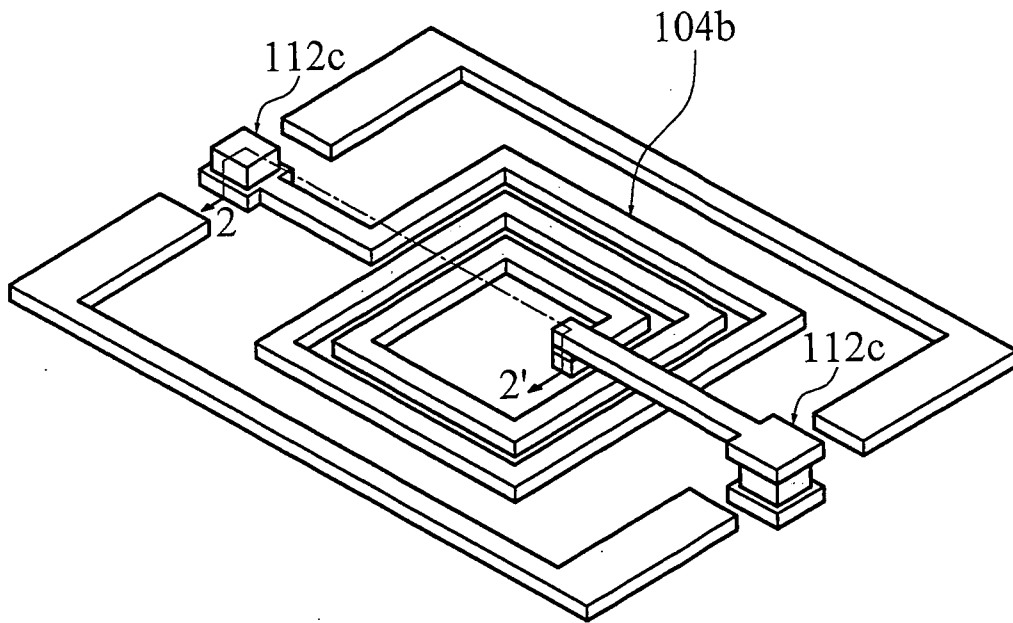
第 98128010 號申請專利範圍修正

26.如申請專利範圍第 20 項所述之電子裝置的製造方法，其更包括形成一平坦化第二保護層於該第二導電層上，且填滿該些上層開口。

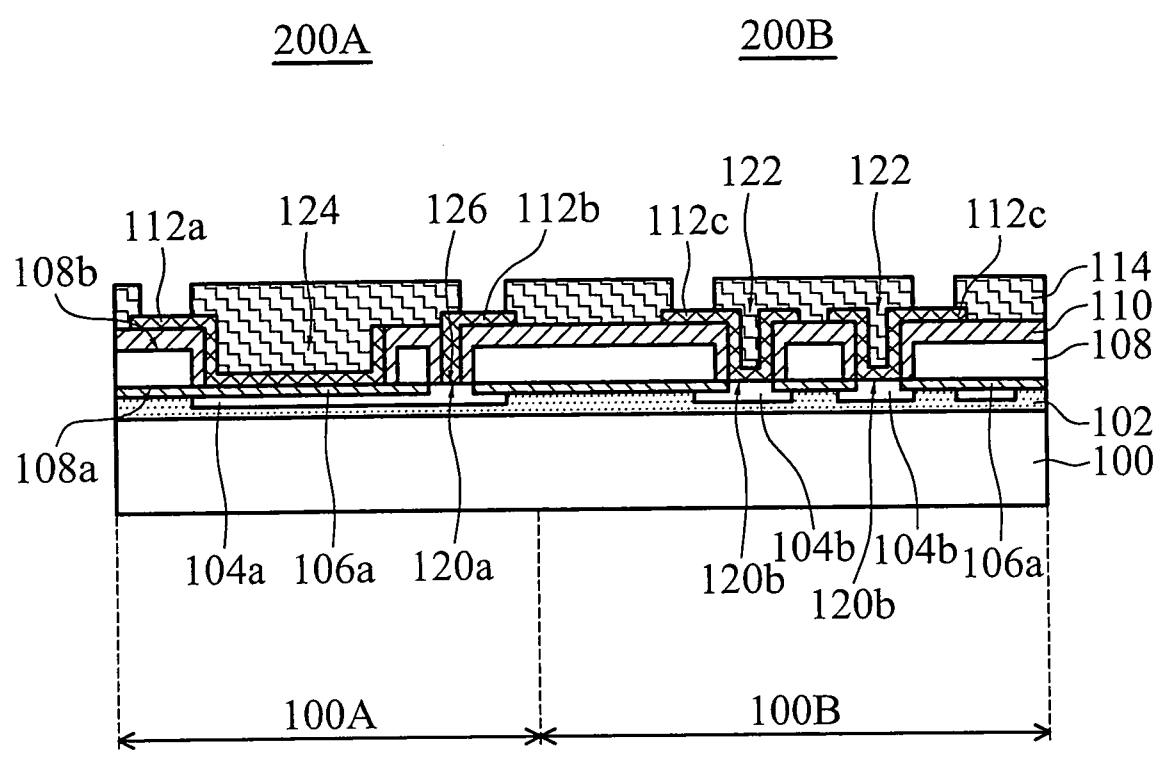
27.如申請專利範圍第 26 項所述之電子裝置的製造方法，其中於該第二保護層形成之後，更包括將該玻璃基底薄化。

28.如申請專利範圍第 26 項所述之電子裝置的製造方法，其中該第一和該第二保護層的材料包括一感光性絕緣材料。

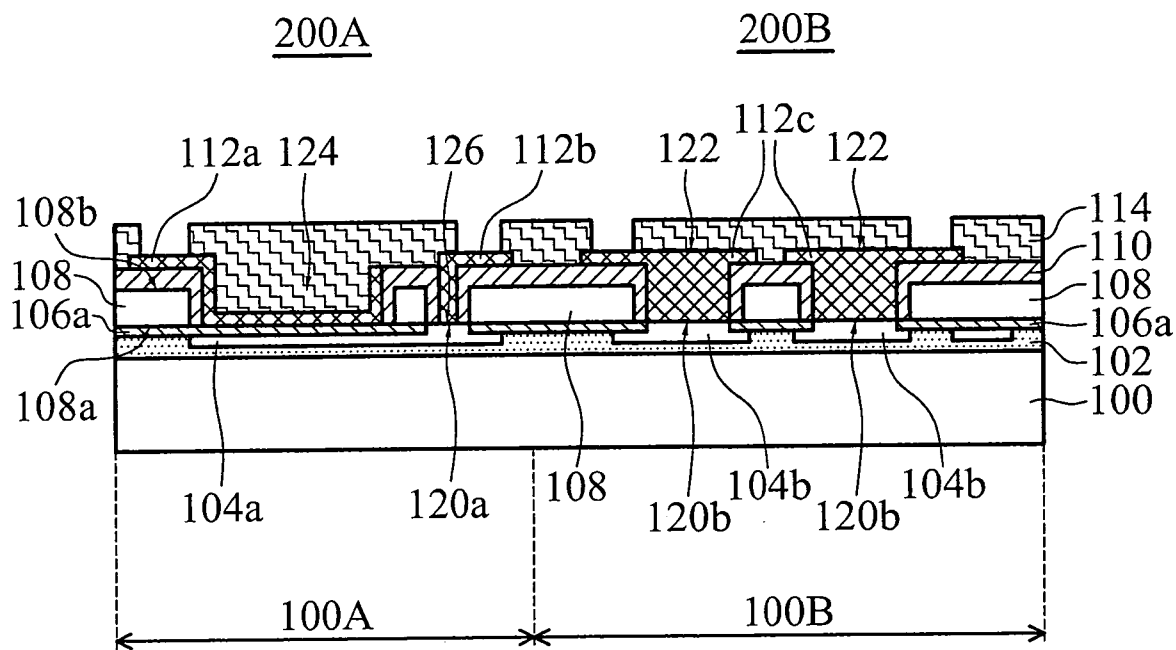
圖式



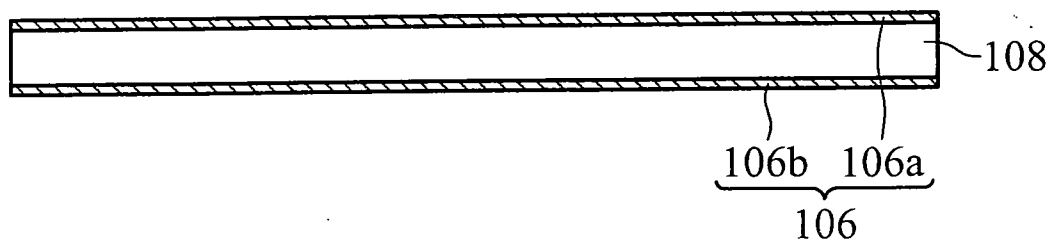
第 1 圖



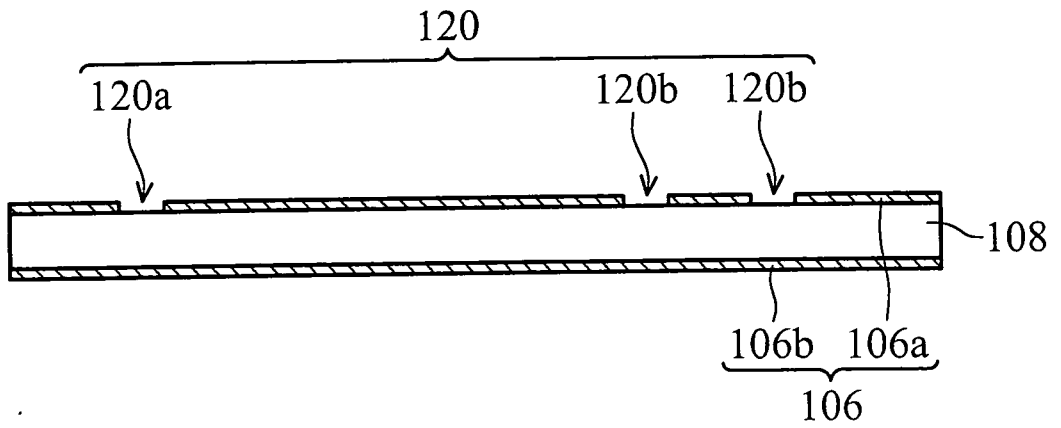
第 2 圖



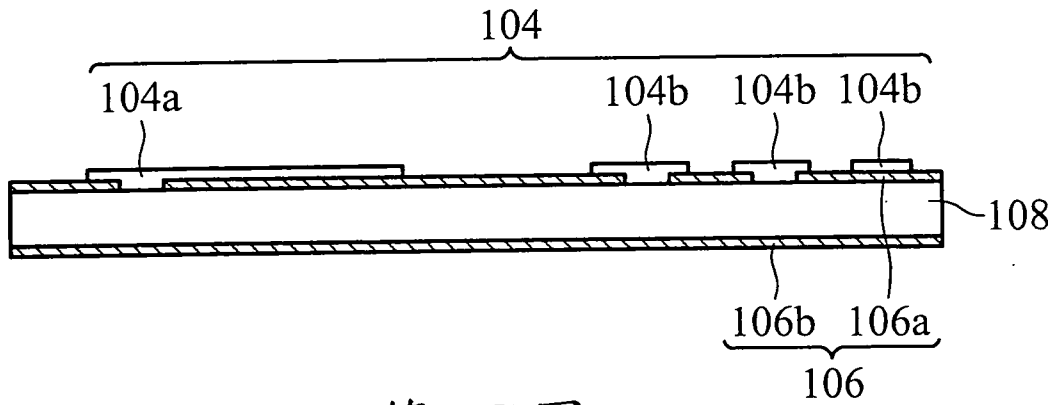
第 3 圖



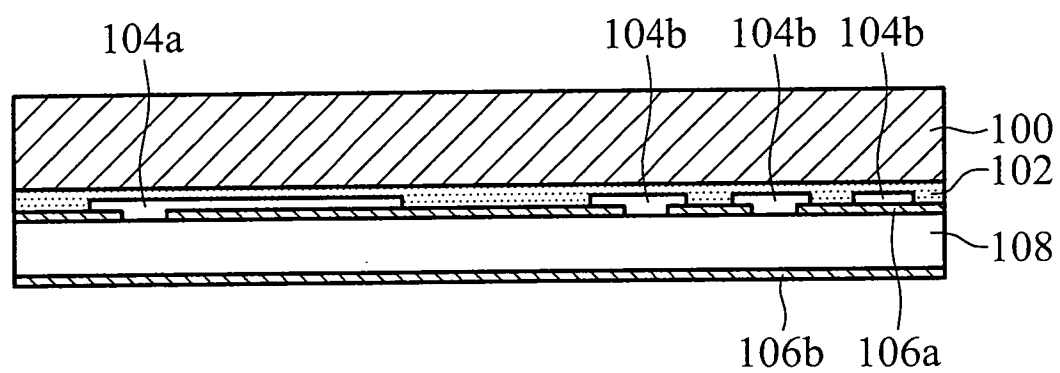
第 4A 圖



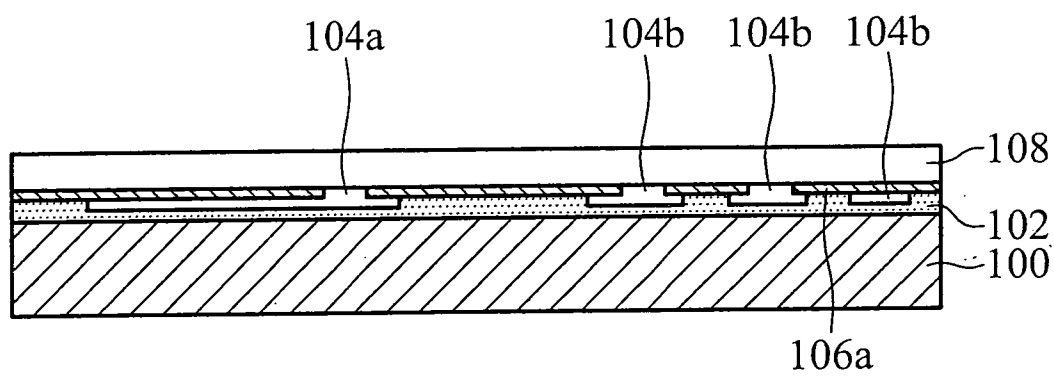
第4B圖



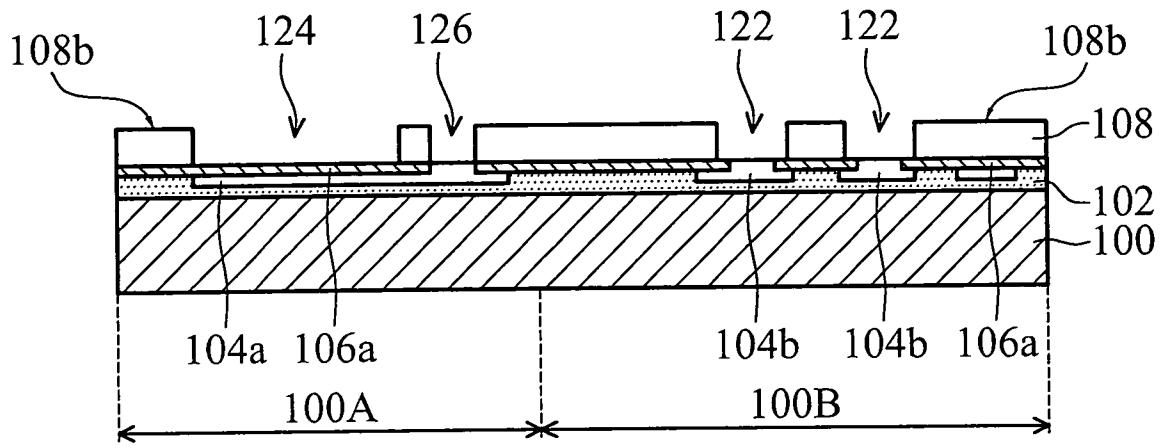
第4C圖



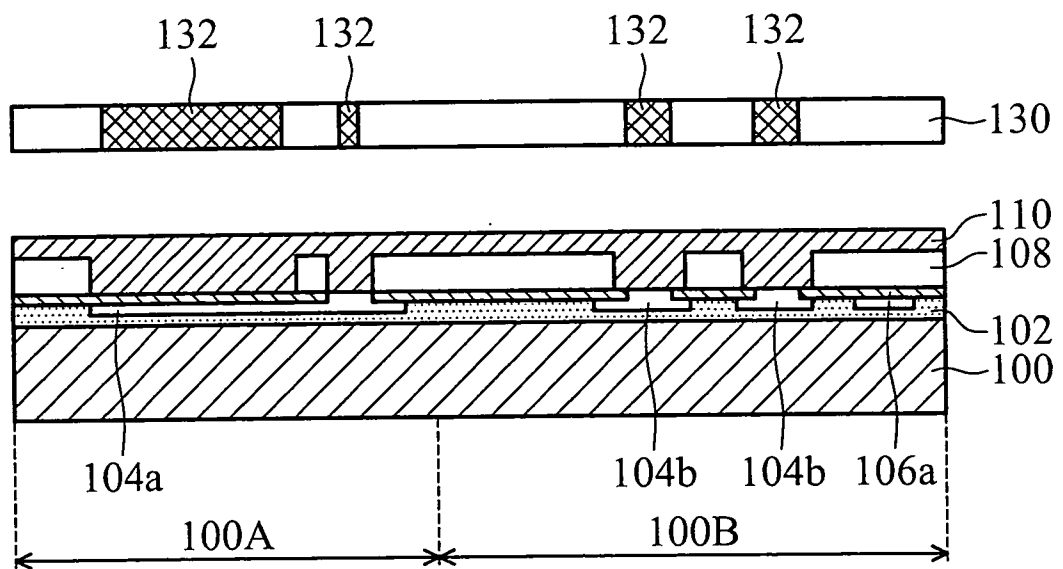
第4D圖



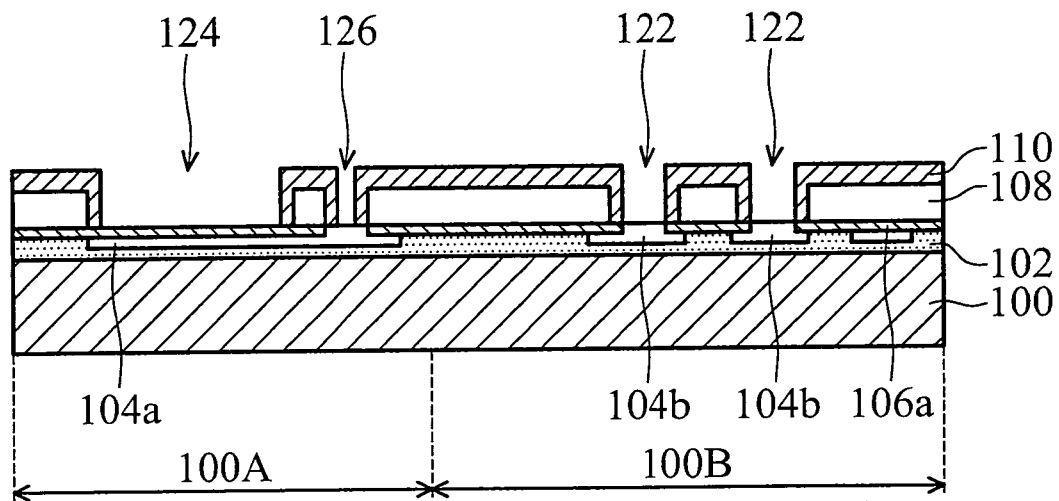
第4E圖



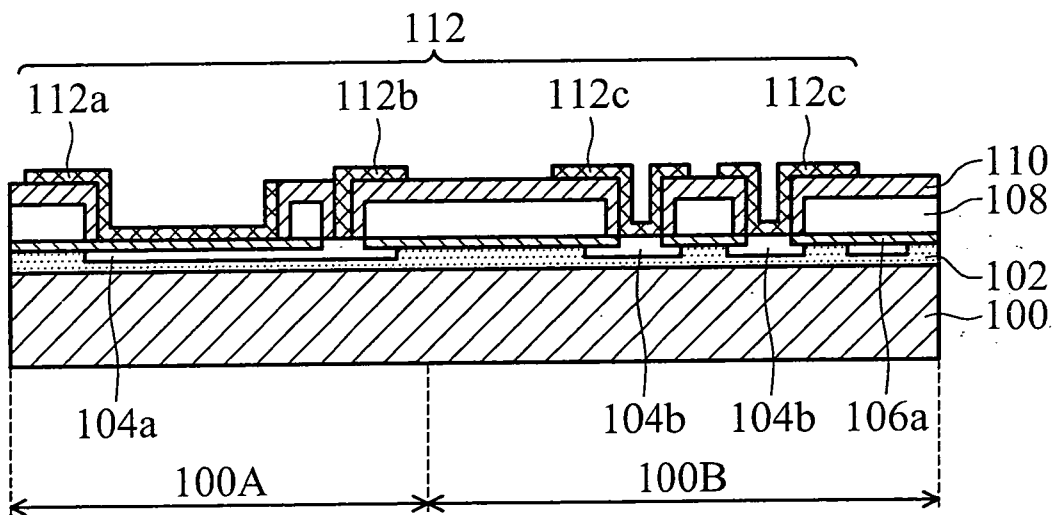
第 4F 圖



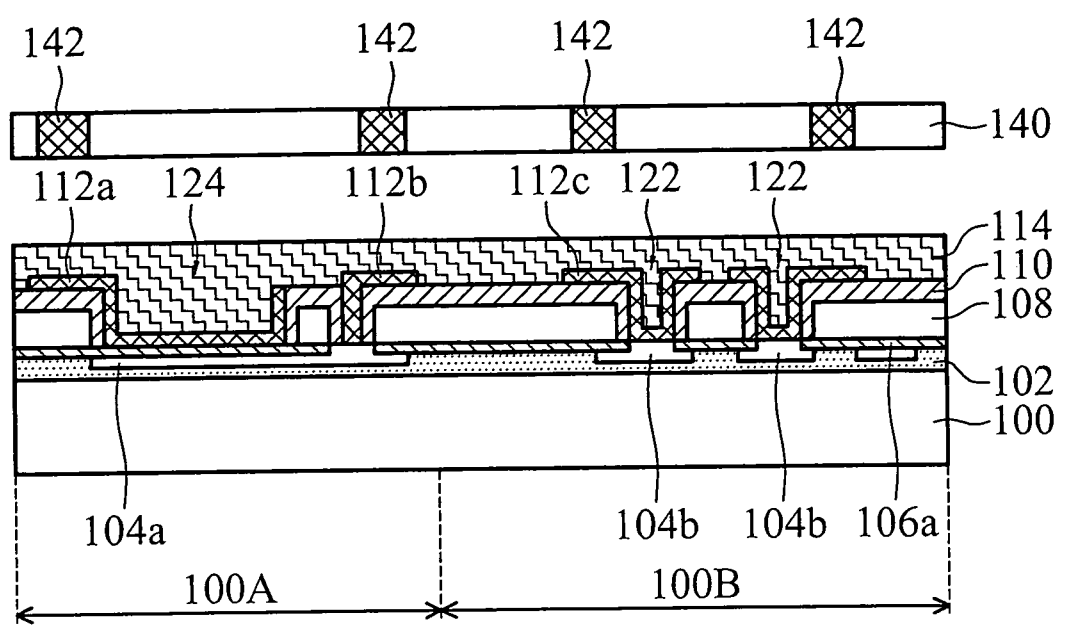
第 4G 圖



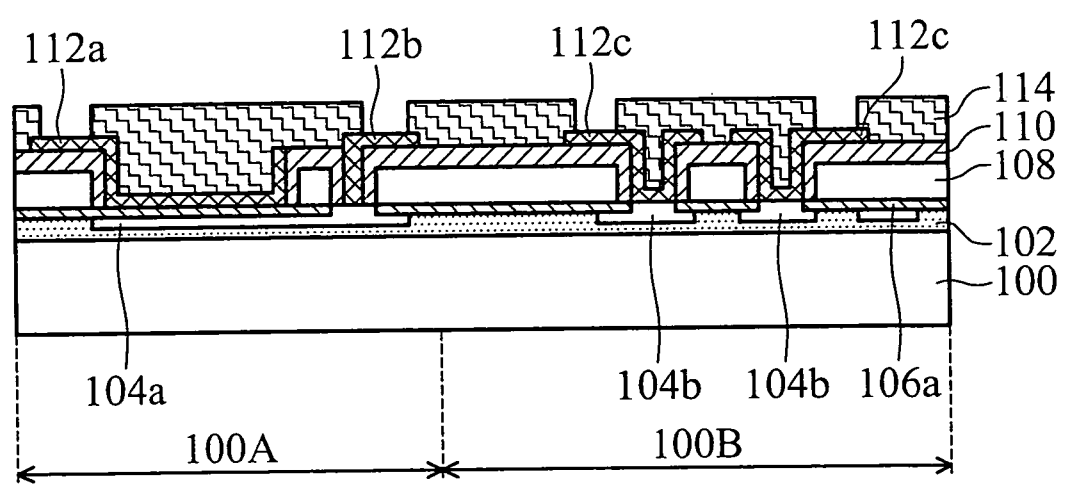
第4H圖



第4I圖



第 4J 圖



第 4K 圖