



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년05월13일
(11) 등록번호 10-1519885
(24) 등록일자 2015년05월07일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
- (21) 출원번호 10-2008-0061634
(22) 출원일자 2008년06월27일
심사청구일자 2013년06월21일
(65) 공개번호 10-2009-0003129
(43) 공개일자 2009년01월09일
(30) 우선권주장
JP-P-2007-00173540 2007년06월29일 일본(JP)
JP-P-2007-00185067 2007년07월13일 일본(JP)
- (56) 선행기술조사문헌
JP05175503 A*
JP06342909 A*
JP2003297850 A*
JP2005037849 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시카기이사 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
슌페이 야마자키
일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시카기이사 한도오파이 에네루기 켄큐쇼 내
유키 스즈키
일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시카기이사 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
장훈

전체 청구항 수 : 총 10 항

심사관 : 권효영

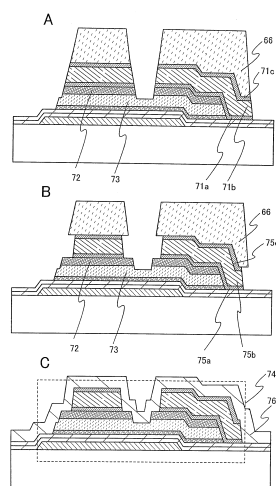
(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 전기 특성의 신뢰성이 높은 박막 트랜지스터를 갖는 액정 표시 장치를 양산성 높게 제작하는 방법을 제안하는 것을 과제로 한다.

역스태거형의 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 역스태거의 박막 트랜지스터는 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미결정 반도체막이 형성되고, 미결정 반도체막 위에 버퍼층이 형성되고, 버퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역의 일부를 노출하도록 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다.

대표도 - 도2



(72) 발명자

히데아키 쿠와바라

일본, 243-0036, 카나가와-켄, 아즈기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

하지메 키무라

일본, 243-0036, 카나가와-켄, 아즈기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

히데카즈 미야이리

일본, 243-0036, 카나가와-켄, 아즈기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

요시유키 쿠로카와

일본, 243-0036, 카나가와-켄, 아즈기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

사토시 고바야시

일본, 243-0036, 카나가와-켄, 아즈기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

명세서

청구범위

청구항 1

박막 트랜지스터를 포함하는 액정 표시 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 미결정 반도체막;

상기 미결정 반도체막 위의 버퍼층;

상기 버퍼층 위의 소스 및 드레인 영역들; 및

상기 소스 및 드레인 영역들 위의 소스 및 드레인 전극들을 포함하고,

상기 소스 및 드레인 영역들의 상면의 일부는 상기 소스 및 드레인 전극들에 직접 접하고,

상기 소스 및 드레인 영역들의 상기 상면의 다른 일부는 상기 소스 및 드레인 전극들에 직접 접하지 않고,

상기 미결정 반도체막은 채널 형성 영역을 포함하고,

상기 버퍼층은 상기 채널 형성 영역과 접치는 오목부를 포함하는, 액정 표시 장치.

청구항 2

박막 트랜지스터를 포함하는 액정 표시 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 미결정 반도체막;

상기 미결정 반도체막 위의 버퍼층;

상기 버퍼층 위의 소스 및 드레인 영역들;

상기 소스 및 드레인 영역들 위의 소스 및 드레인 전극들; 및

상기 소스 및 드레인 전극들, 및 상기 소스 및 드레인 영역들의 일부 위의 절연막을 포함하고,

상기 소스 및 드레인 영역들의 상면의 일부 및 상기 버퍼층의 일부는 상기 절연막에 직접 접하고,

상기 미결정 반도체막은 채널 형성 영역을 포함하고,

상기 버퍼층은 상기 채널 형성 영역과 접치는 오목부를 포함하는, 액정 표시 장치.

청구항 3

박막 트랜지스터를 포함하는 액정 표시 장치에 있어서:

게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 미결정 반도체막;

상기 미결정 반도체막 위의 버퍼층;

상기 버퍼층 위의 소스 및 드레인 영역들; 및

상기 소스 및 드레인 영역들 위의 소스 및 드레인 전극들을 포함하고,

상기 소스 및 드레인 영역들은 상기 소스 및 드레인 전극들의 에지들을 넘어 더 연장되고,
 서로 대향하는 상기 소스 및 드레인 영역들의 에지들 간의 거리는 서로 대향하는 상기 소스 및 드레인 전극들의 에지들 간의 거리보다 짧고,
 상기 미결정 반도체막은 채널 형성 영역을 포함하고,
 상기 버퍼층은 상기 채널 형성 영역과 겹치는 오목부를 포함하는, 액정 표시 장치.

청구항 4

제 1 항 또는 제 3 항에 있어서,
 상기 소스 및 드레인 전극들, 및 상기 소스 및 드레인 영역들의 일부 위의 절연막; 및
 상기 절연막 위의 화소 전극을 더 포함하고,
 상기 화소 전극은 상기 절연막에 형성된 콘택트홀을 통해 상기 소스 및 드레인 전극들에 전기적으로 접속되는,
 액정 표시 장치.

청구항 5

제 2 항에 있어서,
 상기 절연막 위의 화소 전극을 더 포함하고,
 상기 화소 전극은 상기 절연막에 형성된 콘택트홀을 통해 상기 소스 및 드레인 전극들에 전기적으로 접속되는,
 액정 표시 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 미결정 반도체막의 일부는 상기 버퍼층이 사이에 개재되어 상기 소스 및 드레인 영역들과 중첩하고,
 상기 미결정 반도체막은 p형 도전성을 부여하는 불순물 원소를 포함하고,
 상기 소스 및 드레인 영역들은 n형 도전성을 부여하는 불순물 원소를 포함하는, 액정 표시 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 버퍼층은 비정질 반도체막으로 형성되는, 액정 표시 장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 버퍼층은 질소-함유 비정질 반도체막으로 형성되는, 액정 표시 장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 버퍼층은 수소-함유 비정질 반도체막으로 형성되는, 액정 표시 장치.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 버퍼층은 불소, 염소, 브롬, 또는 요오드를 함유하는 비정질 반도체막으로 형성되는, 액정 표시 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 적어도 화소부에 박막 트랜지스터를 사용한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(두께 수십 내지 수백 nm 정도)을 사용하여 박막 트랜지스터를 구성하는 기술이 주목되어 있다. 박막 트랜지스터는 IC나 전기 광학 장치와 같은 전자 디바이스에 널리 응용되고, 특히 화상 표시 장치의 스위칭 소자로서 개발이 서둘러지고 있다.

[0003] 화상 표시 장치의 스위칭 소자로서, 비정질 반도체막을 사용한 박막 트랜지스터, 또는 다결정 반도체막을 사용한 박막 트랜지스터 등이 사용되고 있다. 다결정 반도체막의 형성 방법으로는 펄스 발진의 엑시머 레이저 빔을 광학계에 의해 선형으로 가공하고, 비정질 규소막에 대하여 선형 빔을 조사시키면서 조사하여 결정화하는 기술이 알려져 있다.

[0004] 또한, 화상 표시 장치의 스위칭 소자로서, 미결정 반도체막을 사용한 박막 트랜지스터가 사용되고 있다(특허문헌 1 및 2).

[0005] 종래의 박막 트랜지스터의 제작 방법으로서, 게이트 절연막 위에 아모퍼스 실리콘막을 성막한 후, 그 상면에 금

속막을 형성하고, 상기 금속막에 다이오드 레이저를 조사하고, 아모퍼스 실리콘막을 마이크로 크리스탈 실리콘막으로 개질하는 것이 알려져 있다(비특허문헌 1). 이 방법에 의하면, 아모퍼스 실리콘막 위에 형성한 금속막은 다이오드 레이저의 빛에너지를 열에너지로 변환하기 위한 것이며, 박막 트랜지스터의 완성을 위해서는 그 후 제거되어야 하는 것이었다. 즉, 금속막으로부터의 전도 가열에 의해서만 아모퍼스 실리콘막이 가열되고, 마이크로 크리스탈 실리콘막을 형성하는 방법이다.

- [0006] [특허문헌 1] 일본 공개특허공보 제(평)4-242724호
- [0007] [특허문헌 2] 일본 공개특허공보 2005-49832호
- [0008] [비특허문헌 1] 토시아키·아라이(Toshiaki Arai) 외, 에스·아이·디 07 다이제스트(SID 07 DIGEST), 2007, p.1370-1373

발명의 내용

해결 하고자하는 과제

- [0009] 다결정 반도체막을 사용한 박막 트랜지스터는 비정질 반도체막을 사용한 박막 트랜지스터와 비교하여 전계 효과 이동도가 2자리수 이상 높고, 액정 표시 장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 형성할 수 있다는 이점을 갖고 있다. 그러나, 비정질 반도체막을 사용한 경우와 비교하여, 유리 기판 위에 형성된 비정질 반도체막의 결정화를 위해 공정이 복잡화되기 때문에, 그만큼 수율이 저감하고, 비용이 높아진다는 문제가 있다.
- [0010] 또한, 결정립이 노출하는 미결정 반도체막의 표면은 산화되기 쉽다는 문제가 있다. 따라서, 채널 형성 영역의 결정립이 산화되면, 결정립의 표면에 산화막이 형성되어 버려, 상기 산화막이 캐리어 이동의 장애가 되고, 박막 트랜지스터의 전기 특성이 저하된다는 문제가 있다.
- [0011] 상술한 문제에 비추어 보아, 본 발명은 전기 특성의 신뢰성이 높은 박막 트랜지스터를 갖는 액정 표시 장치를 양산성 높게 제작하는 방법을 제안하는 것을 과제로 한다.

과제 해결수단

- [0012] 역스태거형의 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 역스태거의 박막 트랜지스터는 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미결정 반도체막(세미아모퍼스 반도체막이라고도 함.)이 형성되고, 미결정 반도체막 위에 버퍼층이 형성되고, 버퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역의 일부를 노출하도록 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다. 따라서, 소스 영역 및 드레인 영역의 상면은 소스 전극 및 드레인 전극에 접하는 영역과, 소스 전극 및 드레인 전극에 접하지 않는 영역을 갖는다. 또한, 소스 전극 및 드레인 전극이 대향하는 영역에서, 소스 영역 및 드레인 영역의 일부, 및 버퍼층의 일부가 노출되어 있다. 또한, 소스 전극 및 드레인 전극의 단부의 외측에 소스 영역 및 드레인 영역의 단부가 형성된다. 또한, 소스 영역 및 드레인 영역은 소스 전극 및 드레인 전극의 끝보다도 연장되어 있다. 더욱이, 대향하는 소스 영역과 드레인 영역의 거리는 대향하는 소스 전극과 드레인 전극의 거리보다도 짧다.
- [0013] 소스 전극 및 드레인 전극의 단부와, 소스 영역 및 드레인 영역의 단부가 일치하지 않고, 소스 전극 및 드레인 전극의 단부의 외측에 소스 영역 및 드레인 영역의 단부가 형성됨으로써, 소스 전극 및 드레인 전극의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극 간의 누설 전류나 쇼트(short)를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극 및 소스 영역 및 드레인 영역의 단부에 전계가 집중하지 않고, 게이트 전극과, 소스 전극 및 드레인 전극의 사이에서의 누설 전류를 방지할 수 있다.
- [0014] 또한, 버퍼층은 일부에 오목부를 갖고, 상기 오목부의 측면과 소스 영역 및 드레인 영역의 단부가 일치하고 있다. 버퍼층은 일부에 오목부를 갖고 누설 전류가 흐르는 버퍼층 표면의 경로가 연장되기 때문에, 소스 영역 및 드레인 영역 간에서의 누설 전류를 저감할 수 있다.
- [0015] 또한, 미결정 반도체막과 소스 영역 및 드레인 영역의 사이에, 버퍼층이 형성되어 있다. 미결정 반도체막은 채널 형성 영역으로서 기능한다. 또한, 버퍼층은 미결정 반도체막의 산화를 방지하는 동시에, 고저항 영역으로서 기능한다. 미결정 반도체막과 소스 영역 및 드레인 영역의 사이에, 버퍼층이 형성되어 있기 때문에, 전계 효과

이동도가 높고, 또한 누설 전류가 적고, 드레인 내압이 높다.

- [0016] 버퍼층은 플라즈마 CVD법, 스퍼터링법 등으로 형성할 수 있다. 버퍼층으로서는 비정질 반도체막을 사용할 수 있고, 또한, 질소, 수소, 또는 할로겐의 어느 하나 이상을 포함하는 비정질 반도체막인 것이 바람직하다. 비정질 반도체막에, 질소, 수소, 또는 할로겐의 어느 하나를 포함시킴으로써, 미결정 반도체막에 포함되는 결정립이 산화되는 것을 더욱 저감할 수 있다.
- [0017] 또한, 막중에, 질소, 수소, 또는 할로겐의 어느 하나를 포함시키기 때문에, 예를 들면, 비정질 반도체막을 형성한 후, 비정질 반도체막의 표면을 질소 플라즈마, 수소 플라즈마, 또는 할로겐 플라즈마로 처리하여 비정질 반도체막의 표면을 질소화, 수소화 또는 할로겐화할 수 있다.
- [0018] 버퍼층을 미결정 반도체막의 표면에 접하여 형성함으로써, 미결정 반도체막에 포함되는 결정립의 산화를 저감할 수 있기 때문에, 박막 트랜지스터의 전기 특성의 열화를 저감할 수 있다.
- [0019] 미결정 반도체막은 다결정 반도체막과 달리, 미결정 반도체막으로서 직접 유리 기판 위에 성막할 수 있다. 구체적으로는, 수소화규소를 원료 가스로 하고, 플라즈마 CVD 장치를 사용하여 성막할 수 있다. 상기 방법을 사용하여 제작된 미결정 반도체막은 0.5nm 내지 20nm의 결정립을 비정질 반도체 중에 포함하는 미결정 반도체막도 포함한다. 따라서, 다결정 반도체막을 사용하는 경우와 달리, 반도체막의 성막 후에 장시간의 열처리를 하는 결정화의 공정을 형성할 필요가 없다. 박막 트랜지스터의 제작에 있어서의 공정수를 삭감할 수 있고, 액정 표시 장치의 수율을 높여, 비용을 억제할 수 있다. 본 명세서에 있어서는 성막에 의해서 얻어지는 막을 세미아모퍼스 반도체막이라고 부르고, 성막 후에 용융하지 않는 에너지 밀도로 레이저광을 조사하여 결정을 성장시킨 막을 세미 크리스탈 반도체막이라고 부른다. 또한, 주파수가 1GHz 이상인 마이크로파를 사용한 플라즈마는 전자 밀도가 높고, 원료 가스인 수소화규소의 해리가 용이해진다. 따라서, 주파수가 수십 MHz 내지 수백 MHz의 마이크로파 플라즈마 CVD법과 비교하여, 미결정 반도체막을 용이하게 제작할 수 있고, 성막 속도를 높일 수 있다. 따라서, 액정 표시 장치의 양산성을 높일 수 있다.
- [0020] 또한, 미결정 반도체막을 사용하여, 박막 트랜지스터(TFT)를 제작하고, 상기 박막 트랜지스터를 화소부, 더욱이 구동 회로에 사용하여 액정 표시 장치를 제작한다. 미결정 반도체막을 사용한 박막 트랜지스터는 그 전계 효과 이동도가 1 내지 20 $\text{cm}^2/\text{V} \cdot \text{sec}$ 로, 비정질 반도체막을 사용한 박막 트랜지스터의 2 내지 20배의 전계 효과 이동도를 갖고 있기 때문에, 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.
- [0021] 또한, 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후로서, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 모든 형태가 적합하다.
- [0022] 또, 본 명세서 중에 있어서의 액정 표시 장치란, 화상 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 앞에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.

효 과

- [0023] 본 발명에 의해, 전기 특성의 신뢰성이 높은 박막 트랜지스터를 갖는 액정 표시 장치를 양산성 높게 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 본 발명의 실시 형태에 관해서 도면을 참조하면서 설명한다. 단지, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 실시 형태의 기재 내용에 한정하여 해석되지 않는다.

- [0025] (실시 형태 1)

- [0026] 본 실시 형태에서는 액정 표시 장치에 사용되는 박막 트랜지스터의 제작 공정에 관해서, 도 1 내지 도 8을 사용하여 설명한다. 도 1 내지 도 3, 도 5 내지 도 7은 박막 트랜지스터의 제작 공정을 도시하는 단면도이고, 도

4, 및 도 8은 1회소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 상면도이다.

[0027] 미결정 반도체막을 갖는 박막 트랜지스터는 p형보다도 n형 쪽이, 전계 효과 이동도가 높기 때문에 구동 회로에 사용하는 데에 보다 적합하다. 동일 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 갖춰 놓는 것이, 공정수를 억제하기 위해서도 바람직하다. 여기에서는 n 채널형의 박막 트랜지스터를 사용하여 설명한다.

[0028] 도 1a에 도시하는 바와 같이, 기판(50) 위에 게이트 전극(51)을 형성한다. 기판(50)은 바륨붕규산유리, 알루미늄노붕규산유리, 또는 알루미늄실리케이트유리 등, 퓨전(fusion)법이나 플로트법으로 제작되는 무알칼리 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인레스 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(50)이 마더 유리인 경우, 기판의 크기는 제 1 세대(320mm×400mm), 제 2 세대(400mm×500mm), 제 3 세대(550mm×650mm), 제 4 세대(680mm×880mm, 또는 730mm×920mm), 제 5 세대(1000mm×1200mm 또는 1100mm×1250mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1900mm×2200mm), 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등을 사용할 수 있다.

[0029] 게이트 전극(51)은 티탄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극(51)은 스퍼터링법이나 진공 증착법으로 기판(50) 위에 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 기술 또는 잉크젯법에 의해 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 잉크젯법에 의해 토출하여 소성하고, 게이트 전극(51)을 형성할 수도 있다. 또, 게이트 전극(51)의 밀착성 향상과 하지로의 확산을 막는 배리어 메탈로서, 상기 금속 재료의 질화물막을, 기판(50) 및 게이트 전극(51)의 사이에 형성하여도 좋다. 여기에서는 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판(50) 위에 형성된 도전막을 에칭하여 게이트 전극을 형성한다.

[0030] 또, 게이트 전극(51) 위에는 반도체막이나 배선을 형성하기 때문에, 단 끊어짐 방지를 위해 단부가 테이퍼형이 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만 이 공정에서 게이트 전극에 접속하는 배선도 동시에 형성할 수 있다.

[0031] 다음에, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 버퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 차례로 형성한다. 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막(55) 위에 마스크(56)를 형성한다. 또, 적어도, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 버퍼층(54)을 연속적으로 형성하는 것이 바람직하다. 또한, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 버퍼층(54), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 연속적으로 형성하는 것이 바람직하다. 적어도, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 버퍼층(54)을 대기에 접촉시키지 않고 연속 성막함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 격차를 저감할 수 있다.

[0032] 게이트 절연막(52a, 52b)은 각각, CVD법이나 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 여기에서는 게이트 절연막(52a, 52b)으로서, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순으로 적층하여 형성하는 형태를 제시한다. 또, 게이트 절연막을 2층으로 하지 않고, 기판 측으로부터 질화규소막 또는 질화산화규소막과, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순으로 3층 적층하여 형성할 수 있다. 또한, 게이트 절연막을 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막의 단층으로 형성할 수 있다. 또한, 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연막을 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치로 형성한 산화질화규소막, 질화산화규소막은 내압이 높고, 후에 형성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.

[0033] 여기에서는 산화질화규소막이란 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이고, 농도 범위로서 산소가 55 내지 65원자%, 질소가 1 내지 20원자%, Si가 25 내지 35원자%, 수소가 0.1 내지 10원자%의 범위로 포함되는 것을 말한다. 또한, 질화산화규소막이란 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 농도 범위로서 산소가 15 내지 30원자%, 질소가 20 내지 35원자%, Si가 25 내지 35원자%, 수소가 15 내지 25원자%의 범위에서 포함되는 것을 말한다.

[0034] 미결정 반도체막(53)은 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체를 포함하는 막

이다. 이 반도체는 자유에너지적으로 안정된 제 3 상태를 갖는 반도체로서, 단거리 질서를 갖고 격자 변형을 갖는 결정질인 것이고, 그 입자 직경을 0.5 내지 20nm로 하여 비단결정 반도체 중에 분산시켜 존재시키는 것이 가능하다. 미결정 반도체의 대표예인 미결정 실리콘은 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520.6cm^{-1} 보다도 저파수측으로 시프트하고 있다. 즉, 481cm^{-1} 이상 520.6cm^{-1} 이하의 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(덴글링 본드)를 중단하기 위해서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함시키고 있다. 더욱이, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함하여 격자 변형을 더욱 조장시킴으로써, 안정성이 증가하여 양호한 미결정 반도체막이 얻어진다. 이러한 미결정 반도체막에 관한 기술은 예를 들면, 미국 특허 4,409,134호에서 개시되어 있다. 또한, 미결정 실리콘막을 마이크로 크리스탈 실리콘막($\mu\text{C-Si}$ 막)이라고도 부른다.

[0035] 이 미결정 반도체막은 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치에 의해 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 등의 수소화규소를 수소로 희석하여 형성할 수 있다. 또한, 수소화규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이러한 때의 수소화규소에 대하여 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더욱 바람직하게는 100배로 한다. 또, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다.

[0036] 또한, 미결정 반도체막은 가전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형 전기전도성을 나타내기 때문에, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체막에 대해서는, p형을 부여하는 불순물 원소를, 성막과 동시에, 또는 성막 후에 첨가함으로써, 임계치를 제어하는 것이 가능해진다. p형을 부여하는 불순물 원소로서는 대표적으로는 붕소이고, B_2H_6 , BF_3 등의 불순물 기체를 1ppm 내지 1000ppm, 바람직하게는 1 내지 100ppm의 비율로 수소화규소에 혼입시키면 좋다. 그리고 붕소의 농도를, 예를 들면 1×10^{14} 내지 6×10^{16} atoms/cm³로 하면 좋다.

[0037] 또한, 미결정 반도체막의 산소 농도를, $1 \times 10^{19} \text{cm}^{-3}$ 이하, 바람직하게는 $5 \times 10^{18} \text{cm}^{-3}$ 이하, 질소 및 탄소의 농도 각각을 $5 \times 10^{18} \text{cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{18} \text{cm}^{-3}$ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 미결정 반도체막에 혼입하는 농도를 저감함으로써, 미결정 반도체막이 n형화로 되는 것을 방지할 수 있다.

[0038] 미결정 반도체막(53)은 0nm보다 두껍고 200nm 이하, 바람직하게는 1nm 이상 100nm 이하, 더욱 바람직하게는 5nm 이상 50nm 이하로 형성한다. 미결정 반도체막(53)은 후에 형성되는 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 미결정 반도체막(53)의 두께를 5nm 이상 50nm 이하의 범위 내로 함으로써, 후에 형성되는 박막 트랜지스터는 완전 공핍형이 된다. 또한, 미결정 반도체막(53)은 성막 속도가 비정질 반도체막의 성막 속도의 1/10 내지 1/100으로 느리기 때문에, 막 두께를 얇게 함으로써 스루풋을 향상시킬 수 있다. 또한, 미결정 반도체막은 미결정으로 구성되어 있기 때문에, 비정질 반도체막과 비교하여 저항이 낮다. 따라서, 미결정 반도체막을 사용한 박막 트랜지스터는 전류 전압 특성을 나타내는 곡선의 상승 부분의 경사가 급준하게 되고, 스위칭 소자로서의 응답성이 우수하고, 고속 동작이 가능해진다. 또한, 박막 트랜지스터의 채널 형성 영역에 미결정 반도체막을 사용함으로써, 박막 트랜지스터의 임계치의 변동을 억제할 수 있다. 따라서, 전기 특성의 격차가 적은 액정 표시 장치를 제작할 수 있다.

[0039] 또한, 미결정 반도체막은 비정질 반도체막과 비교하여 전계 효과 이동도가 높다. 이 때문에, 표시 소자의 스위칭으로서, 채널 형성 영역이 미결정 반도체막으로 형성되는 박막 트랜지스터를 사용함으로써, 채널 형성 영역의 면적, 즉 박막 트랜지스터의 면적을 축소할 수 있다. 따라서, 1화소당에 차지하는 박막 트랜지스터의 면적이 작아지고, 투과형의 액정 표시 장치의 경우에 화소의 개구율을 높일 수 있다. 이 결과, 해상도가 높은 액정 표시 장치를 제작할 수 있다.

[0040] 버퍼층(54)은 SiH_4 , Si_2H_6 등의 수소화규소를 사용하여, 플라즈마 CVD법에 의해 형성할 수 있다. 또한, 상기 수소화규소에, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석하여 비정질 반도체막을 형성할 수 있다. 수소화규소 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화규소와 질소 또는 암모니아를 사용함으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화규소와, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl ,

HBr, HI 등)를 사용함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다. 또, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다.

[0041] 또한, 버퍼층(54)은 타기에 비정질 반도체를 사용하여 수소, 또는 회가스로 스퍼터링하여 비정질 반도체막을 형성할 수 있다. 이때, 암모니아, 질소, 또는 N_2O 을 분위기 중에 포함시킴으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF, HCl, HBr, HI 등)를 포함시킴으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다.

[0042] 또한, 버퍼층(54)으로서, 미결정 반도체막(53)의 표면에 플라즈마 CVD법 또는 스퍼터링법에 의해 비정질 반도체막을 형성한 후, 비정질 반도체막의 표면을 수소 플라즈마, 질소 플라즈마, 또는 할로겐 플라즈마로 처리하여, 비정질 반도체막의 표면을 수소화, 질소화, 또는 할로겐화하여도 좋다. 또는, 비정질 반도체막의 표면을 헬륨 플라즈마, 네온 플라즈마, 아르곤 플라즈마, 크립톤 플라즈마 등으로 처리하여도 좋다.

[0043] 버퍼층(54)은 결정립을 포함하지 않는 비정질 반도체막으로 형성하는 것이 바람직하다. 따라서, 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD법, 또는 마이크로파 플라즈마 CVD법으로 형성하는 경우는 결정립을 포함하지 않는 비정질 반도체막이 되도록, 성장 조건을 제어하는 것이 바람직하다.

[0044] 버퍼층(54)은 후의 소스 영역 및 드레인 영역의 형성 프로세스에 있어서, 일부 에칭되는 경우가 있지만, 그때에, 버퍼층(54)의 일부가 잔존하는 두께로 형성하는 것이 바람직하다. 에칭되어 잔존하는 부분의 두께는 대표적으로는, 10nm 이상 100nm 이하의 두께로 형성하는 것이 바람직하다.

[0045] 또, 버퍼층(54)에는 인이나 붕소 등의 일 도전형을 부여하는 불순물이 첨가되어 있지 않는 것이 바람직하다. 특히, 임계치를 제어하기 위해서 미결정 반도체막에 포함되는 붕소, 또는 일 도전형을 부여하는 불순물이 첨가된 반도체막에 포함되는 인이 버퍼층(54)에 혼입되지 않는 것이 바람직하다. 이 결과, PN 접합에 의한 누설 전류의 발생 영역을 없앴으로써, 누설 전류의 저감을 도모할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막과, 미결정 반도체막과의 사이에, 인이나 붕소 등의 일 도전형을 부여하는 불순물이 첨가되지 않은 비정질 반도체막을 형성함으로써, 미결정 반도체막과 소스 영역 및 드레인 영역 각각에 포함되는 불순물이 확산되는 것을 방해할 수 있다. 임계치 전압 제어용의 일 도전형을 부여하는 불순물을 미결정 반도체막에 첨가한 경우, 버퍼층을 형성함으로써 소스 영역 및 드레인 영역에 포함되는 일 도전형을 부여하는 불순물과 미결정 반도체막의 임계치 전압 제어용의 일 도전형을 부여하는 불순물이 서로 혼합되지 않도록 할 수 있다.

[0046] 미결정 반도체막(53)의 표면에, 비정질 반도체막, 또한 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체막을 형성함으로써, 미결정 반도체막(53)에 포함되는 결정립의 표면의 자연 산화를 방지할 수 있다. 특히, 비정질 반도체와 미결정립이 접하는 영역에서는 결정 격자의 변형에 유래하여, 균열이 들어가기 쉽다. 이 균열이 산소에 닿으면 결정립은 산화되고, 산화규소가 형성된다. 그러나, 미결정 반도체막(53)의 표면에 버퍼층을 형성함으로써, 미결정립의 산화를 막을 수 있다. 또한, 버퍼층을 형성함으로써, 후에 소스 영역 및 드레인 영역을 형성할 때에 발생하는 에칭 잔사(殘渣)가 미결정 반도체막에 혼입하는 것을 막을 수 있다.

[0047] 또한, 버퍼층(54)은 비정질 반도체막을 사용하여 형성하거나, 또는, 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체막으로 형성한다. 비정질 반도체막의 에너지 갭이 미결정 반도체막과 비교하여 크고(비정질 반도체막의 에너지갭은 1.1 내지 1.5eV, 미결정 반도체막의 에너지 갭은 1.6 내지 1.8eV), 또한 저항이 높고, 증계 효과 이동도가 낮고, 미결정 반도체막의 1/5 내지 1/10이다. 따라서, 후에 형성되는 박막 트랜지스터에 있어서, 소스 영역 및 드레인 영역과, 미결정 반도체막의 사이에 형성되는 버퍼층은 고저항 영역으로서 기능하고, 미결정 반도체막이 채널 형성 영역으로서 기능한다. 따라서, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 상기 박막 트랜지스터를 액정 표시 장치의 스위칭 소자로서 사용한 경우, 액정 표시 장치의 콘트라스트를 향상시킬 수 있다.

[0048] 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은 n 채널형의 박막 트랜지스터를 형성하는 경우에는 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화규소에 PH_3 등의 불순물 기체를 가하면 좋다. 예를 들면, 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은 인을 포함하는 아모퍼스 실리콘막(a-Si(n^+))막이라고도 부름.)으로 형성하면 좋다. 또한, p 채널형의 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 붕소를 첨가하면 좋고, 수소화규소에 B_2H_6 등의 불순물 기체를 가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은 미결정 반도체막체, 또는 비정질 반도체로 형성할 수 있다. 일 도전형을 부여하는 불순

물이 첨가된 반도체막(55)은 2nm 이상 50nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물이 첨가된 반도체막의 막 두께를, 얇게 함으로써 스루풋을 향상시킬 수 있다.

[0049] 여기에서, 게이트 절연막(52a, 52b)으로부터 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 연속 성막할 수 있는 마이크로파 플라즈마 CVD 장치에 관해서, 도 9를 사용하여 도시한다. 도 9는 마이크로파 플라즈마 CVD 장치의 상단면을 도시하는 모식도이고, 공통실(1120)의 주위에, 로드실(1110), 언로드실(1115), 반응실(1) 내지 반응실(4)(1111 내지 1114)을 구비한 구성으로 되어 있다. 공통실(1200)과 각 실의 사이에는 게이트 밸브(1122 내지 1127)가 구비되고, 각 실에서 행하여지는 처리가, 서로 간섭하지 않도록 구성되어 있다. 기판은 로드실(1110), 언로드실(1115)의 카세트(1128, 1129)에 장전되고, 공통실(1120)의 반응 수단(1121)에 의해 반응실(1) 내지 반응실(4)(1111 내지 1114)로 운반된다. 이 장치에서, 퇴적막종마다 반응실을 할당하는 것이 가능하고, 복수의 다른 피막을 대기에 접촉시키지 않고 연속하여 형성할 수 있다.

[0050] 반응실(1) 내지 반응실(4) 각각에 있어서, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 버퍼층(54), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 적층 형성한다. 이 경우는 원료 가스의 전환에 의해 다른 종류의 막을 연속적으로 복수 적층할 수 있다. 이 경우, 게이트 절연막을 형성한 후, 반응실 내에 실란 등의 수소화규소를 도입하고, 잔류 산소 및 수소화규소를 반응시켜, 반응물을 반응실 밖으로 배출함으로써, 반응실 내의 잔류 산소 농도를 저감시킬 수 있다. 이 결과, 미결정 반도체막에 포함되는 산소의 농도를 저감할 수 있다. 또한, 미결정 반도체막에 포함되는 결정립의 산화를 방지할 수 있다.

[0051] 또는, 반응실(1) 및 반응실(3)에서 게이트 절연막(52a, 52b), 미결정 반도체막(53), 및 버퍼층(54)을 형성하고, 반응실(2) 및 반응실(4)에서 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 형성한다. 일 도전형을 부여하는 불순물만 단독으로 성막함으로써, 챔버에 잔존하는 일 도전형을 부여하는 불순물이 다른 막에 혼입되는 것을 막을 수 있다.

[0052] 이와 같이, 복수의 챔버가 접속된 마이크로파 플라즈마 CVD장치에서, 동시에 게이트 절연막(52a, 52b), 미결정 반도체막(53), 버퍼층(54), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 성막할 수 있기 때문에, 양산성을 높일 수 있다. 또한, 어떤 반응실이 메인テナンス나 클리닝을 하고 있어도, 나머지 반응실에서 성막 처리가 가능해져, 성막의 택트를 향상시킬 수 있다. 또한, 대기 성분이나 대기중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 격차를 저감할 수 있다.

[0053] 또한, 반응실(1)에서 게이트 절연막(52a, 52b)을 형성하고, 반응실(2)에서 미결정 반도체막(53) 및 버퍼층(54)을 형성하고, 반응실(3)에서 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 형성할 수 있다. 또한, 게이트 절연막(52a)을 산화규소막 또는 산화질화규소막으로 형성하고, 게이트 절연막(52b)을 질화규소막 또는 질화산화규소막으로 형성하는 경우, 반응실을 5개 형성하고, 반응실(1)에서, 게이트 절연막(52a)의 산화규소막 또는 산화질화규소막을 형성하고, 반응실(2)에서, 게이트 절연막(52b)의 질화규소막 또는 질화산화규소막을 형성하고, 반응실(3)에서, 미결정 반도체막을 형성하고, 반응실(4)에서 버퍼층을 형성하고, 반응실(5)에서, 일 도전형을 부여하는 불순물이 첨가된 반도체막을 형성하여도 좋다. 또한, 미결정 반도체막은 성막 속도가 느리기 때문에, 복수의 반응실에서 미결정 반도체막을 성막하여도 좋다. 예를 들면, 반응실(1)에서 게이트 절연막(52a, 52b)을 형성하고, 반응실(2) 및 반응실(3)에서 미결정 반도체막(53)을 형성하고, 반응실(4)에서 버퍼층(54)을 형성하고, 반응실(5)에서 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 형성하여도 좋다. 이와 같이, 복수의 반응실에서 동시에 미결정 반도체막(53)을 성막함으로써 스루풋을 향상시킬 수 있다. 이때, 각 반응실의 내벽을 성막하는 종류의 막으로 코팅하는 것이 바람직하다.

[0054] 이러한 구성의 마이크로파 플라즈마 CVD 장치를 사용하면, 각 반응실에서 종류가 유사한 막 또는 1종류의 막을 성막하는 것이 가능하고, 또한 대기에 노출시키지 않고 연속하여 형성할 수 있기 때문에, 전에 성막한 막의 잔류물이나 대기에 부유하는 불순물 원소에 오염되지 않고, 각 적층 계면을 형성할 수 있다.

[0055] 또, 도 9에 도시하는 마이크로파 플라즈마 CVD 장치에는 로드실 및 언로드실이 따로따로 형성되어 있지만, 1개로서 로드/언로드실이어도 좋다. 또한, 마이크로파 플라즈마 CVD 장치에 예비실을 형성하여도 좋다. 예비실에서 기판을 예비 가열함으로써, 각 반응실에서 성막까지의 가열 시간을 단축할 수 있기 때문에, 스루풋을 향상시킬 수 있다.

[0056] 이하에, 성막 처리에 관해서 설명한다. 이들의 성막 처리는 그 목적에 따라서, 가스 공급부로부터 공급하는 가스를 선택하면 좋다.

[0057] 여기에서는 게이트 절연막(52a)에, 산화질화규소막을 형성하고, 게이트 절연막(52b)에 질화산화규소막을 형성하

는 방법을 일례로서 들 수 있다.

- [0058] 처음으로, 마이크로파 플라즈마 CVD 장치의 반응실의 처리 용기의 내부를 불소 라디칼하여 클리닝한다. 또, 불소 라디칼은 반응실의 외측에 형성된 플라즈마 발생기에, 플루오르화탄소, 플루오르화질소, 또는 불소를 도입하고, 해리하고, 불소 라디칼을 반응실에 도입함으로써, 반응실 내를 클리닝할 수 있다.
- [0059] 불소 라디칼로 클리닝한 후, 반응실 내부에 수소를 대량으로 도입함으로써, 반응실 내의 잔류 불소와 수소를 반응시켜, 잔류 불소의 농도를 저감할 수 있다. 따라서, 후에 반응실의 내벽에 성막하는 보호막으로의 불소의 혼입량을 감소시킬 수 있고, 보호막의 두께를 얇게 하는 것이 가능하다.
- [0060] 다음에, 반응실의 처리 용기 내벽 등의 표면에 보호막으로서 산화질화막을 퇴적한다. 여기에서는 처리 용기 내의 압력을 1 내지 200Pa, 바람직하게는 1 내지 100Pa로 하고, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스의 어느 1종 이상의 가스를 도입한다. 또한, 희가스의 어느 1종 및 수소를 도입한다. 특히, 플라즈마 착화용 가스로서 헬륨, 더욱이 헬륨과 수소를 사용하는 것이 바람직하다.
- [0061] 헬륨의 이온화 에너지는 24.5eV로 높은 에너지를 가지지만, 약 20eV에 준안정 상태가 있기 때문에, 방전중에 있어서는 약 4eV에서 이온화가 가능하다. 따라서, 방전 개시 전압이 낮고, 또한 방전을 유지하기 쉽다. 따라서, 플라즈마를 균일하게 유지하는 것이 가능한 동시에, 성전력화(省電力化)가 가능하다.
- [0062] 또한, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스의 어느 1종 이상 및 산소 가스를 도입하여도 좋다. 희가스와 함께, 산소 가스를 처리 용기 내에 도입함으로써, 플라즈마의 착화를 용이하게 할 수 있다.
- [0063] 다음에, 마이크로파 발생 장치의 전원을 온으로 하고, 마이크로파 발생 장치의 출력은 500 내지 6000W, 바람직하게는 4000 내지 6000W로 하여 플라즈마를 발생시킨다. 다음에, 가스관으로부터 원료 가스를 처리 용기 내에 도입한다. 구체적으로는, 원료 가스로서, 일산화이질소, 희가스, 및 실란을 도입함으로써, 처리 용기의 내벽, 가스관, 유전체관, 및 지지대 표면 위에 보호막으로서 산화질화규소막을 형성한다. 이때의 수소화규소의 유량을 50 내지 300sccm, 일산화이질소의 유량을 500 내지 6000sccm로 하고, 보호막의 막 두께를 500 내지 2000nm로 한다.
- [0064] 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하되고, 마이크로파 발생 장치의 전원을 오프로 한 후, 처리 용기 내의 지지대 위에 기판을 도입한다.
- [0065] 다음에, 상기 보호막과 같은 공정에 의해, 기판 위에 게이트 절연막(52a)으로서 산화질화규소막을 퇴적시킨다.
- [0066] 소정 두께의 산화질화규소막이 퇴적되면, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하하고, 마이크로파 발생 장치의 전원을 오프로 한다.
- [0067] 다음에, 처리 용기 내의 압력을 1 내지 200Pa, 바람직하게는 1 내지 100Pa로 하고, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스의 어느 1종 이상과, 원료 가스인 실란, 일산화이질소, 및 암모니아를 도입한다. 또, 원료 가스로서, 암모니아 대신에 질소를 도입하여도 좋다. 다음에, 마이크로파 발생 장치의 전원을 온으로 하고, 마이크로파 발생 장치의 출력은 500 내지 6000W, 바람직하게는 4000 내지 6000W로 하여 플라즈마를 발생시킨다. 다음에, 가스관으로부터 원료 가스를 처리 용기 내에 도입하고, 기판의 산화질화규소막 위에 게이트 절연막(52b)으로서 질화산화규소막을 형성한다. 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하하고, 마이크로파 발생 장치의 전원을 오프로 하여, 성막 프로세스를 종료한다.
- [0068] 이상의 공정에 의해, 반응실 내벽의 보호막을 산화질화규소막으로 하고, 기판 위에 산화질화규소막 및 질화산화규소막을 연속적으로 성막함으로써, 상층층의 질화산화규소막 중에 산화규소 등의 불순물의 혼입을 저감할 수 있다. 전원장치로서 마이크로파를 발생시킬 수 있는 전원장치를 사용한 마이크로파 플라즈마 CVD법에 의해 상기 막을 형성함으로써, 플라즈마 밀도가 높아져서 내압이 높은 막을 형성할 수 있고, 상기 막을 게이트 절연막으로서 사용하면, 트랜지스터의 임계치의 격차를 저감할 수 있다. 또한, BT 특성을 향상시킬 수 있다. 또한, 정전기에 대한 내성이 높아지고, 높은 전압이 인가되어도 파괴되기 어려운 트랜지스터를 제작할 수 있다. 또한, 경시 파괴가 적은 트랜지스터를 제작할 수 있다. 또한, 핫캐리어 대미지가 적은 트랜지스터를 제작할 수 있다.
- [0069] 또한, 게이트 절연막으로서 마이크로파 플라즈마 CVD 장치에 의해 형성한 산화질화규소막 단층의 경우, 상기 보호막의 형성 방법 및 산화질화규소막의 형성 방법을 사용한다. 특히, 실란에 대한 일산화이질소의 유량비를

100배 이상 300배 이하, 바람직하게는 150배 이상 250배 이하로 하면, 내압이 높은 산화질화규소막을 형성할 수 있다.

[0070] 다음에, 마이크로파 플라즈마 CVD법에 의한 미결정 반도체막 및 버퍼층으로서 비정질 반도체막을 연속적으로 성막하는 성막 처리 방법에 관해서 나타낸다. 우선, 상기 게이트 절연막과 마찬가지로, 반응실 내를 클리닝한다. 다음에, 처리 용기 내에 보호막으로서 규소막을 퇴적한다. 여기에서는 처리 용기 내의 압력을 1 내지 200Pa, 바람직하게는 1 내지 100Pa로 하고, 플라즈마 착화용 가스로서, 헬륨, 아르곤, 크세논, 크립톤 등의 희가스의 어느 1종 이상을 도입한다. 또, 희가스와 함께 수소를 도입하여도 좋다.

[0071] 다음에, 마이크로파 발생 장치의 전원을 온으로 하고, 마이크로파 발생 장치의 출력은 500 내지 6000W, 바람직하게는 4000 내지 6000W로 하여 플라즈마를 발생시킨다. 다음에, 가스관으로부터 원료 가스를 처리 용기 내에 도입한다. 구체적으로는, 원료 가스로서, 구체적으로는, 수소화규소가스, 및 수소 가스를 도입함으로써, 처리 용기의 내벽, 가스관, 유전체판, 및 지지대 표면 위에 보호막으로서 미결정 규소막을 형성한다. 또한, 수소화 규소가스 및 수소 가스에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이러한 때의 수소화규소에 대하여 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더욱 바람직하게는 100배로 한다. 또한, 이 때의 보호막의 막 두께를 500 내지 2000nm로 한다. 또, 마이크로파 발생 장치의 전원을 온으로 하기 전에, 처리 용기 내에 상기 희가스 외에, 수소화규소가스 및 수소 가스를 도입하여도 좋다.

[0072] 또한, 수소화규소가스, 및 수소화규소가스에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석하고, 보호막으로서 비정질 반도체막을 형성할 수 있다.

[0073] 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하하고, 마이크로파 발생 장치의 전원을 오프로 한 후, 처리 용기 내의 지지대 위에 기판을 도입한다.

[0074] 다음에, 기판 위에 형성되는 게이트 절연막(52b)의 표면을 수소 플라즈마 처리한다. 미결정 반도체막을 형성하기 전에 수소 플라즈마 처리함으로써, 게이트 절연막 및 미결정 반도체막의 계면에서의 격자 변형을 저감할 수 있고, 게이트 절연막 및 미결정 반도체막의 계면 특성을 향상시킬 수 있다. 따라서, 후에 형성되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0075] 또한, 상기 수소 플라즈마 처리에 있어서, 처리 용기 내에 형성된 보호막인 비정질 반도체막 또는 미결정 반도체막도 수소 플라즈마 처리함으로써, 보호막이 에칭되어 게이트 절연막(52b)의 표면에 미소량의 반도체가 퇴적한다. 상기 반도체가 결정 성장의 핵이 되고, 상기 핵에 의해서, 미결정 반도체막이 퇴적한다. 이 결과, 게이트 절연막 및 미결정 반도체막의 계면에서의 격자 변형을 저감할 수 있고, 게이트 절연막 및 미결정 반도체막의 계면 특성을 향상시킬 수 있다. 따라서, 후에 형성되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0076] 다음에, 상기 보호막과 동일한 공정에 의해, 기판 위에 미결정 규소막을 퇴적시킨다. 미결정 규소막의 막 두께를 0nm보다 두껍고 50nm 이하, 바람직하게는 0nm보다 두껍고 20nm 이하로 한다.

[0077] 소정의 두께의 미결정 규소막이 퇴적되면, 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하되고, 마이크로파 발생 장치의 전원을 오프로 하고, 미결정 반도체막 성막 프로세스를 종료한다.

[0078] 다음에, 처리 용기 내의 압력을 낮추고, 원료 가스의 유량을 조정한다. 구체적으로는, 수소 가스의 유량을 미결정 반도체막의 성막 조건보다 대폭 저감한다. 대표적으로는, 수소화규소의 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소 가스를 도입한다. 또는, 수소 가스를 처리 용기 내에 도입하지 않고, 수소화규소가스를 도입한다. 이와 같이 수소화규소에 대한 수소의 유량을 저감함으로써 버퍼층으로서 비정질 반도체막의 성막 속도를 향상시킬 수 있다. 또는, 수소화규소가스에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석한다. 다음에, 마이크로파 발생 장치의 전원을 온으로 하고, 마이크로파 발생 장치의 출력은 500 내지 6000W, 바람직하게는 4000 내지 6000W로 하여 플라즈마를 발생시켜, 비정질 반도체막을 형성할 수 있다. 비정질 반도체막의 성막 속도는 미결정 반도체막과 비교하여 높기 때문에, 처리 용기 내의 압력을 낮게 설정할 수 있다. 이 때의 비정질 반도체막의 막 두께를 100 내지 400nm로 한다.

[0079] 소정의 두께의 비정질 반도체막이 퇴적되면, 다음에, 원료 가스의 공급을 정지하고, 처리 용기 내의 압력을 저하하고, 마이크로파 발생 장치의 전원을 오프로 하고, 비정질 반도체막의 성막 프로세스를 종료한다.

[0080] 또, 미결정 반도체막(53) 및 버퍼층(54)인 비정질 반도체막을 플라즈마의 착화한 채로 형성하여도 좋다. 구체

적으로는 미결정 반도체막(53)을 형성하는 원료 가스인 수소화규소에 대한 수소의 유량비를 서서히 저감시켜 미결정 반도체막(53) 및 버퍼층(54)인 비정질 반도체막을 적층한다. 이러한 수법에 의해 미결정 반도체막(53) 및 버퍼층(54)의 계면에 불순물이 퇴적하지 않고, 변형이 적은 계면을 형성할 수 있고, 후에 형성되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0081] 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치에서 발생된 플라즈마는 전자 밀도가 높고, 원료 가스로부터 많은 라디칼이 형성되고, 기관(1130)으로 공급되기 때문에, 기관에서의 라디칼의 표면 반응이 촉진되고, 미결정 실리콘의 성막 속도를 높일 수 있다. 더욱이, 복수의 마이크로파 발생 장치, 및 복수의 유전체관으로 구성되는 마이크로파 플라즈마 CVD 장치는 안정적인 대면적의 플라즈마를 생성할 수 있다. 따라서, 주파수가 1GHz 이상의 마이크로파를 사용한 플라즈마 CVD법은 대면적 기관 위에 있어도, 막질의 균일성을 높인 막을 성막할 수 있는 동시에, 양산성을 높일 수 있다.

[0082] 또한, 동일 처리 용기에서 미결정 반도체막 및 비정질 반도체막을 연속적으로 성막함으로써, 변형이 적은 계면을 형성하는 것이 가능하다.

[0083] 또, 게이트 절연막 및 반도체막 각각의 제작 공정에서, 반응실의 내벽에 500 내지 2000nm의 보호막이 형성되어 있는 경우는 상기 클리닝 처리 및 보호막 형성 처리를 생략할 수 있다.

[0084] 마스크(56)는 포토리소그래피 기술 또는 잉크젯법에 의해 형성한다.

[0085] 다음에, 마스크를 사용하여 미결정 반도체막(53), 버퍼층(54), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 에칭하여 분리하고, 도 1b에 도시하는 바와 같이, 미결정 반도체막(61), 버퍼층(62), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 형성한다. 이 후, 마스크(56)를 제거한다. 또, 도 1b는 도 4a의 A-B의 단면도에 상당한다.

[0086] 다음에, 도 1c에 도시하는 바와 같이, 일 도전형을 부여하는 불순물이 첨가된 반도체막(63) 및 게이트 절연막(52b) 위에 도전막을 형성하고, 도전막 위에 마스크(66)를 형성한다.

[0087] 도전막은 알루미늄, 또는 구리, 실리콘, 티탄, 네오듐, 스칸듐, 몰리브덴 등의 내열성 향상 원소 또는 헬로크 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막과 접하는 측의 막을, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들의 원소의 질화물로 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들의 원소의 질화물로 끼운 적층 구조로 하여도 좋다. 여기에서는 도전막으로서 도전막(65a 내지 65c) 3층이 적층한 구조의 도전막을 제시하고, 도전막(65a, 65c)에 몰리브덴막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티탄막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막을 제시한다.

[0088] 도전막(65a 내지 65c)은 스퍼터링법이나 진공 증착법으로 형성한다. 또한, 도전막(65a 내지 65c)은 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법, 잉크젯법 등을 사용하여 토출하고 소성하여 형성하여도 좋다.

[0089] 마스크(66)는 마스크(56)와 동일하게 형성할 수 있다.

[0090] 다음에, 마스크(66)를 사용하여 도전막(65a 내지 65c)을 에칭하여 분리하고, 도 2a에 도시하는 바와 같이 도전막(71a 내지 71c)을 형성한다. 다음에, 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막(63) 및 버퍼층(62)을 에칭하고, 소스 영역 및 드레인 영역(72), 버퍼층(73)을 형성한다. 또, 버퍼층(73)은 일부만이 에칭된 것이며, 미결정 반도체막(61)의 표면을 덮고 있다. 또한, 이때, 소스 영역 및 드레인 영역(72)의 단부와 도전막(71a 내지 71c)의 단부는 거의 일치하고 있다.

[0091] 다음에, 도 2b에 도시하는 바와 같이, 도전막(71a 내지 71c)의 일부를 에칭하여 소스 전극 및 드레인 전극(75a 내지 75c)을 형성한다. 여기에서는 마스크(66)를 사용하여 도전막(71a 내지 71c)을 웨트 에칭하면, 도전막(71a 내지 71c)의 단부가 선택적으로 에칭된다. 이 결과, 도전막(71a 내지 71c)으로부터 면적이 작은 소스 전극 및 드레인 전극(75a 내지 75c)을 형성할 수 있다. 소스 전극 및 드레인 전극(75a 내지 75c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고 여긔나고 있고, 소스 전극 및 드레인 전극(75a 내지 75c)의 단부의 외측에, 소스 영역 및 드레인 영역(72)의 단부가 형성된다. 이 후, 마스크(66)를 제거한다. 또, 도 2b는 도 4b의 A-B의 단면도에 상당한다. 도 4b에 도시하는 바와 같이, 소스 영역 및 드레인 영역(72)의 단부는 소스 전극 및 드레인 전극(75c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 소스 전극 또는 드레인 전극의 한

좁은, 소스 배선 또는 드레인 배선으로서도 가능하다.

[0092] 도 2b에 도시하는 바와 같이, 소스 전극 및 드레인 전극(75a 내지 75c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고 어긋난 구조가 됨으로써, 소스 전극 및 드레인 전극(75a 내지 75c)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극 간의 누설 전류나 쇼트를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(75a 내지 75c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고 어긋난 구조이기 때문에, 소스 전극 및 드레인 전극(75a 내지 75c) 및 소스 영역 및 드레인 영역(72)의 단부에 전계가 집중하지 않고, 게이트 전극(51)과, 소스 전극 및 드레인 전극(75a 내지 75c)의 사이에서의 누설 전류를 방지할 수 있다. 따라서, 신뢰성이 높고, 또한 내압이 높은 박막 트랜지스터를 제작할 수 있다.

[0093] 이상의 공정에 의해, 채널 에치형의 박막 트랜지스터(74)를 형성할 수 있다.

[0094] 본 실시 형태에서 제시하는 박막 트랜지스터는 게이트 전극 위에 게이트 절연막, 미결정 반도체막, 버퍼층, 소스 영역 및 드레인 영역, 소스 전극 및 드레인 전극이 적층되고, 채널 형성 영역으로서 기능하는 미결정 반도체막의 표면을 버퍼층이 덮는다. 또한, 버퍼층의 일부에는 홈이 형성되어 있고, 상기 오목부 이외의 영역이 소스 영역 및 드레인 영역으로 덮인다. 즉, 버퍼층에 형성되는 오목부에 의해, 소스 영역 및 드레인 영역의 거리가 떨어져 있기 때문에, 소스 영역 및 드레인 영역 사이에서의 누설 전류를 저감시킬 수 있다. 또한, 버퍼층의 일부를 에칭함으로써 오목부를 형성하기 때문에, 소스 영역 및 드레인 영역의 형성 과정에서 발생하는 에칭 잔사를 제거할 수 있기 때문에, 잔사를 통하여 소스 영역 및 드레인 영역에 누설 전류(기생 채널)가 발생하는 것을 회피할 수 있다.

[0095] 또한, 채널 형성 영역으로서 기능하는 미결정 반도체막과 소스 영역 및 드레인 영역의 사이에, 버퍼층이 형성되어 있다. 또한, 미결정 반도체막의 표면이 버퍼층으로 덮여 있다. 고저항으로 형성된 버퍼층은 미결정 반도체막과, 소스 영역 및 드레인 영역의 사이로까지 연장되어 있기 때문에, 박막 트랜지스터에 누설 전류가 발생하는 것을 저감할 수 있는 동시에, 높은 전압의 인가에 의한 열화를 저감할 수 있다. 또한, 미결정 반도체막의 표면에 수소로 표면이 종단된 비정질 반도체막이 버퍼층으로서 형성되어 있기 때문에, 미결정 반도체막의 산화를 방지할 수 있는 동시에, 소스 영역 및 드레인 영역의 형성 공정에 발생하는 에칭 잔사가 미결정 반도체막에 혼입되는 것을 막을 수 있다. 따라서, 전기 특성이 높고, 또한 내압이 우수한 박막 트랜지스터이다.

[0096] 또한, 소스 전극 및 드레인 전극의 단부와, 소스 영역 및 드레인 영역의 단부는 일치하지 않고 어긋난 구조가 됨으로써, 소스 전극 및 드레인 전극의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극 간의 누설 전류나 쇼트를 방지할 수 있다.

[0097] 또한, 상술한 도 2a 및 도 2b에서는 일부에 홈을 갖는 버퍼층(73)을 형성한 후, 대향하는 소스 전극의 단부와 드레인 전극의 단부의 거리를 길게 하는 에칭을 하는 예를 제시하였지만, 특히 한정되지 않는다. 예를 들면, 도전막(65a 내지 65c)을 에칭하여 분리하고, 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 노출시킨 후, 대향하는 소스 전극의 단부와 드레인 전극의 단부의 거리를 길게 하는 에칭을 한다. 그 후, 마스크(66)를 사용하여 반도체막(63)을 에칭하여 소스 영역 및 드레인 영역(72)을 분리하고, 또한 버퍼층의 일부에 홈을 형성하는 공정 순서로 하여도 좋다.

[0098] 다음에, 도 2c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(75a 내지 75c), 소스 영역 및 드레인 영역(72), 미결정 반도체막(61), 및 게이트 절연막(52b) 위에 절연막(76)을 형성한다. 절연막(76)은 게이트 절연막(52a, 52b)과 동일하게 형성할 수 있다. 또, 절연막(76)은 대기중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 또한, 절연막(76)에 질화규소막을 사용함으로써, 버퍼층(73)중의 산소 농도를 1×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하로 할 수 있다.

[0099] 다음에, 절연막(76)에 콘택트홀을 형성하고, 상기 콘택트홀에 있어서 소스 전극 또는 드레인 전극(75c)에 접하는 화소 전극(77)을 형성한다. 또, 도 3은 도 4c의 A-B의 단면도에 상당한다.

[0100] 화소 전극(77)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티탄을 포함하는 인듐산화물, 산화티탄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO로 나타냄.), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0101] 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω

· cm 이하인 것이 바람직하다.

- [0102] 도전성 고분자로서는 소위 π 전자공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0103] 다음에, 상기 형태와는 다른 박막 트랜지스터의 제작 방법에 관해서, 도 5 내지 도 8을 사용하여 설명한다. 여기에서는 소스 전극 또는 드레인 전극과, 소스 배선 또는 드레인 배선이 분리된 구조에 관해서 나타낸다.
- [0104] 도 5a에 도시하는 바와 같이, 기판(50) 위에 게이트 전극(51)을 형성한다. 다음에, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b), 미결정 반도체막(53), 버퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체막(55), 및 도전막(65a)을 순으로 형성한다. 다음에, 도전막(65a) 위에 마스크(56)를 형성한다.
- [0105] 다음에, 마스크(56)에 의해, 미결정 반도체막(53), 버퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체막(55), 및 도전막(65a)을 에칭하여 분리한다. 이 결과, 도 5b에 도시하는 바와 같은, 미결정 반도체막(61), 버퍼층(62), 일 도전형을 부여하는 불순물이 첨가된 반도체막(63), 및 도전막(85a)을 형성할 수 있다. 이 후, 마스크(56)를 제거한다. 또, 도 5b는 도 8a의 A-B에 있어서의 단면도에 상당한다.
- [0106] 다음에, 도 5b에 도시하는 바와 같이, 도전막(85a) 위에 레지스트 마스크(66)를 형성한다. 다음에, 레지스트 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막(63), 및 도전막(85a)을 에칭하여 분리한다. 이 결과, 도 8c에 도시하는 바와 같은, 한 쌍의 도전막(89a), 및 한 쌍의 소스 영역 및 드레인 영역(88)을 형성할 수 있다. 또, 상기 에칭 공정에 있어서, 버퍼층(62)의 일부도 에칭된다. 일부 에칭된 버퍼층을 버퍼층(87)으로 나타낸다. 여기에서는 버퍼층(62)의 일부가, 레지스트 마스크(66)로 일부 에칭되기 때문에, 한 쌍의 도전막(89a)의 외측에 버퍼층(87)이 돌출한 형상이 된다.
- [0107] 다음에, 도 6a에 도시하는 바와 같이, 한 쌍의 도전막(89a)의 일부를 에칭하여 소스 전극 및 드레인 전극(92a)을 형성한다. 여기에서는 레지스트 마스크(66)를 사용하여 도전막(89a)을 웨트 에칭하면, 도전막(89a)의 단부가 선택적으로 에칭된다. 이 결과, 도전막(89a)보다 면적이 작은 소스 전극 및 드레인 전극(92a)을 형성할 수 있다. 소스 전극 및 드레인 전극(92a)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난다. 이 후, 레지스트 마스크(66)를 제거한다. 또, 도 6a는 도 8b의 A-B의 단면도에 상당한다. 도 8b에 도시하는 바와 같이, 소스 영역 및 드레인 영역(88)의 단부는 소스 전극 및 드레인 전극(92a)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 소스 전극 및 드레인 전극(92a)은 각각 분리되어 있고, 인접하는 화소와 접속하고 있지 않다. 또한, 여기에서는 웨트 에칭에 의해 소스 전극 및 드레인 전극(92a)을 형성하였지만, 레지스트 마스크(66)를 애싱하고, 도전막(89a)을 에칭하여 소스 전극 및 드레인 전극(92a)을 형성할 수 있다.
- [0108] 도 6b에 도시하는 바와 같이, 소스 전극 및 드레인 전극(92a)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난 구조가 됨으로써, 소스 전극 및 드레인 전극(92a)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극간의 누설 전류나 쇼트를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(92a)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난 구조이기 때문에, 소스 전극 및 드레인 전극(92a) 및 소스 영역 및 드레인 영역(88)의 단부에 전계가 집중하지 않고, 게이트 전극과, 소스 전극 및 드레인 전극(92a)의 사이에서의 누설 전류를 방지할 수 있다. 이 때문에, 신뢰성이 높고, 또한 내압이 높은 박막 트랜지스터를 제작할 수 있다.
- [0109] 다음에, 도 6b에 도시하는 바와 같이, 소스 전극 및 드레인 전극(92a), 소스 영역 및 드레인 영역(88), 버퍼층(87), 및 게이트 절연막(52b) 위에 절연막(76)을 형성한다. 절연막(76)은 게이트 절연막(52a, 52b)과 동일하게 형성할 수 있다. 다음에, 절연막(76)에 콘택트홀을 형성하고, 상기 콘택트홀에 있어서 소스 전극 또는 드레인 전극(92a)의 한쪽에 접하고, 또한 적층된 배선(79b, 79c)을 형성한다. 또, 도 6c는 도 8c의 A-B의 단면도에 상당한다. 또한, 배선(79b, 79c)은 인접하는 화소에 형성되는 소스 전극 또는 드레인 전극을 접속하는 배선이다.
- [0110] 다음에, 도 7에 도시하는 바와 같이, 다음에, 절연막(76)에 콘택트홀을 형성하고, 상기 콘택트홀에 있어서 소스 전극 또는 드레인 전극(92a)의 다른 쪽에 접하는 화소 전극(77)을 형성한다. 또, 도 7은 도 8d의 A-B의 단면도에 상당한다.
- [0111] 이상의 공정에 의해, 채널 에치형의 박막 트랜지스터(74)를 형성할 수 있다. 이 채널 에치형의 박막 트랜지스터는 제작 공정수가 적고, 비용 삭감이 가능하다. 또한, 미결정 반도체막으로 채널 형성 영역을 구성함으로써 1 내지 20cm²/V·sec의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소의 스위

칭용 소자로서, 더욱이 주사선(게이트선) 측의 구동 회로를 형성하는 소자로서 이용할 수 있다.

- [0112] 본 실시 형태에 따라, 전기 특성의 신뢰성이 높은 박막 트랜지스터를 제작할 수 있다.
- [0113] (실시 형태 2)
- [0114] 본 실시 형태에서는 실시 형태 1에서 제시하는 박막 트랜지스터를 갖는 액정 표시 장치에 관해서, 이하에 제시한다.
- [0115] 먼저 VA(Vertical Alignment)형의 액정 표시 장치에 관해서 나타낸다. VA형의 액정 표시 장치란 액정 패널의 액정 분자의 배열을 제어하는 방식의 1종이다. VA형의 액정 표시 장치는 전압이 인가되어 있지 않을 때에 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 본 실시 형태에서는 특히 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고, 각각 별도의 방향으로 분자를 쓰러뜨리도록 연구되어 있다. 이것을 멀티 도메인화 또는 멀티 도메인 설계라고 한다. 이하의 설명에서는 멀티 도메인 설계가 고려된 액정 표시 장치에 관해서 설명한다.
- [0116] 도 14 및 도 15는 각각 화소 전극 및 대향 전극을 도시한다. 또, 도 14는 화소 전극이 형성되는 기관 측의 평면도이고, 도면 중에 도시하는 절단선 G-H에 대응하는 단면 구조를 도 13에 도시한다. 또한, 도 15는 대향 전극이 형성되는 기관측의 평면도이다. 이하의 설명에서는 이들 도면을 참조하여 설명한다.
- [0117] 도 13은 TFT(628)와 그것에 접속하는 화소 전극(624), 및 유지 용량부(630)가 형성된 기관(600)과, 대향 전극(640) 등이 형성되는 대향 기관(601)이 겹쳐지고, 액정이 주입된 상태를 도시한다.
- [0118] 대향 기관(601)에 있어서 스페이서(642)가 형성되는 위치에는 차광막(632), 제 1 착색막(634), 제 2 착색막(636), 제 3 착색막(638), 대향 전극(640)이 형성되어 있다. 이러한 구조에 의해, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서(642)의 높이를 다르게 하고 있다. 화소 전극(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극(640) 위에도 배향막(646)이 형성되어 있다. 이 사이에 액정층(650)이 형성되어 있다.
- [0119] 스페이서(642)는 여기에서는 주상(柱狀) 스페이서를 사용하여 나타내었지만 비트 스페이서를 산포(散布)하여도 좋다. 더욱이, 스페이서(642)를 기관(600) 위에 형성되는 화소 전극(624) 위에 형성하여도 좋다.
- [0120] 기관(600) 위에는 TFT(628)와 그것에 접속하는 화소 전극(624), 및 유지 용량부(630)가 형성된다. 화소 전극(624)은 TFT(628), 배선(618), 및 유지 용량부(630)를 덮는 절연막(620), 절연막을 덮는 제 3 절연막(622)을 각각 관통하는 콘택트홀(623)로, 배선(618)과 접속한다. TFT(628)는 실시 형태 1에서 제시하는 박막 트랜지스터를 적절하게 사용할 수 있다. 또한, 유지 용량부(630)는 TFT(628)의 게이트 배선(602)과 동일하게 형성한 제 1 용량 배선(604)과, 게이트 절연막(606)과, 배선(616, 618)과 동일하게 형성한 제 2 용량 배선(617)으로 구성된다.
- [0121] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 겹침으로써, 액정 소자가 형성되어 있다.
- [0122] 도 14에 기관(600) 위의 구조를 도시한다. 화소 전극(624)은 실시 형태 1에서 제시한 재료를 사용하여 형성한다. 화소 전극(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.
- [0123] 도 14에 도시하는 TFT(629)와 그것에 접속하는 화소 전극(626) 및 유지 용량부(631)는 각각 TFT(628), 화소 전극(624) 및 유지 용량부(630)와 동일하게 형성할 수 있다. TFT(628)와 TFT(629)는 함께 배선(616)과 접속하고 있다. 이 액정 패널의 화소(픽셀)는 화소 전극(624)과 화소 전극(626)에 의해 구성되어 있다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.
- [0124] 도 15에 대향 기관 측의 구조를 도시한다. 차광막(632) 위에 대향 전극(640)이 형성되어 있다. 대향 전극(640)은 화소 전극(624)과 동일한 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성되어 있다. 또한, 차광막(632)의 위치에 맞추어서 스페이서(642)가 형성되어 있다.
- [0125] 이 화소 구조의 등가 회로를 도 16에 도시한다. TFT(628)와 TFT(629)는 함께 게이트 배선(602), 배선(616)과 접속하고 있다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 확대하고 있다.

- [0126] 슬릿(625)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(625)의 근방에는 전계의 변형(경사 전계)이 발생한다. 이 슬릿(625)과 대향 기관(601)측의 돌기(644)를 교대로 맞물리도록 배치함으로써, 경사 전계가 효과적으로 발생시켜 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 장소에 따라서 다르게 하고 있다. 즉, 멀티 도메인화하여 액정 패널의 시야각을 확대하고 있다.
- [0127] 다음에, 상기와는 다른 VA형의 액정 표시 장치에 관해서, 도 17 내지 도 20을 사용하여 설명한다.
- [0128] 도 17과 도 18은 VA형 액정 패널의 화소 구조를 도시한다. 도 18은 기관(600)의 평면도이고, 도면 중에 도시하는 절단선 Y-Z에 대응하는 단면 구조를 도 17에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.
- [0129] 이 화소 구조는 1개의 화소에 복수의 화소 전극이 있고, 각각의 화소 전극에 TFT가 접속되어 있다. 각 TFT는 다른 게이트 신호로 구동되도록 구성되어 있다. 즉, 멀티 도메인 설계된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를 독립하여 제어하는 구성을 갖고 있다.
- [0130] 화소 전극(624)은 콘택트홀(623)에 있어서, 배선(618)으로 TFT(628)와 접속하고 있다. 또한, 화소 전극(626)은 콘택트홀(627)에 있어서, 배선(619)으로 TFT(629)와 접속하고 있다. TFT(628)의 게이트 배선(602)과, TFT(629)의 게이트 배선(603)에는 다른 게이트 신호를 줄 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(616)은 TFT(628)와 TFT(629)에서 공통으로 사용되고 있다. TFT(628)와 TFT(629)는 실시 형태 1에서 제시하는 박막 트랜지스터를 적절하게 사용할 수 있다.
- [0131] 화소 전극(624)과 화소 전극(626)의 형상은 다르고, 슬릿(625)에 의해서 분리되어 있다. V자형으로 넓어지는 화소 전극(624)의 외측을 둘러싸도록 화소 전극(626)이 형성되어 있다. 화소 전극(624)과 화소 전극(626)에 인가하는 전압의 타이밍을, TFT(628) 및 TFT(629)에 의해 다르게 함으로써, 액정의 배향을 제어하고 있다. 이 화소 구조의 등가 회로를 도 20에 도시한다. TFT(628)는 게이트 배선(602)과 접속하고, TFT(629)는 게이트 배선(603)과 접속하고 있다. 게이트 배선(602)과 게이트 배선(603)은 다른 게이트 신호를 줌으로써, TFT(628)와 TFT(629)의 동작 타이밍을 다르게 할 수 있다.
- [0132] 대향 기관(601)에는 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성되어 있다. 또한, 제 2 착색막(636)과 대향 전극(640)의 사이에는 평탄화막(637)이 형성되고, 액정의 배향 흐트러짐을 막고 있다. 도 19에 대향 기관 측의 구조를 도시한다. 대향 전극(640)은 다른 화소간에서 공통화되어 있는 전극이지만, 슬릿(641)이 형성되어 있다. 이 슬릿(641)과, 화소 전극(624) 및 화소 전극(626) 측의 슬릿(625)을 교대로 맞물리도록 배치함으로써, 경사 전계가 효과적으로 발생시켜 액정의 배향을 제어할 수 있다. 이로써, 액정이 배향하는 방향을 장소에 따라서 다르게 할 수 있어, 시야각을 확대하고 있다.
- [0133] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 겹침으로써, 제 1 액정 소자가 형성되어 있다. 또한, 화소 전극(626)과 액정층(650)과 대향 전극(640)이 겹침으로써, 제 2 액정 소자가 형성되어 있다. 또한, 1화소에 제 1 액정 소자와 제 2 액정 소자가 형성된 멀티 도메인 구조이다.
- [0134] 다음에, 횡전계 방식의 액정 표시 장치에 관해서 나타낸다. 횡전계 방식은, 셀내의 액정 분자에 대하여 수평 방향으로 전계를 가함으로써 액정을 구동하여 계조 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180도 로까지 확대할 수 있다. 이하의 설명에서는 횡전계 방식을 채용하는 액정 표시 장치에 관해서 설명한다.
- [0135] 도 21은 TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된 기관(600)과, 대향 기관(601)을 겹치고, 액정을 주입한 상태를 도시한다. 대향 기관(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성되어 있다. 화소 전극은 기관(600) 측에 있기 때문에, 대향 기관(601) 측에는 형성되어 있지 않다. 기관(600)과 대향 기관(601)의 사이에 액정층(650)이 형성되어 있다.
- [0136] 기관(600) 위에는 제 1 화소 전극(607) 및 제 1 화소 전극(607)에 접속하는 용량 배선(604), 및 실시 형태 1에서 제시하는 TFT(628)가 형성된다. 제 1 화소 전극(607)은 실시 형태 1에서 제시하는 화소 전극(77)과 같은 재료를 사용할 수 있다. 또한, 제 1 화소 전극(607)은 대략 화소의 형상으로 구획화한 형상으로 형성한다. 또, 제 1 화소 전극(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다.
- [0137] TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에 있어서 비디오 신호를 싣는 데이터선이고 일 방향으로 신장하는 배선인 동시에, 소스 영역(610)과 접속하고, 소스 및 드레인인 한쪽 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽의 전극이 되고, 제 2 화소 전극(624)과 접속하는 배선이다.

- [0138] 배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는 절연막(620)에 형성되는 콘택트홀에 있어서, 배선(618)에 접속하는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시 형태 1에서 제시한 화소 전극(77)과 동일한 재료를 사용하여 형성한다.
- [0139] 이렇게 하여, 기관(600) 위에 TFT(628)와 그것에 접속하는 제 2 화소 전극(624)이 형성된다. 또, 유지 용량은 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에서 형성하고 있다.
- [0140] 도 22는 화소 전극의 구성을 도시하는 평면도이다. 화소 전극(624)에는 슬릿(625)이 형성된다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에서 발생한다. 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에는 게이트 절연막(606)이 형성되어 있지만, 게이트 절연막(606)의 두께는 50 내지 200nm이고, 2 내지 10 μ m인 액정층의 두께와 비교하여 충분히 얇기 때문에, 실질적으로 기관(600)과 평행한 방향(수평 방향)으로 전계가 발생한다. 이 전계에 의해 액정의 배향이 제어된다. 이 기관과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어떤 상태라도 수평이기 때문에, 보는 각도에 의한 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다. 또한, 제 1 화소 전극(607)과 제 2 화소 전극(624)은 함께 투광성의 전극이기 때문에, 개구율을 향상시킬 수 있다.
- [0141] 다음에, 횡전계 방식의 액정 표시 장치의 다른 일례에 관해서 제시한다.
- [0142] 도 23과 도 24는 IPS(In-Plane Switching)형의 액정 표시 장치의 화소 구조를 도시한다. 도 24는 평면도이고, 도면 중에 도시하는 절단선 I-J에 대응하는 단면 구조를 도 23에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.
- [0143] 도 23은 TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된 기관(600)과, 대향 기관(601)을 겹치고, 액정을 주입한 상태를 도시한다. 대향 기관(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성되어 있다. 화소 전극은 기관(600) 측에 있기 때문에, 대향 기관(601) 측에는 형성되어 있지 않다. 기관(600)과 대향 기관(601)의 사이에 액정층(650)이 형성되어 있다.
- [0144] 기관(600) 위에는 공통 전위선(609), 및 실시 형태 1에서 제시하는 TFT(628)가 형성된다. 공통 전위선(609)은 TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다. 또한, 제 1 화소 전극(607)은 대략 화소의 형상으로 구획화된 형상으로 형성한다.
- [0145] TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에 있어서 비디오 신호를 싣는 데이터선이고 일 방향으로 신장하는 배선인 동시에, 소스 영역(610)과 접속하고, 소스 및 드레인 한쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽 전극이 되고, 제 2 화소 전극(624)과 접속하는 배선이다.
- [0146] 배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는 절연막(620)에 형성되는 콘택트홀(623)에 있어서, 배선(618)에 접속하는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시 형태 1에서 제시한 화소 전극(77)과 같은 재료를 사용하여 형성한다. 또, 도 24에 도시하는 바와 같이, 화소 전극(624)은 공통 전위선(609)과 동시에 형성한 빗 모양의 전극과 횡전계가 발생하도록 형성된다. 또한, 화소 전극(624)의 빗살 부분이 공통 전위선(609)인 동시에 형성한 빗 모양의 전극과 교대로 맞물리도록 형성된다.
- [0147] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위의 사이에 전계가 생기면, 이 전계에 의해 액정의 배향이 제어된다. 이 기관과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어떤 상태에서도 수평이기 때문에, 보는 각도에 따른 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다.
- [0148] 이렇게 하여, 기관(600) 위에 TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된다. 유지 용량은 공통 전위선(609)과 용량 전극(615)의 사이에 게이트 절연막(606)을 형성하고, 그것에 의해서 형성하고 있다. 용량 전극(615)과 화소 전극(624)은 콘택트홀(633)을 통하여 접속되어 있다.
- [0149] 다음에, TN형의 액정 표시 장치의 형태에 관해서 나타낸다.
- [0150] 도 25와 도 26은 TN형의 액정 표시 장치의 화소 구조를 도시한다. 도 26은 평면도이고, 도면 중에 도시하는 절단선 K-L에 대응하는 단면 구조를 도 25에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.
- [0151] 화소 전극(624)은 콘택트홀(623)에 의해, 배선(618)으로 TFT(628)와 접속하고 있다. 데이터선으로서 기능하는

배선(616)은 TFT(628)와 접속하고 있다. TFT(628)는 실시 형태 1에 제시하는 TFT의 어느 하나를 적용할 수 있다.

- [0152] 화소 전극(624)은 실시 형태 1에서 제시하는 화소 전극(77)을 사용하여 형성되어 있다.
- [0153] 대향 기관(601)에는 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성되어 있다. 또한, 제 2 착색막(636)과 대향 전극(640)의 사이에는 평탄화막(637)이 형성되고, 액정의 배향 흐트러짐을 막고 있다. 액정층(650)은 화소 전극(624)과 대향 전극(640)의 사이에 형성되어 있다.
- [0154] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 겹침으로써, 액정 소자가 형성되어 있다.
- [0155] 또한, 기관(600) 또는 대향 기관(601)에 컬러 필터나, 디스플레이네이션을 막기 위한 차폐막(블랙 매트릭스) 등이 형성되어 있어도 좋다. 또한, 기관(600)의 박막 트랜지스터가 형성되어 있는 면과는 반대의 면에 편광판을 접합하고, 또한 대향 기관(601)의 대향 전극(640)이 형성되어 있는 면과는 반대의 면에, 편광판을 접합해 둔다.
- [0156] 대향 전극(640)은 화소 전극(624)과 동일한 재료를 적절하게 사용할 수 있다. 화소 전극(624)과 액정층(650)과 대향 전극(640)이 겹침으로써, 액정 소자가 형성되어 있다.
- [0157] 이상의 공정에 의해, 액정 표시 장치를 제작할 수 있다. 본 실시 형태의 액정 표시 장치는 오프 전류가 적고, 전기 특성의 신뢰성이 높은 박막 트랜지스터를 사용하고 있기 때문에, 콘트라스트가 높고, 시인성이 높은 액정 표시 장치이다. 또한, 레이저 결정화 공정이 없는 미결정 반도체막을 사용한 박막 트랜지스터를 사용하고 있기 때문에, 시인성이 높은 액정 표시 장치를 양산성 높게 제작할 수 있다.
- [0158] (실시 형태 3)
- [0159] 다음에, 본 발명의 액정 표시 장치의 일 형태인 표시 패널의 구성에 관해서, 이하에 제시한다.
- [0160] 도 10a에, 신호선 구동 회로(6013)만을 별도 형성하고, 기관(6011)상에 형성된 화소부(6012)와 접속하고 있는 표시 패널의 형태를 도시한다. 이 화소부(6012) 및 주사선 구동 회로(6014)는 미결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 미결정 반도체막을 사용한 박막 트랜지스터보다도 높은 전계 효과 이동도가 얻어지는 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다도 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또, 신호선 구동 회로(6013)는 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 박막 트랜지스터, 또는 SOI를 사용한 트랜지스터이어도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)와, 각각 전원의 전위, 각종 신호 등이, FPC(6015)를 통하여 공급된다.
- [0161] 또, 신호선 구동 회로 및 주사선 구동 회로를 모두 화소부와 동일한 기관 위에 형성하여도 좋다.
- [0162] 또한, 구동 회로를 별도 형성하는 경우, 반드시 구동 회로가 형성된 기관을 화소부가 형성된 기관 위에 접합할 필요는 없고, 예를 들면 FPC 위에 접합하도록 하여도 좋다. 도 10b에, 신호선 구동 회로(6023)만을 별도 형성하고, 기관(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속하고 있는 액정 표시 장치 패널의 형태를 도시한다. 화소부(6022) 및 주사선 구동 회로(6024)는 미결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는 FPC(6025)을 통하여 화소부(6022)와 접속되어 있다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)와, 각각 전원의 전위, 각종 신호 등이, FPC(6025)를 통하여 공급된다.
- [0163] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 미결정 반도체막을 사용한 박막 트랜지스터를 사용하여 화소부와 동일한 기관 위에 형성하고, 나머지를 별도 형성하여 화소부와 전기적으로 접속하도록 하여도 좋다. 도 10c에, 신호선 구동 회로가 갖는 아날로그 스위치(6033a)를 화소부(6032), 주사선 구동 회로(6034)와 동일한 기관(6031) 위에 형성하고, 신호선 구동 회로가 갖는 시프트 레지스터(6033b)를 다른 기관에 형성하여 접합하는 액정 표시 장치 패널의 형태를 도시한다. 화소부(6032) 및 주사선 구동 회로(6034)는 미결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 갖는 시프트 레지스터(6033b)는 FPC(6035)를 통하여 화소부(6032)와 접속되어 있다. 화소부(6032)와, 신호선 구동 회로와, 주사선 구동 회로(6034)에, 각각 전원의 전위, 각종 신호 등이, FPC(6035)를 통하여 공급된다.
- [0164] 도 10에 도시하는 바와 같이, 본 발명의 액정 표시 장치는 구동 회로의 일부 또는 전부를 화소부와 동일한 기관 위에, 미결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성할 수 있다.
- [0165] 또, 별도 형성한 기관의 접속방법은, 특히 한정되지 않으며, 공지의 COG 방법, 와이어 본딩 방법, 또는 TAB 방

법 등을 사용할 수 있다. 또한 접속하는 위치는 전기적인 접속이 가능하면, 도 10에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도 형성하고, 접속하도록 하여도 좋다.

[0166] 또 본 발명에서 사용하는 신호선 구동 회로는 시프트 레지스터와 아날로그 스위치만을 갖는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스폴로워 등, 다른 회로를 갖고 있어도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 형성할 필요는 없고, 예를 들면 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 별도의 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용하여도 좋다.

[0167] 도 28에 본 발명의 표시 장치가 블록도를 도시한다. 도 28에 도시하는 표시 장치는 표시 소자를 구비한 화소를 복수 갖는 화소부(700)와, 각 화소를 선택하는 주사선 구동 회로(702)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(703)를 갖는다.

[0168] 도 28에 있어서 신호선 구동 회로(703)는 시프트 레지스터(704), 아날로그 스위치(705)를 갖고 있다. 시프트 레지스터(704)에는 클록 신호(CLK), 스타트 플러스 신호(SP)가 입력되어 있다. 클록 신호(CLK)와 스타트 플러스 신호(SP)가 입력되면, 시프트 레지스터(704)에 있어서 타이밍 신호가 생성되고, 아날로그 스위치(705)에 입력된다.

[0169] 또한 아날로그 스위치(705)에는 비디오 신호(video signal)가 주어진다. 아날로그 스위치(705)는 입력되는 타이밍 신호에 따라서 비디오 신호를 샘플링하고, 후단의 신호선에 공급한다.

[0170] 다음에, 주사선 구동 회로(702)의 구성에 관해서 설명한다. 주사선 구동 회로(702)는 시프트 레지스터(706), 버퍼(707)를 갖고 있다. 또한 경우에 따라서는 레벨 시프터를 갖고 있어도 좋다. 주사선 구동 회로(702)에 있어서, 시프트 레지스터(706)에 클록 신호(CLK) 및 스타트 플러스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼(707)에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는 1라인분의 화소의 트랜지스터의 게이트가 접속되어 있다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 ON으로 해야 하기 때문에, 버퍼(707)는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0171] 풀컬러의 표시 장치에서, R(빨강), G(초록), B(파랑)에 대응하는 비디오 신호를, 차례로 샘플링하여 대응하는 신호선에 공급하고 있는 경우, 시프트 레지스터(704)와 아날로그 스위치(705)를 접속하기 위한 단자수가 아날로그 스위치(705)와 화소부(700)의 신호선을 접속하기 위한 단자수의 1/3 정도에 상당한다. 따라서, 아날로그 스위치(705)를 화소부(700)와 동일한 기판 위에 형성함으로써, 아날로그 스위치(705)를 화소부(700)와 다른 기판 위에 형성한 경우와 비교하여, 별도 형성한 기판의 접속에 사용하는 단자의 수를 억제할 수 있고, 접속 불량률의 발생 확률을 억제하여, 수율을 높일 수 있다.

[0172] 또, 도 28의 주사선 구동 회로(702)는 시프트 레지스터(706), 및 버퍼(707)를 갖지만, 시프트 레지스터(706)로 주사선 구동 회로(702)를 구성하여도 좋다.

[0173] 또, 도 28에 도시하는 구성은 본 발명의 표시 장치의 일 형태를 제시한 것에 불과하고, 신호선 구동 회로와 주사선 구동 회로의 구성은 이것에 한정되지 않는다.

[0174] 다음에, 극성이 모두 동일한 미결정 반도체막을 사용한 박막 트랜지스터를 포함하는 시프트 레지스터의 일 형태에 관해서 도 29 및 도 30을 사용하여 설명한다. 도 29에, 본 실시 형태의 시프트 레지스터의 구성을 도시한다. 도 29에 도시하는 시프트 레지스터는 복수의 플립플롭으로 구성된다. 또한, 제 1 클록 신호, 제 2 클록 신호, 스타트 플러스 신호, 리셋 신호가 입력되어 동작한다.

[0175] 도 29의 시프트 레지스터의 접속 관계에 관해서 설명한다. 도 29의 시프트 레지스터는 i 단계의 플립플롭(701-i; 플립플롭(701-1 내지 701-n)중 어느 하나)은 도 30에 도시한 제 1 배선(501)이 제 7 배선(717-i)-1에 접속되고, 도 30에 도시한 제 2 배선(502)이 제 7 배선(717-i)+1에 접속되고, 도 30에 도시한 제 3 배선(503)이 제 7 배선(717-i)에 접속되고, 도 30에 도시한 제 6 배선(506)이 제 5 배선(715)에 접속된다.

[0176] 또한, 도 30에 도시한 제 4 배선(504)이 홀수 단계의 플립플롭에서는 제 2 배선(712)에 접속되고, 짝수 단계의 플립플롭에서는 제 3 배선(713)에 접속되고, 도 30에 도시한 제 5 배선(505)이 제 4 배선(714)에 접속된다.

[0177] 단, 1단계의 플립플롭(701-1)의 도 30에 도시하는 제 1 배선(501)은 제 1 배선(711)에 접속되고, n 단계의 플립플롭(701-n)의 도 30에 도시하는 제 2 배선(502)은 제 6 배선(716)에 접속된다.

[0178] 또, 제 1 배선(711), 제 2 배선(712), 제 3 배선(713), 제 6 배선(716)을 각각 제 1 신호선, 제 2 신호선, 제

3 신호선, 제 4 신호선이라고 불러도 좋다. 더욱이, 제 4 배선(714), 제 5 배선(715)을 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

- [0179] 다음에, 도 29에 도시하는 플립플롭의 상세에 대하여, 도 30에 도시한다. 도 30에 도시하는 플립플롭은 제 1 박막 트랜지스터(171), 제 2 박막 트랜지스터(172), 제 3 박막 트랜지스터(173), 제 4 박막 트랜지스터(174), 제 5 박막 트랜지스터(175), 제 6 박막 트랜지스터(176), 제 7 박막 트랜지스터(177) 및 제 8 박막 트랜지스터(178)를 갖는다. 본 실시 형태에 있어서, 제 1 박막 트랜지스터(171), 제 2 박막 트랜지스터(172), 제 3 박막 트랜지스터(173), 제 4 박막 트랜지스터(174), 제 5 박막 트랜지스터(175), 제 6 박막 트랜지스터(176), 제 7 박막 트랜지스터(177) 및 제 8 박막 트랜지스터(178)는 n 채널형 트랜지스터로 하고, 게이트·소스간 전압(V_{gs})이 임계치 전압(V_{th})을 상회하였을 때 도통 상태가 되는 것으로 한다.
- [0180] 다음에, 도 29에 도시하는 플립플롭의 접속 구성에 관해서, 이하에 도시한다.
- [0181] 제 1 박막 트랜지스터(171)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(504)에 접속되고, 제 1 박막 트랜지스터(171)의 제 2 전극(소스 전극 또는 드레인 전극의 다른쪽)이 제 3 배선(503)에 접속된다.
- [0182] 제 2 박막 트랜지스터(172)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 2 박막 트랜지스터(172)의 제 2 전극이 제 3 배선(503)에 접속된다.
- [0183] 제 3 박막 트랜지스터(173)의 제 1 전극이 제 5 배선(505)에 접속되고, 제 3 박막 트랜지스터(173)의 제 2 전극이 제 2 박막 트랜지스터(172)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(173)의 게이트 전극이 제 5 배선(505)에 접속된다.
- [0184] 제 4 박막 트랜지스터(174)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 4 박막 트랜지스터(174)의 제 2 전극이 제 2 박막 트랜지스터(172)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(174)의 게이트 전극이 제 1 박막 트랜지스터(171)의 게이트 전극에 접속된다.
- [0185] 제 5 박막 트랜지스터(175)의 제 1 전극이 제 5 배선(505)에 접속되고, 제 5 박막 트랜지스터(175)의 제 2 전극이 제 1 박막 트랜지스터(171)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(175)의 게이트 전극이 제 1 배선(501)에 접속된다.
- [0186] 제 6 박막 트랜지스터(176)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 6 박막 트랜지스터(176)의 제 2 전극이 제 1 박막 트랜지스터(171)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(176)의 게이트 전극이 제 2 박막 트랜지스터(172)의 게이트 전극에 접속된다.
- [0187] 제 7 박막 트랜지스터(177)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 7 박막 트랜지스터(177)의 제 2 전극이 제 1 박막 트랜지스터(171)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(177)의 게이트 전극이 제 2 배선(502)에 접속된다.
- [0188] 제 8 박막 트랜지스터(178)의 제 1 전극이 제 6 배선(506)에 접속되고, 제 8 박막 트랜지스터(178)의 제 2 전극이 제 2 박막 트랜지스터(172)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(178)의 게이트 전극이 제 1 배선(501)에 접속된다.
- [0189] 또, 제 1 박막 트랜지스터(171)의 게이트 전극, 제 4 박막 트랜지스터(174)의 게이트 전극, 제 5 박막 트랜지스터(175)의 제 2 전극, 제 6 박막 트랜지스터(176)의 제 2 전극 및 제 7 박막 트랜지스터(177)의 제 2 전극의 접속 개소를 노드(143)로 한다. 또한, 제 2 박막 트랜지스터(172)의 게이트 전극, 제 3 박막 트랜지스터(173)의 제 2 전극, 제 4 박막 트랜지스터(174)의 제 2 전극, 제 6 박막 트랜지스터(176)의 게이트 전극 및 제 8 박막 트랜지스터(178)의 제 2 전극의 접속 개소를 노드(144)로 한다.
- [0190] 또, 제 1 배선(501), 제 2 배선(502), 제 3 배선(503) 및 제 4 배선(504)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 더욱이, 제 5 배선(505)을 제 1 전원선, 제 6 배선(506)을 제 2 전원선이라고 불러도 좋다.
- [0191] 도 30에 도시한 플립플롭의 상면도의 일례를 도 31에 도시한다.
- [0192] 도전막(901)은 제 1 박막 트랜지스터(171)의 제 1 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(506)을 통하여 제 4 배선(504)과 접속된다.
- [0193] 도전막(902)은 제 1 박막 트랜지스터(171)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에

형성되는 배선(952)을 통하여 제 3 배선(503)과 접속된다.

- [0194] 도전막(903)은 제 1 박막 트랜지스터(171)의 게이트 전극, 및 제 4 박막 트랜지스터(174)의 게이트 전극으로서 기능하는 부분을 포함한다.
- [0195] 도전막(904)은 제 2 박막 트랜지스터(172)의 제 1 전극, 제 6 박막 트랜지스터(176)의 제 1 전극, 제 4 박막 트랜지스터(174)의 제 1 전극, 및 제 8 박막 트랜지스터(178)의 제 1 전극으로서 기능하는 부분을 포함하고, 제 6 배선(506)과 접속된다.
- [0196] 도전막(905)은 제 2 박막 트랜지스터(172)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(954)을 통하여 제 3 배선(503)과 접속된다.
- [0197] 도전막(906)은 제 2 박막 트랜지스터(172)의 게이트 전극, 및 제 6 트랜지스터의 게이트 전극으로서 기능하는 부분을 포함한다.
- [0198] 도전막(907)은 제 3 박막 트랜지스터(173)의 제 1 전극으로서 기능하는 부분을 포함하고, 배선(955)을 통하여 제 5 배선(505)과 접속된다.
- [0199] 도전막(908)은 제 3 박막 트랜지스터(173)의 제 2 전극, 및 제 4 박막 트랜지스터(174)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(956)을 통하여 도전막(906)과 접속된다.
- [0200] 도전막(909)은 제 3 박막 트랜지스터(173)의 게이트 전극으로서 기능하는 부분을 포함하고, 배선(955)을 통하여 제 5 배선(505)과 접속된다.
- [0201] 도전막(910)은 제 5 박막 트랜지스터(175)의 제 1 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(959)을 통하여 제 5 배선(505)과 접속된다.
- [0202] 도전막(911)은 제 5 박막 트랜지스터(175)의 제 2 전극, 및 제 7 박막 트랜지스터(177)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(958)을 통하여 도전막(903)과 접속된다.
- [0203] 도전막(912)은 제 5 박막 트랜지스터(175)의 게이트 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(960)을 통하여 제 1 배선(501)과 접속된다.
- [0204] 도전막(913)은 제 6 박막 트랜지스터(176)의 제 2 전극으로서 기능하는 부분을 포함하고, 형성되는 배선(957)을 통하여 도전막(903)과 접속된다.
- [0205] 도전막(914)은 제 7 박막 트랜지스터(177)의 게이트 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(962)을 통하여 제 2 배선(502)과 접속된다.
- [0206] 도전막(915)은 제 8 박막 트랜지스터(178)의 게이트 전극으로서 기능하는 부분을 포함하고, 형성되는 배선(961)을 통하여 도전막(912)과 접속된다.
- [0207] 도전막(916)은 제 8 박막 트랜지스터(178)의 제 2 전극으로서 기능하는 부분을 포함하고, 화소 전극과 동시에 형성되는 배선(953)을 통하여 도전막(906)과 접속된다. 또, 미결정 반도체층(981 내지 988)의 일부는 각각 제 1 내지 제 8 박막 트랜지스터의 채널 형성 영역으로서 기능한다.
- [0208] 도 28 내지 도 30에 도시한 바와 같은 회로를, 미결정 반도체를 사용한 트랜지스터로 구성함으로써, 회로를 고속으로 동작시킬 수 있다. 예를 들면, 비정질 반도체막을 사용한 경우와 미결정 반도체막을 사용한 경우를 비교하면, 미결정 반도체막을 사용한 경우 쪽이, 트랜지스터의 전계 효과 이동도가 크기 때문에, 구동 회로(예를 들면 주사선 구동 회로(702)의 시프트 레지스터(706))의 구동 주파수를 높게 하는 것이 가능해진다. 주사선 구동 회로(702)를 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 하는 것, 또는, 흑화면 삽입을 실현하는 것 등도 실현할 수 있다.
- [0209] 프레임 주파수를 올리는 경우는 화상의 움직임의 방향에 따라서, 화면의 데이터를 생성하는 것이 바람직하다. 요컨대, 움직임 보상을 하여, 데이터를 보간하는 것이 바람직하다. 이와 같이, 프레임 주파수를 올려, 화상 데이터를 보간함으로써, 동화의 표시 특성이 개선되고, 매끄러운 표시를 할 수 있다. 예를 들면, 2배(예를 들면 120Hertz, 100Hertz) 이상, 보다 바람직하게는 4배(예를 들면 480Hertz, 400Hertz) 이상으로 함으로써, 동화에 있어서의 화상의 흐려짐이나 잔상을 저감할 수 있다. 그 경우, 주사선 구동 회로(702)도 구동 주파수를 높게 하여, 동작시킴으로써, 프레임 주파수를 올릴 수 있다.
- [0210] 흑화면 삽입을 하는 경우는 화상 데이터 또는 흑 표시가 되는 데이터를 화소부(700)에 공급할 수 있도록 한다.

그 결과, 임펄스 구동에 가까운 형이 되고, 잔상을 저감할 수 있다. 그 경우, 주사선 구동 회로(702)도, 구동 주파수를 높게 하여, 동작시킴으로써, 흑화면을 삽입할 수 있다.

[0211] 또한, 주사선 구동 회로(702)의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해서, 더욱 높은 프레임 주파수를 실현할 수 있다. 예를 들면 8배(예를 들면 960Hertz, 800Hertz) 이상의 프레임 주파수로 할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짝수행의 주사선을 구동하기 위한 주사선 구동 회로를 한 쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대 측에 배치함으로써, 프레임 주파수를 높게 하는 것을 실현할 수 있다. 일례로서는, 제 2 박막 트랜지스터(172)의 채널 폭은 300 μ m 이상, 보다 바람직하게는, 1000 μ m 이상인 것이 바람직하다.

[0212] 또, 도 28 내지 도 30에 도시한 바와 같은 회로를, 미결정 반도체를 사용한 트랜지스터로 구성함으로써, 레이아웃 면적을 작게 할 수 있다. 따라서, 표시 장치의 액연(額緣)을 작게 할 수 있다. 예를 들면, 비정질 반도체막을 사용한 경우와 미결정 반도체막을 사용한 경우를 비교하면, 미결정 반도체막을 사용한 경우 쪽이, 트랜지스터의 전계 효과 이동도가 크기 때문에, 트랜지스터의 채널 폭을 작게 할 수 있다. 그 결과, 표시 장치를 협액연화(狹額綠化)시키는 것이 가능해진다. 일례로서는 제 2 박막 트랜지스터(172)의 채널 폭은 3000 μ m이하, 보다 바람직하게는 2000 μ m 이하인 것이 바람직하다.

[0213] 또, 도 30에 있어서의 제 2 박막 트랜지스터(172)는 제 3 배선(503)에 로우 레벨의 신호를 출력하는 기간이 길다. 그 동안 제 2 박막 트랜지스터(172)는 계속 온 상태로 되어 있다. 따라서, 제 2 박막 트랜지스터(172)에는, 강한 스트레스가 가해져, 트랜지스터 특성이 열화하기 쉽게 되어 있다. 트랜지스터 특성이 열화하면, 임계치 전압이 서서히 커진다. 그 결과, 전류치가 작아진다. 그래서, 트랜지스터가 열화하여도, 충분한 전류를 공급할 수 있도록 하기 위해서, 제 2 박막 트랜지스터(172)의 채널 폭은 큰 것이 바람직하다. 또는, 트랜지스터가 열화하더라도, 회로 동작에 지장이 없도록, 트랜지스터의 열화분이 보상되어 있는 것이 바람직하다. 예를 들면, 제 2 박막 트랜지스터(172)와 병렬로, 트랜지스터를 배치하고, 제 2 박막 트랜지스터(172)와 교대로 온 상태가 되도록 함으로써, 스위칭 특성이 열화의 영향을 받기 어렵게 하는 것이 바람직하다.

[0214] 그러나, 비정질 반도체막을 사용한 경우와 미결정 반도체막을 사용한 경우를 비교하면, 미결정 반도체막을 사용한 경우 쪽이, 열화하기 어렵다. 따라서, 미결정 반도체막을 사용한 경우는 트랜지스터의 채널 폭을 작게 할 수 있다. 또는, 열화에 대한 보상용의 회로를 배치하지 않아도 정상으로 동작시킬 수 있다. 이들에 의해, 레이아웃 면적을 작게 할 수 있다.

[0215] 다음에, 본 발명의 액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 27을 사용하여 설명한다. 도 27a는 제 1 기관(4001) 위에 형성된 미결정 반도체막을 채널 형성 영역에 사용한 박막 트랜지스터(4010) 및 액정 소자(4013)를 제 2 기관(4006)과의 사이에 절재(4005)에 의해서 밀봉한, 패널의 상면도이고, 도 27b는 도 27a의 M-N에서의 단면도에 상당한다.

[0216] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 절재(4005)가 형성되어 있다. 또한 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 형성되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기관(4001)과 절재(4005)와 제 2 기관(4006)에 의해서, 액정(4008)과 함께 밀봉되어 있다. 또한 제 1 기관(4001) 위의 절재(4005)에 의해서 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또 본 실시 형태에서는 다결정 반도체막을 사용한 박막 트랜지스터를 갖는 신호선 구동 회로를 제 1 기관(4001)에 접합하는 예에 관해서 설명하지만, 단결정 반도체를 사용한 트랜지스터로 신호선 구동 회로를 형성하고, 접합하도록 하여도 좋다. 도 27에서는, 신호선 구동 회로(4003)에 포함되는, 다결정 반도체막으로 형성된 박막 트랜지스터(4009)를 예시한다.

[0217] 또한 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고 있고, 도 27b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)를 예시한다. 박막 트랜지스터(4010)는 미결정 반도체막을 채널 형성 영역에 사용한 박막 트랜지스터에 상당한다.

[0218] 또한, 액정 소자(4013)가 갖는 화소 전극(4030)은 박막 트랜지스터(4010)의 배선(4040)과 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극(4031)은 제 2 기관(4006) 위에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 겹치고 있는 부분이 액정 소자(4013)에 상당한다.

[0219] 또, 제 1 기관(4001), 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인레스), 세라믹, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판,

PVF(폴리비닐플루오라이드)필름, 폴리에스테르필름 또는 아크릴수지필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.

[0220] 또한, 구상(球狀)의 스페이서(4035)는 화소 전극(4030)과 대향 전극(4031)의 사이의 거리(셀 갭)를 제어하기 위해서 형성되어 있다. 또 절연막을 선택적으로 에칭함으로써 얻어지는 스페이서를 사용하고 있어도 좋다.

[0221] 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 인쇄 배선(4014, 4015)을 통하여, FPC(4018)로부터 공급되어 있다.

[0222] 본 실시 형태에서는 접속 단자(4016)가, 액정 소자(4013)가 갖는 화소 전극(4030)과 동일한 도전막으로 형성되어 있다. 또한, 인쇄 배선(4014, 4015)은 소스 전극 또는 드레인 전극인 배선(4040)과 동일한 도전막으로 형성되어 있다.

[0223] 접속 단자(4016)는 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0224] 또 도시하고 있지 않지만, 본 실시 형태에 제시한 액정 표시 장치는 배향막, 편광판을 갖고, 더욱이 컬러 필터나 차폐막을 갖고 있어도 좋다.

[0225] 또한 도 27에서는 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기관(4001)에 실장하고 있는 예를 도시하지만, 본 실시 형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.

[0226] 본 실시 형태는 다른 실시 형태에 기재한 구성과 조합하여 실시할 수 있다.

[0227] (실시 형태 4)

[0228] 본 발명에 의해 얻어지는 액정 표시 장치는 액티브 매트릭스형 액정 모듈에 사용할 수 있다. 즉, 이들을 표시부에 장착한 전자기기 모두에 본 발명을 실시할 수 있다.

[0229] 이러한 전자기기로서는 비디오 카메라, 디지털 카메라 등의 카메라, 헤드마운트디스플레이(고글형 디스플레이), 카 네비게이션, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자서적 등) 등을 들 수 있다. 이들의 일례를 도 11에 도시한다.

[0230] 도 11a는 텔레비전 장치이다. 표시 모듈을, 도 11a에 도시하는 바와 같이, 케이스에 장착하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 장착된 표시 패널인 것을 표시 모듈이라고도 부른다. 표시 모듈에 의해 주 화면(2003)이 형성되고, 그 외 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비되어 있다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0231] 도 11a에 도시하는 바와 같이, 케이스(2001)에 표시 소자를 이용한 표시용 패널(2002)이 장착되고, 수신기(2005)에 의해 일반의 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 간, 또는 수신자 간끼리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은 케이스에 장착된 스위치 또는 별체의 리모콘 조작기(2006)에 의해 행할 수 있고, 이 리모콘 장치에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어 있어도 좋다.

[0232] 또한, 텔레비전 장치에도, 주 화면(2003) 외에 서브 화면(2008)을 제 2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 좋다. 이 구성에 있어서, 주 화면(2003)을 시야각이 우수한 액정 표시 패널로 형성하고, 서브 화면을 저소비 전력으로 표시 가능한 액정 표시 패널로 형성하여도 좋다. 또한, 주 화면(2003)을 저소비 전력으로 표시 가능한 액정 표시 패널로 형성하고, 서브 화면을 액정 표시 패널로 형성하고, 서브 화면은 점멸 가능하게 하는 구성으로 하여도 좋다.

[0233] 도 12는 텔레비전 장치의 주요한 구성을 도시하는 블록도를 도시한다. 표시 패널에는 화소부(921)가 형성되어 있다. 신호선 구동 회로(922)와 주사선 구동 회로(923)는 표시 패널에 COG 방식에 의해 실장되어 있어도 좋다.

[0234] 그 밖의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 튜너(924)에서 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 거기로부터 출력되는 신호를 빨강, 초록, 파랑의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(927) 등을 갖고 있다. 컨트롤 회로(927)는 주사선측과 신호선측에 각각 신호가 출력된다. 디지털 구동하

는 경우에는, 신호선측에 신호 분할 회로(928)를 형성하고, 입력 디지털 신호를 m개로 분할하여, 공급하는 구성으로 하여도 좋다.

[0235] 튜너(924)에서 수신한 신호 중, 음성 신호는 음성 신호 증폭 회로(929)에 보내지고, 그 출력은 음성 신호 처리 회로(930)를 지나서 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(932)로부터 받아들여, 튜너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0236] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도역이나 공항 등에 있어서의 정보 표시반이나, 가두에서의 광고 표시반 등 대면적의 표시 매체로서도 여러 가지 용도에 적용할 수 있다.

[0237] 도 11b는 휴대 전화기(2301)의 일례를 도시한다. 이 휴대 전화기(2301)는 표시부(2302), 조작부(2303) 등을 포함하여 구성되어 있다. 표시부(2302)에 있어서는 상기 실시 형태에서 설명한 액정 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0238] 또한, 도 11c에 도시하는 휴대형의 컴퓨터는 본체(2401), 표시부(2402) 등을 포함하고 있다. 표시부(2402)에, 상기 실시 형태에 제시하는 액정 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0239] [실시에 1]

[0240] 미결정 실리콘막을 성막하고, 그 막을 라만 분광법으로 결정성을 측정된 결과를 도 32에 도시한다.

[0241] 미결정 실리콘막의 성막 조건은 RF 전원 주파수를 13.56MHz로 하고, 성막 온도를 280℃로 하고, 수소 유량과 실란 가스 유량의 비를 100:1로 하고, 280Pa의 압력으로 성막하였다. 또한, 도 32a는 라만 산란 스펙트럼이고, 성막시의 RF 전원의 전력을 100W로 한 미결정 실리콘막과 300W로 한 미결정 실리콘막을 비교한 측정 결과이다.

[0242] 또, 단결정 실리콘의 결정 피크 위치는 520.6cm^{-1} 이다. 또, 아모퍼스실리콘(a-Si라고도 부름)은 물론, 결정 피크라고 말할 수 있는 것은 측정할 수 없으며, 도 32b에 도시하는 바와 같이 480cm^{-1} 로 완만한 산이 측정될 뿐이다. 본 명세서의 미결정 실리콘막이란 라만 분광기로 측정하여 481cm^{-1} 이상 520.6cm^{-1} 미만에서 결정 피크 위치를 확인할 수 있는 것을 가리킨다.

[0243] 성막시의 RF 전원의 전력을 100W로 한 미결정 실리콘막의 결정 피크 위치는 518.6cm^{-1} 이고, 반치폭(FWHM)은 11.9cm^{-1} 이고, 결정/아모퍼스 피크 강도비(Ic/Ia)는 4.1이다.

[0244] 또한, 성막시의 RF 전원의 전력을 300W로 한 미결정 실리콘막의 결정 피크 위치는 514.8cm^{-1} 이고, 반치폭(FWHM)은 18.7cm^{-1} 이고, 결정/아모퍼스 피크 강도비(Ic/Ia)는 4.4이다.

[0245] 도 32에 도시하는 바와 같이, RF 전력에 의해서 피크 시프트와 반치폭에 큰 차가 생기고 있다. 이것은, 대전력으로서의 이온 충격이 증가하여 입자 성장이 저해되기 때문에 소입자 직경이 되는 경향이 있기 때문이라고 생각된다. 또한, 도 32a의 측정에 사용한 미결정 실리콘막을 형성한 CVD 장치의 전원 주파수가 13.56MHz이기 때문에 결정/아모퍼스 피크 강도비(Ic/Ia)는 4.1 또는 4.4로 되어 있지만, RF 전원 주파수가 27MHz이면, 결정/아모퍼스 피크 강도비(Ic/Ia)를 6으로 할 수 있는 것도 확인하고 있다. 따라서, 더욱이 27MHz보다도 높은 RF 전원 주파수, 예를 들면, 2.45GHz의 RF 전원 주파수로 함으로써 더욱이, 결정/아모퍼스 피크 강도비(Ic/Ia)를 높일 수 있다.

[0246] [실시에 2]

[0247] 본 실시예에서는 수소 플라즈마를 작용시킨(작용시키면서) 게이트 절연막 위에 미결정 반도체막을 형성하면, 게이트 절연막 표면에 미결정 핵을 생성하고, 결정 성장을 촉진시키는 방법을 사용하여 채널 에치 구조의 역스태거형 박막 트랜지스터를 제작하는 예를 제시한다.

[0248] 우선, 기판(250) 위에 게이트 전극(251)을 형성한다. 게이트 전극(251)은 티탄, 몰리브덴, 크롬, 탄탈, 텅스텐, 구리, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 대형의 표시 장치를 제작하는 경우에는 저저항인 게이트 전극으로 하는 것이 바람직하기 때문에, 알루미늄 또는 알루미늄 합금을 사용한다. 더욱이, 알루미늄의 힐로크 발생 등을 방지하기 위해서, 알루미늄을 포함하는 막과 고용점 금속막의

적층으로 하는 것이 바람직하다. 여기에서는 네오튬을 포함하는 알루미늄막과, 몰리브덴막의 적층을 사용한다. 적층으로 이루어지는 게이트 전극의 합계 막 두께는 300nm로 한다. 또한, 후의 공정에서, FPC와의 접속을 하는 단자 전극과 전기적으로 접속하기 위해서, 게이트 전극(251)에 도달하는 콘택트홀을 형성한다. 공정수를 저감하기 위해서는, 후에 형성하는 소스 전극이나 드레인 전극에 도달하는 콘택트홀을 형성하는 마스크와, 게이트 전극(251)에 도달하는 콘택트홀을 형성하는 마스크를 동일한 것을 사용하는 것이 바람직하고, 더욱이 게이트 전극과 소스 전극의 양쪽에 동일한 재료를 주성분으로 사용하면, 에칭의 마진을 넓힐 수 있다.

[0249] 또, 게이트 전극(251) 위에는 반도체막이나 배선을 형성하기 때문에, 단 끊어짐 방지를 위해 단부가 테이퍼형이 되도록 가공하는 것이 바람직하다.

[0250] 다음에, 게이트 전극(251) 위에, 게이트 절연막(252a, 252b), 미결정 반도체막(253), 버퍼층(254), 일 도전형을 부여하는 불순물이 첨가된 반도체막(255)을 차례로 형성한다(도 33a 참조.). 게이트 절연막(252a, 252b)은 각각, CVD법이나 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 여기에서는 게이트 절연막(252a, 252b)으로서, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막과의 순으로 적층하여 형성하는 형태를 제시한다. 본 실시예에서는 적층으로 이루어지는 게이트 절연막의 합계 막 두께를 300nm로 한다.

[0251] 본 실시예에서는 미결정 반도체막(253)을 수소 플라즈마를 작용시키면서(작용시킨) 게이트 절연막(252b) 표면에 형성한다.

[0252] 수소 플라즈마를 작용시킨 게이트 절연막 위에 미결정 반도체막을 형성하면, 미결정의 결정 성장을 촉진할 수 있다. 수소 플라즈마에 의해서, 게이트 절연막 표면을 수소로 중단하여 불활성화할 수 있기 때문이다. 따라서 얻어지는 미결정 반도체막은 전기 특성이 높고 신뢰성이 좋은 것으로 할 수 있다.

[0253] 성막이 진행함에 따라서, 규소 기체의 유량에 대한 수소의 유량비가 작아지도록 규소 기체의 유량을 증가, 반대로 수소의 유량을 감소시켜 미결정 반도체막(253)을 형성한다. 예를 들면, 성막 개시시에는 수소의 유량: 규소 기체의 유량을 1000:1 정도로 해 두고, 성막 종료시에는 50:1 정도가 될 때까지 서서히 규소 기체의 유량을 증가시키고, 반대로 수소의 유량을 감소시켜 미결정 반도체막(253)을 형성하면 좋다. 수소, 및 규소 기체의 유량의 제어는 일정한 시간마다 변화시키는 단계적이어도 좋고, 연속적이어도 좋다. 성막 개시 직후는 성막 가스로서 규소 기체를 공급하지 않고(요컨대 규소 기체의 유량을 0으로 함), 수소만 공급하여 수소 플라즈마 처리를 하는 시간을 형성하여도 좋다. 예를 들면, 규소 기체로서는 실란을 사용할 수 있다.

[0254] 본 실시예에서는 수소 및 규소 기체의 유량을 더욱 제어하고, 수소를 감소, 규소 기체를 증가시켜, 규소 기체의 유량에 대한 수소의 유량비를 작게 함으로써 미결정 반도체막 위에 연속적으로 버퍼층을 형성한다. 버퍼층을 형성하는 공정은 보다 수소의 유량을 감소시켜, 규소 기체(수소화규소 기체, 또는 할로겐화규소 기체)만으로 행하여도 좋다. 미결정 반도체막(253)의 성장 표면을 대기에 접촉시키지 않고, 상기 미결정 반도체막 위에 버퍼층으로서 비정질 반도체막을 형성할 수 있다.

[0255] 미결정 반도체막(253)의 성막 가스 중의 수소와 규소 기체의 유량비를 제어함으로써, 게이트 절연막(252b) 표면으로의 수소 플라즈마, 미결정 반도체막(253)의 형성, 버퍼층(254)의 형성을 연속적으로 할 수 있다. 수소와 규소 기체의 유량의 제어로서는, 예를 들면 미결정 반도체막 성막 개시 시는 수소의 유량: 규소 기체의 유량을 1000:1로 하고, 서서히 수소의 유량을 감소, 규소 기체의 유량을 증가시키고, 미결정 반도체막(53)의 성막 종료시에는 50:1 정도로 하면 좋다.

[0256] 또한, 미결정 반도체막(253)의 산소 농도를, $5 \times 10^{19} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 질소 및 탄소의 농도 각각을 $1 \times 10^{18} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 미결정 반도체막에 혼입하는 농도를 저감함으로써, 미결정 반도체막이 n형화로 되는 것을 방지할 수 있다.

[0257] 또한, 본 실시예에서 얻어지는 미결정 반도체막(253)은 하측(기판(250) 측)으로부터 상방을 향하는 세로방향으로 성장하고, 침상(針狀) 결정이다. 미결정 반도체막에는 비정질과 결정 구조가 혼재하고 있고, 결정 영역과 비정질 영역의 사이에 국부 응력으로 균열이 발생하고, 빈틈이 생기기 쉽다. 이 틈에 새로운 라디칼이 개입하여 결정 성장을 일으킬 수 있다. 상방의 결정면이 커지기 때문에, 침상(針狀)으로 상방으로 성장하기 쉽다. 이와 같이 미결정 반도체막은 세로방향으로 성장하여도, 비정질 반도체막의 성막 속도와 비교하여 1/10 내지 1/100의 빠르기이다.

[0258] 본 실시예에서는 미결정 반도체막(253)의 막 두께를 25nm로 하고, 버퍼층(254)의 막 두께를 125nm로 하고, 일

도전형을 부여하는 불순물이 첨가된 반도체막(255)의 막 두께를 50nm로 한다.

- [0259] 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막(255) 위에 마스크를 형성한다. 마스크는 포토리소그래피 기술 또는 잉크젯법에 의해 형성한다. 또, 적어도, 게이트 절연막(252a, 252b), 미결정 반도체막(253), 및 버퍼층(254)을 연속적으로 형성하여도 좋다. 적어도, 게이트 절연막(252a, 252b), 미결정 반도체막(253), 및 버퍼층(254)을 대기에 접촉시키지 않고 연속 성장함으로써, 대기 성분이나 대기중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 격차를 저감할 수 있다.
- [0260] 다음에, 마스크를 사용하여 미결정 반도체막(253), 버퍼층(254), 및 일 도전형을 부여하는 불순물이 첨가된 반도체막(255)을 에칭하고, 미결정 반도체막(261), 버퍼층, 및 일 도전형을 부여하는 불순물이 첨가된 반도체막의 상면 형상을 소망의 형상으로 가공한다. 이 가공일 때, 각각의 단부의 단면 형상을 테이퍼 형상으로 하는 것이 바람직하다. 테이퍼를 갖는 형상으로 에칭함으로써, 일 도전형을 부여하는 불순물이 첨가된 반도체막과 미결정 반도체막(261)이 직접 접하는 것을 막을 수 있다. 단부의 테이퍼각은 90° 내지 30°, 바람직하게는 80° 내지 45°로 한다. 이로써, 일 도전형을 부여하는 불순물이 첨가된 반도체막과 미결정 반도체막(261)의 사이의 거리가 길어져서 누설 전류의 발생을 막을 수 있다. 또한, 단차 형상에 의한 배선의 단 끊어짐을 막을 수 있다.
- [0261] 그리고, 마스크를 제거한다. 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막 및 게이트 절연막(252b) 위에 도전막을 형성한다. 도전막은 알루미늄, 또는 구리, 실리콘, 티탄, 네오듐, 스칸듐, 몰리브덴 등의 내열성 향상 원소 또는 힐로크 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성한다. 본 실시예에서는 도전막으로서 몰리브덴막과 알루미늄막과 몰리브덴막을 순차 적층시킨 3층 적층을 사용하여, 합계 막 두께를 300nm로 한다. 이 도전막과 공동하여 게이트 전극(251)에도 몰리브덴막을 사용하고 있기 때문에, 스퍼터법을 사용하는 경우에는 동일한 타겟을 사용하여 재료 비용을 저감할 수 있다. 그리고, 그 도전막 위에 새롭게 마스크를 형성한다.
- [0262] 다음에, 마스크를 사용하여 에칭하여 도전막을 각각의 전극 또는 배선이 되도록 분리하고, 소스 전극 및 드레인 전극(271a 내지 271c)을 형성한다. 본 실시예에서는 도전막의 에칭으로서 웨트 에칭한다. 웨트 에칭에서는 등방적으로 에칭되기 때문에, 마스크의 단부와, 소스 전극 및 드레인 전극(271a 내지 271c)의 단부는 일치하지 않고, 소스 전극 및 드레인 전극(271a 내지 271c)의 상면 형상은 마스크 상면 형상의 사이즈보다도 작은 형상이 된다.
- [0263] 다음에, 동일한 마스크를 그대로 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막 및 버퍼층을 에칭하고, 소스 영역 및 드레인 영역(272), 버퍼층(273)을 형성한다. 여기에서는 드라이 에칭을 사용하여, 버퍼층(273)은 일부만이 에칭된다. 또, 버퍼층(273)은 미결정 반도체막(261)의 표면이 드러나지 않도록 덮고 있다. 버퍼층(273)은 기생 채널의 발생을 방지하고, 소스 영역 및 드레인 영역의 에칭시의 스톱퍼로서도 기능한다. 미결정 반도체막(261) 위의 버퍼층(273)은 포함되는 수소에 의해서 외부의 공기, 에칭 잔사를 차단하여, 미결정 반도체막(261)을 보호하고 있다. 버퍼층(273)은 에칭시의 라디칼을 멈출 수 있다. 가령 버퍼층(273)이 없고, 미결정 반도체막(261)만의 구조이면, 막 두께 방향으로 산화하여 트랜지스터의 전기 특성이 악화된다. 예를 들면, 전계 효과 이동도의 저하, 서브 임계치(S_{ch})의 증대를 초래하여 버린다. 또한, 버퍼층(273)으로서 사용할 수 있는 재료 중, 산화 방지 대책으로서, 특히 유효한 것은 수소를 포함하는 비정질 실리콘막이다. 에칭에 의해 흠부가 형성되어도, 그 표면은 수소로 중단되어 있기 때문에, 산화를 방지할 수 있다.
- [0264] 버퍼층(273)은 일부 에칭되고, 소스 전극 및 드레인 전극(271a 내지 271c) 간에 흠부가 형성되어 있다. 흠부를 형성함으로써, 그 위의 일 도전형을 부여하는 불순물이 첨가된 반도체막의 제거를 확실하게 하고, 잔사인 인등의 일 도전형을 부여하는 불순물에 의해 기생 채널이 생기는 것을 막을 수 있다.
- [0265] 또한, 버퍼층(273)의 흠부의 단부는 소스 영역 및 드레인 영역(272)의 단부와 거의 일치하고 있다. 이 흠부는 소스 영역 및 드레인 영역(272)을 형성하는 에칭과 동일 에칭 프로세스에서 형성된다. 따라서 동일 포토 레지스트 마스크인 마스크의 개구부와 대략 일치하고 있는, 셀프 얼라인 프로세스이다. 버퍼층(273)에 흠부를 형성함으로써 누설 전류가 흐르는 경로가 길어지고, 오프 전류를 낮추는 효과가 있다. 또한, 미결정 반도체막(261)의 표면이 드러나지 않도록 버퍼층으로 덮고, 버퍼층에는 수소, 및/또는, 불소가 혼입함으로써, 미결정 반도체막(261)의 산화를 방지하는 효과가 있다.
- [0266] 소스 영역 및 드레인 영역(272) 하방의 버퍼층(273)과 미결정 반도체막(261)의 채널 형성 영역 상의 버퍼층(273)은 동일 재료이고 (탄소, 질소, 산소의 농도는, $3 \times 10^{19} \text{ cm}^{-3}$ 이하, 바람직하게는 $5 \times 10^{18} \text{ cm}^{-3}$ 이하), 동시에

형성되고, 또한 홈부를 갖고 있다.

- [0267] 버퍼층(273)의 홈부는 소스 영역과 드레인 영역을 분리하고, 소스 영역과 드레인 영역 간의 누설 전류를 낮추기 위해서 홈 모양으로 가공된 영역이고, 하층의 미결정 반도체막의 산화를 막을 수 있는 잔존 막 두께를 갖는다. 한편, 버퍼층(273)에 있어서, 미결정 반도체막과 소스 영역 및 드레인 영역과 겹치는 영역은 50 내지 400nm의 막 두께를 갖고, 내압 향상을 도모할 수 있는 고저항 영역을 형성한다. 게이트 전극(251)과 소스 전극 및 드레인 전극(271a 내지 271c)의 사이에 버퍼층(273)을 형성함으로써, 소스 영역 및 드레인 영역에 포함되는 일 도전형을 부여하는 불순물과 미결정 반도체막의 임계치 전압 제어용의 일 도전형을 부여하는 불순물이 서로 혼합되지 않도록 할 수 있다. 다른 도전형을 부여하는 불순물이 섞이면 재결합 중심이 되고, 누설 전류가 흘러 버려, 오프 전류 저감의 효과가 얻어지지 않게 되어 버린다.
- [0268] 본 실시예에서는 게이트 전극(251)과 소스 전극 및 드레인 전극(271a 내지 271c)의 사이에 125nm의 막 두께를 갖는 고저항 영역이 형성되어 있다고도 할 수 있다. 소스 영역 및 드레인 영역(272) 아래의 버퍼층(273)은 채널 형성 영역을 형성하는 미결정 반도체막(261) 위에 연장하여 오버랩하고 있다.
- [0269] 또한, 소스 전극 및 드레인 전극(271a 내지 271c)의 단부와, 소스 영역 및 드레인 영역(272)의 단부는 일치하지 않고 어긋나 있고, 소스 전극 및 드레인 전극(271a 내지 271c)의 단부의 외측에, 소스 영역 및 드레인 영역(272)의 단부가 위치한다.
- [0270] 이어서, 마스크를 제거한다.
- [0271] 이상의 공정에 의해, 채널 에치형의 박막 트랜지스터(279)를 형성할 수 있다.
- [0272] 다음에, 소스 전극 및 드레인 전극(271a 내지 271c), 소스 영역 및 드레인 영역(272), 버퍼층(273), 미결정 반도체막(261), 및 게이트 절연막(252b)을 덮는 절연막(276)을 형성한다. 또, 절연막(276)은 대기중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 본 실시예에서는 절연막(276)으로서, 질화규소막을 300nm의 막 두께로 형성한다. 또, 절연막(276)에 질화규소막을 사용함으로써, 버퍼층(273) 중의 산소 농도를 1×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하로 할 수 있다.
- [0273] 다음에, 절연막(276) 위에 마스크를 형성하고, 선택적으로 에칭하여 콘택트홀을 형성한다. 본 실시예에서는 소스 전극 또는 드레인 전극(271c)에 도달하는 제 1 콘택트홀, 소스 전극과 전기적으로 접속하고 있는 소스 배선에 도달하는 제 2 콘택트홀, 게이트 전극(251)에 도달하는 제 3 콘택트홀을 형성한다. 화소부의 화소마다 제 1 콘택트홀은 형성되고, 화소부의 외측에 제 2 콘택트홀과 제 3 콘택트홀이 형성된다. 제 2 콘택트홀과 제 3 콘택트홀은 외부단자와 접속하기 위한 단자 전극과 전기적으로 접속을 하기 위해서 형성한다. 본 실시예에서는 소스 전극 또는 드레인 전극(271c)과, 게이트 전극(251)의 양쪽에 있어서, 몰리브덴막이 에칭스토포퍼로서 기능하기 때문에, 동일한 마스크로 형성할 수 있다.
- [0274] 이어서, 화소 전극(277) 및 단자 전극 또는 접속 전극을 형성한다. 이 단계에서의 단면도가 도 33b에 상당하고, 또, 도 33b는, 도 33c의 A-B의 단면도에 상당한다.
- [0275] 또한, 화소 전극(277)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티탄을 포함하는 인듐산화물, 산화티탄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, IT0로 나타냄.), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0276] 또한, 화소 전극(277)으로서, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.
- [0277] 도전성 고분자로서는 소위 π 전자공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0278] 채널 에치형의 박막 트랜지스터는 제작 공정수가 적고, 비용 삭감이 가능하다. 또한, 미결정 반도체막으로 채널 형성 영역을 구성함으로써 1 내지 20cm²/V·sec의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소의 스위칭용 소자로서, 더욱이 주사선(게이트선)측의 구동 회로를 형성하는 소자로서 이

용할 수 있다.

- [0279] 이상과 같이 미결정 반도체막(261) 위에 버퍼층을 형성함으로써, 누설 전류가 저감된 고내압의 박막 트랜지스터를 제작할 수 있다. 따라서, 15V의 전압을 인가하는 액정 표시 장치에 사용하는 박막 트랜지스터의 경우라도 신뢰성이 높고 적합하게 사용할 수 있다.
- [0280] 또한, 본 실시예는 실시 형태 1 내지 4의 어느 하나와 자유롭게 조합할 수 있다.
- [0281] [실시예 3]
- [0282] 본 실시예에서는 미결정 반도체막에 레이저광을 조사하는 제작 공정을 도 34를 사용하여 설명한다.
- [0283] 여기에서는 도시하지 않지만, 기판 위에 게이트 전극을 형성한다. 그리고, 게이트 전극을 덮도록 게이트 절연막(351)을 형성한다.
- [0284] 그리고, 도 34a에 도시하는 바와 같이 게이트 절연막(351) 위에 미결정 반도체막을 형성한다.
- [0285] 게이트 절연막(351) 위에 PCVD법 등으로 미결정 반도체막을 성막하고자 하는 경우, 게이트 절연막(351)과, 결정을 포함하는 반도체막(353)과의 계면 부근에, 반도체막(353)보다도 비정질 성분을 많이 포함하는 영역(여기에서는 계면 영역(352)이라고 부름)이 형성되는 경우가 있다. 또한, PCVD법 등으로 막 두께 10nm 정도 이하의 극히 얇은 미결정 반도체막을 성막하고자 하는 경우, 미결정립을 포함하는 반도체막을 형성할 수 있지만, 막 전체에 걸쳐 균일하게 양질의 미결정립을 포함하는 반도체막을 얻는 것은 곤란하다. 이러한 경우에 있어서, 이하에 제시하는 레이저광을 조사하는 레이저 처리는 유효하다.
- [0286] 이어서, 도 34b에 도시하는 바와 같이 반도체막(353)에 포함되는 결정을 씨드(seed)로 하여, 반도체막(353)이 용융하지 않는 에너지 밀도로 레이저광을 표면측으로부터 조사한다. 여기에서의 레이저 처리(Laser Process, 이하 「LP」라고도 함.)는 복사(輻射) 가열에 의해 미결정 실리콘막을 용융시키지 않고 행하는 고상 결정 성장에 의한 것이다. 즉, 퇴적된 미결정 실리콘막이 액상이 되지 않는 경계 영역을 이용하는 것이며, 그 의미에 있어서 「임계성장(臨界成長)」이라고도 말할 수 있다.
- [0287] 레이저광의 조사 직후의 단면도를 도 34c에 도시한다. 레이저광으로서는, 파장 400nm 이하의 엑시머 레이저나, YAG 레이저 또는 YVO₄ 레이저의 제 2 고조파(파장 532nm) 내지 제 4 고조파(파장 266nm)를 광원으로 사용하여 행한다. 이들의 레이저광은 광학계에서 선형 또는 스폿형으로 집광하고, 그 에너지 밀도는 반도체막(353)이 용융하지 않는 에너지 밀도 범위로 조절하여 조사하고, 상기한 바와 같이 집광한 레이저빔을 기판의 소정의 영역에 걸쳐 주사시켜 처리를 한다. 반도체막(353)이 용융하지 않는 에너지 밀도 범위이면 좋기 때문에, 선형의 레이저 빔의 길이를 길게 하는 것이나, 스폿 면적의 증대를 도모할 수 있다. 선형의 레이저 빔의 길이를 길게 하면 할수록 대면적 기판을 단시간에 처리할 수 있다.
- [0288] 레이저광은 미결정 실리콘막과 게이트 절연막의 계면으로까지 작용시킬 수 있다. 그것에 의해서, 미결정 실리콘막의 표면측에서의 결정을 씨드로 하여, 상기 표면으로부터 게이트 절연막의 계면을 향하여 고상 결정 성장이 진행하여 대략 주상(柱狀)의 결정이 성장한다. LP 처리에 의한 고상 결정 성장은 결정입자 직경을 확대시키지 않고, 오히려 막의 두께 방향에서의 결정성을 개선하는 것이다.
- [0289] LP 처리는 직사각형 장척형으로 집광(선형 레이저 빔)함으로써, 예를 들면 730mm×920mm의 유리 기판 위의 미결정 실리콘막을 1회의 레이저 빔 스캔으로 처리할 수 있다. 이 경우, 선형 레이저 빔을 겹치는 비율(오버랩율)을 0 내지 90%(바람직하게는 0 내지 67%)로서 행한다. 이로써, 기판 1장당의 처리시간이 단축되고, 생산성을 향상시킬 수 있다. 레이저 빔의 형상은 선형에 한정되지 않으며 면형으로서도 마찬가지로 처리할 수 있다. 또한, 본 실시예의 LP 처리는 상기 유리 기판의 사이즈에 한정되지 않고, 여러 가지 사이즈에 적용할 수 있다.
- [0290] 이러한 임계 성장에 있어서는, 종래의 저온 폴리실리콘에서 보인 표면의 요철(릿지라고 불리는 불록형체)이 형성되지 않고, LP 처리 후의 실리콘 표면은 평활성이 유지되어 있는 것도 특징이다. 본 실시예에 있어서와 같이, 성막 후의 미결정 실리콘막에 직접적으로 레이저광을 작용시켜 얻어지는 결정성의 실리콘막(354)은 성막으로 얻어지는 미결정 실리콘막과는 그 성장 메카니즘 및 막질이 분명히 다르다. 또한, 전도 가열에 의해 개질된 미결정 실리콘막(비특허문헌 1에 있어서의 것)과도 그 성장 메카니즘 및 막질이 분명히 다르다.
- [0291] 본 명세서에서는 성막 후의 미결정 반도체막에 LP 처리를 하여 얻어지는 결정성의 반도체를 세미 크리스탈 반도체라고 부른다.

- [0292] 이어서, 결정성의 실리콘막(354) 위에 버퍼층(355)을 적층한다. 버퍼층(355)으로서 수소를 포함하는 아모퍼스 실리콘막을 사용하는 경우, 수소를 포함하는 아모퍼스 실리콘막의 성장시에 결정성의 실리콘막(354)의 수소 중 단도 동시에 행할 수 있다.
- [0293] 이후의 공정은 실시 형태 1과 동일하게 하여, 일 도전형을 부여하는 불순물이 첨가된 반도체막을 적층하고, 그 위에 마스크를 형성한다. 다음에, 마스크를 사용하여 미결정 반도체막, 버퍼층, 및 일 도전형을 부여하는 불순물이 첨가된 반도체막을 에칭하여 분리한다.
- [0294] 이어서, 도전막을 형성하고, 그 도전막 위에 마스크를 형성한다. 다음에, 그 마스크를 사용하여 도전막을 에칭하여 분리하고, 소스 전극 및 드레인 전극을 형성한다. 또한 동일한 마스크를 사용하여 에칭하고, 소스 영역 및 드레인 영역을 형성하고, 버퍼층에 오목부를 형성한다.
- [0295] 이상의 공정에 의해, 채널 에칭형의 박막 트랜지스터를 형성할 수 있다.
- [0296] 본 실시예의 LP 처리에 의해, 게이트 절연막 계면 영역의 결정성이 개선되고, 보텀 게이트 구조를 갖는 트랜지스터의 전기적 특성을 향상시키는 작용을 나타낸다.
- [0297] 또한, 본 실시예는 실시 형태 1 내지 4의 어느 하나와 자유롭게 조합할 수 있다.
- [0298] [실시예 4]
- [0299] 본 실시예에서는 본 발명의 박막 트랜지스터와 비교예의 박막 트랜지스터의 전계 효과 이동도를 비교하는 계산을 하여, 그 결과를 나타낸다. 비교예의 박막 트랜지스터란 아모퍼스 실리콘막만을 활성층으로 하는 채널 에칭형의 박막 트랜지스터이다.
- [0300] 본 발명의 박막 트랜지스터의 구조의 모델도를 도 35a에 도시한다. 또한, 비교예의 박막 트랜지스터의 구조의 모델도를 도 35b에 도시한다. 도 35a에 있어서, 산화규소로 이루어지는 기판(400), 막 두께 150nm의 물리브덴막으로 이루어지는 게이트 전극(401), 막 두께 3.00nm의 질화규소막으로 이루어지는 게이트 절연막(402), 미결정 실리콘막(406), 50nm의 오목부를 갖는 아모퍼스 실리콘막(403), 소스 전극(404), 드레인 전극(405)이다. 또한, 도 35b는 미결정 실리콘막(406)이 없는 비교예의 구조이다.
- [0301] silvaco사제의 시뮬레이션 소프트웨어 「atlas」를 사용하여, 아모퍼스 실리콘막의 파라미터를 각각 이하에 제시하는 수치로 설정하여 계산하였다.
- [0302] 전도대단에 있어서의 억셉터의 상태 밀도($n_{ta}=7.4e21$), 가전자대에서의 도너의 상태 밀도($n_{td}=7.4e21$), 전도대단에 있어서의 억셉터의 상태 밀도의 감쇠 계수($w_{ta}=0.04$), 가전자대에서의 도너의 상태 밀도의 감쇠 계수($w_{td}=0.04$), 가우시안 분포에 있어서의 억셉터 준위의 전상태 밀도($n_{ga}=7.0e16$), 가우시안 분포에 있어서의 도너 준위의 전상태 밀도($n_{gd}=5.0e18$), 가우시안 분포에 있어서의 억셉터 준위의 피크의 에너지($e_{ga}=0.5$), 가우시안 분포에 있어서의 도너 준위의 피크 에너지($e_{gd}=0.9$), 가우시안 분포에 있어서의 억셉터의 전상태 밀도의 감쇠 계수($w_{ga}=0.4$), 가우시안 분포에 있어서의 도너의 전상태 밀도의 감쇠 계수($w_{gd}=0.3$), 억셉터 준위의 기슭에서의 전자의 포획 단면적($\sigma_{gae}=1.e-17$), 억셉터 준위의 기슭에서의 홀의 포획 단면적($\sigma_{gah}=1.e-15$), 도너 준위의 기슭에서의 전자의 포획 단면적($\sigma_{gde}=1.e-15$), 도너 준위의 기슭에서의 홀의 포획 단면적($\sigma_{gdh}=1.e-17$), 억셉터의 가우시안 분포에 있어서의 전자의 포획 단면적($\sigma_{gae}=2.e-16$), 억셉터의 가우시안 분포에 있어서의 홀의 포획 단면적($\sigma_{gah}=2.e-15$), 도너의 가우시안 분포에 있어서의 전자의 포획 단면적($\sigma_{gde}=2.e-15$), 도너의 가우시안 분포에 있어서의 홀의 포획 단면적($\sigma_{gdh}=2.e-16$)으로 한다.
- [0303] 또한, 미결정 실리콘막의 파라미터를 각각 이하에 제시하는 수치로 설정하였다. 또, 미결정 실리콘막의 결합 밀도를 아모퍼스 실리콘막의 10분의 1로 하고 있다.
- [0304] 전도대단에 있어서의 억셉터의 상태 밀도($n_{ta}=7.4e20$), 가전자대에서의 도너의 상태 밀도($n_{td}=7.4e20$), 가우시안 분포에 있어서의 억셉터 순위의 전상태 밀도($n_{ga}=7.0e15$), 가우시안 분포에 있어서의 도너 순위의 전상태 밀도($n_{gd}=5.0e17$)로 한다. 그 밖의 파라미터는 아모퍼스 실리콘막의 파라미터와 같게 하였다.
- [0305] 계산 결과를 도 36에 도시한다. 도 36에 도시하는 바와 같이, 미결정 실리콘막의 존재에 의해 전계 효과 이동도가 비교예와 비교하여 증대하는 것을 알 수 있다.
- [0306] 또한, 도 35a에 있어서의 모델도에 기초하여, $V_g=-10V$, $V_{ds}=14V$ 로 한 박막 트랜지스터의 오프 상태와, $V_g=+10V$, $V_{ds}=14V$ 로 한 박막 트랜지스터의 온 상태에 대하여, 전자 농도의 계산도 각각 하였다. 계산한 결과, 미결정 실

리콘막의 존재함으로써, 미결정 실리콘막이 채널 형성 영역으로서 기능하고 있는 것을 확인할 수 있었다.

- [0307] 또한 도 36의 결과로부터, 이하에 제시하는 계산을 하였다. 도 36의 결과로부터, 본 발명의 박막 트랜지스터의 전계 효과 이동도를 종래의 박막 트랜지스터의 10배로 가정하여 계산한다.
- [0308] 액정 표시 장치에 있어서는 화소 전극에 -5V로부터 +5V의 전압인가를 한다. 도 37은 -5V로부터 +5V의 전압 변화를 시킬 때에 소요되는 시간을 횡축으로 하고, 전압을 종축으로 한 그래프이다.
- [0309] 비교예로서 아모퍼스 실리콘막을 활성층으로 하는 채널 에치형의 종래의 박막 트랜지스터를 사용하고 있다. 도 37 중의 삼각 표시가 비교예이다.
- [0310] 또한, 화소부에 525개의 게이트 배선을 갖는 액정 표시 장치, 1화소당의 용량을 100fF로 가정하여 계산하고 있다. 또한, 박막 트랜지스터의 채널 길이를 3 μ m, 채널 폭을 15 μ m로 각각 설정하고 있다.
- [0311] 525개의 게이트 배선에 있어서, 프레임 주파수가 60Hz이면, -5V로부터 +5V의 전압 변화에 걸리는 소요 시간이 약 30 μ 초 미만에서 액정에 전압을 인가하여 표시할 수 있다. 더욱 동화 표시를 실현하기 위해서, 프레임 주파수를 4배로 한 경우, 종래의 박막 트랜지스터의 전압 변화에 걸리는 소요 시간은 10.2 μ 초이기 때문에, 화상 표시 성능은 저하되어 버린다.
- [0312] 또한, 액정 표시 장치의 표시 면적이 커짐에 따라서, 100fF보다도 더욱 큰 용량이 필요하게 된다. 100fF보다도 더욱 큰 용량이 필요하게 되면 과연 소요 시간이 길어져 버리기 때문에, 대면적의 표시 면적을 갖는 액정 표시 장치에 있어서는, 종래의 박막 트랜지스터에서는 프레임 주파수를 2배로 한 경우에 있어서도 화상 표시 성능이 저하될 우려가 있다.
- [0313] 도 37 중의 둥근 표시가 본 발명의 박막 트랜지스터의 데이터이다. 본 발명의 박막 트랜지스터의 전압 변화에 걸리는 소요 시간은, 1.9 μ 초이기 때문에, 프레임 주파수를 4배로 하여도 문제없이 구동시킬 수 있음을 알 수 있다. 따라서, 본 발명의 박막 트랜지스터는 동화 표시에 적합한 박막 트랜지스터라고 할 수 있다. 더욱이, 100fF보다도 등에 큰 용량이 필요하게 되어도 충분히 본 발명의 박막 트랜지스터의 전압 변화에 걸리는 소요 시간은 짧기 때문에, 대면적의 표시 면적을 갖는 액정 표시 장치에 알맞은 박막 트랜지스터라고 할 수 있다.
- [0314] [실시에 5]
- [0315] 본 실시예에서는 본 발명에 제시하는 박막 트랜지스터의 트랜지스터 특성 및 전자 밀도 분포에 관해서 계산을 한 결과를 나타낸다. 디바이스 시뮬레이션에는 Silvaco사제 디바이스 시뮬레이터 "ATLAS"를 사용하고 있다.
- [0316] 도 38에 디바이스 구조를 도시한다. 절연성 기판(801)은 산화규소(유전율 4.1)를 주성분으로 하는 유리 기판(두께 0.5 μ m)을 가정하고 있다. 또, 절연성 기판(801)의 두께는 실제의 제조 공정에서는 0.5mm, 0.7mm 등이 사용되는 것이 많지만, 절연성 기판(801)의 하면에서의 전계가, 박막 트랜지스터 특성에 영향이 없을 정도로 충분한 두께로 정의하고 있다.
- [0317] 절연성 기판(801) 위에, 폴리브텐으로 형성되는(두께 150nm)의 게이트 전극(803)을 적층하고 있다. 폴리브텐의 일함수는 4.6eV로 하고 있다.
- [0318] 게이트 전극(803)의 위에, 질화규소막(유전율 7.0, 두께 110nm)과 산화질화규소막(유전율 4.1, 두께 110nm)의 적층 구조의 게이트 절연막(805)을 적층하고 있다.
- [0319] 게이트 절연막(805)의 위에, μ c-Si막(807), a-Si막(809)을 적층하고 있다. 여기에서는 두께 0nm의 μ c-Si막(807) 및 두께 100nm의 a-Si막(809)의 적층과, 두께 10nm의 μ c-Si막(807) 및 두께 90nm의 a-Si막(809)의 적층과, 두께 50nm의 μ c-Si막(807) 및 두께 50nm의 a-Si막(809)의 적층과, 두께 90nm의 μ c-Si막(807) 및 두께 10nm의 a-Si막(809)의 적층과, 두께 100nm의 μ c-Si막(807) 및 두께 0nm의 a-Si막(809)의 적층에 각각 조건을 할당하고 있다.
- [0320] 또한, a-Si막(809)은 제 1 a-Si(n⁺)막(811)과 제 2 a-Si(n⁺)막(813)과 중첩하는 영역에서는 상기 두께 외에 또한 50nm의 a-Si막을 적층하고 있다. 즉, 제 1 a-Si(n⁺)막(811)과 제 2 a-Si(n⁺)막(813)이 형성되지 않은 영역에서, a-Si막(809)은 일부 50nm 에칭된 오목부형이다.
- [0321] a-Si막(809) 위에, 제 1 a-Si(n⁺)막(811)(두께 50nm)과 제 2 a-Si(n⁺)막(813)(두께 50nm)을 각각 적층하고

있다. 도 38에 도시하는 박막 트랜지스터에 있어서, 제 1 a-Si(n⁺)막(811)과 제 2 a-Si(n⁺)막(813)의 거리가, 채널 길이 L이 된다. 여기에서는 채널 길이 L을 6 μ m로 하고 있다. 또한, 채널 폭W를 15 μ m로 하고 있다.

- [0322] 제 1 a-Si(n⁺)막(811)과 제 2 a-Si(n⁺)막(813) 위에, 폴리브덴 Mo로 형성되는(두께 300nm)의 소스 전극(815)과 드레인 전극(817)을 각각 적층하고 있다. 소스 전극(815) 및 제 1 a-Si(n⁺)막(811), 및 드레인 전극(817) 및 제 2 a-Si(n⁺)막(813)의 사이는 오믹 접촉으로 정의하고 있다.
- [0323] 도 39에, 도 38에 도시하는 박막 트랜지스터에 있어서, μ c-Si막 및 a-Si막의 막 두께를 바꾸어, 디바이스 시뮬레이션을 하였을 때의, DC 특성(Vg-Id 특성, Vd=14V)의 결과를 도시한다. 또한, 도 40에, μ c-Si막(807)의 두께를 10nm, a-Si막(809)의 두께를 90nm로 하였을 때의 박막 트랜지스터의 전자 농도 분포를 도시한다. 도 40a는 박막 트랜지스터가 온 상태(Vg가 +10V, Vd가 14V)의 전자 농도 분포의 결과를 도시하고, 도 40b는 오프 상태(Vg가 -10V, Vd가 14V)의 전자 농도 분포의 결과를 도시한다.
- [0324] 도 39로부터, a-Si막의 두께를 두껍게 함에 따라서, 오프 전류가 저감하는 것을 알 수 있다. 또한, a-Si막의 두께를 50nm 이상으로 함으로써, Vg가 -20V일 때의 드레인 전류를 1 \times 10¹³A 미만으로 할 수 있다.
- [0325] 또한, μ c-Si막의 두께를 두껍게 함에 따라서, 온 전류가 증가하는 것을 알 수 있다. 또한, μ c-Si막의 두께를 10nm 이상으로 함으로써, Vg가 20V일 때의 드레인 전류를 1 \times 10⁻¹³A 이상으로 할 수 있다.
- [0326] 도 40a로부터, 온 상태에 있어서는, 전자 밀도가 a-Si막보다도 μ c-Si막에 있어서 높은 것을 알 수 있다. 즉, 전기전도도가 높은 μ c-Si막에 있어서 전자 밀도가 높기 때문에, 온 상태에 있어서는, 전자는 흐르기 쉽고, 드레인 전류가 상승하는 것을 알 수 있다.
- [0327] 도 40b로부터, 오프 상태에 있어서는 전자 밀도가 μ c-Si막보다도 a-Si막에 있어서 높은 것을 알 수 있다. 즉, 전기전도도가 낮은 a-Si막에 있어서 전자 밀도가 높기 때문에, 오프 상태에 있어서는, 전자는 흐르기 어렵고, a-Si막을 채널 형성 영역에 사용하는 박막 트랜지스터와 동일한 드레인 전류가 되는 것을 알 수 있다.
- [0328] 이상의 사실로부터, 도 38에 도시하는 바와 같은, 게이트 절연막 위에 μ c-Si막이 형성되고, μ c-Si막 위에 a-Si막이 형성되고, a-Si막 위에 소스 영역 및 드레인 영역이 형성되는 박막 트랜지스터는 오프 전류를 저감하는 동시에, 온 전류를 높일 수 있는 것을 알 수 있다.

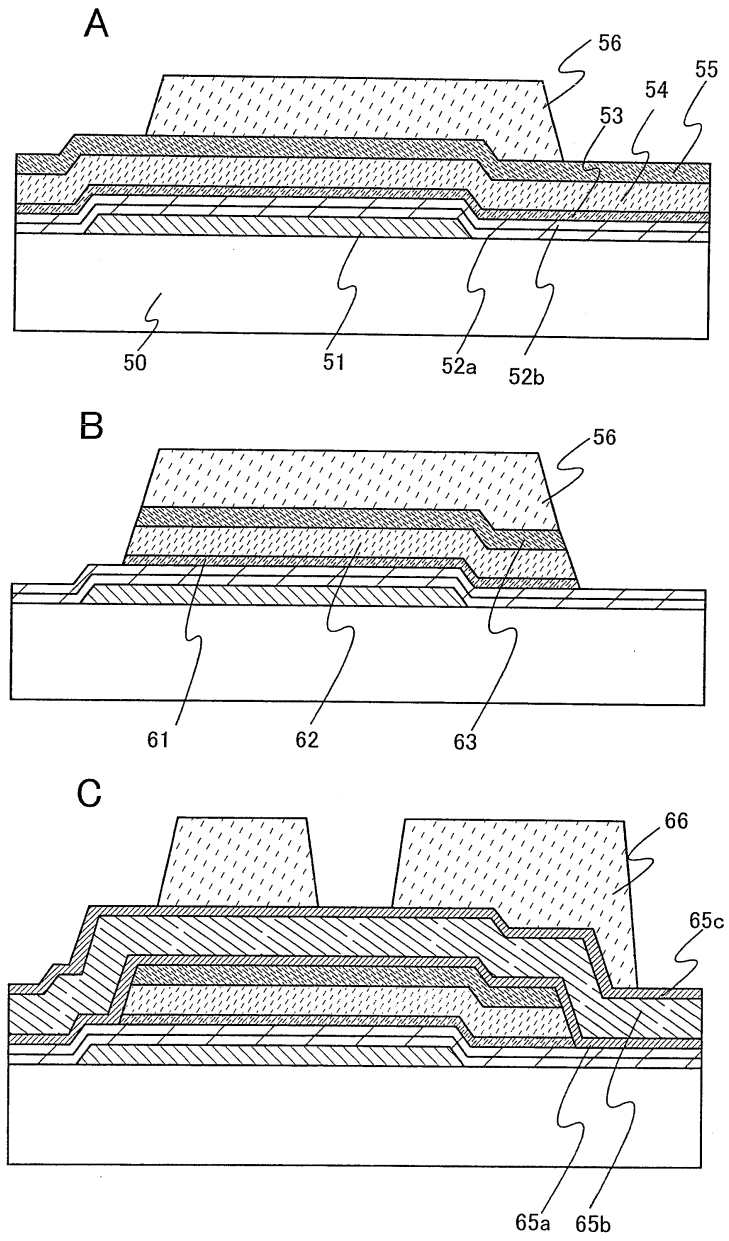
도면의 간단한 설명

- [0329] 도 1은 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0330] 도 2는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0331] 도 3은 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0332] 도 4는 본 발명의 표시 장치의 제작 방법을 설명하는 상면도.
- [0333] 도 5는 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0334] 도 6은 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0335] 도 7은 본 발명의 표시 장치의 제작 방법을 설명하는 단면도.
- [0336] 도 8은 본 발명의 표시 장치의 제작 방법을 설명하는 상면도.
- [0337] 도 9는 본 발명의 마이크로파 플라즈마 CVD 장치를 설명하는 상단면도.
- [0338] 도 10은 본 발명의 액정 표시 패널을 설명하는 사시도.
- [0339] 도 11은 본 발명의 표시 장치를 사용한 전자기기를 설명하는 사시도.
- [0340] 도 12는 본 발명의 표시 장치를 사용한 전자기기를 설명하는 도면.
- [0341] 도 13은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0342] 도 14는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.

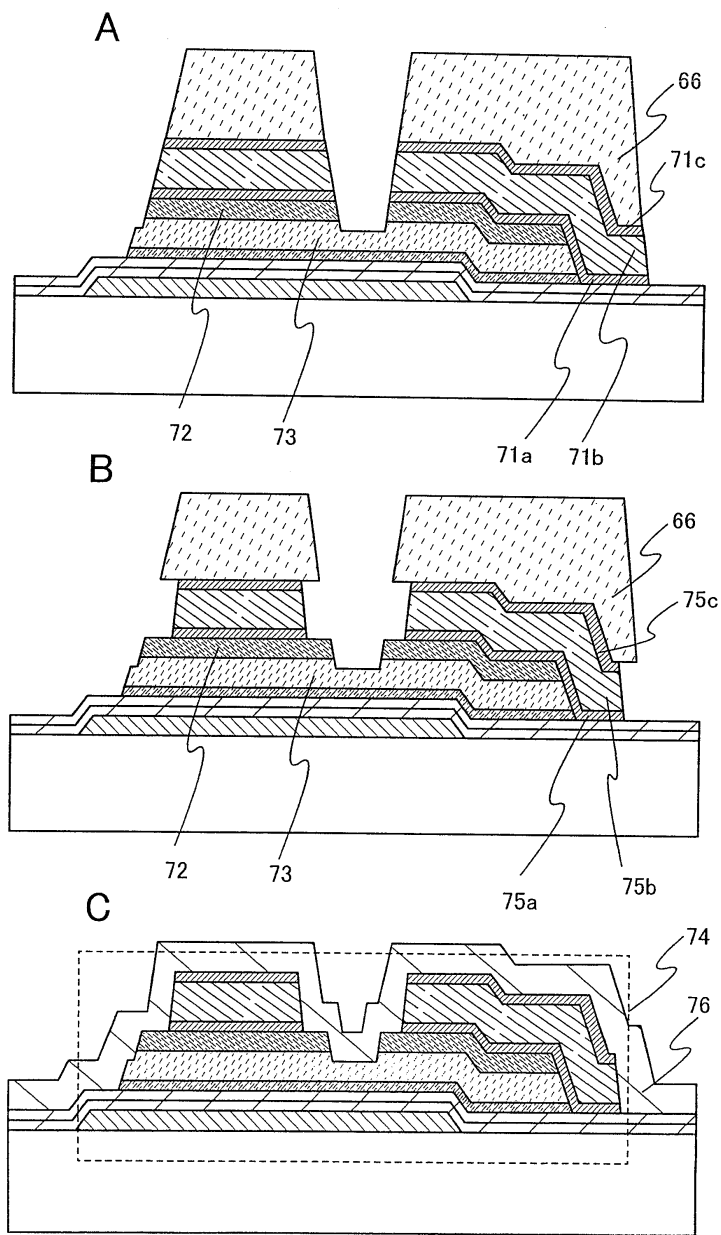
- [0343] 도 15는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0344] 도 16은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0345] 도 17은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0346] 도 18은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0347] 도 19는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0348] 도 20은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0349] 도 21은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0350] 도 22는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0351] 도 23은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0352] 도 24는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0353] 도 25는 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0354] 도 26은 본 발명에 적용 가능한 액정 표시 장치를 설명하는 도면.
- [0355] 도 27은 본 발명의 액정 표시 패널을 설명하는 상면도 및 단면도.
- [0356] 도 28은 본 발명에 적용 가능한 액정 표시 장치의 구성을 설명하는 블록도.
- [0357] 도 29는 본 발명에 적용 가능한 액정 표시 장치의 구동 회로의 구성을 설명하는 등가 회로도.
- [0358] 도 30은 본 발명에 적용 가능한 액정 표시 장치의 구동 회로의 구성을 설명하는 등가 회로도.
- [0359] 도 31은 본 발명에 적용 가능한 액정 표시 장치의 구동 회로의 레이아웃을 설명하는 상면도.
- [0360] 도 32는 미결정 반도체막을 라만 분광법으로 측정된 결과를 도시하는 도면.
- [0361] 도 33은 공정 단면도 및 화소 상면도의 일례를 도시하는 도면.
- [0362] 도 34는 제작 공정의 일례를 도시하는 단면도.
- [0363] 도 35는 모델도를 도시하는 단면도.
- [0364] 도 36은 계산 결과를 나타내는 그래프.
- [0365] 도 37은 화소 전위 변화를 나타내는 그래프.
- [0366] 도 38은 디바이스 구조를 나타내는 모델도.
- [0367] 도 39는 DC 특성의 결과를 도시하는 도면.
- [0368] 도 40은 박막 트랜지스터의 전자 농도 분포를 도시하는 도면.

도면

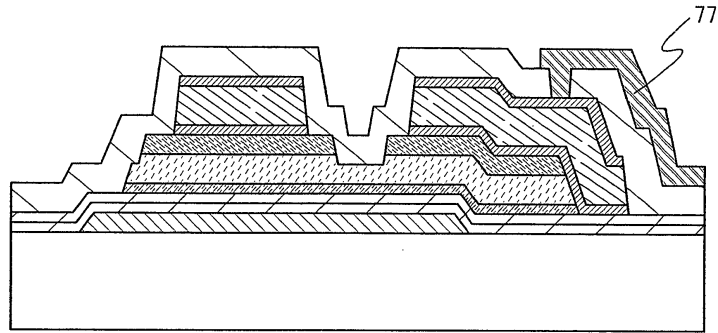
도면1



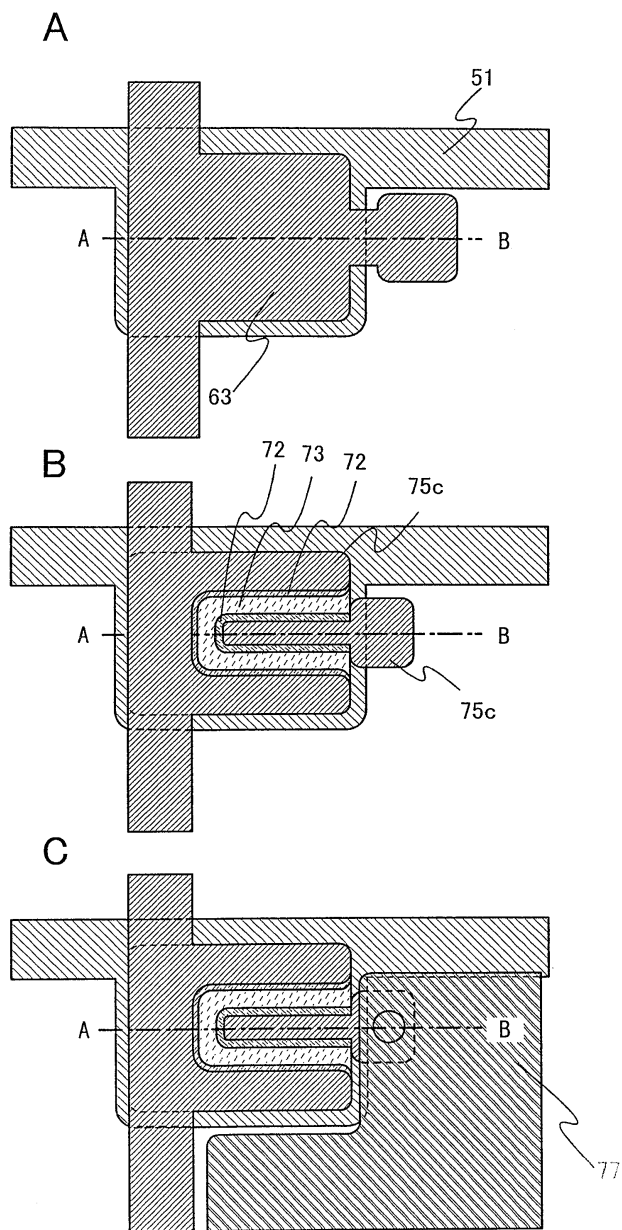
도면2



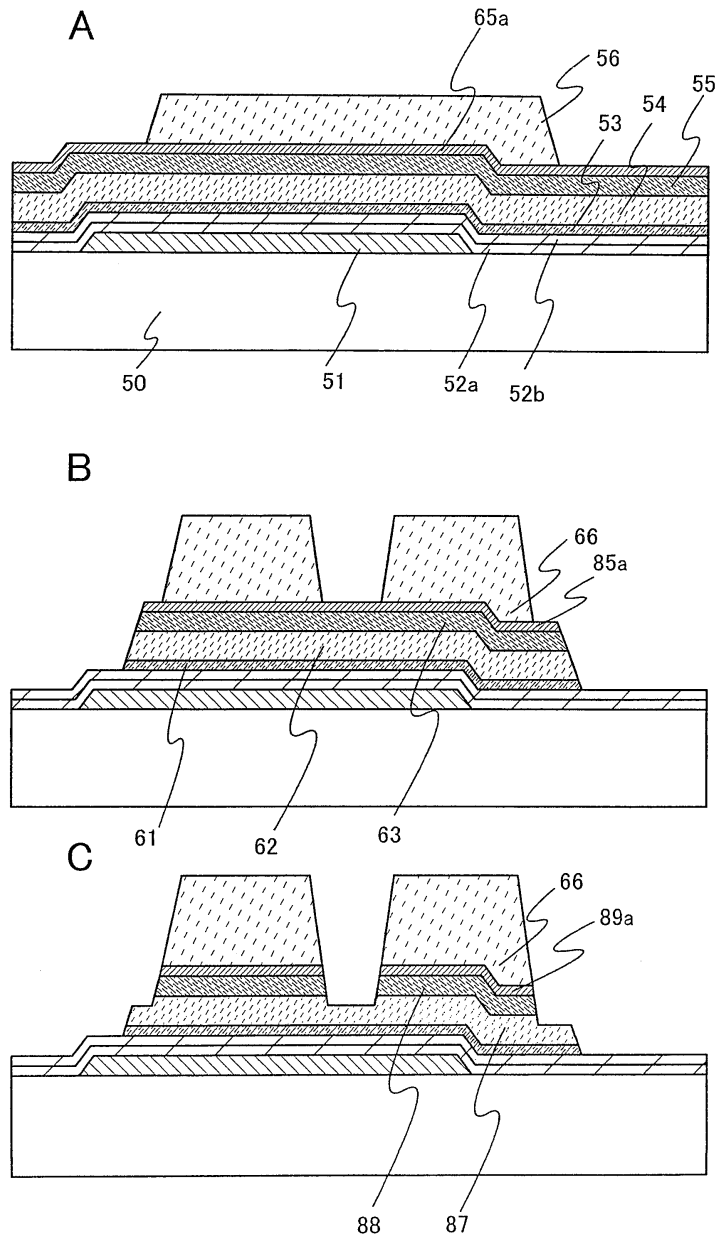
도면3



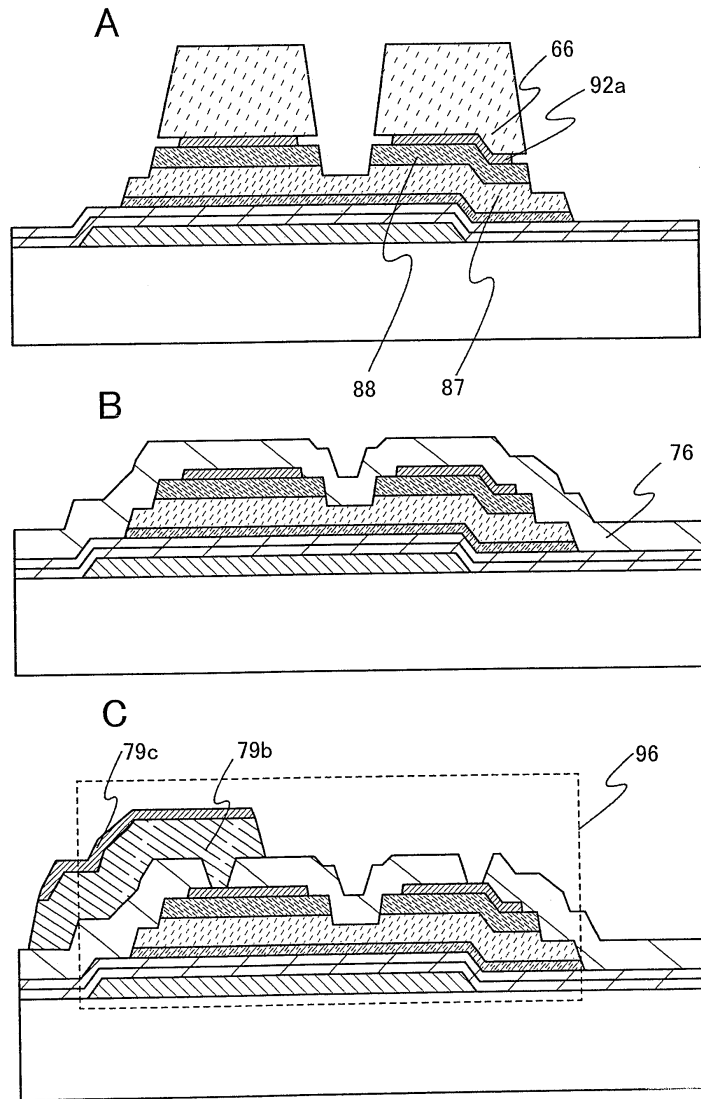
도면4



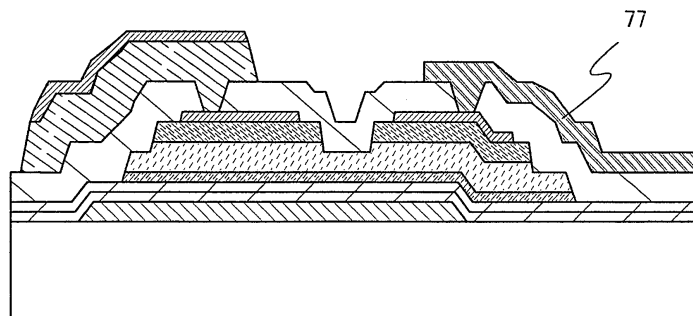
도면5



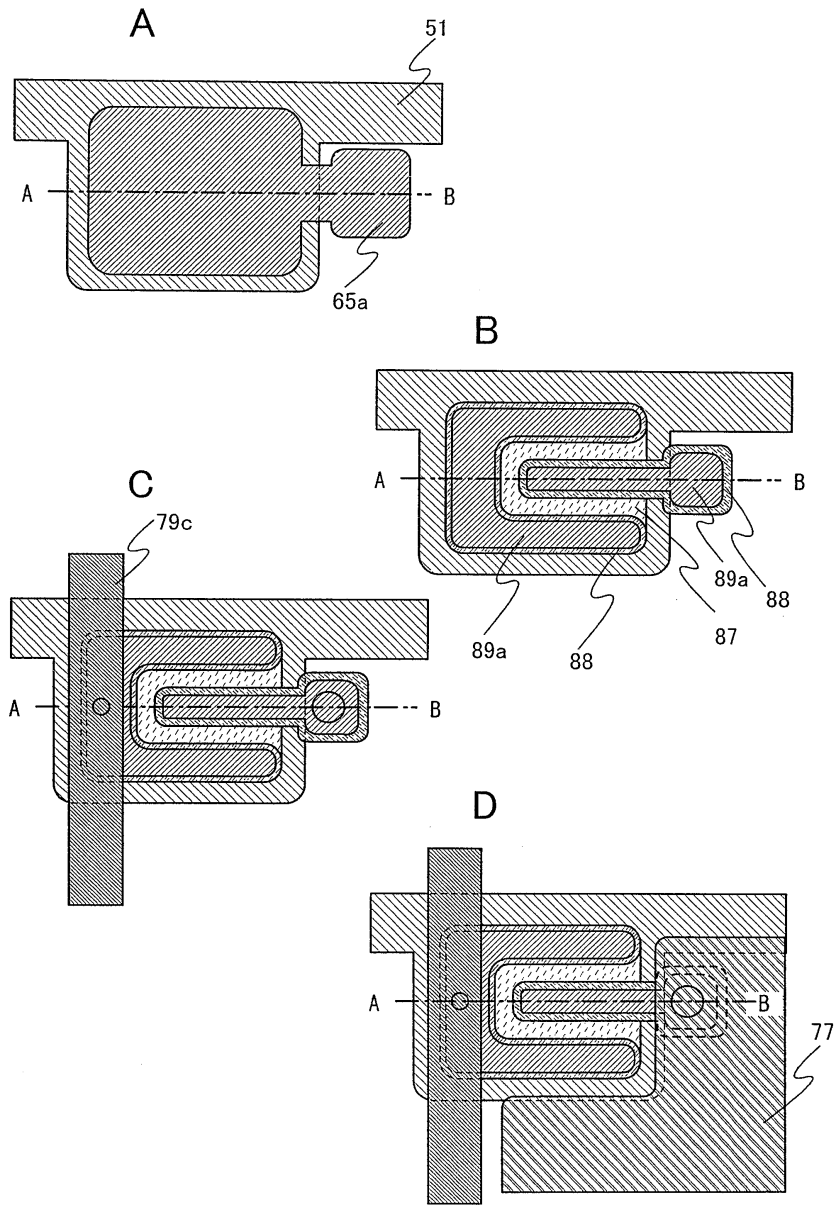
도면6



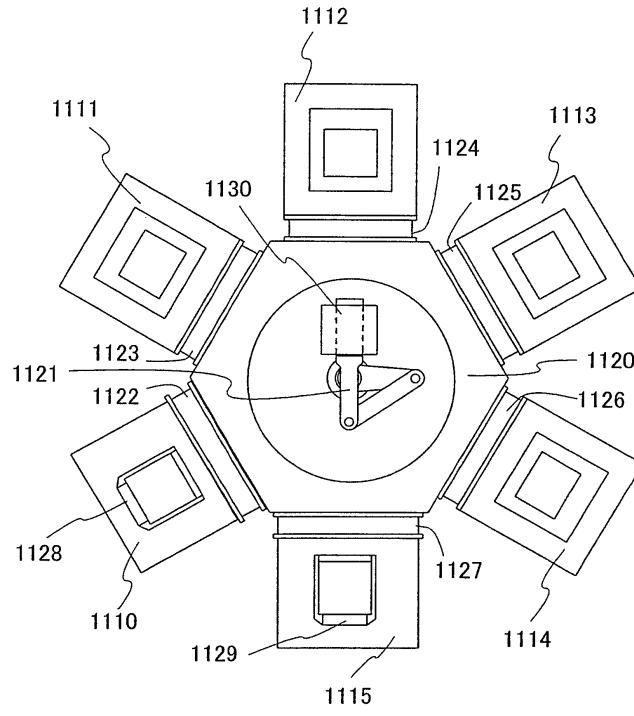
도면7



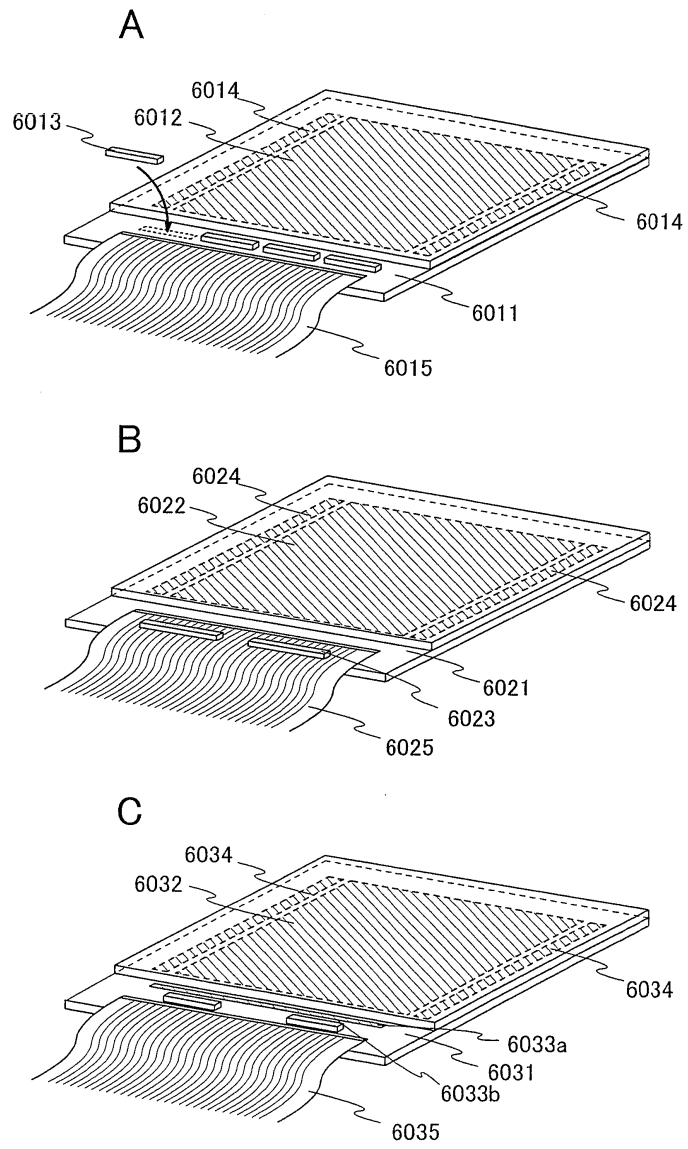
도면8



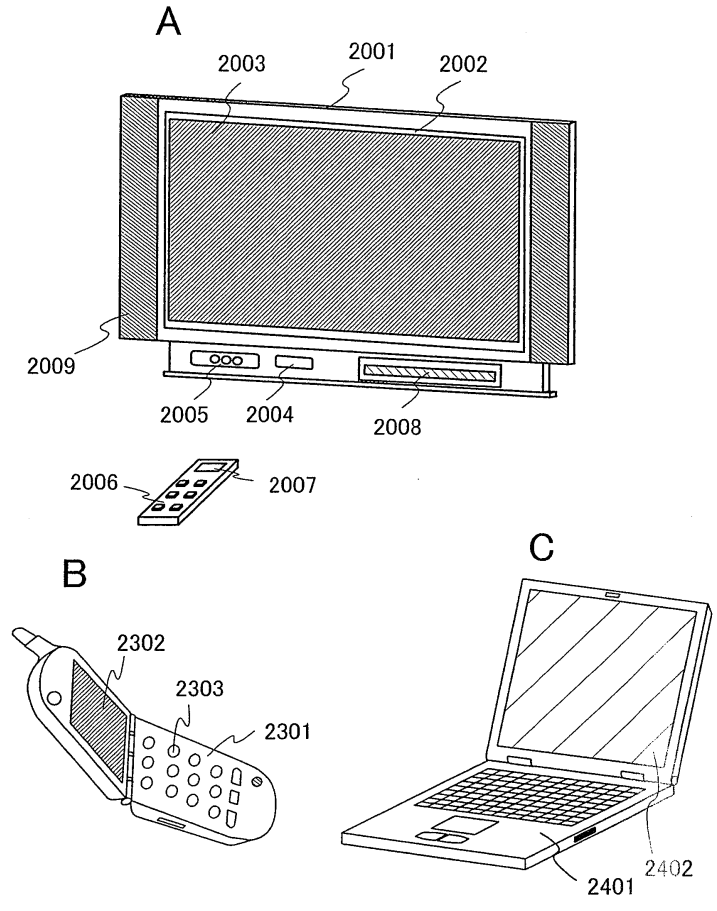
도면9



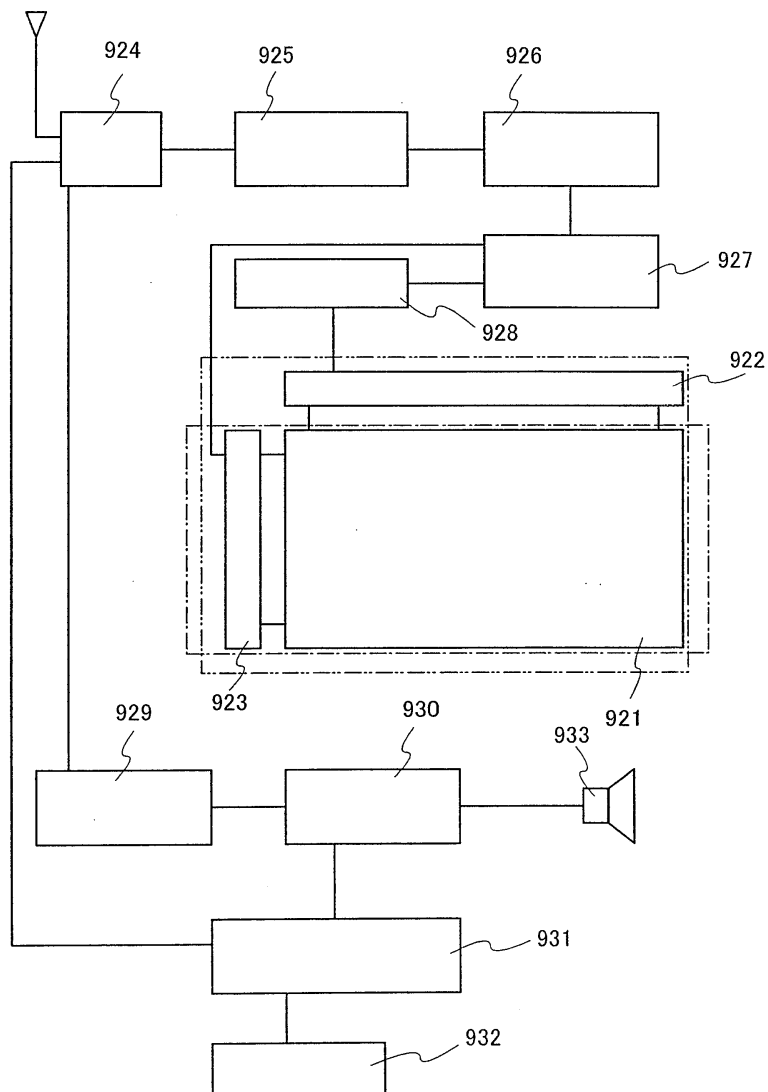
도면10



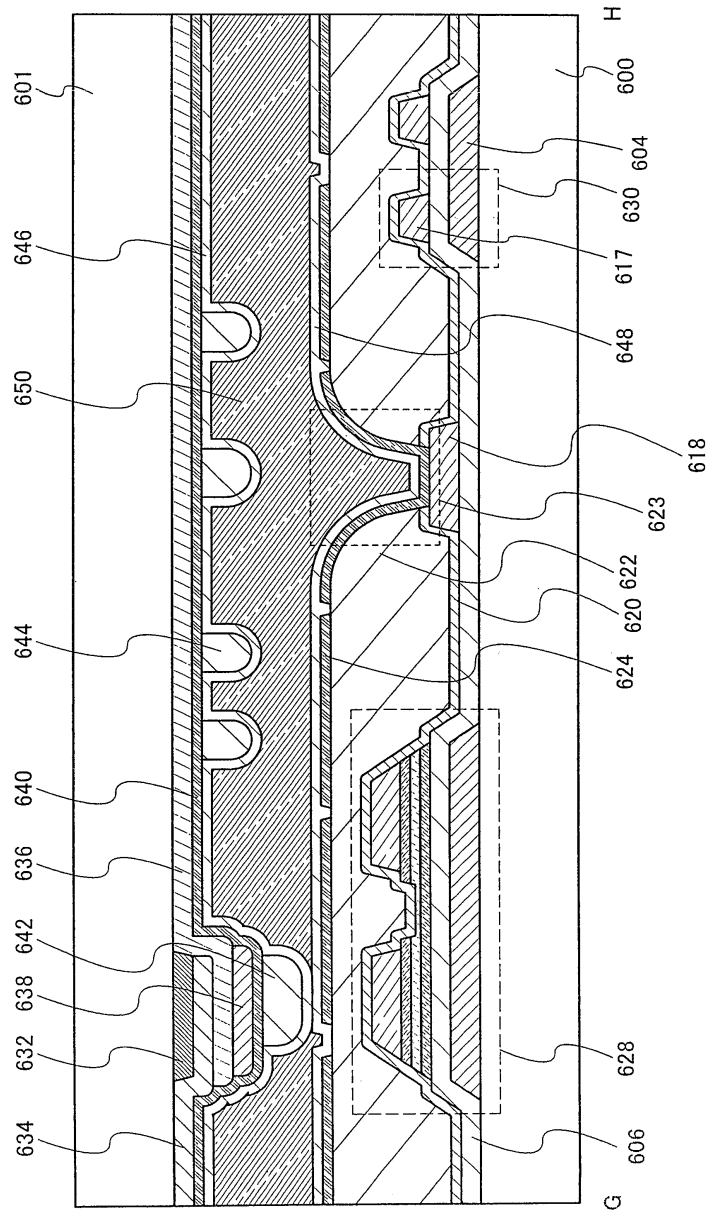
도면11



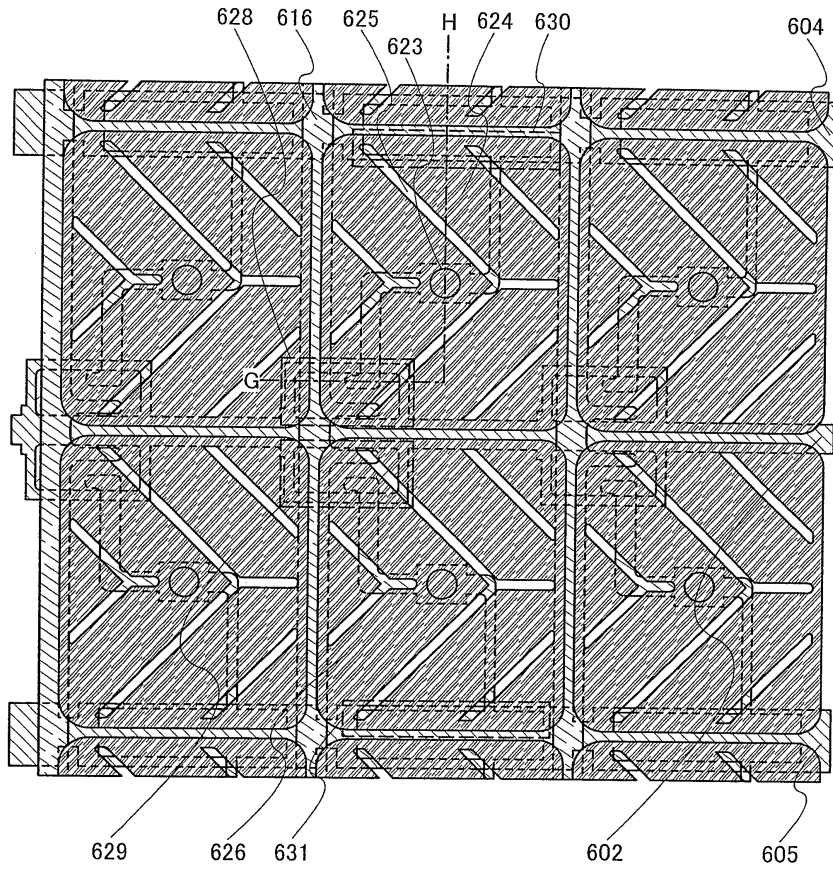
도면12



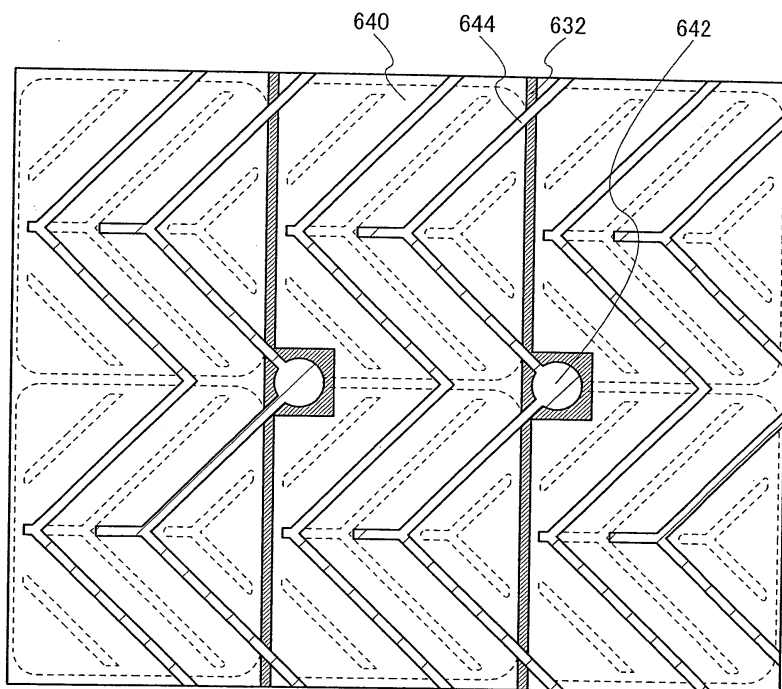
도면13



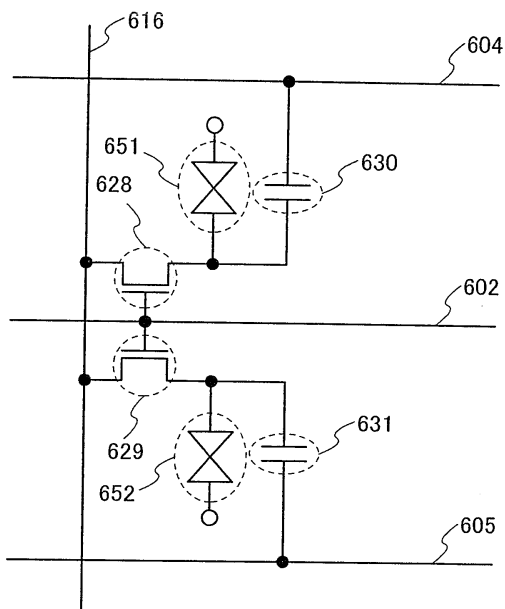
도면14



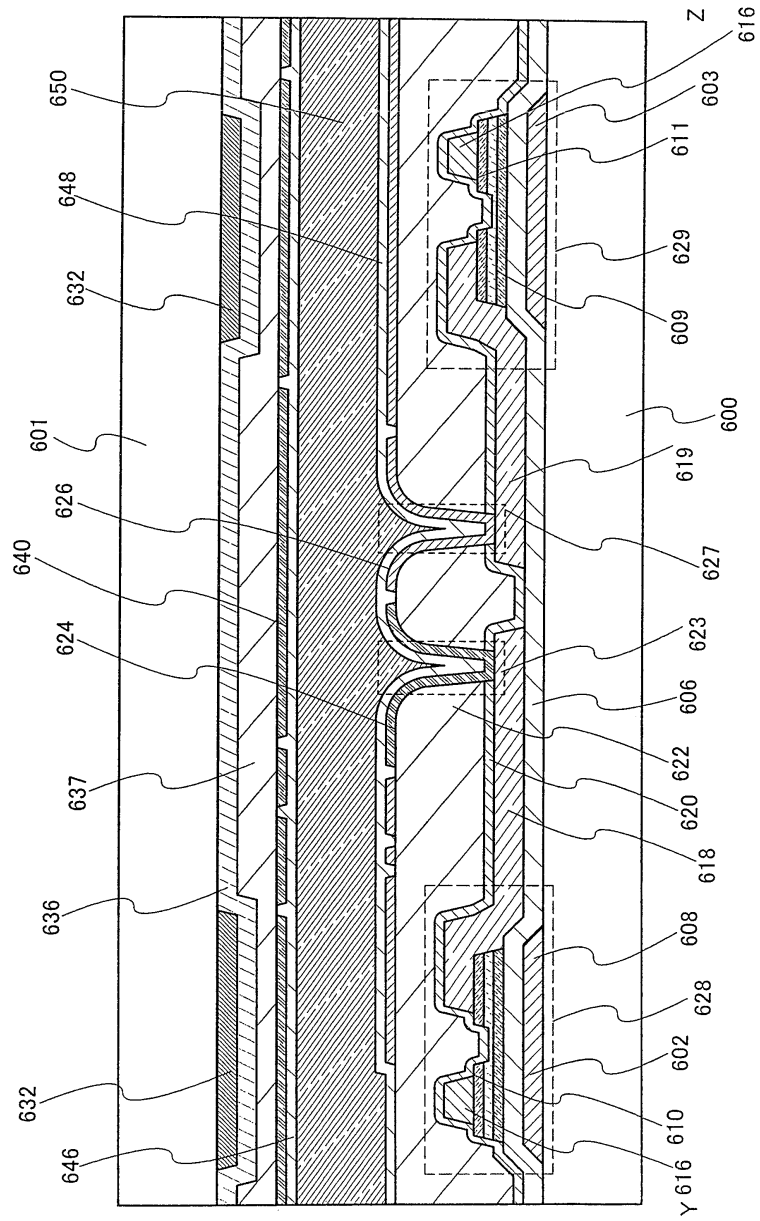
도면15



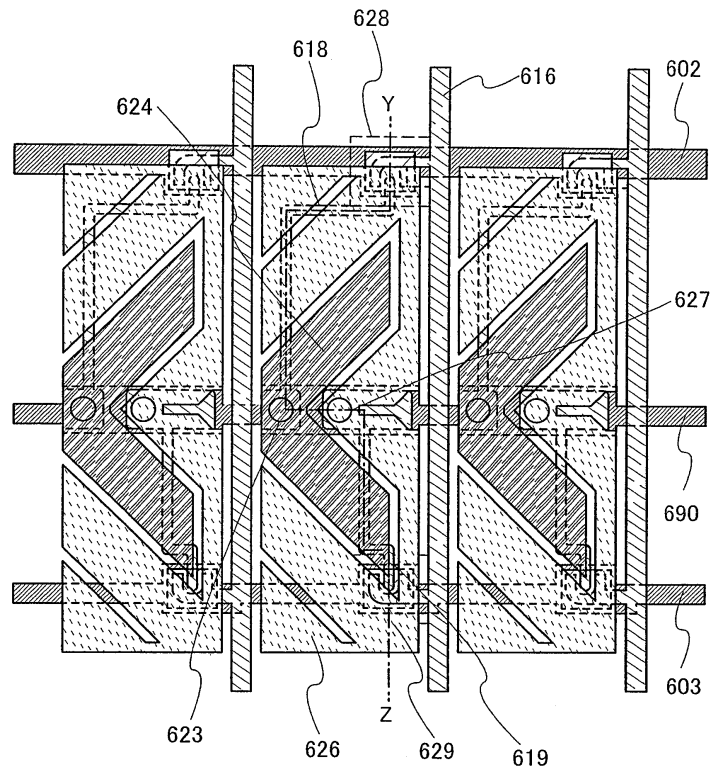
도면16



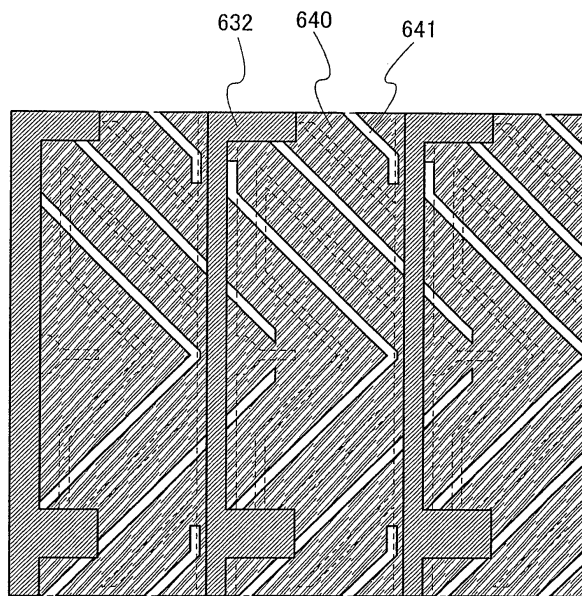
도면17



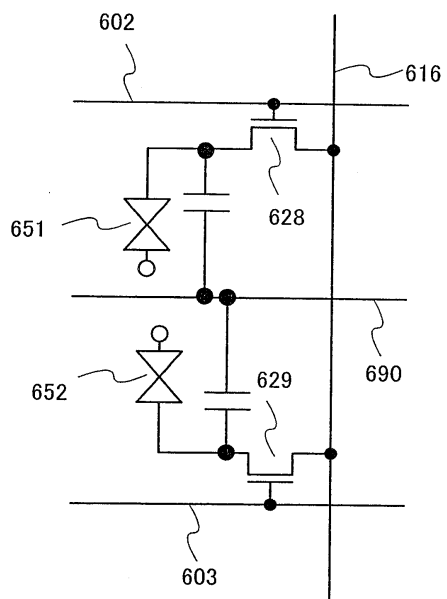
도면18



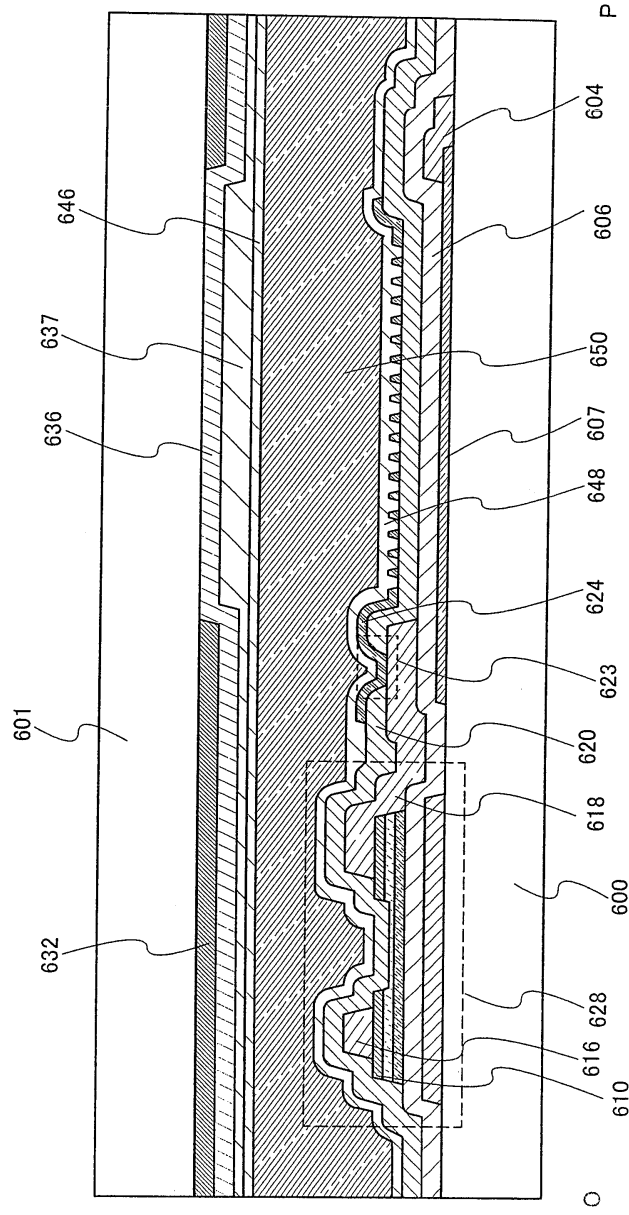
도면19



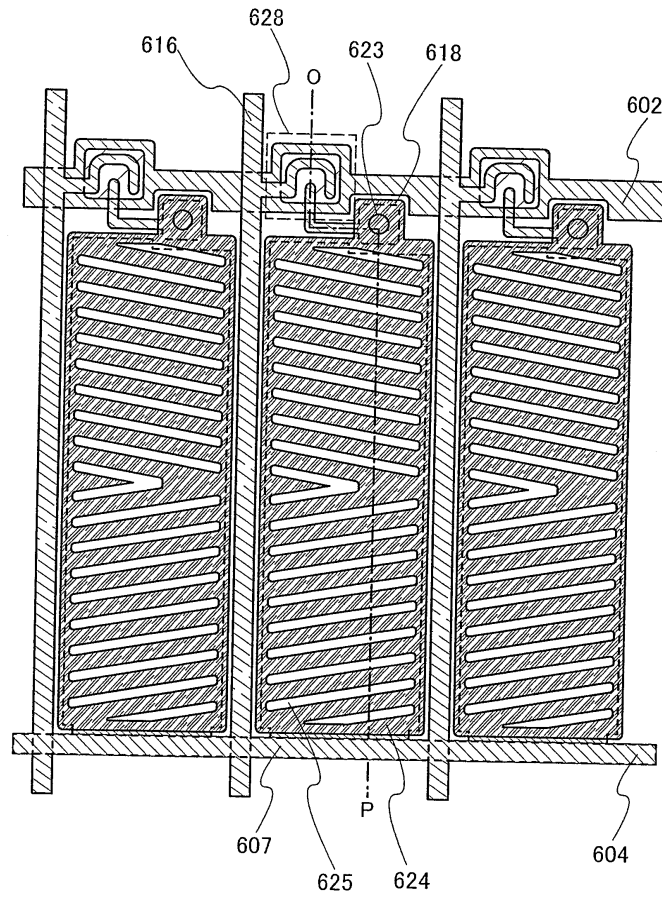
도면20



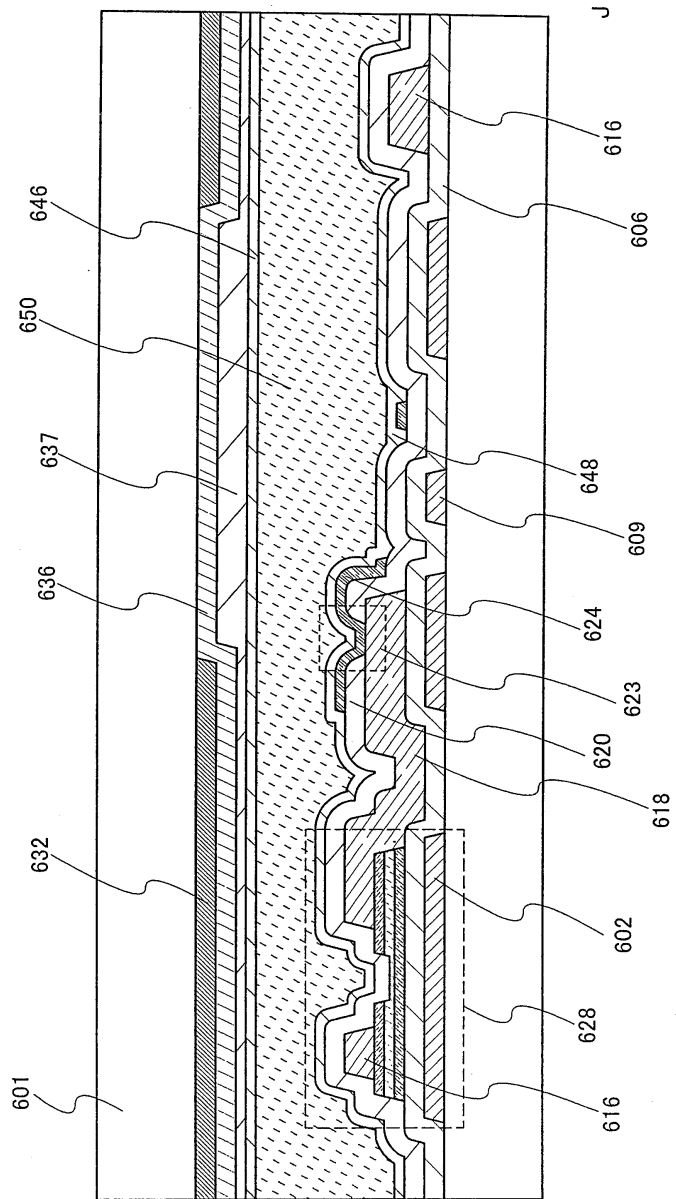
도면21



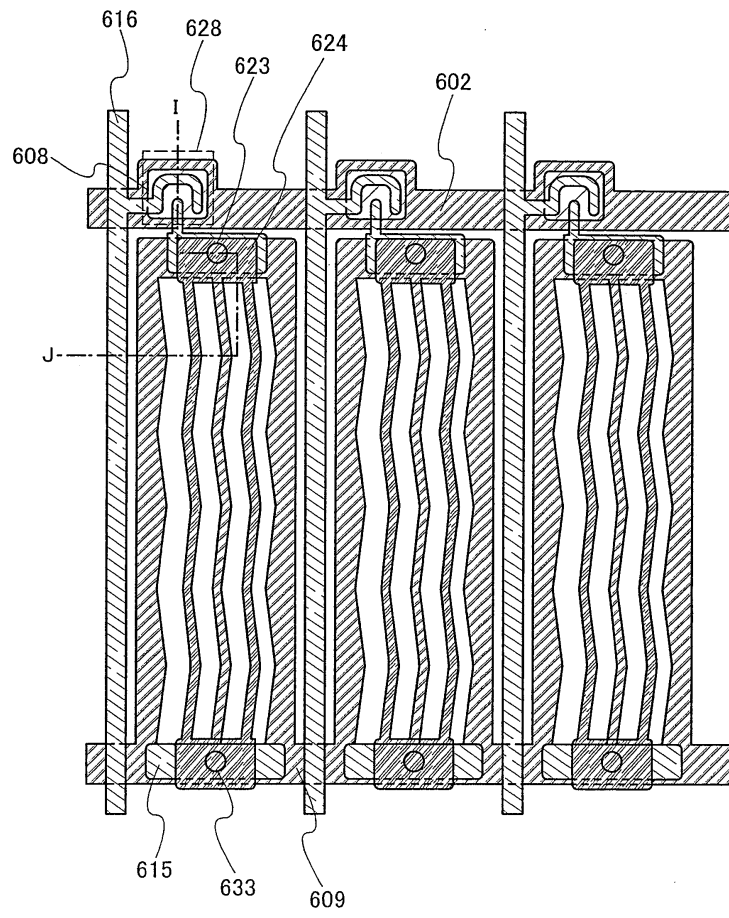
도면22



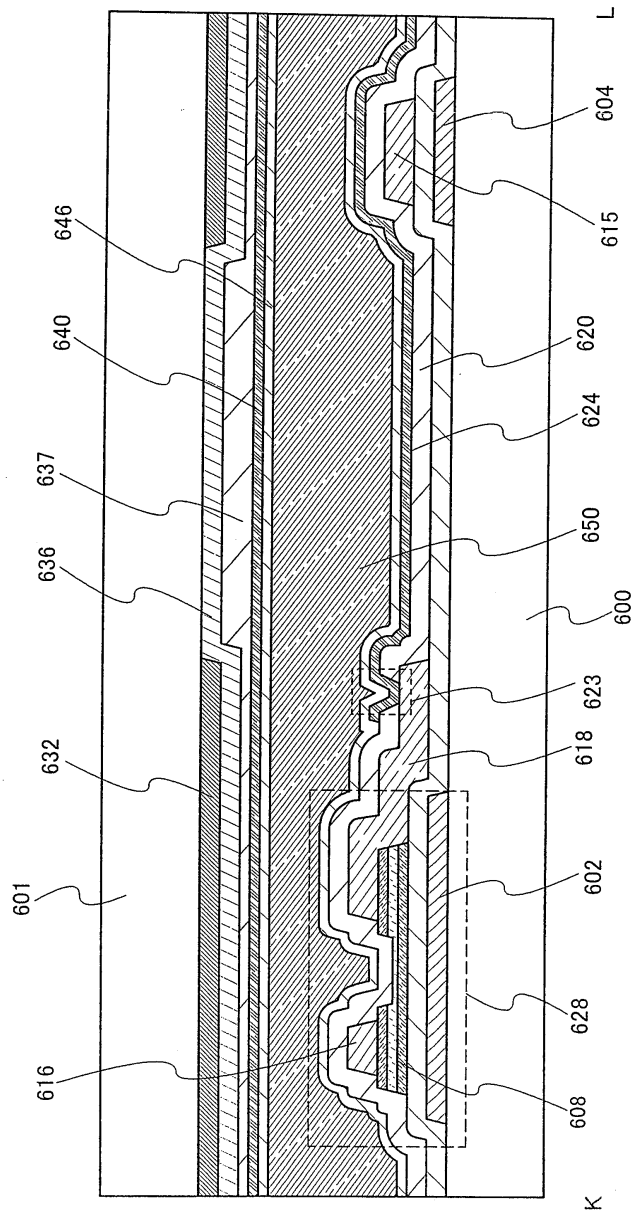
도면23



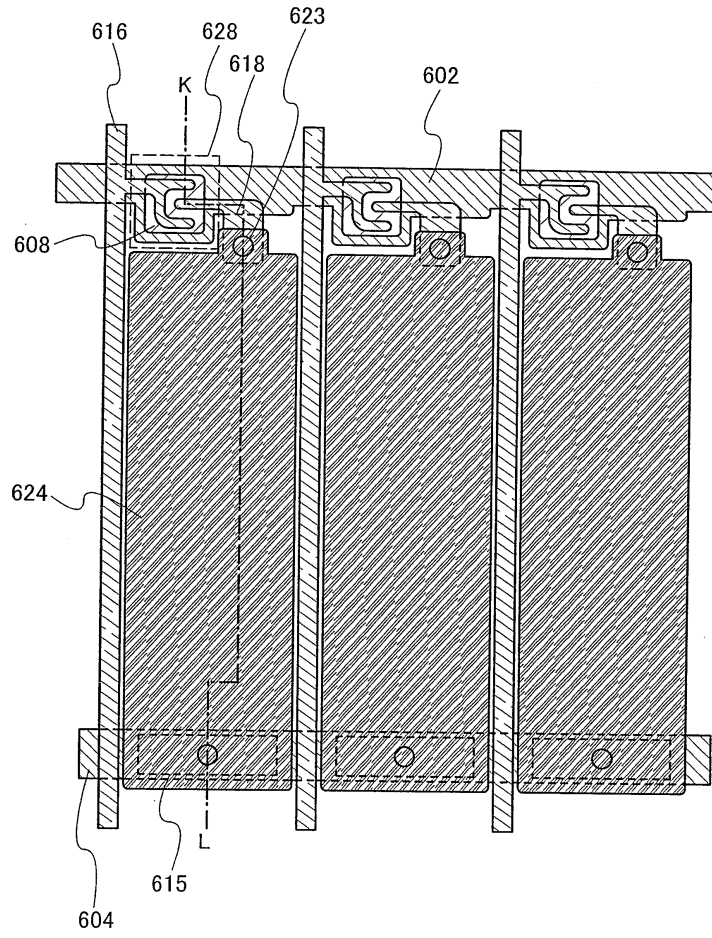
도면24



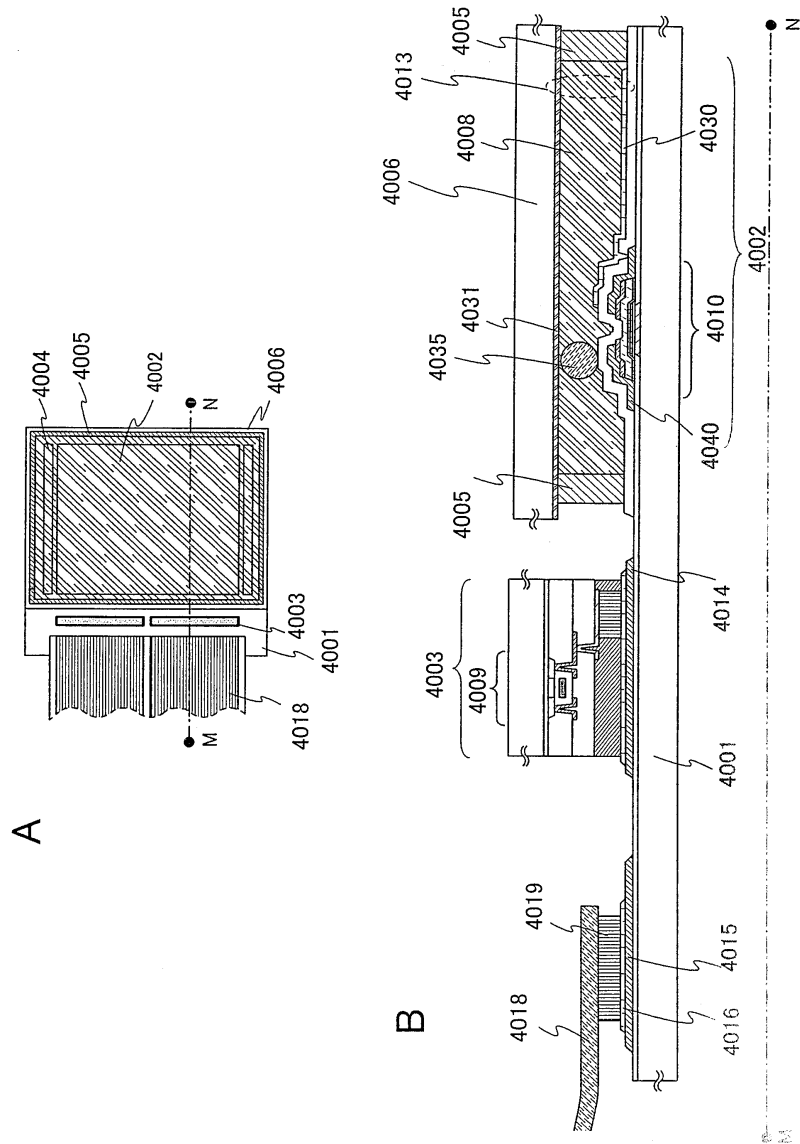
도면25



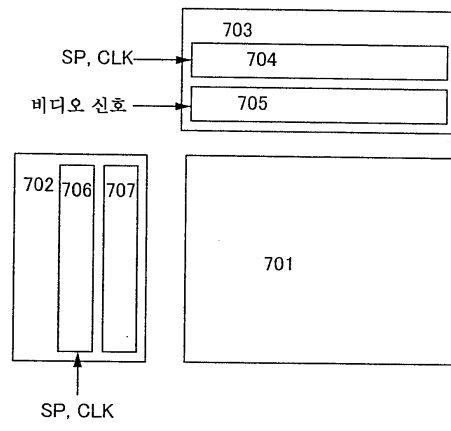
도면26



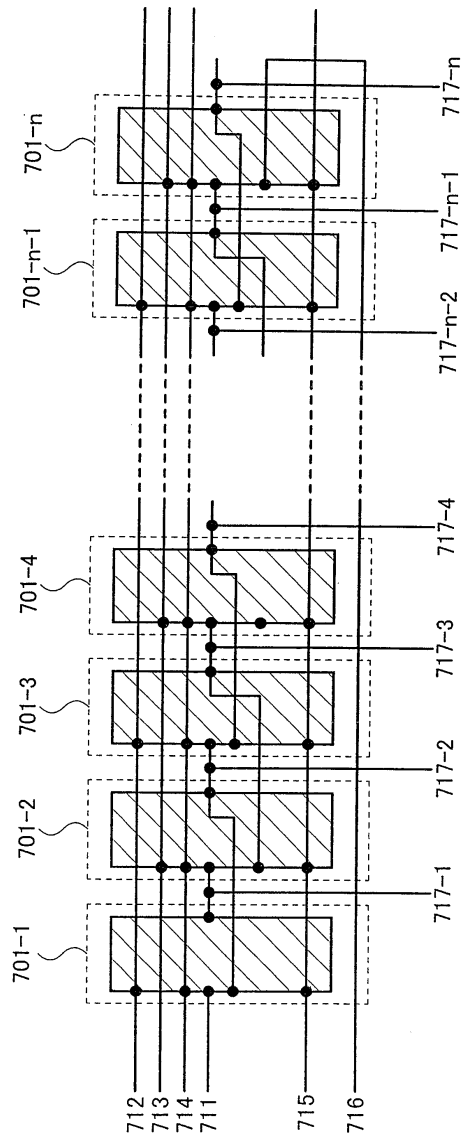
도면27



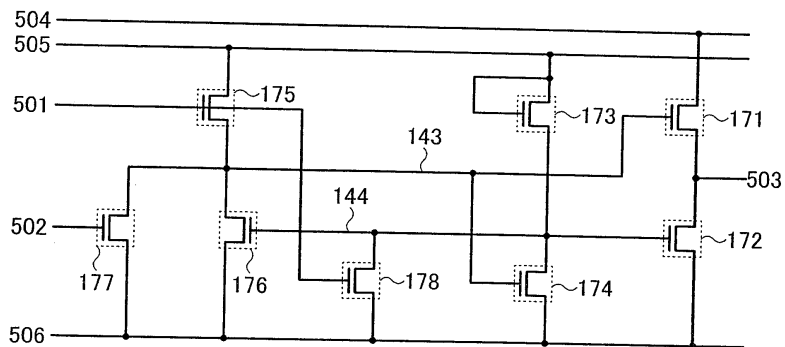
도면28



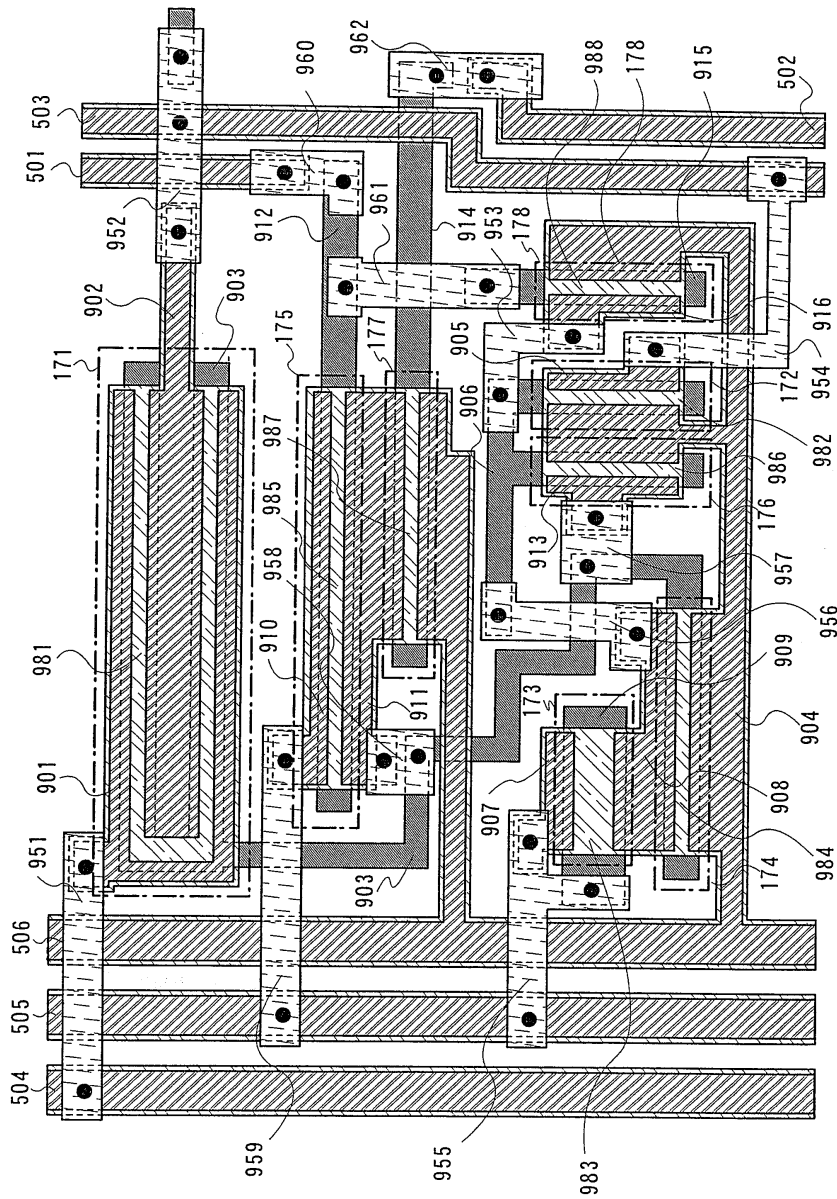
도면29



도면30

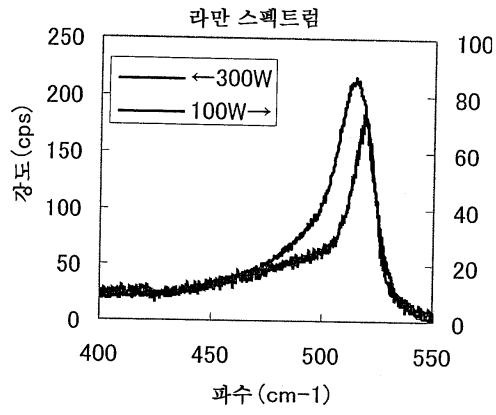


도면31

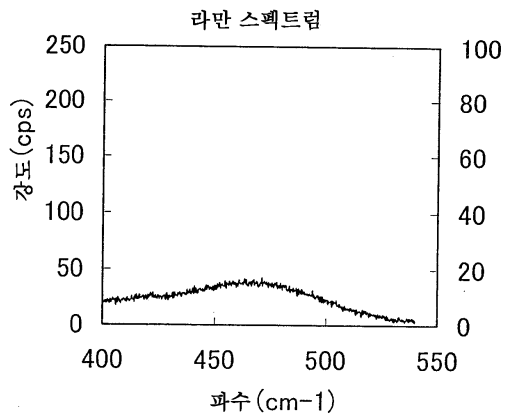


도면32

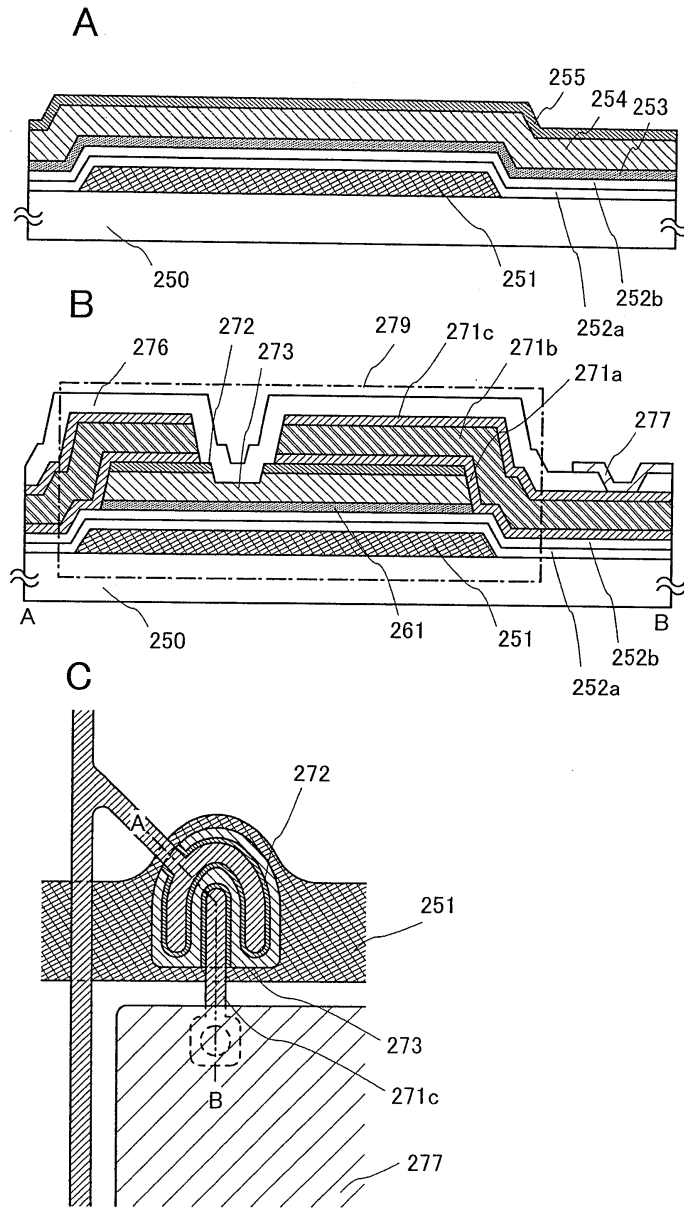
A



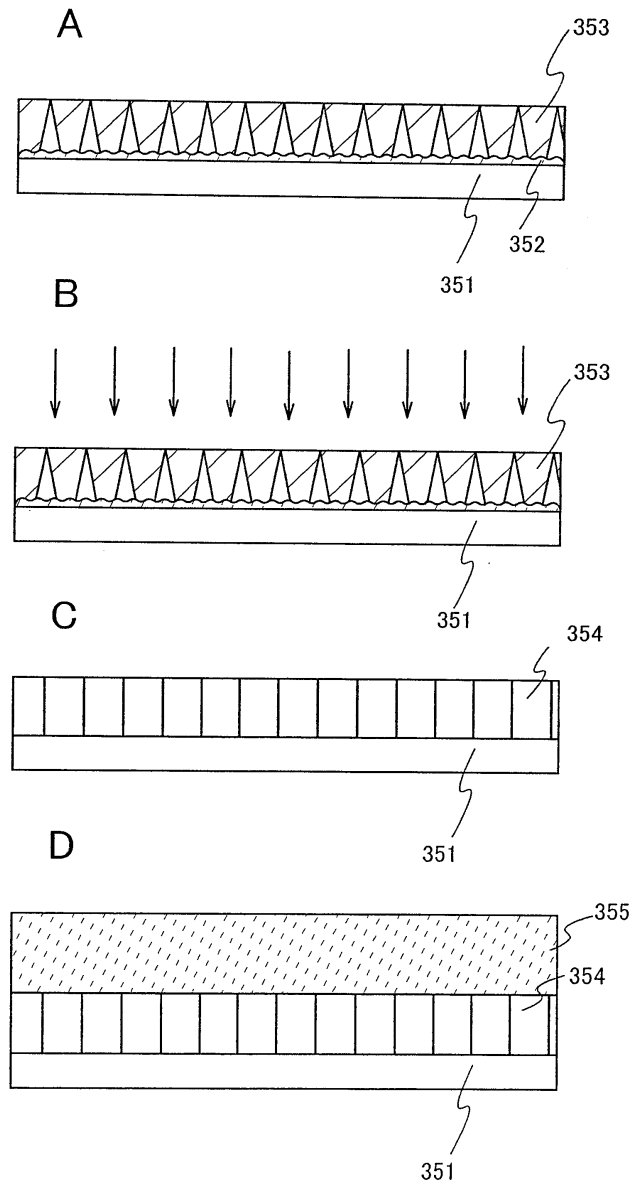
B



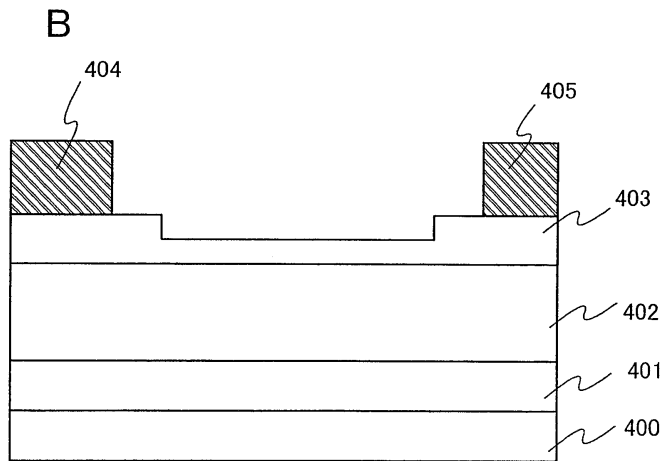
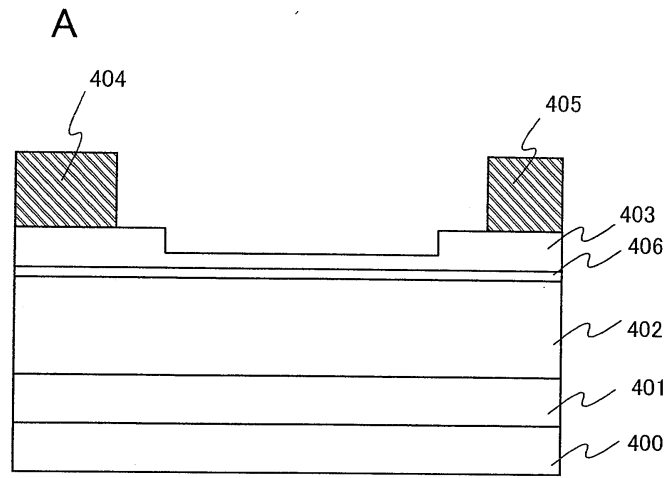
도면33



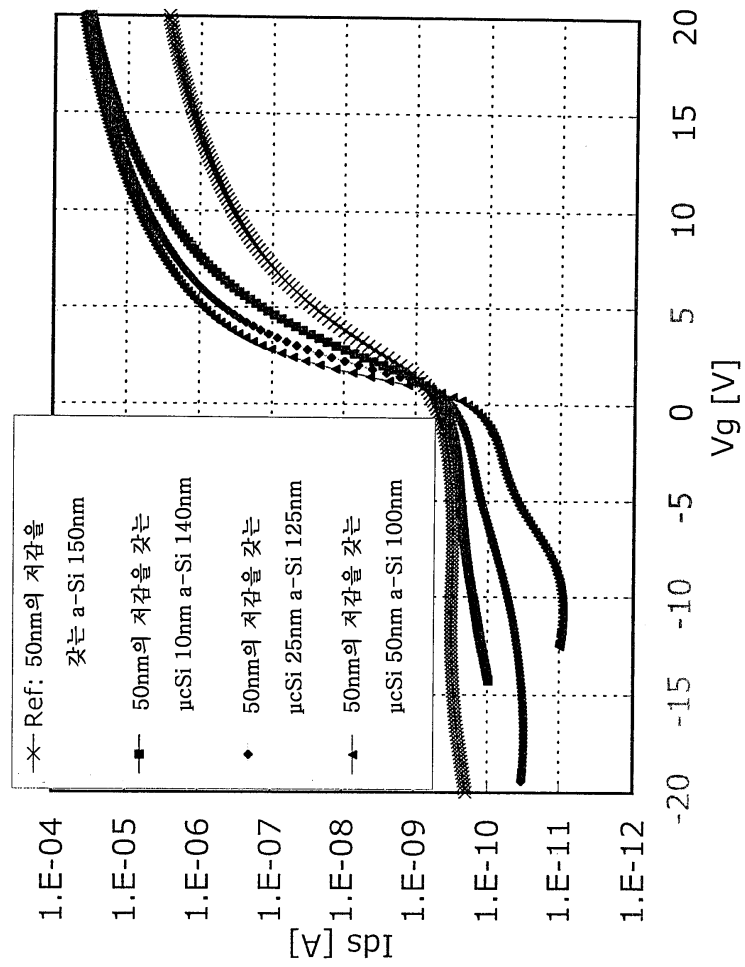
도면34



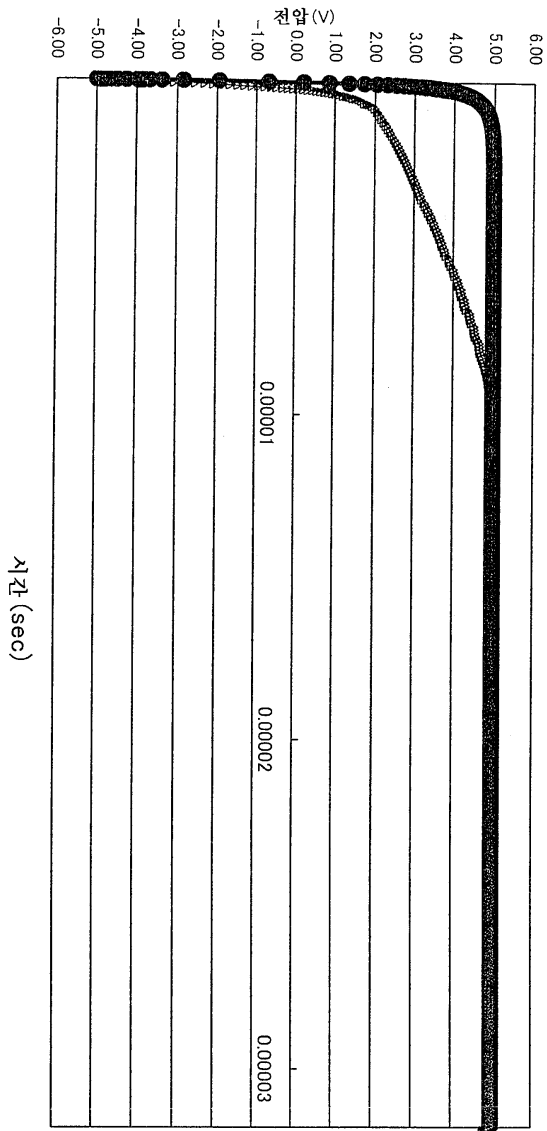
도면35



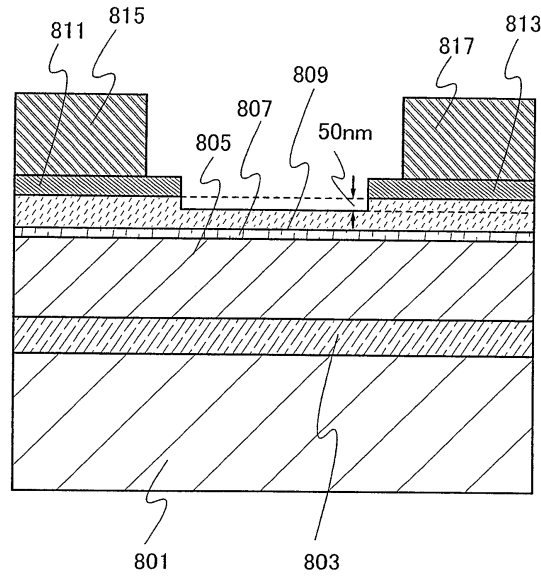
도면36



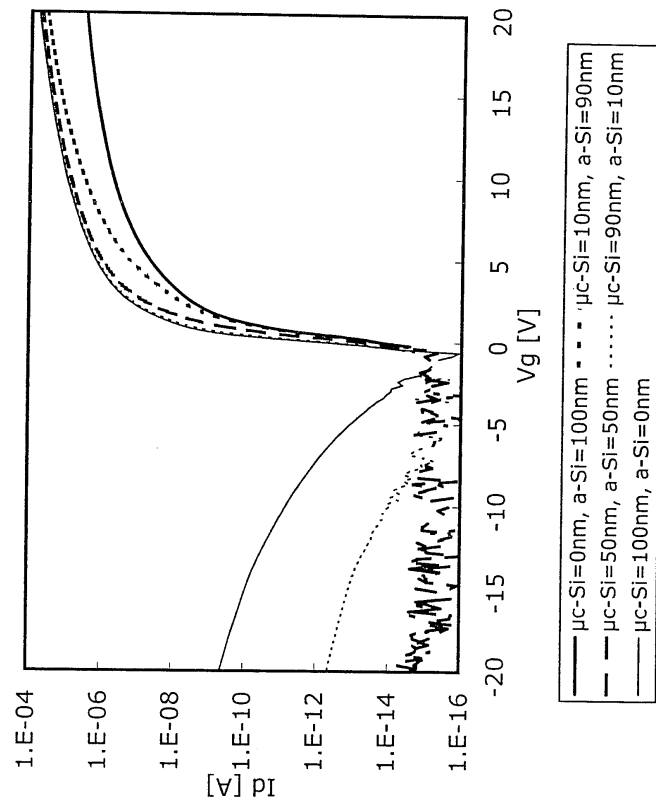
도면37



도면38



도면39



도면40

