

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4138102号
(P4138102)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

G09G 3/30 J
G09G 3/20 611A
G09G 3/20 612F
G09G 3/20 623F
G09G 3/20 623G

請求項の数 9 (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-291213
(22) 出願日 平成10年10月13日(1998.10.13)
(65) 公開番号 特開2000-122608(P2000-122608A)
(43) 公開日 平成12年4月28日(2000.4.28)
審査請求日 平成15年9月11日(2003.9.11)

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、
複数のデータ線と、
前記複数の走査線と前記複数のデータ線の交差に応じて設けられた複数の画素と、
前記複数のデータ線の各々に対応してデジタル/アナログ変換器が設けられ、デジタルデータ信号をアナログデータ信号に変換し前記複数のデータ線の各々に供給するデータ線駆動回路と、
を備え、
前記複数の画素の各々は、
電流駆動型の発光手段と、
前記複数の走査線のうち1の走査線にゲート電極が接続され、前記複数のデータ線のうち1のデータ線に接続された第1トランジスタと、
前記第1トランジスタがオフして前記1のデータ線からの前記アナログデータ信号の供給が終了した後、前記発光手段を発光させる蓄積容量と、
を有し、
前記デジタルデータ信号は、複数のビットのそれぞれに対応した複数のビット信号からなり、

前記デジタル/アナログ変換器は、前記複数のビットのそれぞれに対応して、前記ビットに対応した電流を供給する駆動能力を有する第2トランジスタと、前記ビット信号によ

り制御されるスイッチと、前記発光手段を発光させる際に前記アナログデータ信号に加重電流を付与する加重電流印加手段とを有しており、前記複数のビットのそれぞれに対応した前記第2トランジスタの電流を前記複数のビット信号に応じて加算して前記アナログデータ信号として出力することを特徴とする表示装置。

【請求項2】

請求項1に記載の表示装置において、

前記デジタル/アナログ変換器は、第3トランジスタを有し、

前記複数のビット信号のいずれかが前記スイッチをオン状態とする信号であるとき、前記第3トランジスタはオン状態となり、前記アナログデータ信号に前記加重電流を付与することを特徴とする表示装置。

10

【請求項3】

請求項1または2に記載の表示装置において、

前記デジタル/アナログ変換器は、前記複数の第2トランジスタの各々とカレントミラー回路を構成する第4トランジスタを有することを特徴とする表示装置。

【請求項4】

請求項2に記載の表示装置において、

前記デジタル/アナログ変換器は、前記複数の第2トランジスタの各々とカレントミラー回路を構成する第4トランジスタを有し、

前記第4トランジスタは、前記第3トランジスタとカレントミラー回路を構成することを特徴とする表示装置。

20

【請求項5】

請求項1から4のいずれか一項に記載の表示装置において、

前記データ線駆動回路は、シフトレジスタと、シフトレジスタにより制御され画像信号をサンプリングするサンプリングスイッチと、前記サンプリングスイッチでサンプリングした画像信号をラッチする第1ラッチ回路と、第2ラッチ回路とを備え、

ラッチ信号に応じて前記第1ラッチ回路から前記第2ラッチ回路に転送し、前記複数の走査線のうち1の走査線を選択するタイミングに応じて、前記第2ラッチでラッチしたデジタル画像データを前記デジタル/アナログ変換器に出力することを特徴とする表示装置。

【請求項6】

請求項1から5のいずれか一項に記載の表示装置において、

前記複数の画素の各々において、

前記第1トランジスタは、前記発光手段及び前記蓄積容量の一端に接続されており、

前記発光手段及び前記蓄積容量の他端は、固定電位に接続されていることを特徴とする表示装置。

30

【請求項7】

請求項1から6のいずれか一項に記載の表示装置において、

前記第1トランジスタはポリシリコン薄膜トランジスタであることを特徴とする表示装置。

【請求項8】

請求項1から7のいずれか一項に記載の表示装置において、

各前記発光手段は、ライトエミッティングポリマーであることを特徴とする表示装置。

40

【請求項9】

請求項1から8のいずれか一項に記載の表示装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、いわゆるライトエミッティングポリマー等の電流駆動型の発光素子（すなわち、素子に流される電流量に比例して発光輝度が増加する発光素子）と、当該発光素子の発光動作を制御する薄膜トランジスタ（以下、TFT（Thin Film Transistor）と称する

50

。)とを画素毎に備えたアクティブマトリクス型の表示装置及び当該表示装置を備えた電子機器の技術分野に属し、より詳細には、当該発光素子の駆動方法及び当該発光素子を備えた電子機器の技術分野に属する。

【0002】

【従来の技術】

従来、上記した電流駆動型の発光素子を画素毎に備えるアクティブマトリクス型の表示装置をデジタル化された画像信号で駆動し、当該画像信号に対応する画像を表示する場合には、一般に、当該デジタル化された画像信号をアナログ画像信号に変換した後、データ線及び上記TFT（走査線から供給される走査信号に基づいて駆動され、各発光素子に接続されている。）を介して当該アナログ画像信号を当該発光素子に印加して自発光させる構成が取られている。

10

【0003】

ここで、上記画像信号をアナログ画像信号に変換する際には、いわゆるデジタル/アナログ変換器（以下、単にD/Aコンバータと称する。）を用いる必要がある。

【0004】

このとき、D/Aコンバータとして従来から一般的なものには、いわゆる容量型のD/Aコンバータと、いわゆる抵抗型のD/Aコンバータとがある。

【0005】

このうち、抵抗型のD/Aコンバータには、抵抗をはしご状に接続したいわゆるラダー抵抗を用いたD/Aコンバータがあり、当該ラダー抵抗を用いたD/Aコンバータは集積化が容易なので上記アクティブマトリクス型の表示装置内に組み込むには好適である。

20

【0006】

【発明が解決しようとする課題】

しかしながら、上記ラダー抵抗を用いたD/Aコンバータを用いた場合に、大きな電流値を有する駆動電流を用いて電流駆動型の発光素子を駆動するためには、当該D/Aコンバータを構成する各抵抗の抵抗値を小さくする必要があり、従って全体としての消費電力が増加してしまうという問題点があった。この問題点は、駆動すべき多数の発光素子に対応する多数のデータ線の夫々について上記D/Aコンバータを備えなければならない上記アクティブマトリクス型の表示装置においては、無駄な電流消費を招来するものとして特に大きな影響を及ぼすものである。

30

【0007】

これに対して、上記容量型のD/Aコンバータを用いた場合には、大きな電流値の駆動電流を得るためには、当該D/Aコンバータ内の容量値を大きくする必要があり、この場合には、集積化が困難になってしまうという問題点が生起することとなる。

【0008】

そこで、本発明は、上記の各問題点に鑑みて成されたもので、その課題は、大きな電流値を有する駆動電流を用いて発光素子を駆動することができると共に、無駄な電流消費を抑制して低消費電力化することが可能な表示装置及び当該表示装置を用いた電子機器を提供することにある。

【0009】

40

【課題を解決するための手段】

上記の課題を解決するために、本発明の表示装置は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線の交差に応じて設けられた複数の画素と、前記複数のデータ線の各々に対応してデジタル/アナログ変換器が設けられ、デジタルデータ信号をアナログデータ信号に変換し前記複数のデータ線の各々に供給するデータ線駆動回路と、を備え、前記複数の画素の各々は、電流駆動型の発光手段と、前記複数の走査線のうち1の走査線にゲート電極が接続され、前記複数のデータ線のうち1のデータ線に接続された第1トランジスタと、前記第1トランジスタがオフして前記1のデータ線からの前記アナログデータ信号の供給が終了した後、前記発光手段を発光させる蓄積容量と、を有し、前記デジタルデータ信号は、複数のビットのそれぞれに対応した複数のビット信号

50

からなり、前記デジタル/アナログ変換器は、前記複数のビットのそれぞれに対応して、前記ビットに対応した電流を供給する駆動能力を有する第2トランジスタと、前記ビット信号により制御されるスイッチと、前記発光手段を発光させる際に前記アナログデータ信号に加重電流を付与する加重電流印加手段とを有しており、前記複数のビットのそれぞれに対応した前記第2トランジスタの電流を前記複数のビット信号に応じて加算して前記アナログデータ信号として出力することを特徴とする。

また、本発明の表示装置は、上記の表示装置において、前記デジタル/アナログ変換器は、第3トランジスタを有し、前記複数のビット信号のいずれかが前記スイッチをオン状態とする信号であるとき、前記第3トランジスタはオン状態となり、前記アナログデータ信号に前記加重電流を付与することを特徴とする。

また、本発明の表示装置は、上記の表示装置において、前記デジタル/アナログ変換器は、前記複数の第2トランジスタの各々とカレントミラー回路を構成する第4トランジスタを有することを特徴とする。

また、本発明の表示装置は、上記の表示装置において、前記デジタル/アナログ変換器は、前記複数の第2トランジスタの各々とカレントミラー回路を構成する第4トランジスタを有し、前記第4トランジスタは、前記第3トランジスタとカレントミラー回路を構成することを特徴とする。

また、本発明の表示装置は、上記の表示装置において、前記データ線駆動回路は、シフトレジスタと、シフトレジスタにより制御され画像信号をサンプリングするサンプリングスイッチと、前記サンプリングスイッチでサンプリングした画像信号をラッチする第1ラッチ回路と、第2ラッチ回路とを備え、ラッチ信号に応じて前記第1ラッチ回路から前記第2ラッチ回路に転送し、前記複数の走査線のうち1の走査線を選択するタイミングに応じて、前記第2ラッチでラッチしたデジタル画像データを前記デジタル/アナログ変換器に出力することを特徴とする。

また、本発明の表示装置は、上記の表示装置において、前記複数の画素の各々において、前記第1トランジスタは、前記発光手段及び前記蓄積容量の一端に接続されており、前記発光手段及び前記蓄積容量の他端は、固定電位に接続されていることを特徴とする。

また、本発明に記載の発明は、上記の表示装置において、前記第1トランジスタはポリシリコン薄膜トランジスタであることを特徴とする。

また、本発明の表示装置は、上記の表示装置において、各前記発光手段は、ライトエミッティングポリマーであることを特徴とする。

上記の課題を解決するために、本発明に記載の発明は、透明基板等の基板上にマトリクス状に形成された複数の画素内に夫々含まれる電流駆動型の複数のライトエミッティングポリマー等の発光手段と、デジタルデータ信号に含まれるデジタル値に対応した電流量を有する電流を加算することにより当該デジタルデータ信号をアナログデータ信号に変換し、当該アナログデータ信号を各前記発光手段に印加して当該発光手段を夫々駆動するデータ線駆動回路等の駆動手段と、を備える。

【0010】

請求項1に記載の発明の作用によれば、薄膜化された電流駆動型の複数の発光手段は、基板上にマトリクス状に形成された複数の画素内に夫々含まれる。

【0011】

そして、駆動手段は、デジタルデータ信号に含まれるデジタル値に対応した電流量を有する電流を加算することにより当該デジタルデータ信号をアナログデータ信号に変換し、当該アナログデータ信号を各発光手段に印加して当該発光手段を夫々駆動する。

【0012】

よって、電流駆動型の発光手段を電流加算型のデジタル/アナログ変換駆動手段で駆動するので、大きな駆動能力で発光手段を駆動できると共に、無駄な駆動電流の発生を抑制して低消費電力化することができる。

【0013】

また、本発明に記載の発明は、上記の表示装置において、走査信号が供給される走査線

と、前記駆動手段に接続されると共に、前記アナログデータ信号が供給されるデータ線と、各前記画素内において前記走査線、前記データ線及び前記発光手段に夫々接続され、前記走査線から供給された前記走査信号に対応して前記アナログデータ信号を前記発光手段に供給し、当該発光手段を駆動する T F T 等のスイッチング手段と、を更に備える。

【 0 0 1 4 】

本発明の作用によれば、上記の発明の作用に加えて、走査線には走査信号が供給される。

【 0 0 1 5 】

一方、駆動手段に接続されたデータ線にはアナログデータ信号が供給される。

【 0 0 1 6 】

そして、各画素内において走査線、データ線及び発光手段に夫々接続されスイッチング手段は、走査線から供給された走査信号に対応してアナログデータ信号を発光手段に供給し、当該発光手段を駆動する。

【 0 0 1 7 】

よって、画素毎にスイッチング手段を備えて発光手段を駆動するので、高精細な画像を表示することができる。

【 0 0 1 8 】

また、本発明に記載の発明は、上記の表示装置において、各前記スイッチング手段はポリシリコン薄膜トランジスタであるように構成される。

【 0 0 1 9 】

本発明の作用によれば、上記の発明の作用に加えて、各スイッチング手段がポリシリコン薄膜トランジスタであるので、発光手段を駆動するための大電流が長期間流れても発光手段に対する駆動能力が低下することがない。

【 0 0 2 0 】

また、本発明に記載の発明は、上記の表示装置において、前記駆動手段は、前記デジタルデータ信号により示されるデジタル値に対応した電流量を有する電流を各前記発光手段に印加するカレントミラー回路を含む。

【 0 0 2 1 】

本発明の作用によれば、上記の発明の作用に加えて、駆動手段に含まれるカレントミラー回路は、デジタルデータ信号により示されるデジタル値に対応した電流量を有する電流を各発光手段に印加する。

【 0 0 2 2 】

よって、カレントミラー回路により電流を印加するので、効率的にアナログデータ信号を発光手段に供給することができる。

【 0 0 2 3 】

また、本発明に記載の発明は、上記の表示装置において、前記デジタルデータ信号に対応して前記発光手段を発光させる期間中、当該発光手段の電流 - 輝度特性において輝度が電流量に比例して変化する範囲の電流量以下の予め設定された所定の電流量を有する加重電流を常に各前記発光手段に対して夫々印加する T F T 等の加重電流印加手段を各前記発光手段毎に更に備える。

【 0 0 2 4 】

本発明の作用によれば、上記の発明の作用に加えて、各発光手段毎に備えられた加重電流印加手段は、デジタルデータ信号に対応して発光手段を発光させる期間中、当該発光手段の電流 - 輝度特性において輝度が電流量に比例して変化する範囲の電流量以下の予め設定された所定の電流量を有する加重電流を常に各発光手段に対して夫々印加する。

【 0 0 2 5 】

よって、発光手段において印加されたアナログデータ信号の電流量に比例した輝度が得られるので、供給されたデジタルデータ信号に正確に対応した画像を得ることができる。

【 0 0 2 6 】

また、本発明に記載の発明は、上記の表示装置において、各前記発光手段は、ライトエ

10

20

30

40

50

ミッシングポリマーであるように構成される。

【0027】

本発明の作用によれば、上記の発明の作用に加えて、各発光手段は、ライトエミッティングポリマーであるので、高輝度な画像が得られる。

【0028】

また、本発明に記載の電子機器は、本発明に記載の表示装置を備えて構成される。

【0029】

本発明の作用によれば、電子機器内に本発明に記載の表示装置を備えるので、低消費電力で効率的に画像を表示することができる。

【0030】

【発明の実施の形態】

(I) 表示装置の実施形態

次に、本発明に好適な実施の形態について、図面を用いて説明する。

【0031】

始めに、図1を用いて、本発明が適用されるアクティブマトリクス型の表示装置の全体構成について、その概要を説明する。

【0032】

図1にその平面図を示すように、実施形態の表示装置1では、その基体である透明基板10の中央部分が実際に画像が表示される表示部2とされている。そして、当該透明基板10の表示部2以外の外周部のうち、図1に向かって上側と下側には、表示すべき画像に基づいてデータ線6に対して画像信号を出力するデジタル/アナログ変換駆動手段としてのデータ線駆動回路3と、製造途中や出荷時の表示装置1の品質、欠陥等を検査するための検査回路4とが形成されている。

【0033】

また、当該外周部のうち、図1に向かって左側と右側には、表示すべき画像に基づいて走査線7に対して走査信号を出力する走査線駆動回路5が形成されている。

【0034】

更に、透明基板10上において、検査回路4の外側には、上記画像信号や各種の電圧及びパルス信号等を外部から入力するための実装端子9が形成されている。

【0035】

ここで、表示部2内においては、一のデータ線6と一の走査線7とが交差する領域が一の画素11とされており、当該画素11内には、後述(図3参照)するように、発光手段としてのライトエミッティングポリマーや駆動用のTFT等が形成されている。

【0036】

更に、表示部2においては、後述(図3参照)の蓄積容量のための容量線8が各画素11内で走査線7に平行に配設されている。

【0037】

次に、上述した画素11内に含まれる構成部材について図2及び図3を用いて説明する。なお、図2は、画素11内に薄膜化技術により形成されているTFT等の配置を示す平面図であり、図3は、一の画素11毎の等価回路である。

【0038】

図2に示すように、一の画素11内には、後述するライトエミッティングポリマー(薄膜化されており、より具体的にはスペーサ層、有機発光層及び正孔注入層等が積層されて構成されている。そして、流れる電流の電流量に比例した輝度で自発光する。)に対して電流を印加するための画素電極12と、当該画素電極12に対してデータ線6からの画像信号を供給するためのスイッチング手段としてのTFT13が形成されている。このとき、当該TFT13及び画素電極12は薄膜化されて形成されており、更にTFT13については、ポリシリコンを材料とする半導体層(チャンネル領域、ソース領域及びドレイン領域が形成される半導体層)を備えている。

【0039】

10

20

30

40

50

また、画素電極 1 2 に対向する位置には、当該画素電極 1 2 との間で後述（図 3 参照）する蓄積容量を形成するための上記容量線 8 が配設されている。

【 0 0 4 0 】

ここで、実施形態の表示装置 1 においてライトエミッティングポリマーに用いる発光材料等について、より具体的に説明する。

【 0 0 4 1 】

当該ライトエミッティングポリマーは、発光に寄与する発光体が有機材料である発光素子である。そして、主な特徴としては、以下のようなものが挙げられる。

【 0 0 4 2 】

（ 1 ）インキ化及び溶液化等が容易で薄膜形成能に富んでおり、これにより薄膜化する際に短時間でできると共に、多層薄膜化が容易である。

10

【 0 0 4 3 】

（ 2 ）薄膜化した時の物理的強度が高く、これによりエージング（経年変化）による結晶化又は凝集が生じ難いと共に黒点のような表示欠陥が発生し難い。

【 0 0 4 4 】

（ 3 ）所望の形状へのパターンニングが容易であり、感光性を有する材料を用いることが可能で、インクジェット技術や印刷技術等を用いて直接的にパターンニングすることができる。

【 0 0 4 5 】

（ 4 ）分子設計が極めて多様で、機能付加又は発光色の制御等が可能であり、これにより、色再現性が高く、さらに感光性を機能付加することが可能である。

20

【 0 0 4 6 】

更に、当該有機材料として用いられる物質について具体的には、赤からオレンジ色の発光色を有するものとしては、例えば、ポリ[2 - (2' - エチルヘキシロキシ) - 5 - メトキシ - 1, 4 - フェニレンビニレン]（略称 MEH - PPV）、ポリ[2 - (3, 7 - ジメチルオクチロキシ) - 5 - メトキシ - 1, 4 - フェニレンビニレン]（同 OC₁C₁₀PPV）又はポリ[2 - (2' - エチルヘキシロキシ) - 5 - メトキシ - 1, 4 - フェニレン - (1 - シアノビニレン)]（同 MEH - CN - PPV）等があり、また赤色の発光色を有するものとしては、ポリ[2, 5 - ビス(ヘキシロキシ) - 1, 4 - フェニレン - (1 - シアノビニレン)]（同 CN - PPV）又はポリチオフェン等があり、更に緑色の発光色を有するものとしては、ポリ(パラ - フェニレンビニレン)（同 PPV）又はポリ[2 - (ジメチルオクチルシリル) - 1, 4 - フィニレンビニレン]（同 DMOS - PPV）等があり、青から緑色の発光色を有するものとしては、m - LPPP 等があり、青色の発光色を有するものとしては、ポリ(パラフェニレン)（同 PPP）、DO - PPP、PDAF 又は P3V / P5V 等がある。

30

【 0 0 4 7 】

次に、一の画素 1 1 内に含まれている各構成部材の等価回路について、図 3 を用いて説明する。

【 0 0 4 8 】

図 3 に示すように、一の画素 1 1 内においては、TF T 1 3 のゲート電極 G が走査線 7 に接続され、ソース電極 S がデータ線 6 に接続され、更にドレイン電極 D はライトエミッティングポリマー 1 4 及び蓄積容量 1 5 の一端に夫々接続されている。そして、当該ライトエミッティングポリマー 1 4 及び蓄積容量 1 5 の他端は、図示しない所定の固定電位に夫々共通的に接続されている。

40

【 0 0 4 9 】

次に、図 3 に示す等価回路を用いて一の画素 1 1 における発光動作について説明する。

【 0 0 5 0 】

ライトエミッティングポリマー 1 4 が消灯している初期状態においては、走査線 7 に走査信号は印加されておらず、従って、TF T 1 3 はオフ状態である。

【 0 0 5 1 】

50

次に、後述するデータ線駆動回路3の動作によりデータ線6に対して画像信号に対応したアナログ画像信号が供給され、当該アナログ画像信号の供給に対応するタイミングで走査線7に対して走査線駆動回路5から走査信号が印加されると、TFT13はオン状態となり、データ線6により伝送されるアナログデータ信号がソース電極Sからドレイン電極Dへ流れ、更にライトエミッティングポリマー14及び蓄積容量15における一方の電極に印加される。

【0052】

そして、印加されたアナログデータ信号の電流量に比例した輝度で当該ライトエミッティングポリマー14が自発光を開始すると共に、蓄積容量15に電荷が蓄積され始める。

【0053】

その後は、データ線6からのアナログデータ信号の供給が終了しても、蓄積容量15に蓄積された電荷が残存している間は引き続きライトエミッティングポリマー14に電流が流れ続け、発光が継続される。

【0054】

次に、本発明に係るデータ線駆動回路3の構成及び動作について、図4及び図5を用いて説明する。なお、図4は当該データ線駆動回路3の概要構成を示すブロック図であり、図5は、図4に示すデータ線駆動回路3のうち後述する第2ラッチ回路とD/Aコンバータの一の画素11のみに対応する部分の細部構成を示す回路図である。

【0055】

また、以下に説明するデータ線駆動回路3の構成は、実装端子9を介して外部から入力される画像信号が3ビットのデジタル画像信号である場合について説明するものである。更に、図4に示すデータ線駆動回路3は、各TFT13をいわゆる線順次に駆動するための駆動回路である。

【0056】

図4に示すように、データ線駆動回路3は、シフトレジスタ20と、スイッチ24及び25と、第1ラッチ回路21と、第2ラッチ回路22と、一のデータ線6毎に設けられたD/Aコンバータ23とにより構成されている。

【0057】

また、第1ラッチ回路21は、画像信号における各ビットに対応して、ラッチ回路21Aとラッチ回路21Bとラッチ回路21Cとにより構成されている。

【0058】

更に、第2ラッチ回路22は、画像信号における各ビットに対応して、ラッチ回路22Aとラッチ回路22Bとラッチ回路22Cとにより構成されている。

【0059】

次に、動作を説明する。

【0060】

スイッチ25及び第1ラッチ回路21は、外部から入力される3ビットのデジタル画像信号Sgを、シフトレジスタ20の制御に基づいてサンプリングする。

【0061】

次に、スイッチ24は、外部から入力されるラッチ信号S1で示されるタイミングで、上記サンプリングされた各ビット毎のデジタル画像信号Sgを第2ラッチ回路22内の夫々のラッチ回路22A乃至22Cへ転送する。

【0062】

そして、第2ラッチ回路22は、各画素11内のライトエミッティングポリマー14を線順次駆動するタイミングで、上記転送された各ビット毎のデジタル画像信号Sgを夫々のデータ線6毎にD/Aコンバータ23へ出力する。

【0063】

次に、各D/Aコンバータ23は、入力されているデジタル画像信号Sgを各データ線6毎に当該デジタル画像信号Sgで示されるデジタル値に比例した大きさの電流値を有するアナログ画像信号に変換し、各データ線6に供給する。

10

20

30

40

50

【 0 0 6 4 】

その後、当該アナログ画像信号により、上記各 T F T 1 3 を介してライトエミッティングポリマー 1 4 に所定の電流が印加され、当該ライトエミッティングポリマー 1 4 が発光されることとなる。

【 0 0 6 5 】

次に、図 5 を用いて、本発明に係る D / A コンバータ 2 3 の細部構成及び動作について説明する。

【 0 0 6 6 】

図 5 に示すように、D / A コンバータ 2 3 は、デジタル画像信号 Sg における第 1 ビット (2^0 に相当する。) を示す第 1 ビット信号 Sga に対応した設けられたスイッチ 3 0 A、3 1 A 及び T F T 3 2 A と、デジタル画像信号 Sg における第 2 ビット (2^1 に相当する。) を示す第 2 ビット信号 Sgb に対応した設けられたスイッチ 3 0 B、3 1 B 及び T F T 3 2 B と、デジタル画像信号 Sg における第 3 ビット (2^2 に相当する。) を示す第 3 ビット信号 Sgc に対応した設けられたスイッチ 3 0 C、3 1 C 及び T F T 3 2 C と、各ビットに共通的に設けられた T F T 3 3 及び加重電流印加手段としての T F T 3 4 と、抵抗 3 5 乃至 3 8 と、ゲート切換回路 3 9 とにより構成されている。ここで、図 5 から明らかなように、T F T 3 2 A、3 2 B、3 2 C 及び 3 4 の夫々と T F T 3 3 とでカレントミラー回路を構成している。

【 0 0 6 7 】

更に、T F T 3 2 A、3 2 B、3 2 C の夫々におけるチャンネル幅は、T F T 3 2 A のチャンネル幅を W とすると、T F T 3 2 B のチャンネル幅は 2 W であり、T F T 3 2 C のチャンネル幅は 4 W とされている。なお、このとき、T F T 3 2 A、3 2 B、3 2 C、3 3 及び 3 4 のチャンネル長は相等しいものとする。

【 0 0 6 8 】

これにより、T F T 3 3 と T F T 3 2 A が同時にオン状態となったときに T F T 3 2 A に流れる電流 I は、T F T 3 3 に流れる電流を i とし、T F T 3 3 のチャンネル幅を w とすると、

$$I = i \times (W / w)$$

となり、次に、T F T 3 3 と T F T 3 2 B が同時にオン状態となったときに T F T 3 2 B に流れる電流 I ' は、

$$I' = i \times (2W / w) = 2I$$

となる。更に、T F T 3 3 と T F T 3 2 C が同時にオン状態となったときに T F T 3 2 C に流れる電流 I " は、

$$I'' = i \times (4W / w) = 4I$$

となる。

【 0 0 6 9 】

一方、T F T 3 4 のチャンネル幅は、T F T 3 3 と当該 T F T 3 4 とが同時にオン状態となったときに、ライトエミッティングポリマー 1 4 の電流 - 輝度特性 (図 6 参照) において輝度が電流量に比例して変化する範囲の電流量のうち最も小さい電流量 I t を有する電流が T F T 3 4 に流れるようなチャンネル幅とされている。

【 0 0 7 0 】

次に、動作を説明する。

【 0 0 7 1 】

図 5 に示すように、ラッチ回路 2 2 A は、第 1 ビット信号 Sga に基づき、画素 1 1 を線順次に駆動するタイミングで、当該第 1 ビット信号 Sga が「 1 」のときスイッチ 3 1 A をオンすると同時にスイッチ 3 0 A をオフとする。更に同様のタイミングで、当該第 1 ビット信号 Sga が「 0 」のときスイッチ 3 1 A をオフすると同時にスイッチ 3 0 A をオンとする。

【 0 0 7 2 】

これと同様に、ラッチ回路 2 2 B は、第 2 ビット信号 Sgb に基づき、ラッチ回路 2 2 A と

10

20

30

40

50

同じ画素 1 1 を線順次に駆動するタイミングで、当該第 2 ビット信号 S_{gb}が「1」のときスイッチ 3 1 B をオンとすると同時にスイッチ 3 0 B をオフとする。更に同様のタイミングで、当該第 2 ビット信号 S_{gb}が「0」のときスイッチ 3 1 B をオフとすると同時にスイッチ 3 0 B をオンとする。

【0073】

更にまた、ラッチ回路 2 2 C は、第 3 ビット信号 S_{gc}に基づき、ラッチ回路 2 2 A 又は 2 2 B と同じ画素 1 1 を線順次に駆動するタイミングで、当該第 3 ビット信号 S_{gc}が「1」のときスイッチ 3 1 C をオンとすると同時にスイッチ 3 0 C をオフとする。更に同様のタイミングで、当該第 3 ビット信号 S_{gc}が「0」のときスイッチ 3 1 C をオフとすると同時にスイッチ 3 0 C をオンとする。

10

【0074】

これにより、TFT 3 2 A、3 2 B 及び 3 2 C は、当該各スイッチ 3 0 A 乃至 3 0 C 及び 3 1 A 乃至 3 1 C の動作に基づいて、夫々に TFT 3 3 とカレントミラー回路を構成し、夫々各ビットの「1」又は「0」に応じて上記電流 I、I' 又は I'' をデータ線 6 に供給するか（ビットが「1」のとき）又は供給しないように（ビットが「0」のとき）する。

【0075】

そして、TFT 3 2 A、3 2 B 又は 3 2 C を流れた電流 I、I' 又は I'' は、相互に加算され、アナログ画像信号 S_aとしてデータ線 6 を介して TFT 1 3 のドレイン電極 D に印加される。

【0076】

20

次に、上述した動作をより具体的に例示しつつ図 5 を用いて説明する。

【0077】

以下の説明では、例として、第 2 ビット信号 S_{gb}及び第 3 ビット信号 S_{gc}が夫々「1」であり、第 1 ビット信号 S_{ga}が「0」である場合、すなわち、デジタル画像信号 S_gとして「6」（ $= 2^0 \times 0 + 2^1 \times 1 + 2^2 \times 1$ ）が入力されている場合について説明する。

【0078】

デジタル値「6」を有するデジタル画像信号 S_gは、上記第 1 ラッチ回路 2 1 及びスイッチ 2 5 によりサンプリングされた後、夫々のビット毎に第 1 ビット信号 S_{ga}、第 2 ビット信号 S_{gb}又は第 3 ビット信号 S_{gc}として夫々ラッチ回路 2 2 A、2 2 B 及び 2 2 C に入力される。

30

【0079】

このとき、第 1 ビット信号 S_{ga}は「0」であるので、ラッチ回路 2 2 A は、画素 1 1 を線順次に駆動するタイミングで、スイッチ 3 1 A をオフとすると同時にスイッチ 3 0 A をオンとする。これにより、TFT 3 2 A においては電流 I は流れない。

【0080】

一方、第 2 ビット信号 S_{gb}は「1」であるので、ラッチ回路 2 2 B は、画素 1 1 を線順次に駆動するタイミングで、スイッチ 3 0 B をオフとすると同時にスイッチ 3 1 B をオンとする。これにより、TFT 3 2 B には上記電流 I'（ $= 2 I$ ）が流れる。

【0081】

次に、第 3 ビット信号 S_{gc}は「1」であるので、ラッチ回路 2 2 C は、画素 1 1 を線順次に駆動するタイミングで、スイッチ 3 0 C をオフとすると同時にスイッチ 3 1 C をオンとする。これにより、TFT 3 2 C には上記電流 I''（ $= 4 I$ ）が流れる。

40

【0082】

従って、アナログ画像信号 S_aとして TFT 1 3 に供給される電流値は、 $2 I + 4 I = 6 I$

となる。今、デジタル画像信号 S_gとして入力されたデジタル値は「6」であるので、これにより、ライトエミティングポリマー 1 4 が当該デジタル値に対応する輝度（すなわち、デジタル値「1」に対応する輝度の 6 倍の輝度）で発光することとなる。

【0083】

一方、上述した TFT 3 2 A 乃至 3 2 C の動作と並行して、ゲート切換回路 3 9 は、第 1

50

ビット信号 S_{ga}乃至第3ビット信号 S_{gc}のうち、いずれか一の信号が「1」のとき、TFT34をオン状態とする。

【0084】

このとき、TFT34は、TFT33との間で常にカレントミラー回路を構成しており、当該TFT34がオン状態となると、ライトエミティングポリマー14の輝度が電流量に比例して変化する範囲の電流量のうち最も小さい電流量 I_tを有する電流をデータ線6に供給するように構成されているので、結果として、画素11内のライトエミティングポリマー14をいずれかの輝度で点灯させるときには、電流値 I_tを有する加重電流が上記アナログ画像信号 S_aに常に重畳されて流れていることとなる。

【0085】

従って、ライトエミティングポリマー14の輝度が流れる電流値に比例して変化する範囲で上記アナログ画像信号 S_aが供給されるので、当該ライトエミティングポリマー14もアナログ画像信号 S_aの電流値(すなわち、デジタル画像信号 S_gのデジタル値)に正確に比例した輝度で発光することとなる。

【0086】

以上説明したように、実施形態の表示装置1の動作によれば、電流駆動型のライトエミティングポリマー14を電流加算型のD/Aコンバータ23で駆動するので大きな駆動能力で駆動できると共に、ライトエミティングポリマー14を直接駆動する電流のみ用いるので、無駄な駆動電流の発生を抑制して低消費電力化することができる。

【0087】

更に、画素11毎にTFT13を備えてライトエミティングポリマー14を駆動するので、高精細であり且つ映像にクロストークのない高品位な画像を表示することができる。

【0088】

また、各TFT13がポリシリコンにより形成されている薄膜トランジスタであるので、ライトエミティングポリマー14を駆動するための大電流が長期間流れてもその駆動能力が低下することがない。

【0089】

更にまた、D/Aコンバータ23内でカレントミラー回路を構成してアナログ画像信号 S_aを印加するので、効率的にアナログ画像信号 S_aをライトエミティングポリマー14に供給することができる。

【0090】

また、他方式のD/Aコンバータに比しても、構成に必要な素子数が極めて少ないため、特に表示装置のように狭ピッチに配置される必要がある駆動回路として適している。

【0091】

更に、自発光する素子がライトエミティングポリマー14であるので、適当な有機材料を分子設計することで高輝度且つ色再現性の豊かな画像が得られる。

【0092】

なお、上記の実施形態では発光素子としてライトエミティングポリマー14を用いた場合について説明したが、本発明は、これ以外に、有機又は無機のEL(ElectroLuminescence)素子等の電流駆動型の発光素子を用いた表示装置に対して広く適用することが可能である。

【0093】

(11) 電子機器の実施形態

次に、上述した実施形態の表示装置1を用いた種々の電子機器の実施形態について、図7乃至図9を用いて説明する。

【0094】

上述の表示装置1を用いて構成される電子機器は、図7に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。

【0095】

10

20

30

40

50

このうち、表示情報出力源 1 0 0 0 は、R O M (Read Only Memory)、R A M (Random Access Memory) などのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路 1 0 0 8 からのクロック信号に基づいて、ビデオ信号などの表示情報を出力する。

【 0 0 9 6 】

表示情報処理回路 1 0 0 2 は、クロック発生回路 1 0 0 8 からのクロック信号に基づいて表示情報を処理して出力する。この表示情報処理回路 1 0 0 2 は、例えば増幅回路、相展開回路、ローテーション回路或いはクランプ回路等を含むことができる。

【 0 0 9 7 】

次に、表示駆動回路 1 0 0 4 は、走査側駆動回路及びデータ側駆動回路を含んで構成され、表示パネル 1 0 0 6 を表示駆動する。

【 0 0 9 8 】

そして、電源回路 1 0 1 0 は、上述の各回路に電力を供給する。

【 0 0 9 9 】

上述した構成の電子機器として、図 8 に示すマルチメディア対応のパーソナルコンピュータ (P C) 及びエンジニアリング・ワークステーション (E W S)、或いは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、P O S 端末、タッチパネルを備えた装置などを挙げることができる。

【 0 1 0 0 】

図 8 に示すパーソナルコンピュータ 1 2 0 0 は、キーボード 1 2 0 2 を備えた本体部 1 2 0 4 と、本発明の表示装置を含む表示部 1 2 0 6 とを有する。

【 0 1 0 1 】

【発明の効果】

以上説明したように、本発明によれば、電流駆動型の発光手段を電流加算型のデジタル/アナログ変換駆動手段で駆動するので、大きな駆動能力で発光手段を駆動できると共に、無駄な駆動電流の発生を抑制して低消費電力化することができる。

【 0 1 0 2 】

従って、低消費電力で効率的に高輝度な画像を得ることができる。

【図面の簡単な説明】

【図 1】表示装置の全体構成を示す平面図である。

【図 2】画素部分の具体的な構成を示す平面図である。

【図 3】画素部分の等価回路である。

【図 4】データ線駆動回路の構成を示すブロック図である。

【図 5】D / A コンバータの細部構成を示す回路図である。

【図 6】ライトエミティングポリマーにおける電流 - 輝度特性を示す図である。

【図 7】電子機器の概要構成を示すブロック図である。

【図 8】パーソナルコンピュータの外観を示す正面図である。

【符号の説明】

1 ... 表示装置

2 ... 表示部

3 ... データ線駆動回路

4 ... 検査回路

5 ... 走査線駆動回路

6 ... データ線

7 ... 走査線

8 ... 容量線

9 ... 実装端子

1 0 ... 透明基板

1 1 ... 画素

10

20

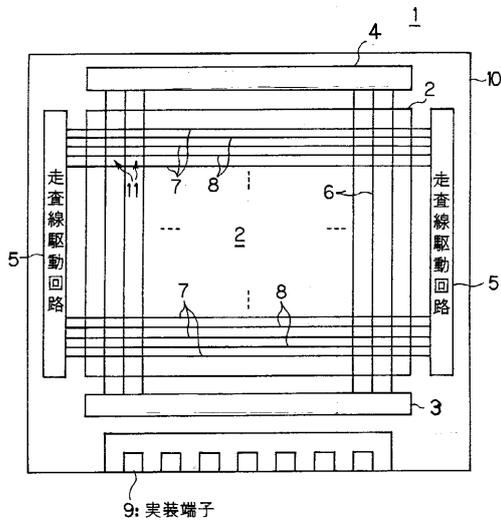
30

40

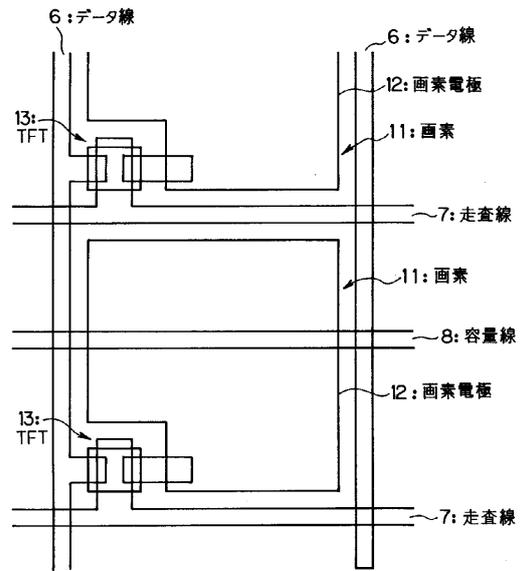
50

- 1 2 ... 画素電極
- 1 3、3 2 A、3 2 B、3 2 C、3 3、3 4 ... T F T
- 1 4 ... ライトエミティングポリマー
- 1 5 ... 蓄積容量
- 2 0 ... シフトレジスタ
- 2 1 ... 第 1 ラッチ回路
- 2 1 A、2 1 B、2 1 C、2 2 A、2 2 B、2 2 C ... ラッチ回路
- 2 2 ... 第 2 ラッチ回路
- 2 3 ... D / A コンバータ
- 2 4、2 5、3 0 A、3 0 B、3 0 C、3 1 A、3 1 B、3 1 C ... スイッチ
- G ... ゲート電極
- D ... ドレイン電極
- S ... ソース電極
- S g ... デジタル画像信号
- S ga ... 第 1 ビット信号
- S gb ... 第 2 ビット信号
- S gc ... 第 3 ビット信号
- S a ... アナログ画像信号
- S l ... ラッチ信号

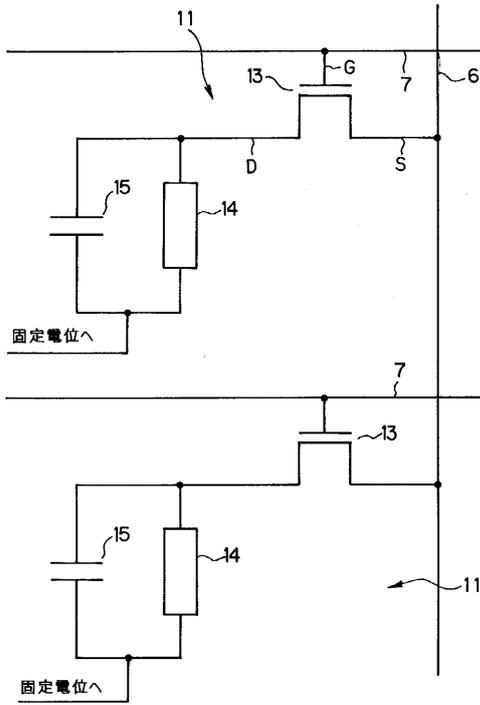
【 図 1 】



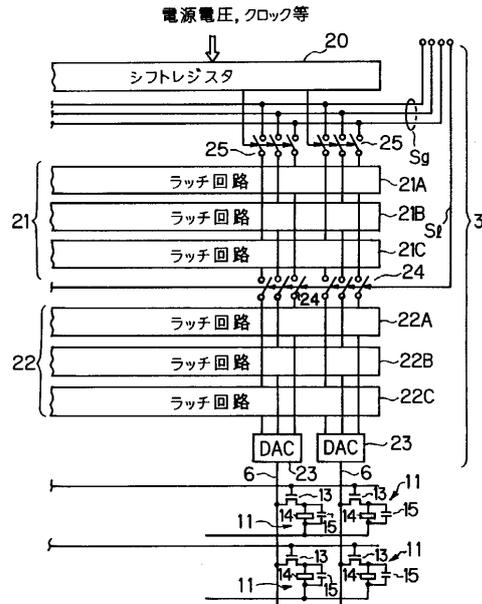
【 図 2 】



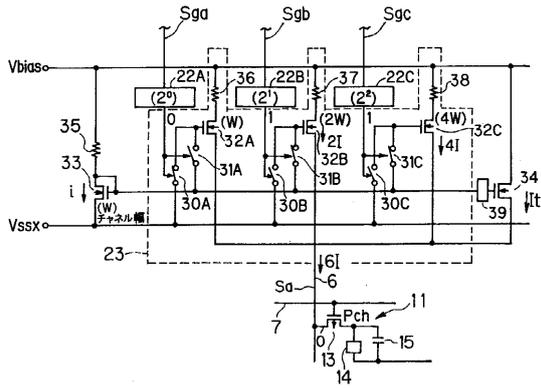
【図3】



【図4】

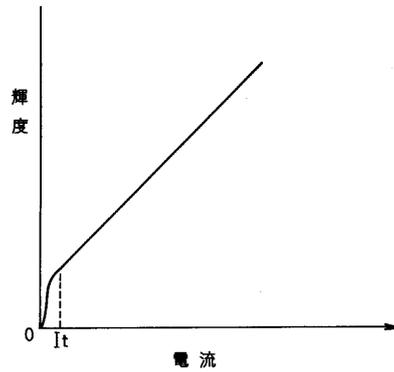


【図5】

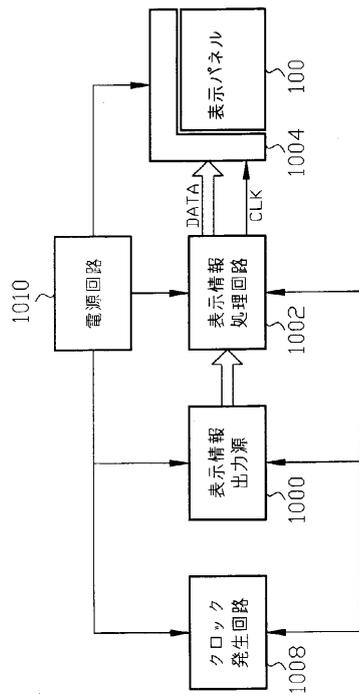


【図6】

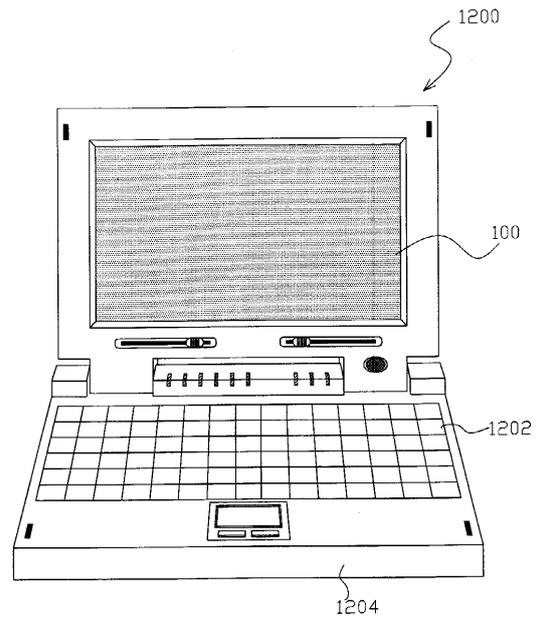
ライトエミッティングポリマーにおける電流-輝度特性



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 H
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/30 K

(56)参考文献 特開平 1 0 - 1 1 2 3 9 1 (J P , A)
特開平 0 4 - 0 4 2 6 1 9 (J P , A)
特開平 0 8 - 0 5 4 8 3 6 (J P , A)
特開平 0 4 - 1 3 4 4 8 8 (J P , A)
特開 2 0 0 0 - 1 0 5 5 7 4 (J P , A)
特開昭 6 3 - 2 8 0 5 6 8 (J P , A)
特開平 1 1 - 3 1 1 9 7 0 (J P , A)
特開平 0 2 - 2 9 4 6 8 6 (J P , A)
特開平 0 2 - 3 0 9 3 9 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30,3/20