



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0080238  
(43) 공개일자 2010년07월08일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

H01L 29/788 (2006.01)

(21) 출원번호 10-2008-0138885

(22) 출원일자 2008년12월31일

심사청구일자 없음

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

박진하

경기 이천시 부발읍 신하리 진우아파트 101-601

(74) 대리인

서교준

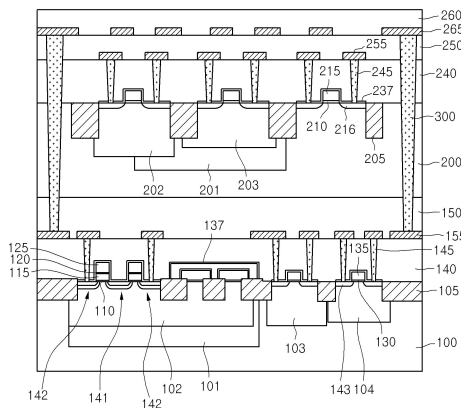
전체 청구항 수 : 총 10 항

(54) 플래시 메모리 소자 및 그 제조 방법

(57) 요약

실시예에 따른 플래시 메모리 소자는 플로팅 게이트 및 컨트롤 게이트가 형성된 메모리 게이트와 제1소자분리막을 포함하는 제1기판; 상기 제1기판 상에 형성되며, 상기 메모리 게이트와 전기적으로 연결된 제1금속배선; 제2소자분리막 및 로직 게이트를 포함하는 제2기판; 및 상기 제2기판 상에 형성되며, 상기 제1로직 게이트와 전기적으로 연결된 제2금속배선을 포함하며, 상기 제1기판과 제2기판은 적층되어 형성되며, 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 전기적으로 연결된 것을 포함한다.

대표도 - 도9



## 특허청구의 범위

### 청구항 1

플로팅 게이트 및 컨트롤 게이트가 형성된 메모리 게이트와 제1소자분리막을 포함하는 제1기판;  
 상기 제1기판 상에 형성되며, 상기 메모리 게이트와 전기적으로 연결된 제1금속배선;  
 제2소자분리막 및 로직 게이트를 포함하는 제2기판; 및  
 상기 제2기판 상에 형성되며, 상기 제1로직 게이트와 전기적으로 연결된 제2금속배선을 포함하며,  
 상기 제1기판과 제2기판은 적층되어 형성되며,  
 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 전기적으로 연결된 것을 포함하며,  
 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 관통전극에 의해 전기적으로 연결되고,  
 상기 관통전극은 상기 제1기판 또는 제2기판을 관통하여 형성된 것을 포함하는 플래시 메모리 소자.

### 청구항 2

제 1항에 있어서,  
 상기 제2기판에 형성된 상기 제1로직 게이트는 상기 메모리 게이트보다 고전압(high voltage)을 사용하는 것을 포함하는 플래시 메모리 소자.

### 청구항 3

제 1항에 있어서,  
 상기 제2소자분리막은 상기 제1소자분리막보다 깊게 형성된 것을 포함하는 플래시 메모리 소자.

### 청구항 4

제 1항에 있어서,  
 상기 제1기판 또는 제2기판에는 상기 제2기판에 형성된 상기 제1로직 게이트보다 저전압(low voltage)을 사용하는 제2로직 게이트가 더 형성된 것을 포함하는 플래시 메모리 소자.

### 청구항 5

제1기판에 제1소자분리막을 형성하고, 상기 제1기판에 플로팅 게이트 및 컨트롤 게이트가 형성된 메모리 게이트를 형성하는 단계;  
 상기 제1기판 상에 상기 메모리 게이트와 전기적으로 연결된 제1금속배선을 형성하는 단계;  
 제2기판에 제2소자분리막 및 로직 게이트를 형성하는 단계;  
 상기 제1기판에 형성된 상기 제1금속배선 상에 제2기판을 적층하는 단계;  
 상기 제2기판 및 제1기판을 관통하는 관통전극을 형성하는 단계; 및  
 상기 관통전극을 포함하는 상기 제2기판 상에 상기 제1로직 게이트와 전기적으로 연결된 제2금속배선을 형성하는 단계를 포함하며,  
 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 전기적으로 연결된 것을 포함하는 플래시 메모리 소자의 제조 방법.

### 청구항 6

제 5항에 있어서,

상기 제2기판에 형성된 상기 제1로직 게이트는 상기 메모리 게이트보다 고전압(high voltage)을 사용하는 것을 포함하는 플래시 메모리 소자의 제조 방법.

**청구항 7**

제 5항에 있어서,

상기 제2소자분리막은 상기 제1소자분리막보다 깊게 형성된 것을 포함하는 플래시 메모리 소자의 제조 방법.

**청구항 8**

제 5항에 있어서,

상기 제1기판 또는 제2기판에는 상기 제2기판에 형성된 상기 제1로직 게이트보다 저전압(low voltage)을 사용하는 제2로직 게이트가 더 형성된 것을 포함하는 플래시 메모리 소자의 제조 방법.

**청구항 9**

제 5항에 있어서,

상기 제2기판 및 제1기판을 관통하는 관통전극을 형성하는 단계는,

상기 제1기판 및 제2기판을 적층하는 단계;

상기 제1기판의 제1금속배선이 형성된 제1금속배선층과 상기 제2기판을 관통하는 비아홀을 형성하는 단계; 및

상기 비아홀 내부를 금속물질로 매립하여, 관통전극을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조 방법.

**청구항 10**

제 9항에 있어서,

상기 관통전극은 상기 제1기판에 형성된 상기 제1금속배선과 전기적으로 연결된 것을 포함하는 플래시 메모리 소자의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 실시예는 플래시 메모리 소자 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 플래시 메모리 소자는 전원이 꺼지더라도 저장된 데이터가 손상되지 않는 비휘발성 기억매체이면서도 데이터의 기록, 읽기, 삭제 등의 처리 속도가 비교적 높다는 장점이 있다.

[0003] 이에 따라, 플래시 메모리 소자는 PC의 Bios용, 셋탑 박스, 프린터 및 네트워크 서버 등의 데이터 저장용으로 널리 사용되고 있으며 최근에는 디지털 카메라와 휴대폰 등에서도 많이 이용되고 있다.

[0004] 플래시 메모리 소자에 있어서, 플로팅 게이트(floating gate)를 사용하는 스택 게이트 타입(stack gate type)과 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)구조를 이용한 반도체 소자가 사용되고 있다.

[0005] 그러나, 셀 영역과 주변 회로 영역은 각각 다른 전압을 사용하고 있어, 셀 영역과 주변 회로 영역의 소자분리막이 동일한 크기로 형성되면, 주변 회로 영역의 고전압(high voltage)을 사용하는 게이트에서 항복(breakdown)이 일어나 소자의 신뢰성이 감소하게 된다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 실시예는 셀 영역과 주변 회로 영역에 형성되는 소자분리막의 크기를 각각 다르게 형성하여, 신뢰성을 향상시킬 수 있는 플래시 메모리 소자 및 그 제조 방법을 제공한다.

**과제 해결수단**

[0007] 실시예에 따른 플래시 메모리 소자는 플로팅 게이트 및 컨트롤 게이트가 형성된 메모리 게이트와 제1소자분리막을 포함하는 제1기판; 상기 제1기판 상에 형성되며, 상기 메모리 게이트와 전기적으로 연결된 제1금속배선; 제2소자분리막 및 로직 게이트를 포함하는 제2기판; 및 상기 제2기판 상에 형성되며, 상기 제1로직 게이트와 전기적으로 연결된 제2금속배선을 포함하며, 상기 제1기판과 제2기판은 적층되어 형성되며, 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 전기적으로 연결된 것을 포함한다.

[0008] 실시예에 따른 플래시 메모리 소자의 제조 방법은 제1기판에 제1소자분리막을 형성하고, 상기 제1기판에 플로팅 게이트 및 컨트롤 게이트가 형성된 메모리 게이트를 형성하는 단계; 상기 제1기판 상에 상기 메모리 게이트와 전기적으로 연결된 제1금속배선을 형성하는 단계; 제2기판에 제2소자분리막 및 로직 게이트를 형성하는 단계; 상기 제1기판에 형성된 상기 제1금속배선 상에 제2기판을 적층하는 단계; 상기 제2기판 및 제1기판을 관통하는 관통전극을 형성하는 단계; 및 상기 관통전극을 포함하는 상기 제2기판 상에 상기 제1로직 게이트와 전기적으로 연결된 제2금속배선을 형성하는 단계를 포함하며, 상기 제1기판 상에 형성된 제1금속배선과 상기 제2기판 상에 형성된 제2금속배선은 전기적으로 연결된 것을 포함한다.

**효과**

[0009] 실시예에 따른 플래시 메모리 소자 및 그 제조 방법은 메모리 게이트가 형성된 제1기판과 로직 게이트가 형성된 제2기판의 소자분리막의 깊이를 다르게 형성하여, 플래시 메모리 소자의 신뢰성을 향상시킬 수 있다.

[0010] 또한, 소자에서 사용하는 전압에 따라 소자분리막의 깊이를 다르게 형성하여, 소자의 항복(breakdown) 특성을 개선할 수 있다.

[0011] 또한, 메모리 게이트가 형성된 제1기판과 로직 게이트가 형성된 제2기판을 적층시킨 후, 관통전극을 이용하여 상기 제1기판과 제2기판을 전기적으로 연결시킴으로써, 플래시 메모리 소자를 소형화시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0012] 이하, 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0013] 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0014] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0015] 도 9는 실시예에 따른 플래시 메모리 소자의 단면도이다.

[0016] 도 9에 도시된 바와 같이, 실시예에 따른 플래시 메모리 소자는 플로팅 게이트(115) 및 컨트롤 게이트(125)가 형성된 메모리 게이트와 제1소자분리막(105)을 포함하는 제1기판(100); 상기 제1기판(100) 상에 형성되며, 상기 메모리 게이트와 전기적으로 연결된 제1금속배선(155); 제2소자분리막(205) 및 제2로직 게이트(215)를 포함하는 제2기판(200); 및 상기 제2기판(200) 상에 형성되며, 상기 제2로직 게이트(215)와 전기적으로 연결된 제2금속배선(255)을 포함하며, 상기 제1기판(100)과 제2기판(200)은 적층되어 형성되며, 상기 제1기판(100) 상에 형성된 제1금속배선(155)과 상기 제2기판(200) 상에 형성된 제2금속배선(255)은 전기적으로 연결된 것을 포함한다.

[0017] 이하, 도 1 내지 도 9는 실시예에 따른 플래시 메모리 소자의 공정 단면도이다.

[0018] 우선, 도 1에 도시된 바와 같이, 셀 영역(A) 및 주변 영역(B)이 정의된 제1기판(100)에 제1소자분리막(105)과

제1불순물 영역(101), 제2불순물 영역(102), 제3불순물 영역(103), 제4불순물 영역(104)을 형성한다.

- [0019] 상기 제1소자분리막(105)은 상기 제1기판(100)에 제1트렌치를 형성한 후, 상기 제1트렌치를 절연물질로 매립하여 형성될 수 있다.
- [0020] 상기 제1소자분리막(105)은 상기 제1기판(100)의 내부로 제1깊이를 가질 수 있다.
- [0021] 이때, 상기 제1불순물 영역(101)은 딥 N웰(deep N well), 상기 제2불순물 영역(102)과 제3불순물 영역(103)은 P웰(P well), 상기 제4불순물 영역(104)은 N웰(N well)이 될 수 있다.
- [0022] 그리고, 상기 제1불순물 영역(101)과 제2불순물 영역(102)은 셀 영역(A)에 형성되고, 상기 제3불순물 영역(103) 및 제4불순물 영역(104)은 주변 영역(B)에 형성될 수 있다.
- [0023] 이후, 상기 제1불순물 영역(101)과 제2불순물 영역(102) 상에는 메모리 게이트가 형성되고, 상기 제3불순물 영역(103) 및 제4불순물 영역(104) 상에는 제1로직 게이트가 형성된다.
- [0024] 이어서, 도 2에 도시된 바와 같이, 상기 제1기판(100)의 셀 영역(A)에 제1터널 산화막(110) 및 플로팅 게이트(115)를 형성한다.
- [0025] 상기 제1터널 산화막(110) 및 플로팅 게이트(115)는 상기 제1기판(100) 상에 산화막과 폴리실리콘을 형성한 후, 패터닝하여 형성될 수 있다.
- [0026] 그리고, 도 3에 도시된 바와 같이, 상기 플로팅 게이트(115) 상에 유전체막(120) 및 컨트롤 게이트(125)를 형성하고, 상기 주변 영역(B)에 제2산화막(130)과 제1로직 게이트(135)를 형성한다.
- [0027] 상기 플로팅 게이트(115) 상에 유전체막(120) 및 컨트롤 게이트(125)를 형성하여, 상기 제1터널산화막(110), 플로팅 게이트(115), 유전체막(120) 및 컨트롤 게이트(125)로 이루어진 메모리 게이트가 형성된다.
- [0028] 상기 컨트롤 게이트(125)와 제1로직 게이트(135)는 동시에 형성될 수 있다.
- [0029] 그리고, 상기 제1기판(100)에 이온주입 공정을 진행하여, 셀 영역(A)에는 제5불순물 영역(142), 제6불순물 영역(141)을 형성하고, 주변 영역(B)에는 제7불순물 영역(143)을 형성할 수 있다.
- [0030] 상기 제6불순물 영역(141)은 양쪽에 배치된 메모리 게이트에서 공통으로 사용할 수 있는 공통 영역이 될 수 있다.
- [0031] 상기 제7불순물 영역(143)은 상기 제1로직 게이트(135)의 소스 및 드레인 영역이 될 수 있다.
- [0032] 이어서, 도 4에 도시된 바와 같이, 상기 제1기판(100) 상에 제1보호막(137), 제1플러그(145)를 포함하는 제1층간절연막(140)과 제1금속배선(155)을 포함하는 제2층간절연막(150)을 형성할 수 있다.
- [0033] 상기 제1플러그(145)는 상기 제1층간절연막(140)에 비아홀을 형성한 후, 금속물질을 매립하여 형성될 수 있다.
- [0034] 상기 제1보호막(137)은 상기 메모리 게이트 및 제1로직 게이트를 보호하기 위해 형성될 수 있다.
- [0035] 상기 제1금속배선(155)은 하부의 제1로직 게이트들과 전기적으로 연결될 수 있다.
- [0036] 상기 제2층간절연막(150)은 TEOS(Tetra Ethyl Ortho Silicate)로 형성될 수 있다.
- [0037] 그리고, 도 5에 도시된 바와 같이, 제2기판(200)에 제2소자분리막(205)과 제8불순물 영역(201), 제9불순물 영역(202), 제10불순물 영역(203)을 형성한다.
- [0038] 상기 제2소자분리막(205)은 상기 제2기판(200)에 제2트렌치를 형성한 후, 상기 제2트렌치를 절연물질로 매립하여 형성될 수 있다.
- [0039] 상기 제2소자분리막(205)은 상기 제2기판(200)의 내부로 제2깊이를 가지며, 상기 제1기판(100)에 형성된 상기 제1소자분리막(105)보다 깊게 형성될 수 있다.
- [0040] 예를 들어, 상기 제1소자분리막(105)은 300 nm의 깊이로, 상기 제2소자분리막(205)은 400 nm의 깊이로 형성될 수 있다.
- [0041] 이는, 상기 제1기판(100)에 형성된 메모리 게이트에 사용되는 전압(voltage)보다 상기 제2기판(200)에서 사용되는 전압(voltage)가 더 높기 때문에, 상기 제2소자분리막(205)이 보다 깊게 형성될 수 있다.
- [0042] 즉, 본 실시예에서는 소자에서 사용하는 전압에 따라 소자분리막의 깊이를 다르게 형성하여, 소자의 항복

(breakdown) 특성을 개선할 수 있다.

- [0043] 이때, 상기 제8불순물 영역(201)은 딥 N웰(deep N well), 상기 제9불순물 영역(202)은 P웰(P well), 상기 제10 불순물 영역(203)은 N웰(N well)이 될 수 있다.
- [0044] 그리고, 실시예에서는 상기 제1기판(100)의 주변 영역(B)에 상기 제1로직 게이트(135)가 형성되지만, 이에 한정되지 않고, 상기 제1로직 게이트(135)는 상기 제2기판(200)에 형성될 수 있다.
- [0045] 상기 제1로직 게이트(135)는 상기 제2로직 게이트(215)보다 낮은 전압을 사용할 수 있다.
- [0046] 그리고, 도 6에 도시된 바와 같이, 상기 제2기판(200) 상에 제3터널 산화막(210), 제2로직 게이트(215) 및 제11 불순물 영역(216)을 형성한다.
- [0047] 상기 제3터널 산화막(210) 및 제2로직 게이트(215)는 상기 제2기판(200) 상에 산화막 및 폴리실리콘막을 형성한 후 패터닝되어 형성될 수 있으며, 상기 제11불순물 영역(216)은 이온주입 공정으로 형성될 수 있다.
- [0048] 상기 제11불순물 영역(216)은 소스 및 드레인 영역이 될 수 있다.
- [0049] 이때, 상기 제2로직 게이트(215)는 상기 제1기판(100)에 형성된 메모리 게이트나 제1로직 게이트보다 높은 전압(voltage)을 사용하여 동작할 수 있다.
- [0050] 즉, 상기 제2로직 게이트(215)는 프로그램(program)하고 소거(erase)하기 위해 사용되는 고전압 트랜지스터이다.
- [0051] 이어서, 도 7에 도시된 바와 같이, 상기 제2기판(200) 상에 제2보호막(237), 제2플러그(245)를 포함하는 제3층간절연막(240)과 제2금속배선(255)을 포함하는 제4층간절연막(250)을 형성할 수 있다.
- [0052] 상기 제2플러그(245)는 상기 제3층간절연막(240)에 비아홀을 형성한 후, 금속물질을 매립하여 형성될 수 있다.
- [0053] 상기 제2보호막(237)은 상기 제2로직 게이트를 보호하기 위해 형성될 수 있다.
- [0054] 상기 제2금속배선(255)은 하부의 제2로직 게이트들과 전기적으로 연결될 수 있다.
- [0055] 그리고, 도 8에 도시된 바와 같이, 상기 제1기판(100) 상에 상기 제2기판(200)을 적층(stack)하고, 상기 제2기판(200) 및 제2층간절연막(15)을 관통하는 비아홀을 형성한 후, 상기 비아홀에 금속물질을 매립하여 관통전극(300)을 형성한다.
- [0056] 상기 제2기판(200) 및 제2층간절연막(15)을 관통하는 비아홀은 상기 제1기판(100) 상에 형성된 상기 제1금속배선(155)을 노출시킬 수 있으며, 상기 관통전극(300)은 상기 제1기판(100) 상에 형성된 제1금속배선(155)과 전기적으로 연결될 수 있다.
- [0057] 상기 관통전극(300)은 CVD(Chemical Vapor Deposition) 공정을 이용하여 W 또는 Cu 등으로 형성될 수 있다.
- [0058] 이때, 상기 제1기판(100)과 제2기판(200)은 상기 제2층간절연막(150)에 의해 절연될 수 있으며, 상기 제1기판(100)과 제2기판(200)을 절연하기 위한 층이 추가로 삽입될 수 있다.
- [0059] 이때, 상기 제1기판(100)과 제2기판(200)은 SiP(System in a Chip) 방식으로 적층되어 시스템 레벨의 고집적화를 실현할 수 있다.
- [0060] 이어서, 도 9에 도시된 바와 같이, 상기 제4층간절연막(250) 상에 제3금속배선(265) 및 제5층간절연막(260)을 형성한다.
- [0061] 이때, 상기 제3금속배선(265)은 상기 관통전극(300)과 연결될 수 있으며, 상기 제3금속배선(265)이 상기 관통전극(300)과 연결됨으로 인해, 상기 제3금속배선(265)은 상기 제1기판(100) 상에 형성된 제1금속배선(155)과 전기적으로 연결될 수 있다.
- [0062] 또한, 상기 제2금속배선(255)과 제3금속배선(265)이 연결되어, 상기 제2금속배선(255)도 상기 제1금속배선(155)과 연결될 수 있다.
- [0063] 실시예에서는 상기 제2기판(200) 상에 상기 제2금속배선(255)과 제4층간절연막(250)을 형성한 후, 상기 제1기판(100)과 제2기판(200)을 적층하여 상기 관통전극(300)을 형성하였지만, 이에 한정되지 않고, 상기 제2기판(200)에 상기 제2금속배선(255)이 형성되기 전, 상기 관통전극(300)을 형성할 수 있다.
- [0064] 이상에서 설명한 바와 같이, 실시예에 따른 플래시 메모리 소자 및 그 제조 방법은 메모리 게이트가 형성된 제1

기판과 로직 게이트가 형성된 제2기판의 소자분리막의 깊이를 다르게 형성하여, 플래시 메모리 소자의 신뢰성을 향상시킬 수 있다.

[0065] 또한, 소자에서 사용하는 전압에 따라 소자분리막의 깊이를 다르게 형성하여, 소자의 항복(breakdown) 특성을 개선할 수 있다.

[0066] 또한, 메모리 게이트가 형성된 제1기판과 로직 게이트가 형성된 제2기판을 적층시킨 후, 관통전극을 이용하여 상기 제1기판과 제2기판을 전기적으로 연결시킴으로써, 플래시 메모리 소자를 소형화시킬 수 있다.

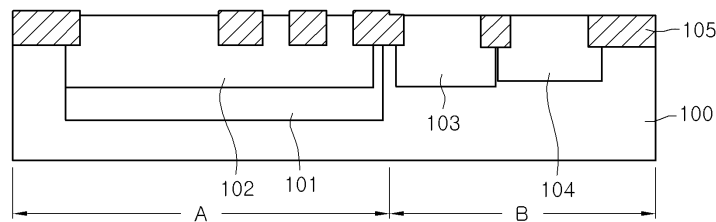
[0067] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**도면의 간단한 설명**

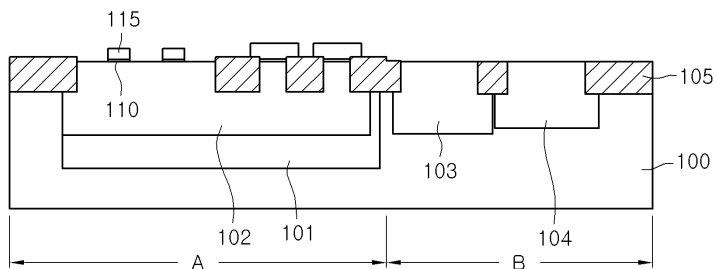
[0068] 도 1 내지 도 9는 실시예에 따른 플래시 메모리 소자의 공정 단면도이다.

**도면**

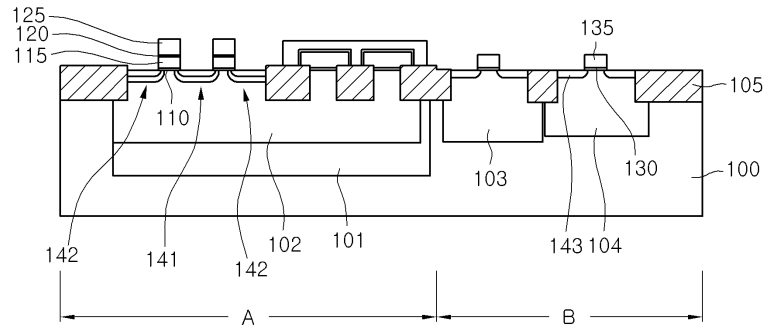
**도면1**



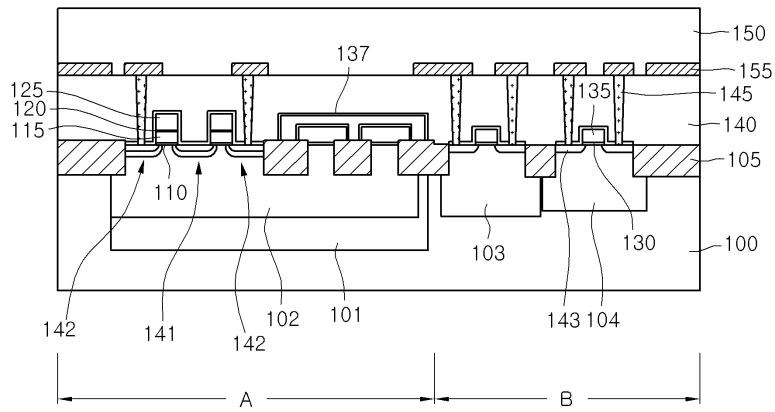
**도면2**



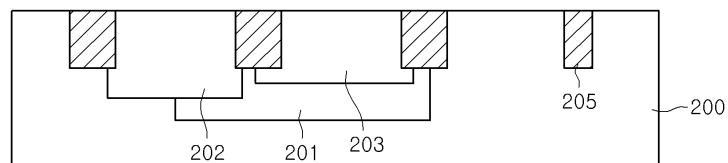
도면3



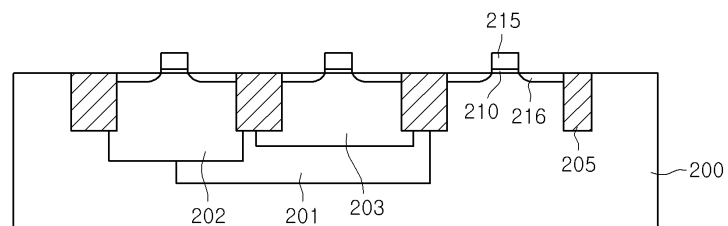
도면4



도면5

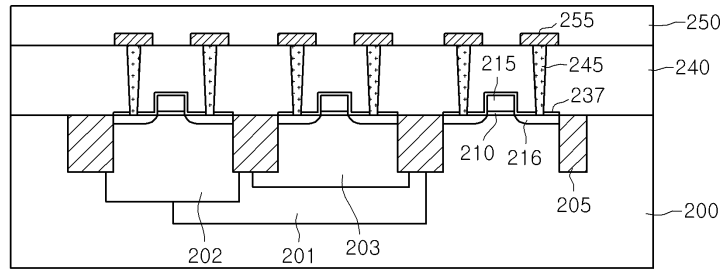


도면6

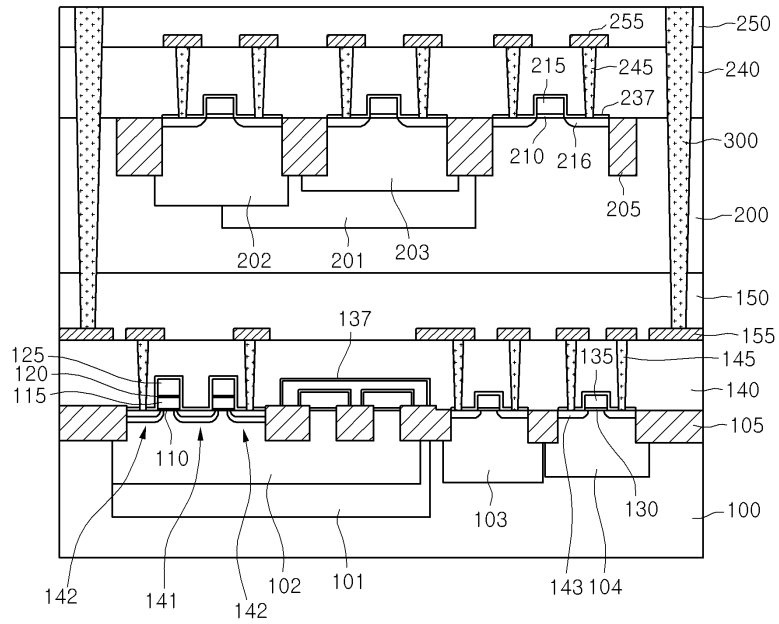




도면7



도면8



도면9

