

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月15日(15.06.2017)



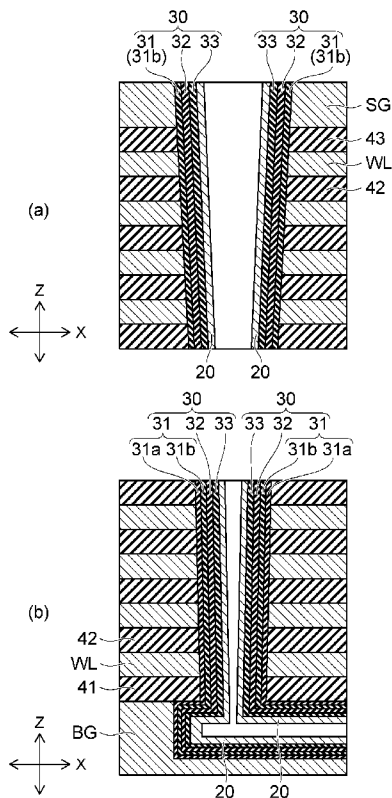
(10) 国際公開番号
WO 2017/099220 A1

- (51) 国際特許分類:
H01L 27/115 (2017.01) H01L 29/788 (2006.01)
H01L 21/336 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2016/086725
- (22) 国際出願日: 2016年12月9日(09.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-240394 2015年12月9日(09.12.2015) JP
- (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 澤部 亮介 (SAWABE, Ryosuke); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 木下 繁 (KINOSHITA, Shigeru); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 山田 健太 (YAMADA, Kenta); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP).
- (74) 代理人: 日向寺 雅彦 (HYUGAJI, Masahiko); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: The semiconductor device according to an embodiment includes a substrate, a laminated body, and a columnar part. The laminated body is provided on the substrate, and has a plurality of first electroconductive layers and a plurality of first insulation layers. The first electroconductive layers and the first insulation layers are provided in alternating fashion along a first direction. The columnar part includes a block layer, a charge accumulation layer, a tunnel layer, and a semiconductor layer extending in the first direction in the laminated body. In a second direction, which intersects the first direction, the block layer is provided on the plurality of first electroconductive layers and the plurality of first insulation layers, the charge accumulation layer is provided on the block layer, the tunnel layer is provided on the charge accumulation layer, and the semiconductor layer is provided on the tunnel layer. The columnar part includes a first part, and a second part provided on the substrate side relative to the first part. The dimension in the second direction of the second part is smaller than the dimension in the second direction of the first part. A part provided on the second part of the block layer is thicker than a part provided on the first part of the block layer.

(57) 要約:

[続葉有]

WO 2017/099220 A1



ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

実施形態に係る半導体装置は、基板と、積層体と、柱状部と、を含む。積層体は、基板上に設けられ、複数の第 1 導電層と複数の第 1 絶縁層とを有する。第 1 方向に沿って第 1 導電層と第 1 絶縁層とが交互に設けられている。柱状部は、積層体中を第 1 方向に延びており、ブロック層と、電荷蓄積層と、トンネル層と、半導体層と、を含む。第 1 方向と交差する第 2 方向において、ブロック層は、複数の第 1 導電層上および複数の第 1 絶縁層上に設けられ、電荷蓄積層は、ブロック層上に設けられ、トンネル層は、電荷蓄積層上に設けられ、半導体層は、トンネル層上に設けられている。柱状部は、第 1 部分と、第 1 部分に対して基板側に設けられた第 2 部分と、を含む。第 2 部分の第 2 方向における寸法は、第 1 部分の第 2 方向における寸法よりも小さい。ブロック層の第 2 部分に設けられた部分は、ブロック層の第 1 部分に設けられた部分よりも厚い。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明の実施形態は、半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、メモリセルを三次元的に集積した半導体装置が提案されている。このような半導体装置では、絶縁層と導電層が交互に積層された積層体に貫通孔を形成し、貫通孔の内面上に電荷を蓄積可能なメモリ層およびシリコン層を形成することにより、シリコン層と導電層との間にメモリセルが形成される。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-45314号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の目的は、メモリ層に電荷を蓄積する際に、メモリ層の劣化を抑制することが可能な半導体装置及びその製造方法を提供することである。

課題を解決するための手段

[0005] 実施形態に係る半導体装置は、基板と、積層体と、柱状部と、を含む。

前記積層体は、前記基板上に設けられている。前記積層体は、複数の第1導電層と複数の第1絶縁層とを有する。第1方向に沿って前記第1導電層と前記第1絶縁層とが交互に設けられている。

前記柱状部は、前記積層体中を前記第1方向に延びている。前記柱状部は、ブロック層と、電荷蓄積層と、トンネル層と、半導体層と、を含む。

前記ブロック層は、前記第1方向と交差する第2方向において、複数の前記第1導電層上および複数の前記第1絶縁層上に設けられている。

前記電荷蓄積層は、前記第2方向において、前記ブロック層上に設けられ

ている。

前記トンネル層は、前記第2方向において、前記電荷蓄積層上に設けられている。

前記半導体層は、前記第2方向において、前記トンネル層上に設けられている。

前記柱状部は、第1部分と、前記第1部分に対して前記基板側に設けられた第2部分と、を含む。

前記第2部分の前記第2方向における寸法は、前記第1部分の前記第2方向における寸法よりも小さい。

前記ブロック層の前記第2部分に設けられた部分は、前記ブロック層の前記第1部分に設けられた部分よりも厚い。

図面の簡単な説明

[0006] [図1]実施形態の一例に係る半導体装置の断面図である。

[図2]実施形態の一例に係る半導体装置の斜視図である。

[図3]実施形態の一例に係る半導体装置の部分拡大断面図である。

[図4]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図5]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図6]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図7]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図8]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図9]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図10]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

。

[図11]実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

。

[図12]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図13]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図で

ある。

[図14]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図15]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図16]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図17]実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図18]実施形態の他の一例に係る半導体装置の断面図である。

[図19]他の実施形態の一例に係る半導体装置の斜視図である。

[図20]他の実施形態の一例に係る半導体装置の断面図である。

[図21]図20の一部を拡大した断面図である。

[図22]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図23]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図24]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図25]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図26]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図27]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図28]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。

[図29]他の実施形態に係る半導体装置の製造方法の一例を表す工程断面図で

ある。

[図30]他の実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

[図31]他の実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。

発明を実施するための形態

[0007] 以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

各実施形態の説明には、X Y Z 直交座標系を用いる。基板の主面に対して平行な方向であって相互に直交する2方向をX方向及びY方向とし、これらX方向及びY方向の双方に対して直交する方向をZ方向とする。

[0008] まず、図1～図3を用いて、実施形態に係る半導体装置1について説明する。

[0009] 半導体装置1は、例えば、データの消去・書き込みを電氣的に行うことができ、電源を切っても記憶内容を保持することができる不揮発性半導体記憶装置である。

図1は、実施形態の一例に係る半導体装置1の断面図である。

図2は、実施形態の一例に係る半導体装置1の斜視図である。

図3は、実施形態の一例に係る半導体装置1の部分拡大断面図である。

なお、図2においては、図を見易くするために、絶縁部分について図示を省略している。

[0010] 図1に表すように、基板10上には、絶縁層40が設けられている。

絶縁層40上には、バックゲートBGが設けられている。

バックゲートBGは、導電層であり、例えば不純物が添加されたシリコン層である。

[0011] バックゲートBG上には、絶縁層41が設けられている。

絶縁層41上には、導電層WLと絶縁層42が交互に複数積層された積層体LS1が設けられている。積層体LS1は、絶縁部72により複数に分断されている。

導電層WLと絶縁層42を含む積層体LS1上には、絶縁層43が設けられている。

図1に示す導電層WLの層数は一例であって、導電層WLの層数は任意である。

[0012] 導電層WLは、不純物として例えばボロンが添加された多結晶シリコン層（第1のシリコン層）であり、メモリセルのゲート電極として機能するのに十分な導電性を有する。

絶縁層41、42、および43は、例えば、主としてシリコン酸化物を含む層である。あるいは、これらの絶縁層は、主としてシリコン窒化物を含む層であってもよい。

[0013] 図2に表すように、半導体装置1は、複数のメモリストリングMSを有する。

1つのメモリストリングMSは、2つの柱状部CLと、2つの柱状部CLのそれぞれの下端を連結する連結部JPとを有する。

[0014] 柱状部CLは、複数の導電層WL、複数の絶縁層42、絶縁層41、および絶縁層43を貫通するように、複数の導電層WLと複数の絶縁層42の積層方向（Z方向）に延びている。

柱状部CLは、例えば、Z方向から見た場合に円形を有する。

連結部JPは、バックゲートBGと柱状部CLの間に位置するように設けられている。より詳細には、連結部JPの一部は、バックゲートBGの一部と柱状部CLの間に設けられている。連結部JPの他の一部は、バックゲートBGの一部と他の柱状部CLの間に設けられている。連結部JPのさらに

他の一部は、バックゲートBGの一部と、絶縁層41の一部との間に設けられている。

なお、メモリストリングMSは、柱状部CLのみから構成され、I字状を有していてもよい。この場合、柱状部CLは、その下端がバックゲートBG中に位置するように設けることができる。

また、メモリストリングMSが柱状部CLのみから構成され、I字状を有している場合、柱状部CLが基板10に導通するように、半導体装置が構成されていてもよい。

[0015] 図1に表すように、絶縁層43上には、導電層である選択ゲート層が設けられている。選択ゲート層は、ドレイン側選択ゲートSGDおよびソース側選択ゲートSGSを含む。

メモリストリングMSの2つの柱状部CLのうち一方の柱状部CLの上端部は、ドレイン側選択ゲートSGDに接続されている。他方の柱状部CLの上端部は、ソース側選択ゲートSGSに接続されている。

[0016] 選択ゲート層は、不純物として例えばボロンが添加された多結晶シリコン層であり、選択トランジスタのゲート電極として機能するのに十分な導電性を有する。選択ゲート層の厚さは、例えば、導電層WLの各々の厚さよりも厚い。

[0017] ドレイン側選択ゲートSGDとソース側選択ゲートSGSとは、絶縁層74によって、X方向に分断されている。

[0018] ソース側選択ゲートSGS上には、絶縁層44が設けられている。絶縁層44上には、図2に表すソース線SLが設けられている。ソース線SLは、例えば、金属層である。

ソース線SLは、メモリストリングMSの2つの柱状部CLのうち、ソース側選択ゲートSGSが接続された柱状部CLの上端に電氣的に接続されている。

[0019] ドレイン側選択ゲートSGD及びソース線SL上には、不図示の絶縁層を介して、複数のビット線BLが設けられている。ビット線BLは、例えば、

金属層である。

ビット線BLは、メモリストリングMSの2つの柱状部CLのうち、ドレイン側選択ゲートSGDが接続された柱状部CLの上端に電氣的に接続されている。

[0020] メモリストリングMSは、チャンネルボディ20を有する。

チャンネルボディ20は、メモリホールMH内に設けられている。メモリホールMHは、バックゲートBG、複数の導電層WL、絶縁層41~44、ドレイン側選択ゲートSGD、およびソース側選択ゲートSGSを含む積層構造に形成され、U字形状を有する。

[0021] チャンネルボディ20は、例えばノンドープシリコン層からなる半導体層を含む。ここで、ノンドープとは、シリコン層に導電性を付与する不純物が意図的に添加されておらず、成膜時の原料ガスに起因する元素以外には実質的に不純物を含まないことを表す。

[0022] メモリホールMHの内壁とチャンネルボディ20の間には、メモリ層30が設けられている。すなわち、チャンネルボディ20は、メモリ層30を介在させて、メモリホールMH内に設けられている。

[0023] ここで、図3を用いて、メモリストリングMSの詳細な構造について説明する。

図3(a)は、柱状部CLの上部を表す拡大断面図である。図3(b)は、柱状部CLの下部および連結部JPの一部を表す拡大断面図である。

なお、本明細書において、柱状部CLの下部(第2部分)とは、柱状部CLの上部(第1部分)に対して、基板10側に設けられた部分を意味している。

[0024] 柱状部CLは、メモリ層30の一部とチャンネルボディ20の一部を有する。

連結部JPも同様に、メモリ層30の一部とチャンネルボディ20の一部を有する。

メモリ層30は、ブロック層31と電荷蓄積層32とトンネル層33とを

有する。

[0025] ブロック層31は、Z方向と交差する方向において、複数の導電層WL上、絶縁層41上、絶縁層42上、および絶縁層43上に設けられている。すなわち、ブロック層31は、複数の導電層WLの側面上、複数の絶縁層42の側面上、絶縁層41の側面上、および絶縁層43の側面上に設けられている。

[0026] ブロック層31は、第1ブロック層31a、または第1ブロック層31aおよび第2ブロック層31b、を有する。

ブロック層31は、連結部JPにおいて、一部が、バックゲートBG上に設けられ、他の一部が、絶縁層41の下面上に設けられている。

[0027] 電荷蓄積層32は、柱状部CLおよび連結部JPにおいて、ブロック層31上に設けられている。

トンネル層33は、柱状部CLおよび連結部JPにおいて、電荷蓄積層32上に設けられている。

チャンネルボディ20は、柱状部CLおよび連結部JPにおいて、トンネル層33上に設けられている。

すなわち、電荷蓄積層32は、ブロック層31とトンネル層33との間に設けられ、トンネル層33は、電荷蓄積層32とチャンネルボディ20との間に設けられている。

[0028] 図3に表す例では、チャンネルボディ20の内側（メモリホールMHの中心軸側）に空洞部が形成されている。

ただし、メモリ層30の内側は、全てチャンネルボディ20で埋め込まれていてもよい。あるいは、チャンネルボディ20内側の空洞部に絶縁物が埋め込まれた構造であってもよい。

[0029] 柱状部CLは、不揮発性半導体記憶装置としてのメモリセルを含む。メモリセルは、例えばチャージトラップ型のメモリセルである。

[0030] チャンネルボディ20は、チャンネルが形成される領域として機能する。導電層WLは、メモリセルのコントロールゲートとして機能する。

電荷蓄積層32は、チャンネルボディ20から注入される電荷を蓄積するデータ記憶層として機能する。

すなわち、チャンネルボディ20と各導電層WLとの交差部分に、チャンネルの周囲をコントロールゲートが囲んだ構造のメモリセルが形成されている。

[0031] ブロック層31は、絶縁層であり、電荷蓄積層32に蓄積された電荷が、導電層WLへ拡散するのを防止する。ブロック層31を構成する第1ブロック層31aおよび第2ブロック層31bは、例えばシリコン酸化層である。

[0032] 第1ブロック層31aおよび第2ブロック層31bは、酸化シリコンよりも高い誘電率を有する材料を含む層であってもよい。高誘電率材料としては、例えば、窒化シリコンを用いることができる。

[0033] 第1ブロック層31aに含まれる絶縁材料は、第2ブロック層31bに含まれる絶縁材料と異なってもよい。

ただし、柱状部CLの上部におけるメモリセルの特性と、柱状部CLの下部におけるメモリセルの特性と、の間の特性のばらつきを抑制するためには、第1ブロック層31aに含まれる絶縁材料が、第2ブロック層31bに含まれる絶縁材料と同じであることが望ましい。

[0034] 電荷蓄積層32は、電荷を捕獲するトラップサイトを多数有する。電荷蓄積層32は、例えばシリコン窒化層である。

[0035] トンネル層33は、絶縁層である。トンネル層33は、電荷蓄積層32にチャンネルボディ20から電荷が注入される際、または電荷蓄積層32に蓄積された電荷がチャンネルボディ20へ拡散する際に電位障壁として機能する。トンネル層33は、例えばシリコン酸化層である。

[0036] 図3(b)に表すように、柱状部CLの下部および連結部JPにおいて、ブロック層31は、第1ブロック層31aと第2ブロック層31bとを有する。

これに対して、図3(a)に表すように、柱状部CLの上部のブロック層31は、第2ブロック層31bのみを有する。

[0037] 従って、ブロック層31は、柱状部CLの下部に設けられた部分の厚さが

、柱状部C Lの上部に設けられた部分の厚さよりも厚い。すなわち、ブロック層3 1のうち、柱状部C Lの下部に設けられた部分の、電荷蓄積層3 2から積層体L S 1に向かう方向の厚さは、ブロック層3 1のうち、柱状部C Lの上部に設けられた部分の、電荷蓄積層3 2から積層体L S 1に向かう方向の厚さよりも、厚い。

[0038] ブロック層3 1は、絶縁層4 1上に設けられた部分の厚さが、絶縁層4 3上に設けられた部分の厚さよりも、厚い。他の表現によると、ブロック層3 1のうち絶縁層4 1上に設けられた部分の、電荷蓄積層3 2から積層体L S 1に向かう方向の厚さは、ブロック層3 1のうち絶縁層4 3上に設けられた部分の、電荷蓄積層3 2から積層体L S 1に向かう方向の厚さよりも、厚い。

[0039] ブロック層3 1のうち連結部J Pに含まれる部分の厚さは、ブロック層3 1のうち柱状部C Lの上部に設けられた部分の厚さよりも厚い。他の表現によると、ブロック層3 1のうち連結部J Pに含まれる部分の、電荷蓄積層3 2からバックゲートB Gに向かう方向の厚さは、ブロック層3 1のうち柱状部C Lの上部に設けられた部分の、電荷蓄積層3 2から積層体L S 1に向かう方向の厚さよりも、厚い。

[0040] メモリホールM Hの内壁は、Z方向に対して傾斜している。このため、柱状部C Lの下部のX方向における寸法は、柱状部C Lの上部のX方向における寸法よりも小さい。

また、本実施形態では、柱状部C Lの下部のY方向における寸法も同様に、柱状部C Lの上部のY方向における寸法よりも小さい。

[0041] 図2に表すように、ドレイン側選択ゲートS G D、チャンネルボディ2 0の一部、およびメモリ層3 0の一部は、ドレイン側選択トランジスタS T Dを構成している。ドレイン側選択ゲートS G Dの上方において、チャンネルボディ2 0は、導体6 1 aを介してビット線B Lと接続されている。導体6 1 aは、例えばリン(P)がドーブされたシリコン層である。

[0042] ソース側選択ゲートS G S、チャンネルボディ2 0の一部、およびメモリ層

30の一部は、ソース側選択トランジスタSTSを構成している。ソース側選択ゲートSGSの上方において、チャンネルボディ20は、導体61aを介してソース線SLと接続されている。

[0043] バックゲートBG、チャンネルボディ20のバックゲートBG内に設けられた部分、およびメモリ層30のバックゲートBG内に設けられた部分は、バックゲートトランジスタBGTを構成している。

[0044] ドレイン側選択トランジスタSTDとバックゲートトランジスタBGTとの間には、各導電層WLをコントロールゲートとするメモリセルが複数設けられている。同様に、バックゲートトランジスタBGTとソース側選択トランジスタSTSの間にも、各導電層WLをコントロールゲートとするメモリセルが複数設けられている。

[0045] それら複数のメモリセル、ドレイン側選択トランジスタSTD、バックゲートトランジスタBGTおよびソース側選択トランジスタSTSは、チャンネルボディ20を通じて直列接続され、1つのメモリストリングMSを構成している。このメモリストリングMSがX方向及びY方向に複数配列されていることにより、複数のメモリセルがX方向、Y方向及びZ方向に3次元的に設けられている。

[0046] (製造方法の一例)

次に、図4～図11を参照して、本実施形態に係る半導体装置の製造方法の一例について説明する。

図4～図11は、実施形態に係る半導体装置の製造方法の一例を表す工程断面図である。図4～図11は、図1と同様、X方向に沿った断面を表している。

[0047] まず、基板10上に、絶縁層40およびバックゲートBGを形成する。絶縁層40は、酸化シリコンである。バックゲートBGは、例えばボロン(B)が添加された多結晶シリコン層である。

[0048] 次に、図4(a)に表すように、バックゲートBG上に、フォトリソグラフィ法を用いて、レジストマスクRM1を形成する。

[0049] 次に、図4（b）に表すように、バックゲートBGに、溝51を形成する。溝51は、レジストマスクRM1を用いて、バックゲートBGを加工することで形成される。

[0050] 次に、図4（c）に表すように、溝51内に犠牲層46を埋め込む。犠牲層46は、例えばノンドープシリコン層である。

[0051] 次に、バックゲートBG上および犠牲層46上に、絶縁層41を形成する。

そして、絶縁層41上に、導電層WLと、絶縁層42と、を交互に積層する。この工程により、絶縁層41上に、積層体LS1が形成される。

このときの様子を、図5（a）に表す。

なお、図5～図11において、基板10及び絶縁層40は省略されている。

[0052] 絶縁層40、バックゲートBG、絶縁層41、導電層WL、および絶縁層42は、例えばCVD（Chemical Vapor Deposition）法で形成される。

導電層WLは、不純物として、例えばボロン（B）が添加された多結晶シリコン層である。

絶縁層42は、例えば酸化シリコン層である。

[0053] 次に、複数の導電層WLおよび複数の絶縁層42からなる積層体に溝を形成する。続いて、この溝の内部に絶縁材料を堆積させることで、絶縁部72を形成する。続いて、最上層の導電層WL上に、絶縁層43を形成する。

次に、絶縁層43上に、選択ゲートSGを形成する。最終的に、選択ゲートSGの一部は、ドレイン側選択ゲートSGDとなり、選択ゲートSGの他の一部は、ソース側選択ゲートSGSとなる。

続いて、選択ゲートSG上に、絶縁層44を形成する。

このときの様子を、図5（b）に表す。

[0054] 次に、図6（a）に表すように、前記工程までで得られた積層構造に、複数の開口53を形成する。この工程により、積層体LS1を貫通する孔が形成される。開口53は、図示しないマスクを用いた、例えばRIE（Reactiv

e Ion Etching) 法で形成される。

[0055] このとき、開口53の底部は犠牲層46に達している。すなわち、開口53を通して、犠牲層46が露出している。このとき、1つの犠牲層46上には、2つの開口53が形成される。

また、開口53の形成により、導電層WLの側面および絶縁層42の側面が露出する。

[0056] 開口53は、テーパ状に形成されており、下部におけるX方向およびY方向の寸法が、上部におけるX方向およびY方向の寸法よりも小さい。

このため、積層体LS1の上部に位置する導電層WLに形成された開口の、X方向およびY方向の寸法は、積層体LS1の下部に位置する導電層WLに形成された開口の、X方向およびY方向の寸法よりも大きい。

[0057] 開口53を形成した後、例えばウェットエッチングにより、犠牲層46を除去する。エッチング液として、例えばKOH（水酸化カリウム）溶液等のアルカリ薬液を用いることができる。

[0058] アルカリ薬液に対するシリコン層のエッチングレートは、シリコン層中にドーパされた不純物の濃度に依存する。例えば、不純物としてボロンの濃度が $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上になるとエッチングレートは急激に減少し、ボロン濃度が $1 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下のときの数十分の一になる。

[0059] 実施形態によれば、バックゲートBG、導電層WLおよび選択ゲートSGのボロン濃度は、 $1 \times 10^{21} \text{ (cm}^{-3}\text{)}$ ～ $2 \times 10^{21} \text{ (cm}^{-3}\text{)}$ である。アルカリ薬液を使ったウェットエッチングにおいて、ボロン濃度が $1 \times 10^{21} \text{ (cm}^{-3}\text{)}$ ～ $2 \times 10^{21} \text{ (cm}^{-3}\text{)}$ のシリコン層の、ノンドープシリコン層に対するエッチング選択比は、 $1/1000 \sim 1/100$ である。

[0060] 従って、ノンドープシリコン層である犠牲層46は、図6(b)に表すように、開口53を通じてウェットエッチングにより選択的に除去される。

犠牲層46の除去により、先の工程でバックゲートBGに形成された溝51が再び現れる。この工程により、1つの犠牲層46上に形成された2つの開口53が1つの共通の溝51とつながり、1つのU字状のメモリホールM

Hが形成される。

[0061] 次に、図7(a)に表すように、メモリホールMHの内壁、すなわち導電層WLの側面上、絶縁層42の側面上、および溝51の内壁上に第1ブロック層31aを形成する。第1ブロック層31aは、例えば酸化シリコンである。ここでは、例えば、第1ブロック層31aは、原子層堆積(Atomic Layer Deposition:ALD)法、または化学気相成長(chemical vapor deposition: CVD)法によって形成することができる。

[0062] 次に、第1ブロック層31aが形成されたメモリホールMH内に、フォトレジストを埋め込む。その後、メモリホールMH内のフォトレジストの上部を除去し、図7(b)に表すような、メモリホールMH内の下部のみに設けられたレジストマスクRM2を形成する。

フォトレジストの上部の除去は、例えば酸素プラズマを用いて行われる。

[0063] このときレジストマスクRM2は、溝51内部と、開口53内の下部と、に設けられている。すなわち、第1ブロック層31aのうち、導電層WLと絶縁層42を含む積層体LS1の上部に設けられた部分は、レジストマスクRM2に覆われておらず、露出している。

[0064] なお、図7(b)に表すレジストマスクRM2の上端の位置は、一例である。レジストマスクRM2の上端の位置は、積層体LS1に設けられた開口の、上部におけるX方向およびY方向の寸法と、下部におけるX方向およびY方向の寸法と、の差に応じて適宜設定可能である。あるいは、レジストマスクRM2の上端の位置は、積層体LS1の開口における、上部のテーパ角と下部のテーパ角との差などに応じて変更可能である。

[0065] 次に、図8(a)に表すように、ブロック層31aのうち、レジストマスクRM2で覆われていない部分を、例えばCDE(Cheical Dry Etching)法により除去する。CDE法に用いられる反応性ガスとして、例えばCF₄(フルオロカーボン)を用いることができる。

[0066] この工程により、導電層WLと絶縁層42を含む積層体LS1のうち、その下部のみを覆うブロック層31aが形成される。また、このとき、積層体

L S 1 の上部における導電層W L の側面および絶縁層 4 2 の側面が再び露出する。

[0067] 次に、図 8 (b) に表すように、レジストマスク R M 2 を除去する。レジストマスク R M 2 の除去は、酸素プラズマを用いて行われる。

[0068] 次に、図 9 (a) に表すように、メモリホール M H 内に第 2 ブロック層 3 1 b を形成する。積層体 L S 1 の下部において、第 2 ブロック層 3 1 b は、第 1 ブロック層 3 1 a 上に形成される。積層体 L S 1 の上部において、第 2 ブロック層 3 1 b は、開口 5 3 の内壁上、すなわち第 1 ブロック層 3 1 a が除去されて露出した導電層 W L の側面上、に形成される。第 2 ブロック層 3 1 b は、例えば酸化シリコンである。ここでは、例えば、第 2 ブロック層 3 1 b は、A L D 法、または C V D 法によって形成することができる。

[0069] この工程により、積層体 L S 1 の下部に形成された部分の厚さが、積層体 L S 1 の上部に形成された部分の厚さよりも厚い、ブロック層 3 1 が形成される。

[0070] 次に、図 9 (b) に表すように、第 2 ブロック層 3 1 b 上に、電荷蓄積層 3 2 およびトンネル層 3 3 を順次形成することで、メモリホール M H 内壁上にメモリ層 3 0 が形成される。

[0071] 次に、図 1 0 (a) に表すように、開口 5 3 内および溝 5 1 内におけるメモリ層 3 0 の内側に、ノンドーブシリコン層を形成することでチャンネルボディ 2 0 を形成する。

このとき、開口 5 3 内および溝 5 1 内は、例えば、図 3 に表すように、チャンネルボディ 2 0 で埋まらず、ホール中心軸側に隙間（空洞）が形成されてもよい。

[0072] 次に、チャンネルボディ 2 0 を形成した後、開口 5 3 内のチャンネルボディ 2 0 の上部をエッチバックにより除去する。

そして、図 1 0 (b) に表すように、チャンネルボディ 2 0 上および絶縁層 4 4 上に、不純物がドーブされた多結晶シリコン層 6 1 を形成する。多結晶シリコン層 6 1 には、不純物として、例えばリン (P) がドーブされている

。

このとき、多結晶シリコン層61の一部は、チャンネルボディ20の上部に、導体61aとして埋め込まれる。

[0073] 次に、図11に表すように、絶縁層44上の多結晶シリコン層61を除去する。このとき、多結晶シリコン層61は、導体61aを残すように、除去される。

[0074] その後、図2に表すソース線SLおよびビット線BLを絶縁層44上に形成することで、半導体装置1が得られる。

チャンネルボディ20は、導体61aを通じて、ビット線BLまたはソース線SLと接続され、メモリセルのチャンネルとして機能する。

[0075] なお、上述した製造方法の一例において、第1ブロック層31aの上部のみを除去するために、レジストマスクRM2を用いた。しかし、これに限らず、第1ブロック層31aを形成した後に、レジストマスクRM2を形成せずにCDE法を実施することで、第1ブロック層31aの上部のみを除去してもよい。

[0076] この場合、CDE法を行う際のプロセスチャンバ内の圧力などを調整することで、第1ブロック層31aのうち、積層体LS1の上部に設けられた部分を除去することが可能である。

[0077] (製造方法の他の一例)

次に、図12～図18を参照して、実施形態に係る半導体装置の製造方法の他の一例について説明する。

[0078] 図12～図17は、実施形態に係る半導体装置の製造方法の他の一例を表す工程断面図である。図18は、実施形態の他の一例に係る半導体装置1aの断面図である。図12～図18は、X方向に沿った断面を表している。

なお、前述した製造方法と同一の符号が付された要素に対して、同様のプロセスを適用可能な工程については、説明を適宜省略する。

[0079] まず、図4(a)～(c)に表す工程と同様の工程を実施する。

次に、バックゲートBG上および犠牲層46上に、絶縁層41を形成する

。

続いて、絶縁層41上に、導電層WLと、ノンドープシリコン層47と、を交互に積層する。この工程により、複数の導電層が所定の間隔を隔てて設けられた積層体LS2が形成される。

このときの様子を、図12(a)に表す。

[0080] 絶縁層40、バックゲートBG、絶縁層41、導電層WL、およびノンドープシリコン層47は、例えばCVD法で形成される。

導電層WLは、不純物として例えばボロン(B)が添加された多結晶シリコン層である。

ノンドープシリコン層47は、シリコン層に導電性を付与する不純物が意図的に添加されておらず、成膜時の原料ガスに起因する元素以外には実質的に不純物を含まない。

[0081] ノンドープシリコン層47は、犠牲層として機能し、後述する工程で最終的には絶縁層42に置き換えられる。ノンドープシリコン層47の厚さは、絶縁層42が、各導電層WL間の耐压確保に十分な厚さを有するように、決定される。

[0082] 図12(a)に表す積層構造を形成した後、フォトリソグラフィ法およびRIE法を用いて、絶縁層41に達する溝を形成する。

そして、その溝内に、図12(b)に表すように絶縁部72を形成する。絶縁部72は、例えば酸化シリコンまたは窒化シリコンを含む。

[0083] 次に、最上層の導電層WL上に、絶縁層43、選択ゲートSG、および絶縁層44を順次形成する。

このときの様子を、図13(a)に表す。

[0084] 次に、図13(b)に表すように、前記工程までで得られた積層構造に、RIE法を用いて、複数の開口53を形成する。このとき、1つの犠牲層46上には、2つの開口53が形成される。

開口53は、1つの犠牲層46に対応して設けられた2つの開口53の間に絶縁部72が位置するように、形成される。このとき、開口53の側壁に

は、導電層WLおよびノンドープシリコン層47の側面が露出する。

[0085] 開口53を形成した後、例えばウェットエッチングにより、犠牲層46及びノンドープシリコン層47を除去する。このときのエッチング液としては、例えばKOH溶液等のアルカリ薬液を用いる。

このときの様子を図14(a)に表す。

[0086] このとき、導電層WLは、Z方向において、空隙48を介して設けられ、絶縁部72によって支えられている。すなわち、積層体LS2は、絶縁部72によって支持されている。

[0087] 次に、図14(b)に表すように、隣り合う導電層WLの間、導電層WLの側面上、および溝51の内壁上に、第1ブロック層31aを形成する。ここでは、例えば、第1ブロック層31aは、ALD法、またはCVD法によって形成することができる。

[0088] 次に、第1ブロック層31aが形成されたメモリホールMH内に、フォトレジストを形成する。その後、図15(a)に表すように、レジストマスクRM2を形成する。

[0089] 次に、図15(b)に表すように、ブロック層31aのうち、レジストマスクRM2で覆われていない部分を、例えばCDE法により除去する。

この工程により、積層体LS2の下部の導電層の側面のみを覆うブロック層31aが形成される。このとき、積層体LS2の上部の導電層WLの側面が再び露出する。また、積層体LS2の上部の導電層WLの間に設けられたブロック層31aも除去され、空隙48が再び現れる。

[0090] 次に、図16(a)に表すように、レジストマスクRM2を除去する。

[0091] 次に、図16(b)に表すように、メモリホールMH内に第2ブロック層31bを形成する。第2ブロック層31bは、一部が第1ブロック層31a上に形成される。第2ブロック層31bの他の一部は、隣り合う導電層WLの間、および第1ブロック層31aが除去されて露出した導電層WLの側面上、に形成される。ここでは、例えば、第2ブロック層31bは、ALD法、またはCVD法によって形成することができる。

[0092] この工程により、積層体L S 2の上部に設けられた導電層WLの側面上に形成された部分における厚さが、積層体L S 2の下部に設けられた導電層WLの側面上に形成された部分の厚さよりも厚い、ブロック層3 1が形成される。

[0093] 次に、図1 7 (a) に表すように、ブロック層3 1上に、電荷蓄積層3 2とトンネル層3 3が形成されることで、メモリ層3 0が形成される。

[0094] なお、空隙4 8の間には、ブロック層3 1以外に、電荷蓄積層3 2やトンネル層3 3が設けられていてもよい。

空隙4 8の高さや、メモリ層3 0を構成する各層の厚さに応じて、空隙4 8がブロック層3 1のみで埋まる場合もあるし、空隙4 8にブロック層3 1と電荷蓄積層3 2を含む積層膜、あるいはブロック層3 1と電荷蓄積層3 2とトンネル層3 3とを含む積層膜が絶縁層4 2として埋め込まれる場合もある。

積層体L 2の下部における空隙4 8についても、第1ブロック層3 1 aに加え、第2ブロック層3 1 bや第2ブロック層3 1 bと電荷蓄積層3 2の積層膜などで埋め込まれてもよい。

[0095] その後は、図1 0および図1 1に表す工程と同様の工程を実施し、チャンネルボディ2 0、導体6 1 a、ソース線SL、およびビット線BLを形成することで、図1 8に表す半導体装置1 aが得られる。

[0096] なお、ここで述べた製造方法の例では、絶縁部7 2が形成されるため、本製造方法で作製された半導体装置1 aは、先に述べた製造方法により作製された半導体装置1 と、絶縁部7 2を有する点で相違する。

絶縁部7 2は、図1 8に表すように、1つの連結部JPに対して設けられた複数の柱状部CLの間に位置する。

[0097] 次に、本実施形態に係る半導体装置の作用および効果について説明する。

本実施形態に係る半導体装置では、柱状部CLは、Z方向から見ると、例えば円形であり、柱状部CLの下部におけるX方向あるいはY方向における寸法（以下、単に寸法という）が、柱状部CLの上部における寸法よりも小

さい。そして、この半導体装置において、ブロック層31は、柱状部CLの下部に設けられた部分の厚さが、柱状部CLの上部に設けられた部分の厚さよりも厚い。

[0098] ここで、本実施形態に係る半導体装置1の比較例として、柱状部CLの下部における寸法が、柱状部CLの上部における寸法よりも小さく、柱状部CLの下部に設けられたブロック層31の厚さが、柱状部CLの上部に設けられたブロック層31の厚さと等しい半導体装置を考える。なお、比較例に係る半導体装置においても、柱状部CLは、Z方向から見た場合、円形であるものとする。

[0099] この比較例の半導体装置において、各導電層WLとチャネルボディ20の間に電圧を加えて電荷蓄積層32に情報の記憶（電荷の蓄積）を行う場合、柱状部CLの下部における寸法は、柱状部CLの上部における寸法よりも小さいため、柱状部CLの下部に印加される電界強度が、柱状部CLの上部に印加される電界強度よりも大きくなる。

[0100] 電荷の蓄積に必要な電界強度を超えた電界が印加されると、メモリ層30の劣化、例えばトンネル層33の絶縁破壊など、が生じやすくなる。その結果、半導体装置1の動作不良が生じやすくなり、信頼性が低下してしまう。

すなわち、上述の比較例における半導体装置においては、柱状部CLの下部において、情報の記憶に必要な電界強度を超えた電界が印加されるため、メモリ層30の劣化などが生じる可能性が高くなる。

[0101] これに対して、柱状部CLの下部に設けられたブロック層31の厚さを、柱状部CLの上部に設けられたブロック層31の厚さよりも厚くすることで、柱状部CLの下部における電界強度を弱めることが可能となる。

従って、本実施形態によれば、メモリ層30の電荷蓄積層32へ電荷の蓄積を行う際に、メモリ層30の劣化を抑制することが可能となる。

[0102] なお、柱状部CLの下部に印加される電界強度を低減するために、柱状部CLの下部において、ブロック層31に代えてトンネル層33の厚さを厚くすることも考えられる。

[0103] しかし、導電層WLに電圧が印加された際の、トンネル層33を通過する電子の量は、トンネル層33の厚さに大きく影響される。このため、柱状部CLの上部のメモリセルと、柱状部CLの下部のメモリセルと、の間の特性のばらつきを抑えるためには、柱状部CLの下部において、トンネル層33では無く、ブロック層31の厚さを厚くすることが望ましい。

[0104] 図19～図21を用いて、他の実施形態に係る半導体装置1bについて説明する。

図19は、他の実施形態の一例に係る半導体装置の斜視図である。

図20は、他の実施形態の一例に係る半導体装置の断面図である。

図21は、図20一部を拡大した断面図である。

[0105] 図19～図21に表すように、本実施形態に係る半導体装置1bは、基板10、積層体15、ソース電極層17、絶縁層18、絶縁部材19、導体61aおよび61b、柱状部CL、ソース線SL、およびビット線BLを含む。

[0106] 基板10の上に設けられた積層体15は、シリコン酸化層11、シリコン酸化層12、および導電層13を含む。シリコン酸化層12及び導電層13は、シリコン酸化層11の上において、Z方向に沿って交互に設けられている。ソース電極層17の下端は基板10に接続されている。積層体15およびソース電極層17は、Y方向において交互に設けられている。

[0107] 積層体15とソース電極層17との間には、図20に表すように、絶縁層18が設けられている。絶縁層18は、例えば、シリコン酸化物から構成されている。柱状部CLは、積層体15中をZ方向に延びている。柱状部CLのチャンネルボディ20の下端は、基板10に接続されている。チャンネルボディ20の上端は、積層体15の上面に露出している。

[0108] ソース線SLおよびビット線BLは、積層体15の上に設けられている。ビット線BLは、X方向において複数設けられている。ソース線SLおよび複数のビットBLは、Y方向に延びている。ソース線SLは、ビット線BLよりも上方に位置している。

- [0109] ソース線SLは、導体61bを介してソース電極層17の上端に接続されている。ビット線BLは、導体61aを介してチャンネルボディ20の上端に接続されている。これにより、ビット線BLとソース線SLとの間に、導体61a、チャンネルボディ20、基板10、ソース電極層17、および導体61bを介して、電流が流れうる。それぞれのチャンネルボディ20は、ビット線BLとソース線SLとの間に接続される。
- [0110] 積層体15において、上から1又は複数の導電層13は、上部選択ゲート線SGDとして機能する。上部選択ゲート線SGDと柱状部CLとの交差部分のそれぞれに、上部選択ゲートトランジスタSTDが構成される。
- [0111] 下から1又は複数の導電層13は、下部選択ゲート線SGSとして機能する。下部選択ゲート線SGSと柱状部CLとの交差部分のそれぞれに、下部選択ゲートトランジスタSTSが構成される。
- [0112] 下部選択ゲート線SGS及び上部選択ゲート線SGD以外の導電層13は、ワード線WLとして機能する。ワード線WLと柱状部CLとの交差部分のそれぞれに、メモリセルトランジスタMCが構成される。それぞれのチャンネルボディ20に沿って複数のメモリセルトランジスタMCが直列に接続され、その両端には下部選択ゲートトランジスタSTS及び上部選択ゲートトランジスタSTDが接続される。これにより、NANDストリングが構成される。
- [0113] 絶縁部材19の一部は、積層体15の上部中に設けられ、X方向に延びている。絶縁部材19の当該一部は、Y方向において、導電層13同士の間位置している。絶縁部材19は、例えば、シリコン酸化物からなる。絶縁部材19は、ワード線WLとして機能する導電層13には到達していない。このため、ある1本のワード線WL上には、同じ高さに配列された2本の上部選択ゲート線SGDが配置されている。換言すれば、絶縁部材19は、同じ高さに配列された2本の上部選択ゲート線SGDの間に設けられている。
- [0114] 図21(a)は、柱状部CLの上部を拡大した断面図を表し、図21(b)は、柱状部CLの下部を拡大した断面図を表している。

- [0115] メモリ層30は、半導体装置1bにおいて、半導体装置1と同様に、ブロック層31、電荷蓄積層32、およびトンネル層33を含む。
- [0116] 図20に表すように、柱状部CLの下部の幅は、柱状部CLの上部の幅よりも狭い。すなわち、図21(a)および図21(b)に表すように、ブロック層31の下部の幅は、ブロック層31の上部の幅よりも狭い。ここでは、幅は、X方向における寸法またはY方向における寸法を意味している。
- [0117] また、図20に表すように、ある1つの柱状部CLの上部と金属層17との間のY方向における距離D1は、当該1つの柱状部CLの下部と絶縁層18との間のY方向における距離D2よりも長い。すなわち、ある1つのブロック層31の上部と絶縁層18との間のY方向における距離は、当該1つのブロック層31の下部と絶縁層18との間のY方向における距離よりも長い。
- [0118] 図21(a)に表すように、柱状部CLの上部において、ブロック層31の外周面は、導電層13が設けられた位置において、柱状部CLの内側に向けて窪んでいる。換言すると、柱状部CLの上部において、X方向およびY方向において導電層13と重なる位置におけるブロック層31の厚さT1は、X方向およびY方向においてシリコン酸化層12と重なる位置におけるブロック層31の厚さT2よりも、薄い。
- [0119] 図21(b)に表すように、柱状部CLの下部においても同様に、ブロック層31の外周面は、導電層13が設けられた位置において、柱状部CLの内側に向けて窪んでいる。換言すると、柱状部CLの下部において、X方向およびY方向において導電層13と重なる位置におけるブロック層31の厚さT3は、X方向およびY方向においてシリコン酸化層12と重なる位置におけるブロック層31の厚さT4よりも薄い。
- [0120] 厚さT2は、実質的に、厚さT4と同じである。柱状部CLの上部のブロック層31の窪みは、柱状部CLの下部のブロック層31の窪みよりも大きい。すなわち、厚さT3は、厚さT1よりも厚い。
- [0121] 図22～図29は、他の実施形態に係る半導体装置の製造方法の一例を表

す工程断面図である。

図 2 2 ~ 図 2 6、図 2 8、および図 2 9 は、図 2 0 に相当する断面を示す。

図 2 7 (a) は、図 2 6 の領域 C を拡大した断面図を表し、図 2 7 (b) は、図 2 6 の領域 D を拡大した断面図を表す。

- [0122] 基板 1 0 の上にシリコン酸化層 1 1 を形成する。シリコン酸化層 1 2 及びシリコン窒化層 5 1 をシリコン酸化層 1 1 の上に交互に形成し、図 2 2 に表すように、積層体 1 5 を形成する。
- [0123] 積層体 1 5 上にリソグラフィ法により不図示のレジストマスク（図示せず）を形成する。このレジストマスクを用いて、R I E 等の異方性エッチングを施す。これにより、図 2 3 に表すように、積層体 1 5 にメモリホール 5 5 を形成する。メモリホール 5 5 の形状は Z 方向に延びる略円柱形である。メモリホール 5 5 の X 方向における寸法および Y 方向における寸法は、積層体 1 5 の上部から下部に向かって漸減している。メモリホール 5 5 の底面に、基板 1 0 が露出している。
- [0124] メモリホール 5 5 の内壁面に、ブロック層 3 1、電荷蓄積層 3 2、およびトンネル層 3 3 を順次形成する。トンネル層 3 3 の内側に、シリコン層を堆積させ、チャンネルボディ 2 0 を形成する。これにより、図 2 4 に表すように、メモリホール 5 5 内に、チャンネルボディ 2 0 およびメモリ層 3 0 を含む柱状部 C L が形成される。
- [0125] 図 2 5 に表すように、積層体 1 5 に、スリット 5 6 を形成する。スリット 5 6 は、柱状部 C L が設けられた位置以外に形成される。スリット 5 6 は、X 方向および Z 方向に延びている。
- [0126] 柱状部 C L の下部の幅は、柱状部 C L の上部の幅よりも広い。このため、柱状部 C L の下部とスリット 5 6 との間の Y 方向における距離は、柱状部 C L の上部とスリット 5 6 との間の Y 方向における距離よりも長い。
- [0127] スリット 5 6 の形状は、図 2 5 に表される例に限定されない。スリット 5 6 の下部の幅は、スリット 5 6 の上部の幅よりも狭くてもよい。この場合、

柱状部CLの下部とスリット56との間のY方向における距離は、より一層、柱状部CLの上部とスリット56との間のY方向における距離よりも長くなる。

[0128] 図26に表すように、例えば熱燐酸を用いたウェットエッチングを行うことで、スリット56を通してシリコン窒化層51を除去する。これにより、シリコン窒化層51同士の間、スペース59が形成される。

[0129] 柱状部CLの上部は、柱状部CLの下部よりもスリット56に近い。このため、ウェットエッチングにおいて、柱状部CLの上部は、柱状部CLの下部よりも早く熱燐酸に浸される。このときの具体的な様子を、図27に表す。

[0130] 図27(a)に表すように積層体15の上部のシリコン窒化層51が除去されたとき、図27(b)に表すように積層体15の下部のシリコン窒化層51は、完全には除去されていない。これは、柱状部CLの下部とスリット56との間のY方向におけるシリコン窒化層51の厚さが、柱状部CLの上部とスリット56との間のY方向におけるシリコン窒化層51の厚さよりも、大きいためである。

[0131] 積層体15の上部のシリコン窒化層51が除去されてから、積層体15の下部のシリコン窒化層51が除去されるまでの間、柱状部CLの上部のブロック層31の外周面は、熱燐酸に浸され、エッチングされる。この結果、図21(a)および図21(b)に表すように、柱状部CLの下部のブロック層31の一部の厚さが、柱状部CLの上部のブロック層31の一部の厚さよりも大きくなる。

[0132] スリット56を通して、CVDによりスペース59にタングステンを堆積させる。タングステンとメモリ層30の間およびタングステンとシリコン窒化層12との間にバリアメタル等が形成されてもよい。スペース59にタングステンを堆積させる際に、スリット56に堆積したタングステンを、除去する。これにより、図28に表すように、シリコン窒化層12同士の間、導電層13が形成される。

- [0133] シリコン酸化物を堆積させて、スリット56の側面上に絶縁層18を形成する。図29に表すように、タングステン等の導電材料をスリット56内に堆積させて、ソース電極層17を形成する。
- [0134] 図19に表したように、柱状部CL上に導体61aを形成すると共に、ソース電極層17上に導体61bを形成する。Y方向に延びるビット線BLを形成し、導体61aに接続させる。Y方向に延びるソース線SLを形成し、導体61bに接続させる。以上の工程により、本実施形態に係る半導体装置1bが製造される。
- [0135] 上述したように、本実施形態では、導電層13と重なる位置において、柱状部CLの下部のブロック層31の厚さが、柱状部CLの上部のブロック層31の厚さよりも大きい。このため、本実施形態においても、電荷蓄積層32に情報の記憶を行う際に、柱状部CLの下部における電界強度を弱めることが可能となる。
- [0136] また、本実施形態によれば、上部と柱状部CLの下部との間の電界強度の差を小さくすることができる。このため、柱状部CL上部の電荷蓄積層32への書き込み電圧と柱状部CL下部の電荷蓄積層32への書き込み電圧との差を小さくし、書き込み速度を向上させることができる。
- [0137] 本実施形態に係る半導体装置1bでは、柱状部CLの幅が、上方から下方に向けて漸減し、同様に、導電層13と重なる柱状部CLのブロック層31の厚みが、上方から下方に向けて漸増している。このため、本実施形態に係る半導体装置1bによれば、半導体装置1に比べて、柱状部CLの各部における電界強度のばらつきをさらに低減させることができる。
- [0138] 図30および図31は、他の実施形態に係る半導体装置の製造工程の他の一例を表す工程断面図である。
- 図30～図31は、図20に相当する断面を示す。
- [0139] 図22～図25に表す工程と同様の工程を行い、積層体15にスリット56を形成する。図29に表すように、スリット56内にシリコン窒化層57を形成し、スリット56を埋め込む。

- [0140] スリット56の形状は、図29に表される例に限定されない。スリット56の上部の幅は、スリット56の下部の幅よりも広くてもよい。この場合、柱状部CLの下部とスリット56との間のY方向における距離を、より一層、柱状部CLの上部とスリット56との間のY方向における距離よりも長くすることができる。
- [0141] 例えば熱リン酸を用いたウェットエッチングを行うことで、シリコン窒化層52およびシリコン窒化層57を除去する。積層体15がエッチング液に浸されると、シリコン窒化層57の上部からエッチングが進行する。エッチングの進行に伴い、先に形成されたスリット56が現れ、エッチング液に対してシリコン窒化層52が露出する。露出したシリコン窒化層52は、スリット56を通してエッチングされる。すなわち、上方に位置するシリコン窒化層52から順に、スリット56を通してエッチングされていく。
- [0142] 図30は、積層体15の上部のシリコン窒化層52が除去されたときの様子を表す。このとき、積層体15の下部では、シリコン窒化層52が残存している。図30の状態の後、積層体15の下部でシリコン窒化層52がエッチングされている間、柱状部CL上部のメモリ層30（ブロック層31）が熱リン酸によってエッチングされていく。これにより、柱状部CL上部のブロック層31の一部の厚みが、柱状部CL下部のブロック層31の一部の厚みよりも小さくなる。
- [0143] 積層体15下部のシリコン窒化層52を除去した後は、先に説明した製造方法と同様に、導電層13、絶縁層18、ソース電極層17、導体61a、導体61b、ビット線BL、およびソース線SLを形成することで、半導体装置1bが製造される。
- [0144] 上述した製造方法によれば、柱状部CL下部のブロック層31の電極層13と重なる部分の厚さを、柱状部CL上部のブロック層31の電極層13と重なる部分の厚さよりも、さらに大きくすることができる。このため、ウェットエッチング時の、ブロック層31に対するシリコン窒化層52の選択比が大きい場合であっても、柱状部CL上部のブロック層31のエッチング量

を大きくすることができる。この結果、容易に、柱状部C L下部のブロック層3 1の電極層1 3と重なる部分の厚さを、柱状部C L上部のブロック層3 1の電極層1 3と重なる部分の厚さよりも、大きくすることができる。

[0145] 以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

請求の範囲

[請求項1]

基板と、

前記基板上に設けられ、複数の第1導電層と複数の第1絶縁層とを有し、第1方向に沿って前記第1導電層と前記第1絶縁層とが交互に設けられた積層体と、

前記積層体中を前記第1方向に延び、

前記第1方向と交差する第2方向において、複数の前記第1導電層上および複数の前記第1絶縁層上に設けられたブロック層と、

前記第2方向において、前記ブロック層上に設けられた電荷蓄積層と、

前記第2方向において、前記電荷蓄積層上に設けられたトンネル層と、

前記第2方向において、前記トンネル層上に設けられた半導体層と、

を有する柱状部と、

を備え、

前記柱状部は、第1部分と、前記第1部分に対して前記基板側に設けられた第2部分と、を含み、

前記第2部分の前記第2方向における寸法は、前記第1部分の前記第2方向における寸法よりも小さく、

前記ブロック層の前記第2部分に設けられた部分は、前記ブロック層の前記第1部分に設けられた部分よりも厚い半導体装置。

[請求項2]

前記第1導電層よりも厚い第2導電層と、

前記第2導電層上に設けられた第2絶縁層と、

第3絶縁層と、

前記第3絶縁層上に設けられ、前記第1導電層よりも厚い第3導電層と、

をさらに備え、

前記積層体は、前記第2絶縁層と前記第3絶縁層の間に設けられ、
前記柱状部は、前記第2絶縁層および前記第3絶縁層を貫通し、
前記ブロック層の前記第2絶縁層上に設けられた部分は、前記ブロック層の前記第3絶縁層上に設けられた部分よりも厚い請求項1記載の半導体装置。

[請求項3] 一部が前記第2導電層と前記柱状部の間に設けられた連結部をさらに備え、

前記柱状部は、1つの前記連結部に対して複数設けられ、

前記ブロック層は、前記接続部において前記第2導電層上に設けられ、

前記電荷蓄積層は、前記接続部において前記ブロック層上に設けられ、

前記トンネル層は、前記接続部において前記電荷蓄積層上に設けられ、

前記半導体層は、前記接続部において前記トンネル層上に設けられ、

前記ブロック層の前記接続部に設けられた部分は、前記ブロック層の前記第1部分に設けられた部分よりも厚い請求項2記載の半導体装置。

[請求項4] 前記第1方向に延びる絶縁部をさらに備え、

前記絶縁部は、1つの前記連結部に対して設けられた複数の前記柱状部の間に設けられた請求項3記載の半導体装置。

[請求項5] 前記ブロック層は、酸化シリコンまたは高誘電率材料を含む請求項1～4のいずれか1つに記載の半導体装置。

[請求項6] 前記ブロック層は、第1絶縁材料を含む第1層と、第2絶縁材料を含む第2層と、を有し、

前記第1層は、前記第1部分に設けられ、

前記第2層は、前記第1部分および前記第2部分に設けられた請求

項1～5のいずれか1つに記載の半導体装置。

[請求項7] 前記第1絶縁材料は、前記第2絶縁材料と同じ請求項6記載の半導体装置。

[請求項8] 基板と、

前記基板上に設けられ、複数の第1導電層と複数の第1絶縁層とを有し、第1方向に沿って前記第1導電層と前記第1絶縁層とが交互に設けられた積層体と、

前記積層体中を前記第1方向に延び、

前記第1方向と交差する第2方向において、複数の前記第1導電層上および複数の前記第1絶縁層上に設けられたブロック層と、

前記第2方向において、前記ブロック層上に設けられた電荷蓄積層と、

前記第2方向において、前記電荷蓄積層上に設けられたトンネル層と、

前記第2方向において、前記トンネル層上に設けられた半導体層と、

を有する柱状部と、

を備え、

前記ブロック層は、第3部分と、前記第3部分と前記基板との間に位置する第4部分と、を含み、

前記第3部分は、前記複数の導電層の一部と前記第2方向において重なり、

前記第4部分は、前記複数の導電層の他の一部と前記第2方向において重なり、

前記第4部分の前記第2方向における寸法は、前記第3部分の前記第2方向における寸法よりも小さく、

前記第4部分の前記第2方向における厚さは、前記第3部分の前記第2方向における厚さよりも大きい半導体装置。

- [請求項9] 第2導電層と、
前記第2方向において、前記第2導電層と前記複数の第1導電層との間および前記第2導電層と前記複数の第1絶縁層との間に設けられた第2絶縁層と、
をさらに備え、
前記第4部分と前記第2導電層との間の前記第2方向における距離は、前記第3部分と前記第2導電層との間の前記第2方向における距離よりも長い請求項8記載の半導体装置。
- [請求項10] 前記ブロック層は、前記複数の第1導電層および前記複数の第1絶縁層に面する第1面を有し、
前記第1面は、前記第3部分および前記第4部分において、前記半導体層に向けて窪んでいる請求項8または9に記載の半導体装置。
- [請求項11] 前記第1面は、前記第4部分において、前記第3部分よりも大きく窪んでいる請求項10記載の半導体装置。
- [請求項12] 前記ブロック層は、第5部分と、前記第5部分と前記基板との間に位置する第6部分と、を含み、
前記第5部分は、前記複数の第1絶縁層の一部と前記第2方向において重なり、
前記第6部分は、前記複数の第1絶縁層の他の一部と前記第2方向において重なり、
前記第6部分の前記第2方向における寸法は、前記第5部分の前記第2方向における寸法よりも小さく、
前記第6部分の前記第2方向における厚さは、前記第5部分の前記第2方向における厚さと実質的に等しい請求項8～11のいずれか1つに記載の半導体装置。
- [請求項13] 前記第6部分の前記第2方向における厚さは、前記第4部分の前記第2方向における厚さよりも大きい請求項12記載の半導体装置。
- [請求項14] 基板上に、導電層と第1絶縁層とを交互に、それぞれ複数形成する

工程と、

複数の前記導電層と複数の前記第1絶縁層とを有する積層体に対して、積層方向に延びる孔を形成することで、複数の前記導電層の側面を露出させる工程と、

複数の前記導電層の側面上にブロック層を形成する工程と、

前記積層方向に対して交差する第1方向において、前記ブロック層上に電荷蓄積層を形成する工程と、

前記第1方向において、前記電荷蓄積層上にトンネル層を形成する工程と、

前記第1方向において、前記トンネル層上に半導体層を形成する工程と、

を備え、

前記孔を形成する工程において、前記積層体の第1部分における前記孔の前記第1方向の寸法が、前記第1部分に対して前記基板側に設けられた前記積層体の第2部分における前記孔の前記第1方向の寸法よりも大きくなるように、前記孔を形成し、

前記ブロック層を形成する工程において、前記積層体の前記第2部分に形成される前記ブロック層の厚さが、前記積層体の前記第1部分に形成される前記ブロック層の厚さよりも厚くなるように、前記ブロック層を形成する半導体装置の製造方法。

[請求項15]

前記ブロック層を形成する工程は、

複数の前記導電層の側面上に絶縁材料を含む第1層を形成する工程と、

前記第1層のうち前記積層体の前記第1部分に形成された部分を除去することで、複数の前記導電層の側面を露出させる工程と、

前記積層体の前記第2部分に形成された前記第1層上、および前記積層体の前記第1部分における前記導電層の前記側面上に、絶縁材料を含む第2層を形成する工程と、

を有し、

前記ブロック層は、前記第1層と前記第2層を含む請求項14記載の半導体装置の製造方法。

[請求項16]

基板上に、導電層と第1犠牲層とを交互に、それぞれ複数形成することで、複数の前記導電層が所定の間隔を隔てて設けられた積層体を形成する工程と、

前記積層体に、積層方向に延びる第1孔を形成する工程と、

前記第1孔内に第1絶縁層を形成する工程と、

前記積層体の、前記第1孔が形成された場所以外の場所に、前記積層方向に延びる第2孔を形成することで、複数の前記導電層の側面を露出させる工程と、

前記第2孔を通して複数の前記第1犠牲層を除去する工程と、

複数の前記第1犠牲層が除去された前記積層体の、複数の前記導電層の間および複数の前記導電層の側面上に、ブロック層を形成する工程と、

前記積層方向に対して交差する第1方向において、前記ブロック層上に電荷蓄積層を形成する工程と、

前記第1方向において、前記電荷蓄積層上にトンネル層を形成する工程と、

前記第1方向において、前記トンネル層上に半導体層を形成する工程と、

を備え、

前記第2孔を形成する工程において、前記第2孔を、前記積層体の第1部分における径が、前記第1部分に対して前記基板側に設けられた前記第1積層体の第2部分における径よりも大きくなるように形成し、

前記ブロック層を形成する工程において、前記ブロック層を、前記第2部分に形成される厚さが、前記第1部分に形成される厚さよりも

厚くなるように形成する半導体装置の製造方法。

[請求項17]

前記ブロック層を形成する工程は、

複数の前記導電層の前記側面上に、絶縁材料を含む第1層を形成する工程と、

前記第1層のうち、前記積層体の前記第1部分に形成された部分を除去することで、前記第1部分における前記導電層の前記側面を露出させる工程と、

前記積層体の前記第2部分に形成された前記第1層上、および前記積層体の前記第1部分における前記導電層の前記側面上に、絶縁材料を含む第2層を形成する工程と、

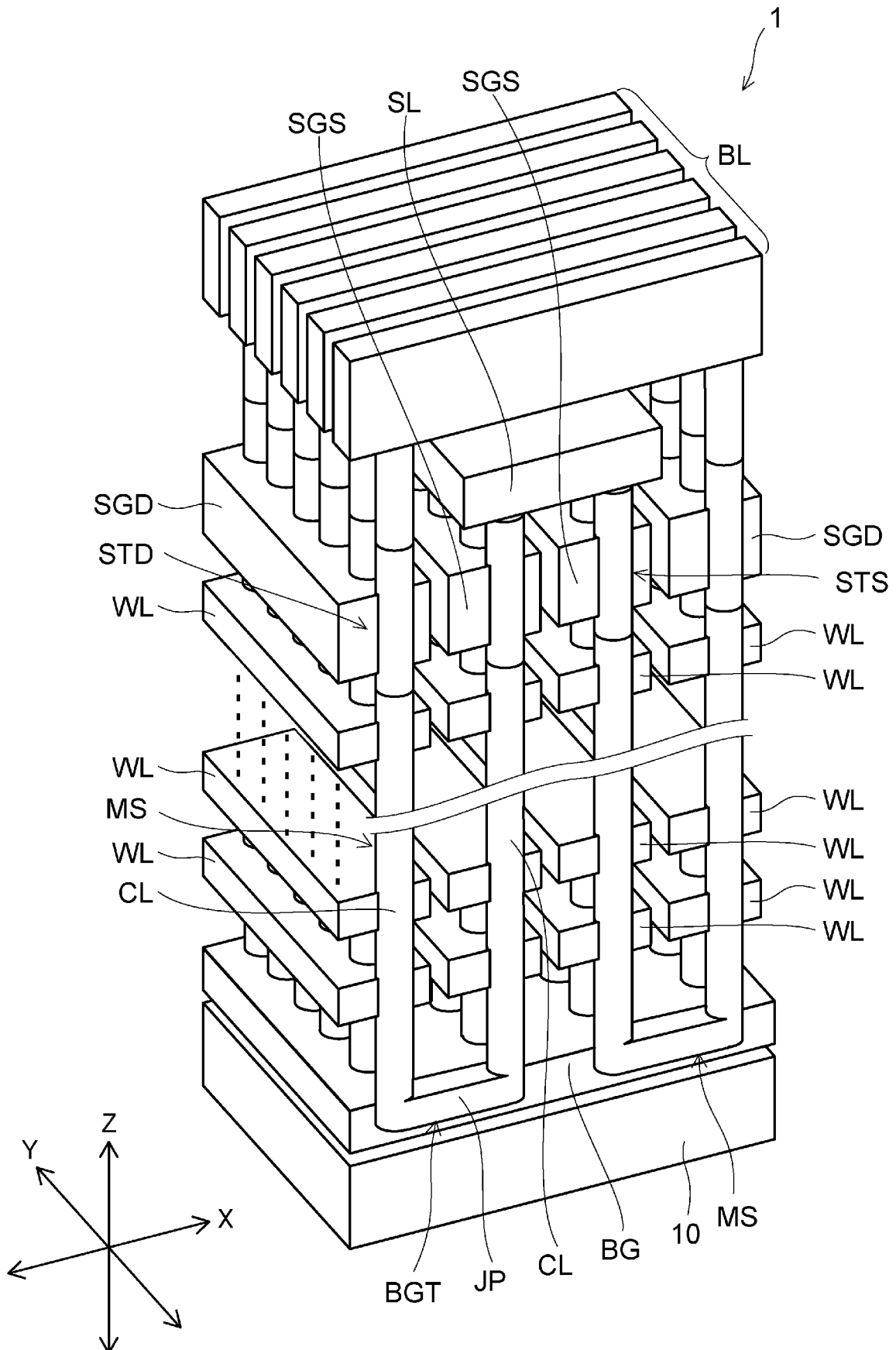
を有し、

前記ブロック層は、前記第1層と前記第2層を含む請求項16記載の半導体装置の製造方法。

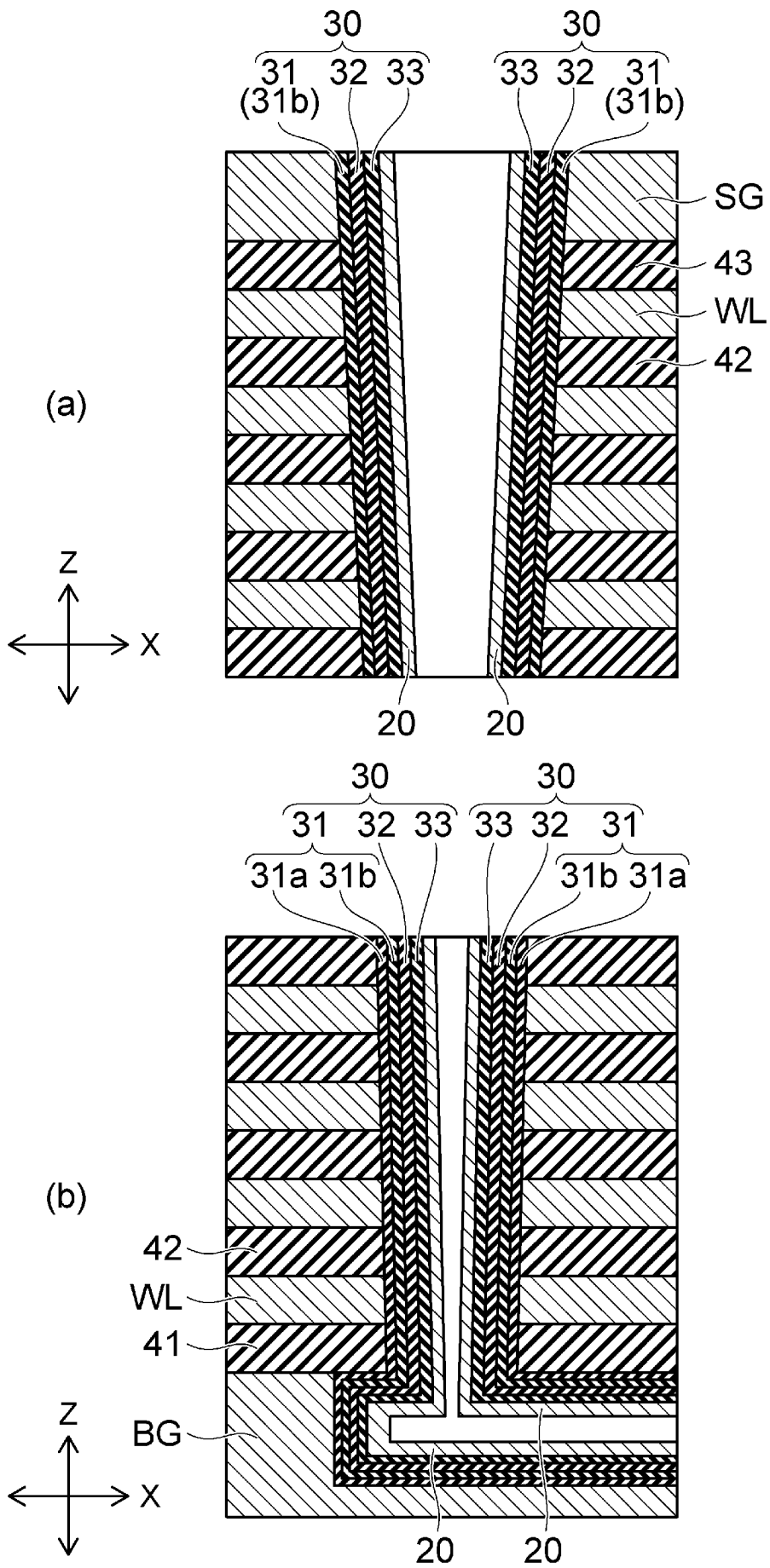
[請求項18]

前記第2層に含まれる絶縁材料は、前記第1層に含まれる絶縁材料と同じである請求項15または17に記載の半導体装置の製造方法。

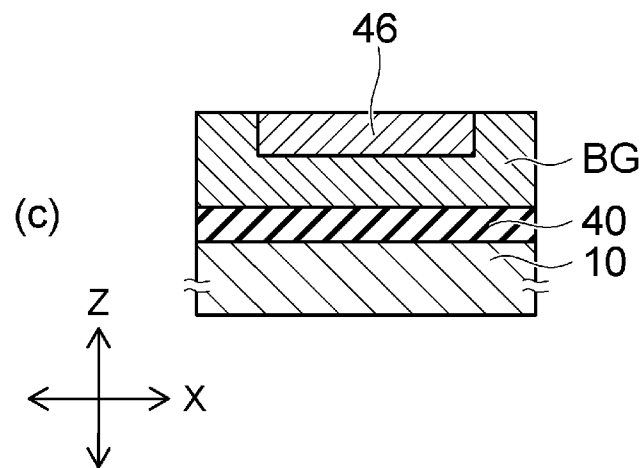
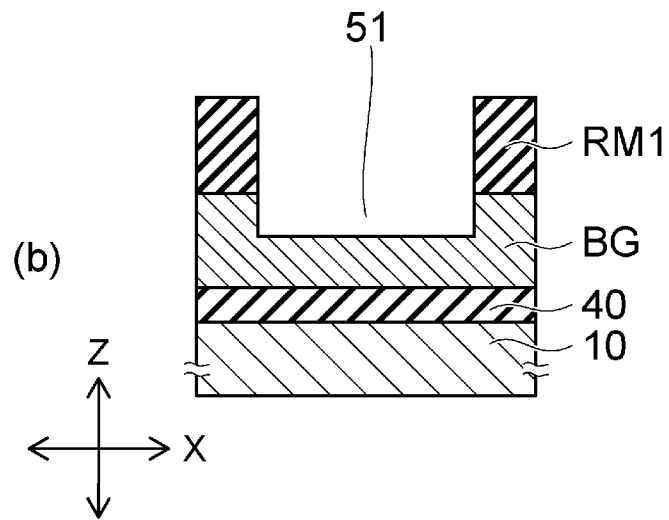
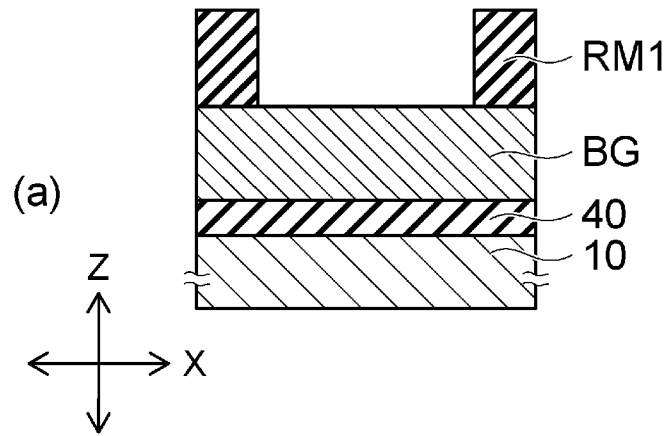
[図2]



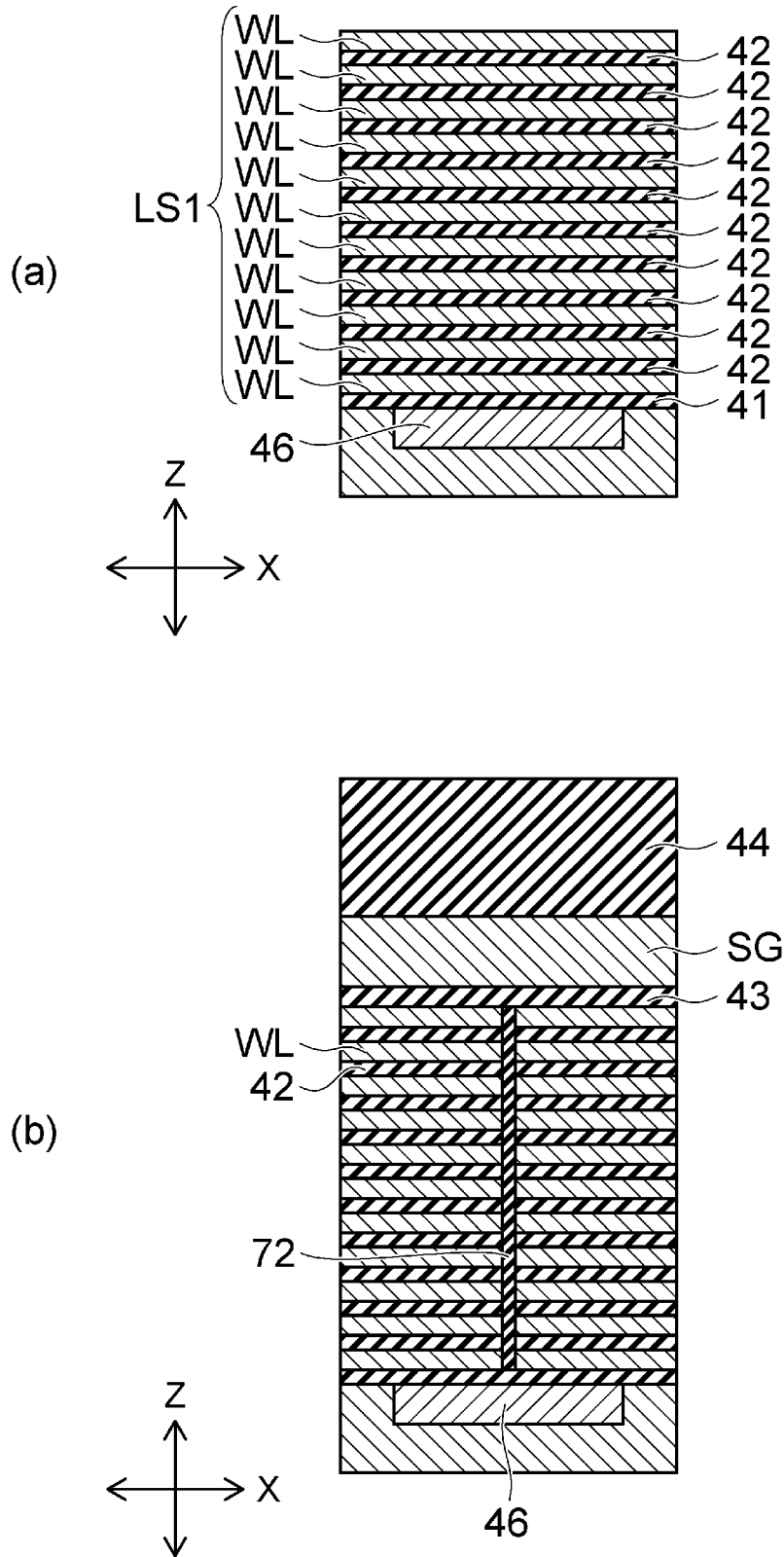
[図3]



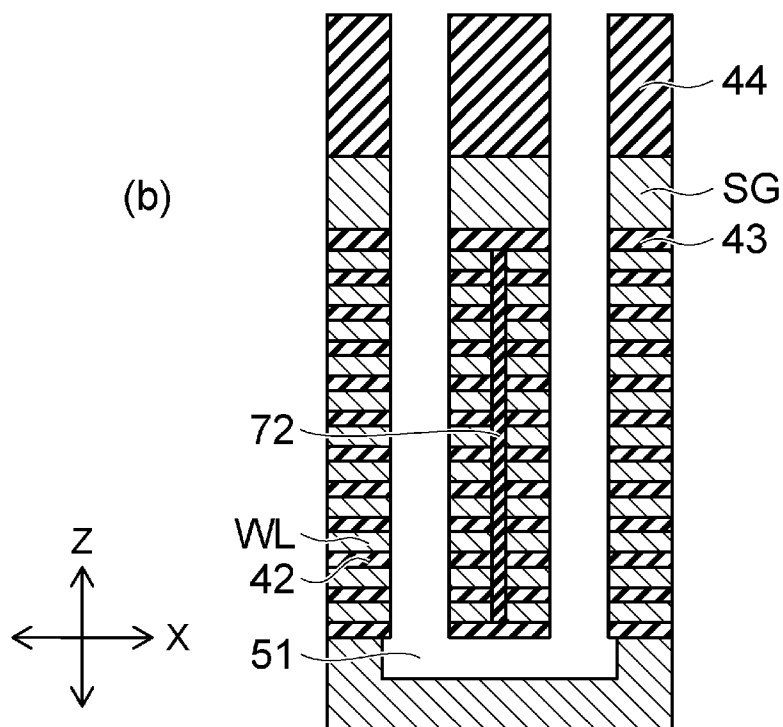
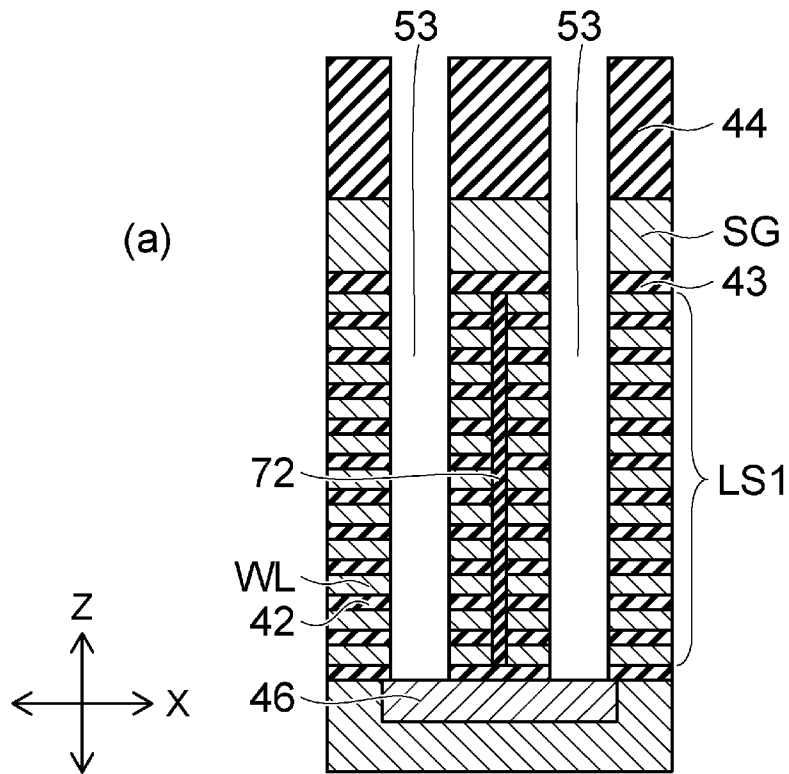
[図4]



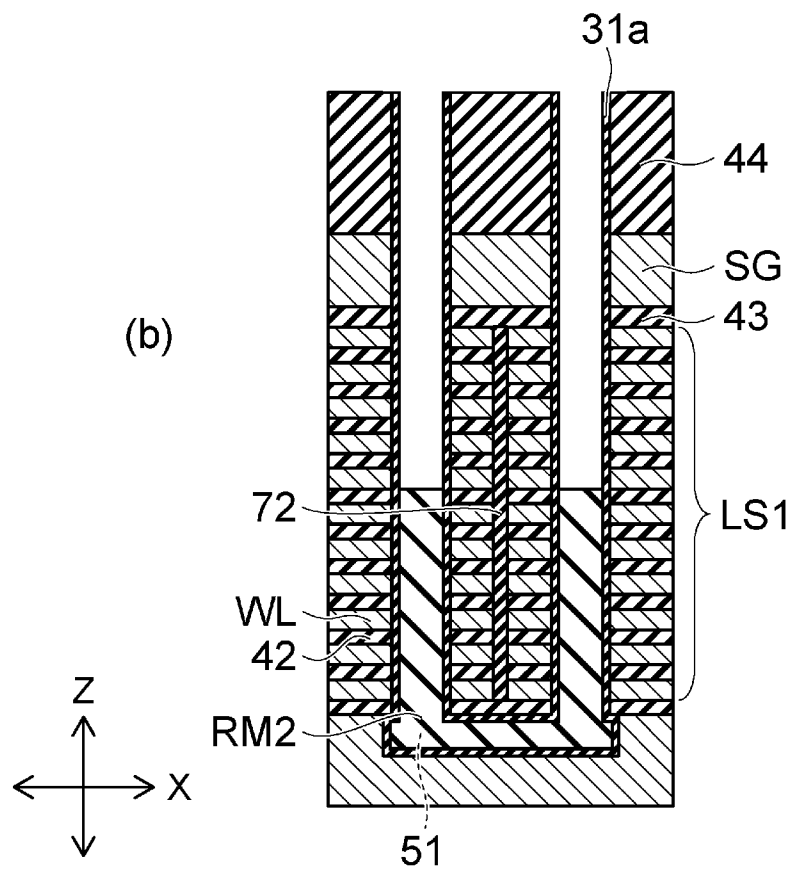
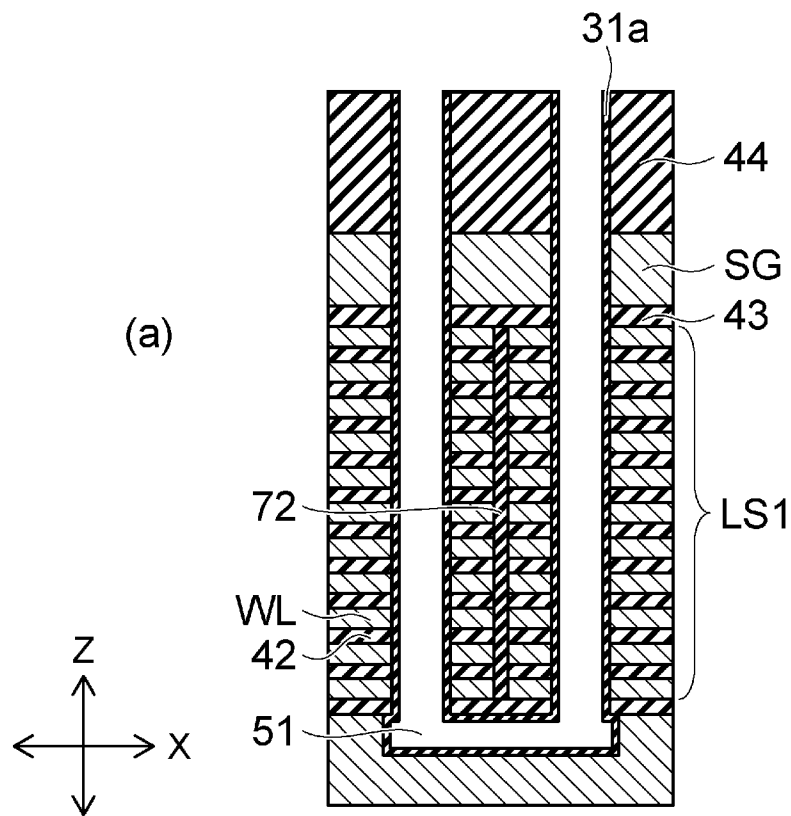
[図5]



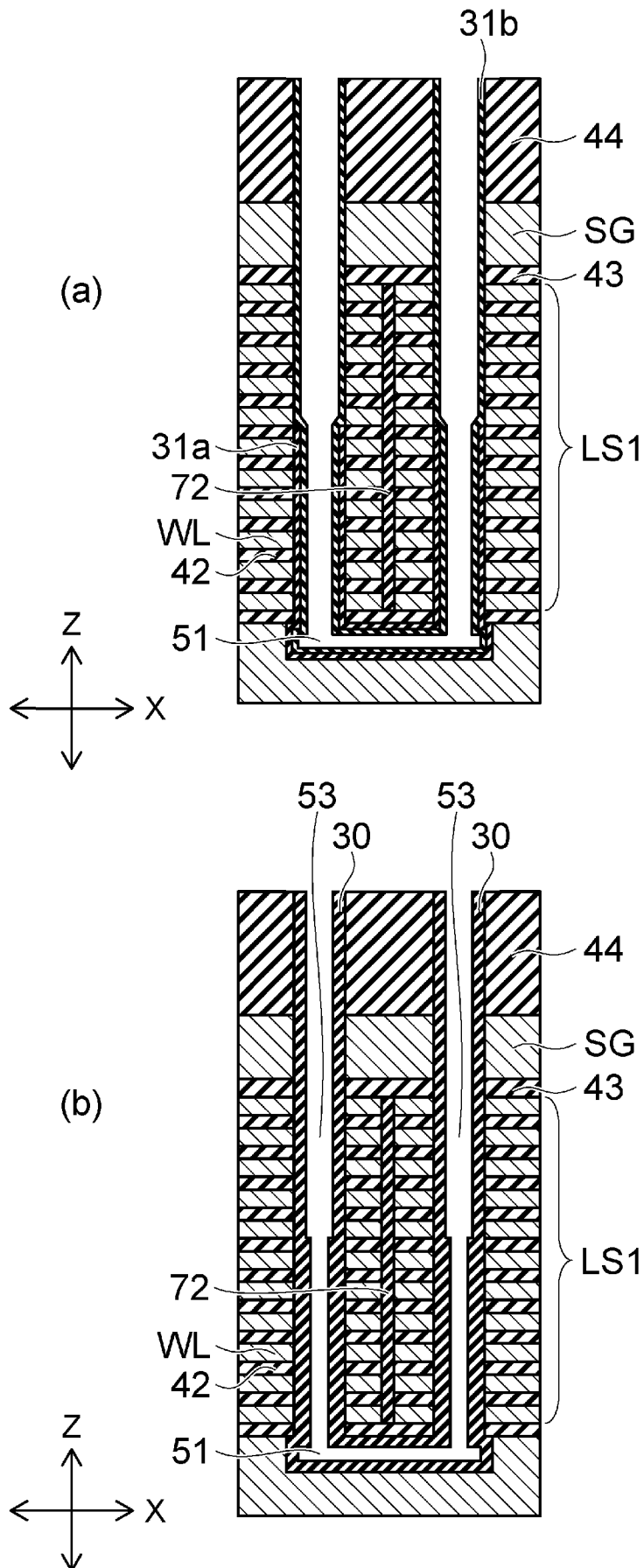
[図6]



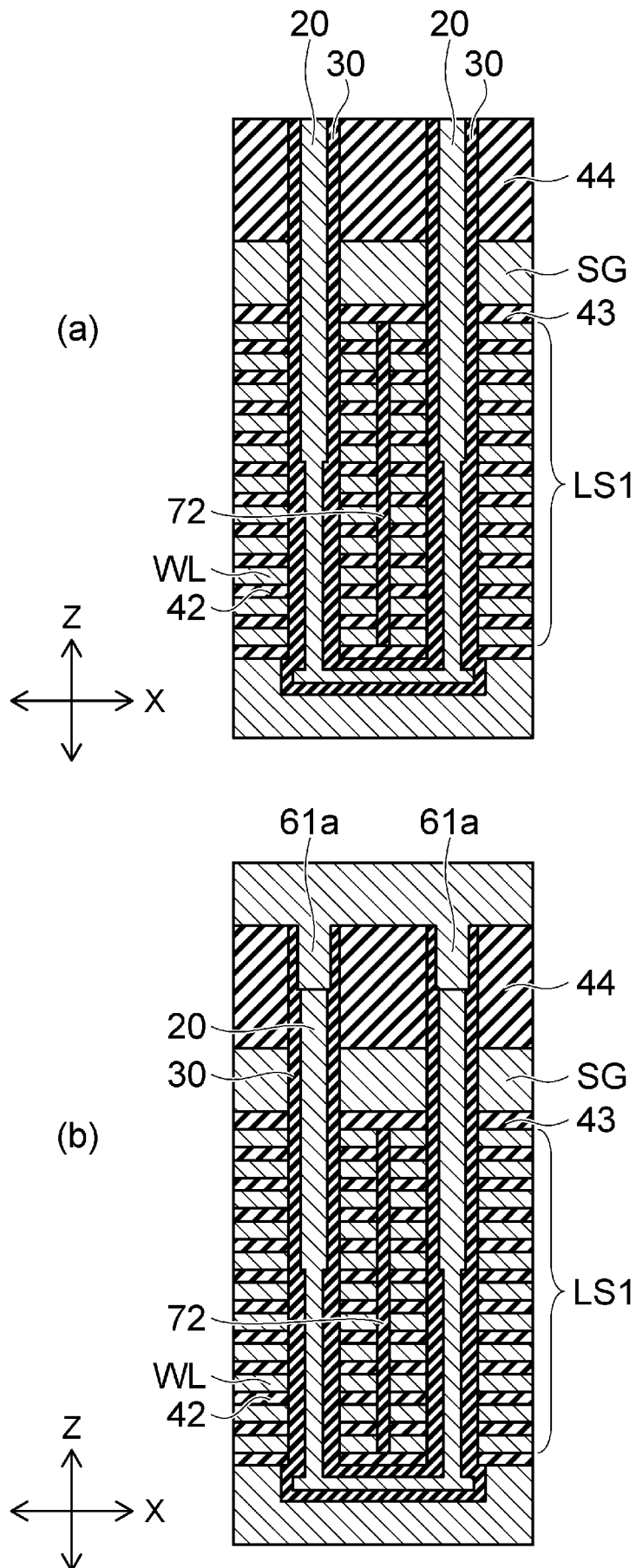
[図7]



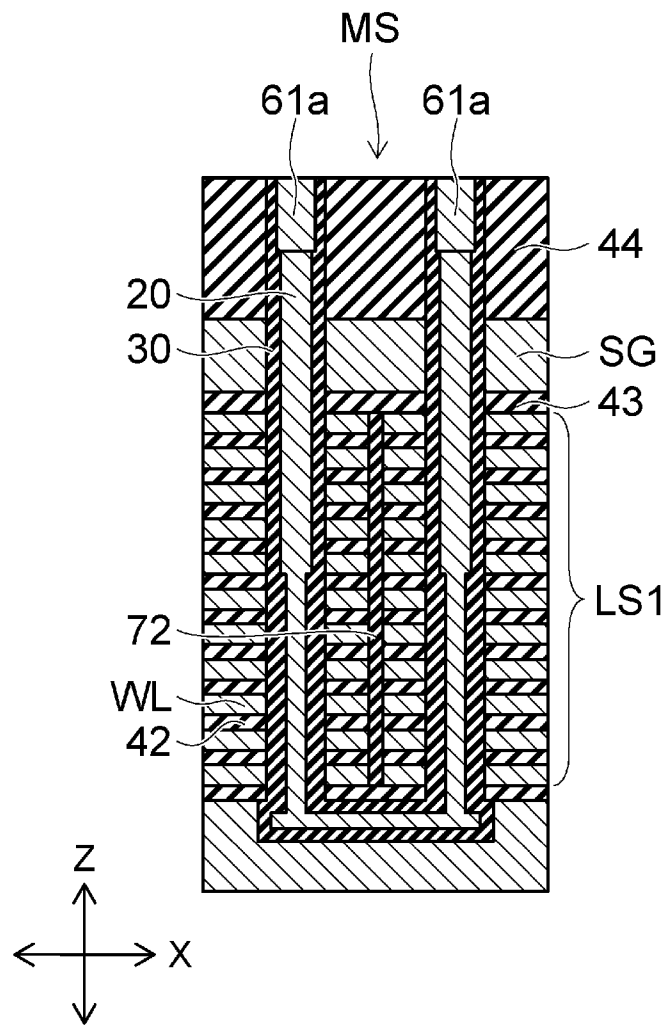
[図9]



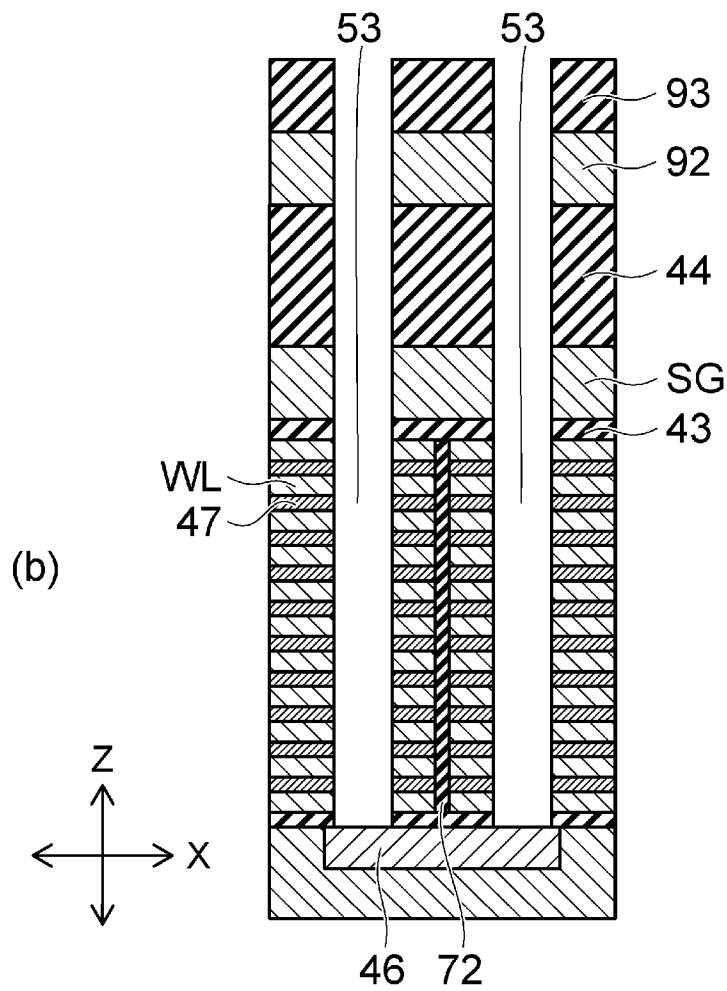
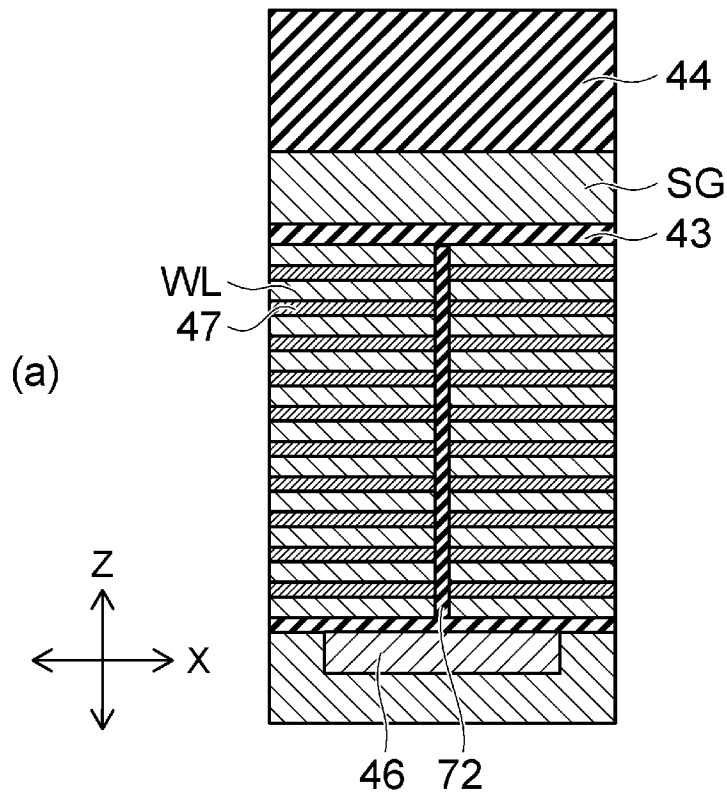
[図10]



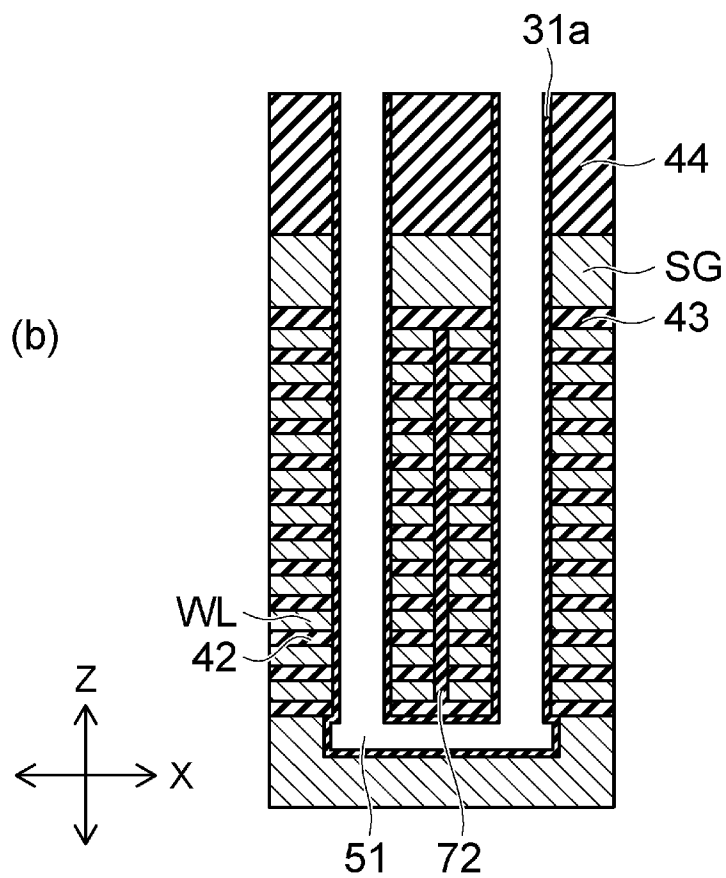
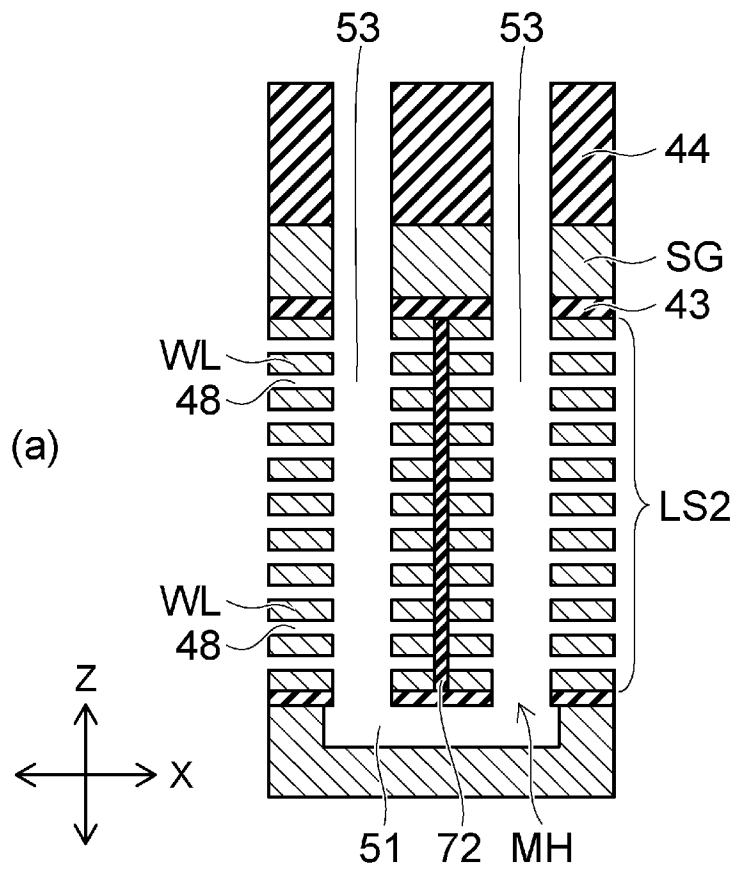
[図11]



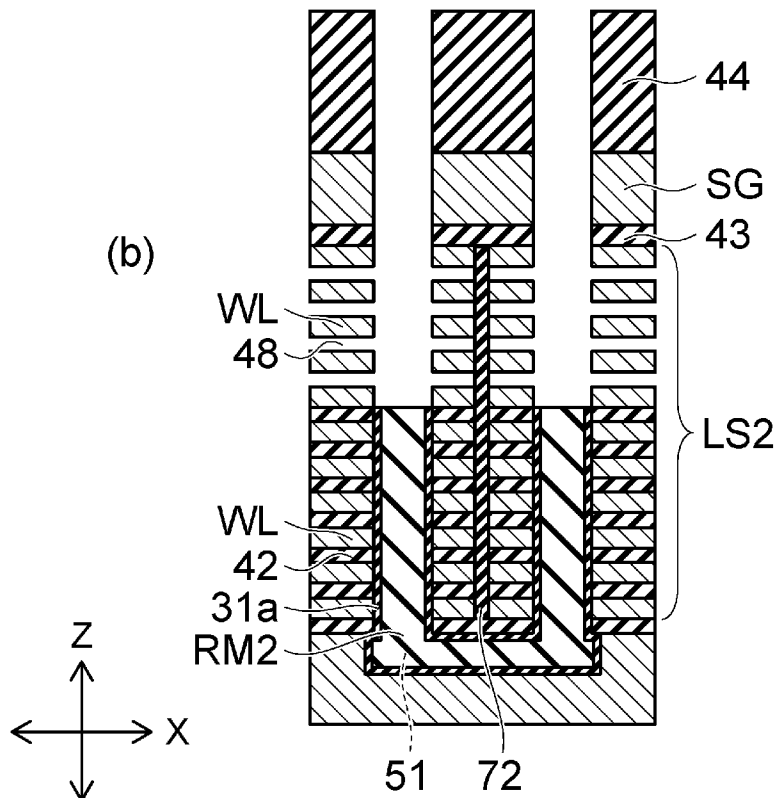
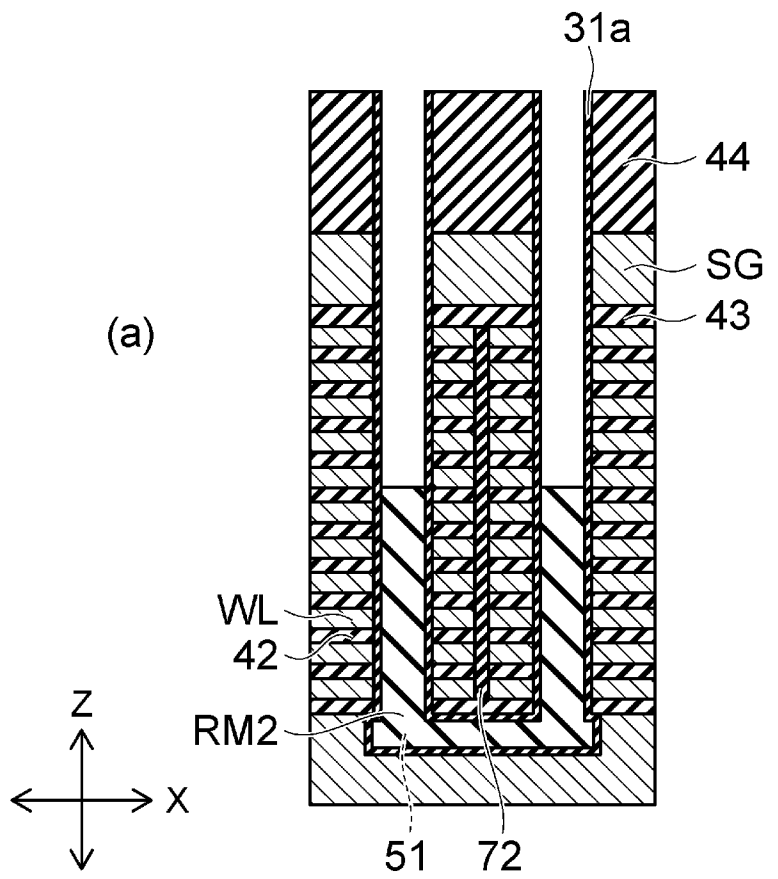
[図13]



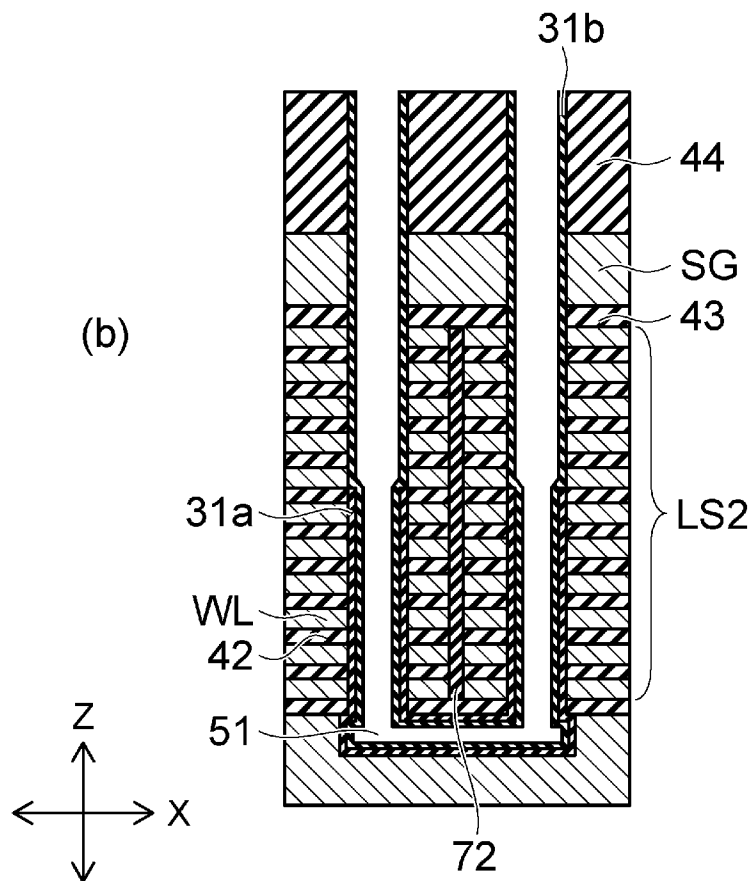
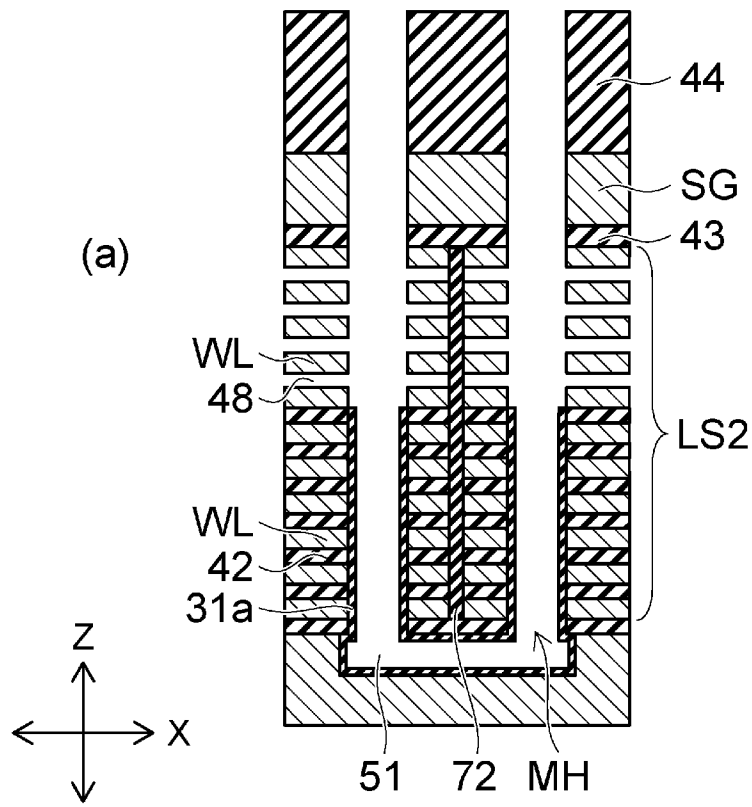
[図14]



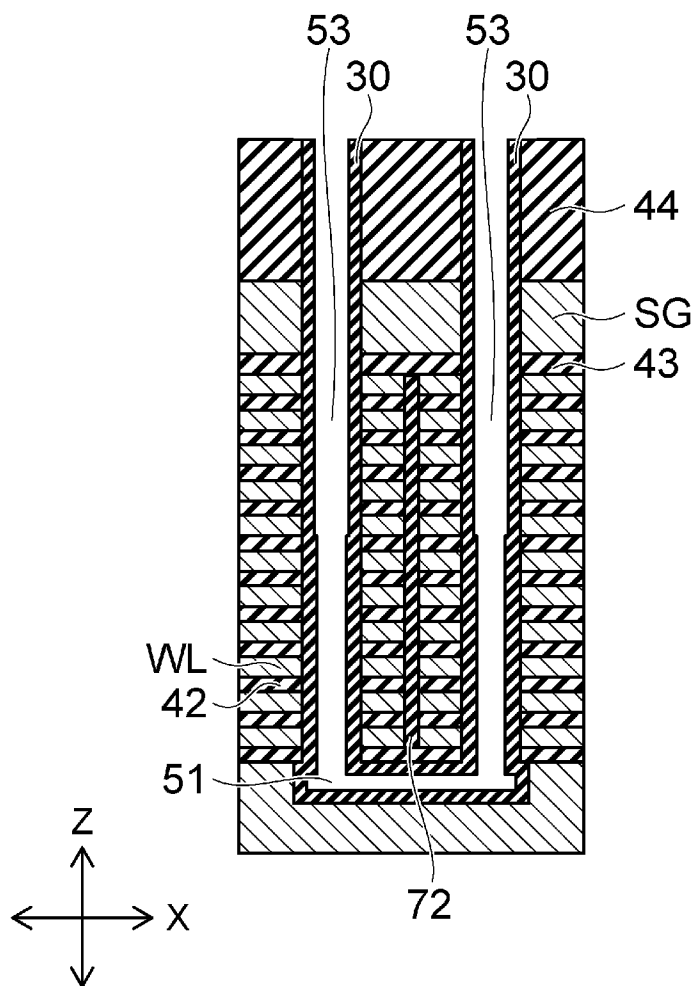
[図15]



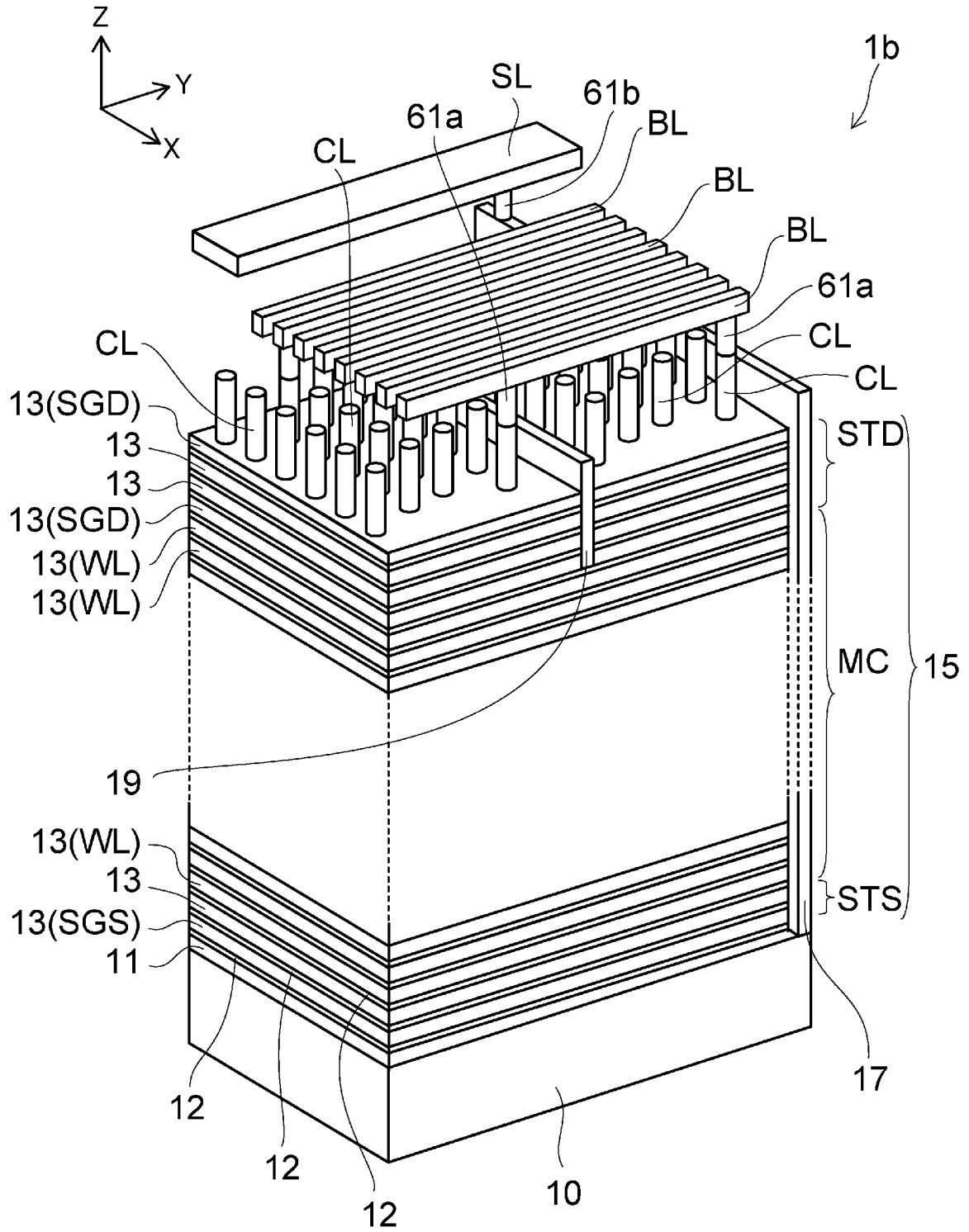
[図16]



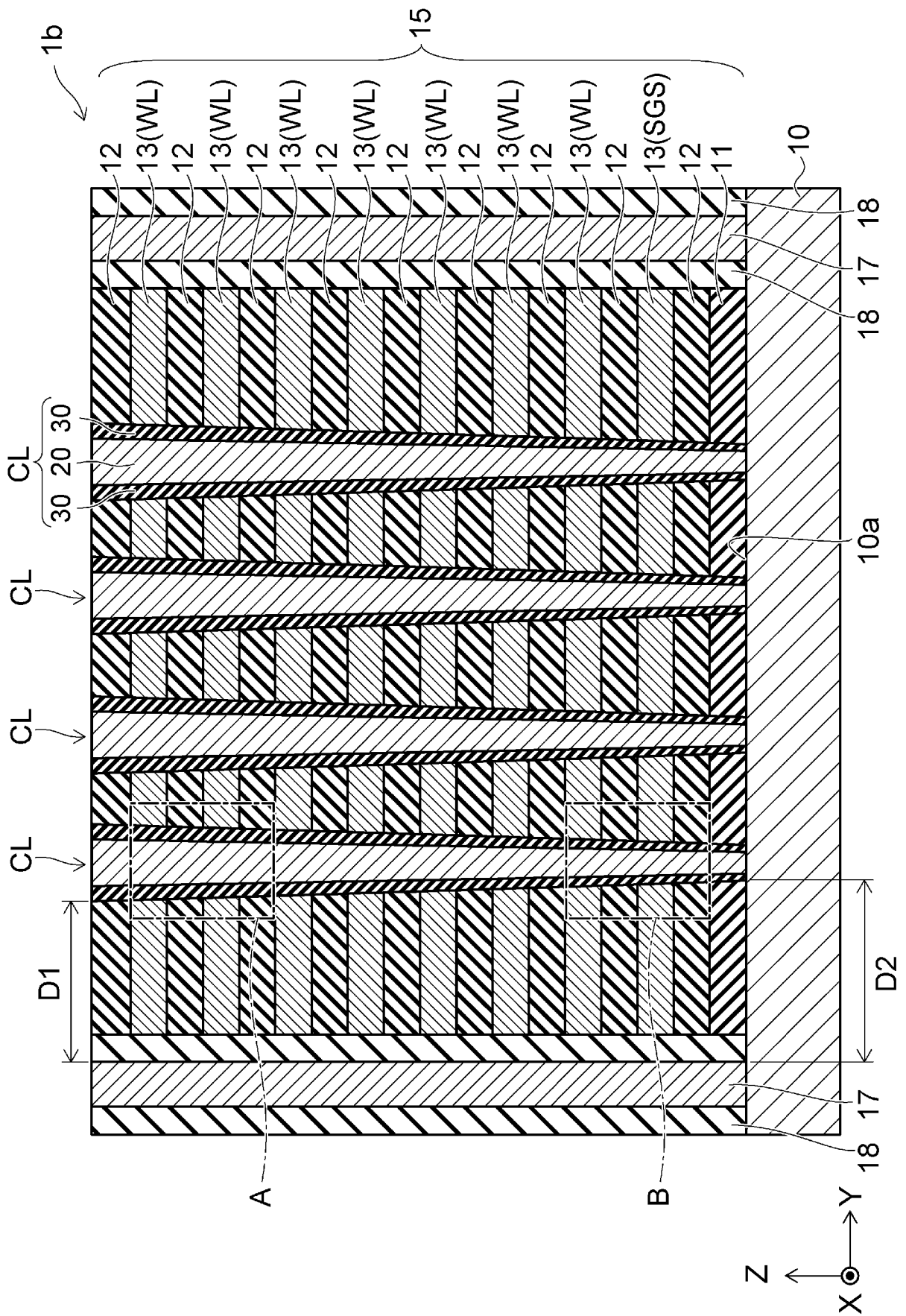
[図17]



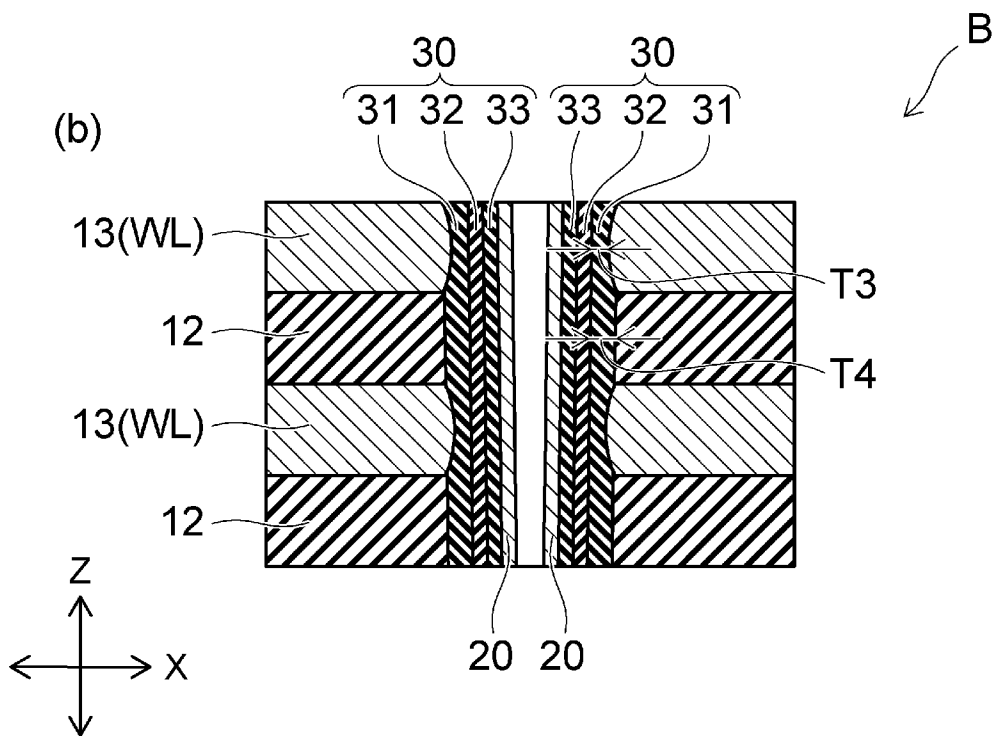
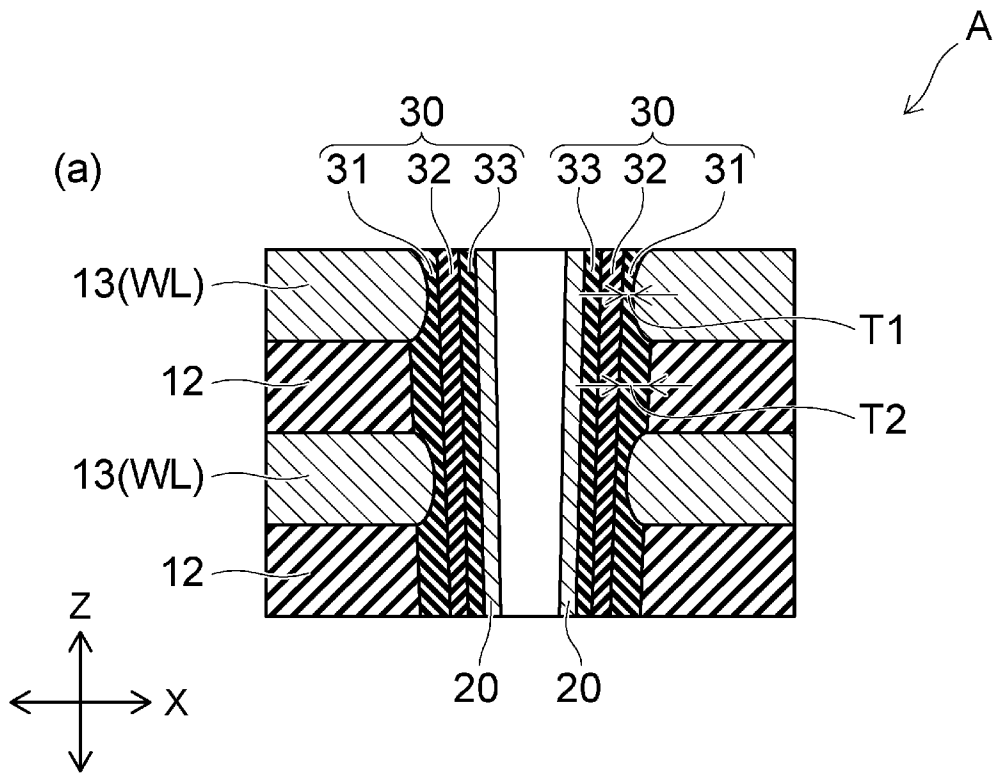
[図19]



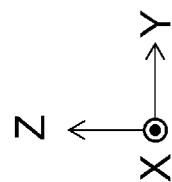
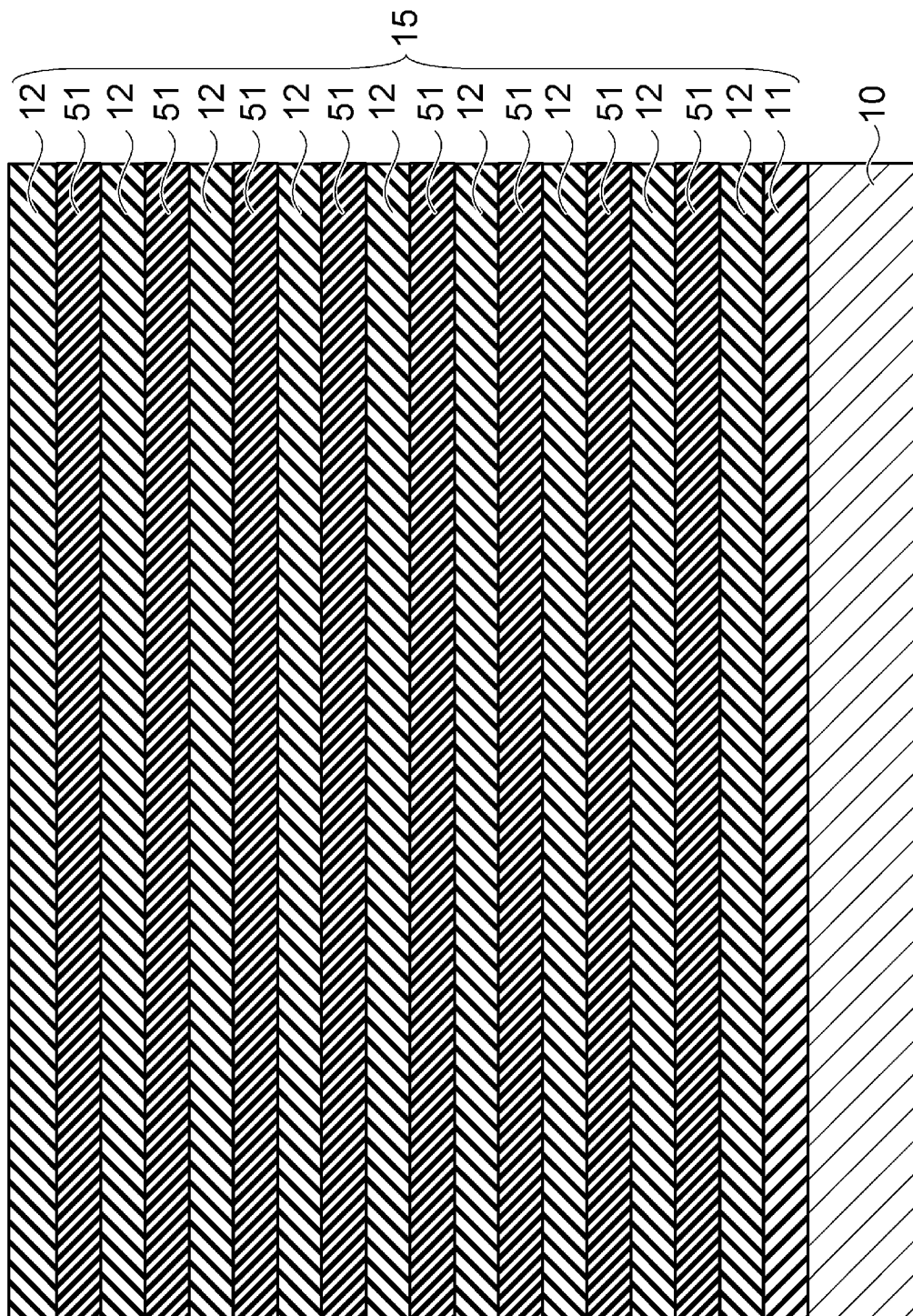
[図20]



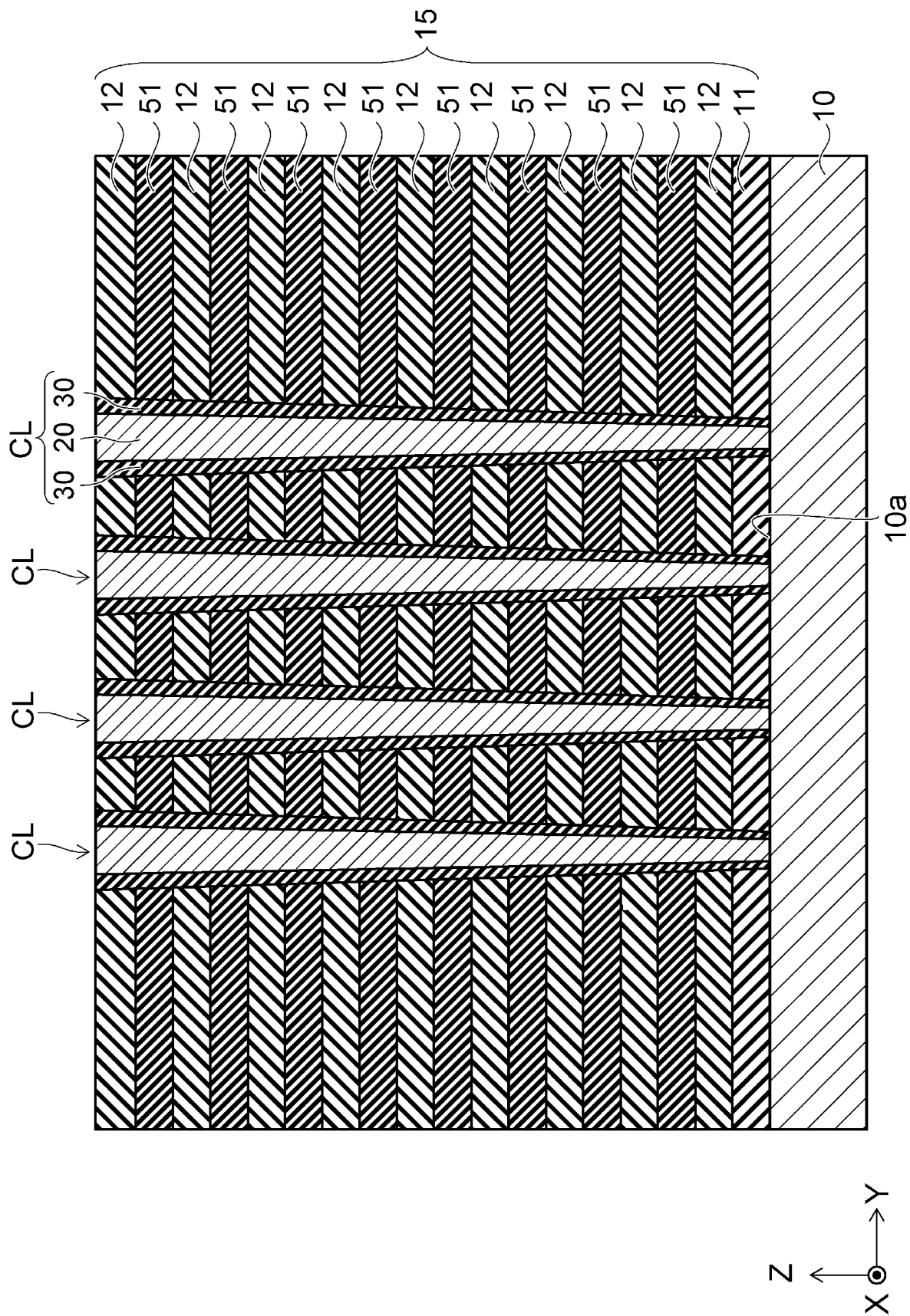
[図21]



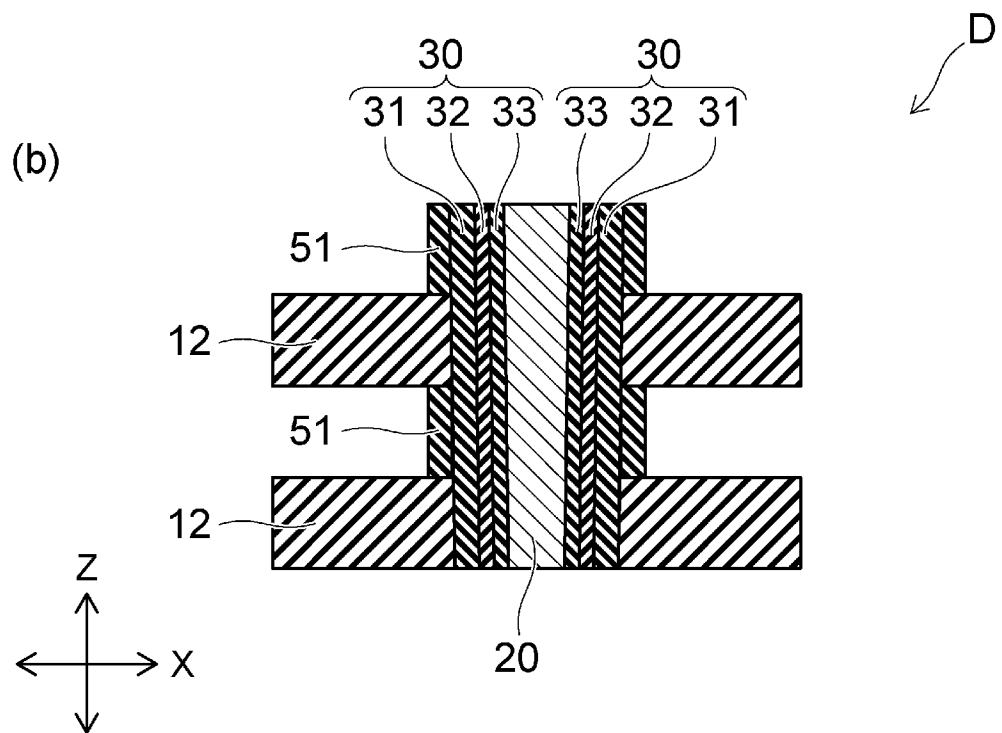
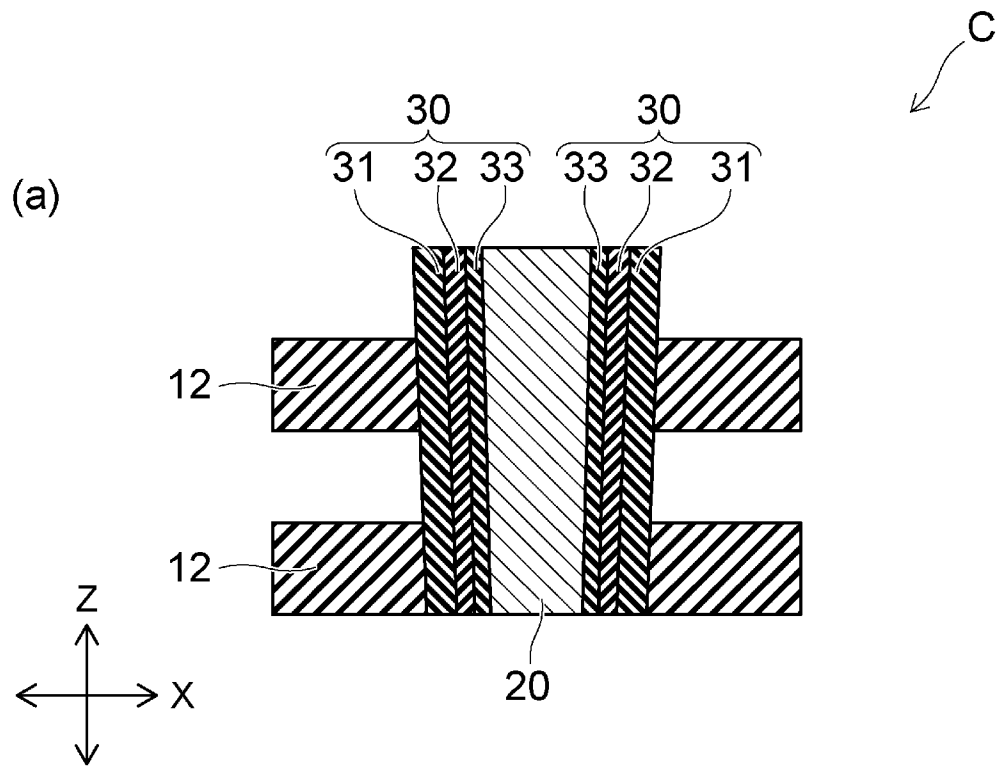
[図22]



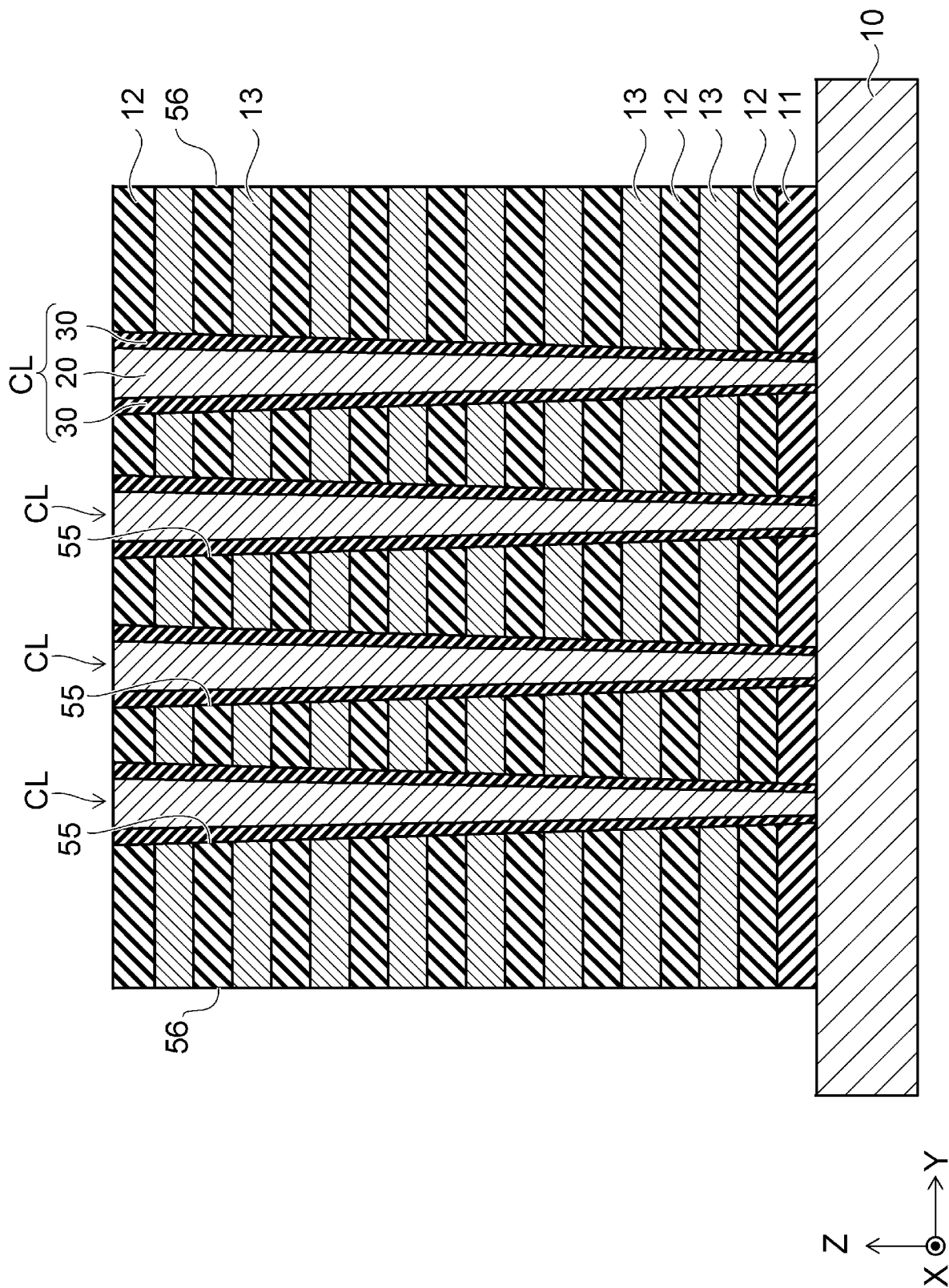
[図24]



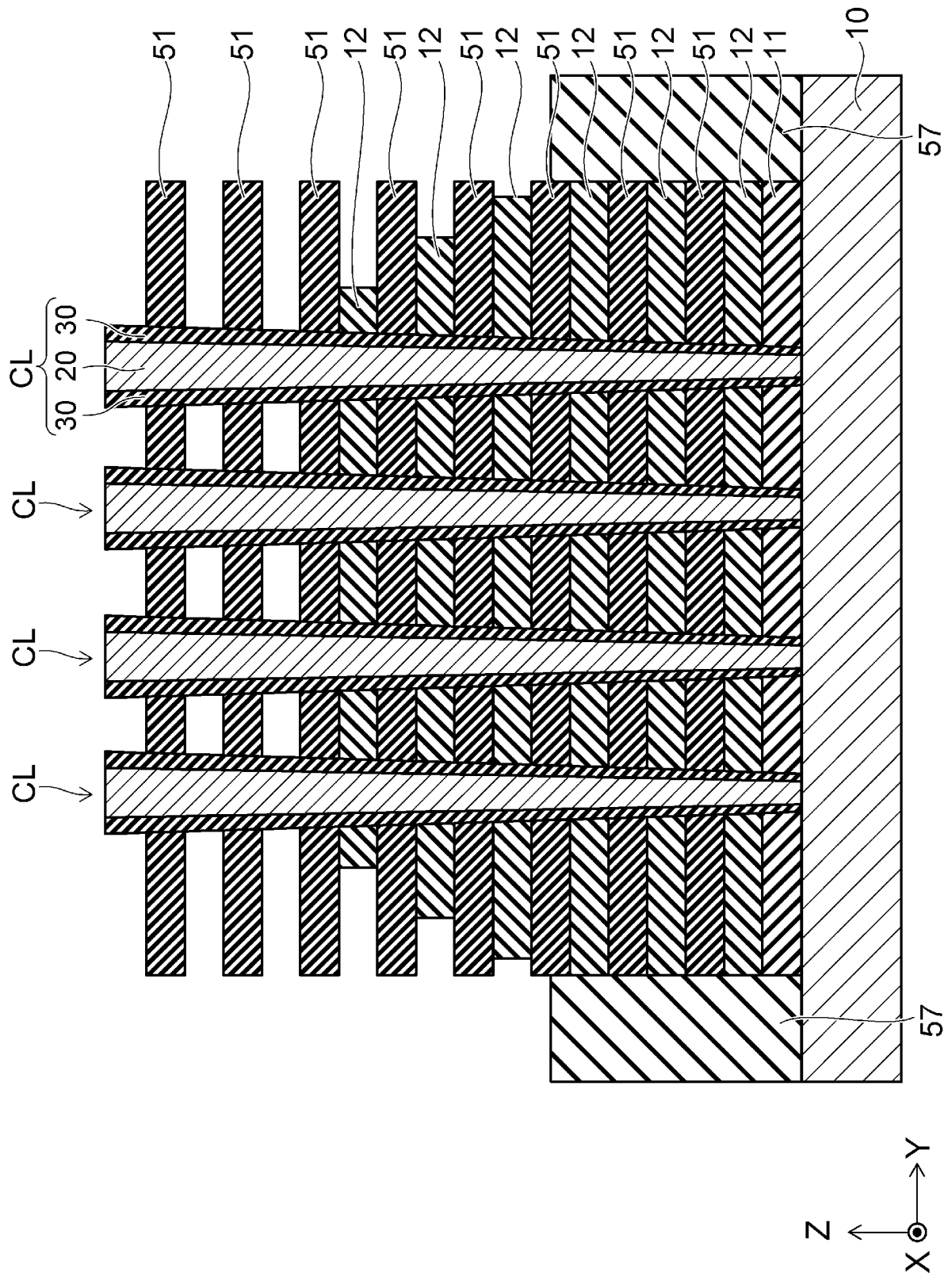
[図27]



[図28]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/086725

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/115(2017.01)i, H01L21/336(2006.01)i, H01L29/788(2006.01)i,
H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/115, H01L21/336, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-13634 A (Toshiba Corp.), 23 January 2014 (23.01.2014), paragraphs [0013] to [0022], [0024]; fig. 2 & US 2014/0010016 A1 paragraphs [0012] to [0029], [0031]; fig. 2	1-5, 8 9, 10 6, 7, 11-18
Y	JP 2011-29234 A (Toshiba Corp.), 10 February 2011 (10.02.2011), paragraphs [0010], [0017], [0028], [0033], [0086] to [0091]; fig. 3 & US 2011/0018052 A1 paragraphs [0025], [0036], [0048], [0053], [0113] to [0118]; fig. 3	9, 10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 February 2017 (10.02.17)	Date of mailing of the international search report 21 February 2017 (21.02.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/086725

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-66348 A (Toshiba Corp.), 31 March 2011 (31.03.2011), paragraphs [0069] to [0072]; fig. 19 (Family: none)	10
A	JP 2011-49239 A (Toshiba Corp.), 10 March 2011 (10.03.2011), paragraphs [0123] to [0132]; fig. 18 & US 2011/0049612 A1 paragraphs [0130] to [0140]; fig. 18 & US 2014/0252453 A1	1-18
A	JP 2015-177013 A (Toshiba Corp.), 05 October 2015 (05.10.2015), entire text; all drawings & US 2015/0263036 A1 entire text; all drawings	1-18
A	JP 2008-192708 A (Toshiba Corp.), 21 August 2008 (21.08.2008), entire text; all drawings & US 2008/0186771 A1 entire text; all drawings	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/115(2017.01)i, H01L21/336(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/115, H01L21/336, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-13634 A (株式会社東芝) 2014.01.23, 段落[0013] - [0022], [0024], 図2	1 - 5, 8
Y	& US 2014/0010016 A1, 段落[0012] - [0029], [0031], 図2	9, 10
A		6, 7, 11 - 18
Y	JP 2011-29234 A (株式会社東芝) 2011.02.10, 段落[0010], [0017], [0028], [0033], [0086] - [0091], 図3 & US 2011/0018052 A1, 段落[0025], [0036], [0048], [0053],	9, 10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

10.02.2017

国際調査報告の発送日

21.02.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小山 満

5 F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	[0113] - [0118], 図 3	
Y	JP 2011-66348 A (株式会社東芝) 2011.03.31, 段落[0069] - [0072], 図 19 (ファミリーなし)	10
A	JP 2011-49239 A (株式会社東芝) 2011.03.10, 段落[0123] - [0132], 図 18 & US 2011/0049612 A1, 段落[0130] - [0140], 図 18 & US 2014/0252453 A1	1 - 18
A	JP 2015-177013 A (株式会社東芝) 2015.10.05, 全文, 全図 & US 2015/0263036 A1, 全文, 全図	1 - 18
A	JP 2008-192708 A (株式会社東芝) 2008.08.21, 全文, 全図 & US 2008/0186771 A1, 全文, 全図	1 - 18