

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-273859

(P2007-273859A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F O 3 2
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 21/76 L	5 F 1 O 1
HO 1 L 29/792 (2006.01)		
HO 1 L 21/76 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 38 頁)

(21) 出願番号 特願2006-99540 (P2006-99540)
 (22) 出願日 平成18年3月31日 (2006.3.31)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 笹子 佳孝
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 石井 智之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 峰 利之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

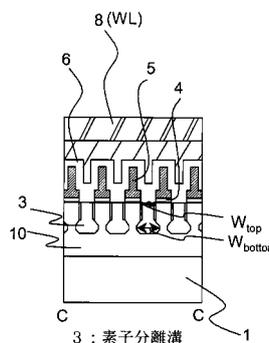
(57) 【要約】

【課題】 微細化されたNAND型フラッシュメモリにおいて、素子分離溝の加工歩留まりを低下させることなく、良好な素子分離特性を実現する。

【解決手段】 半導体基板1のメモリアレイ領域には、NAND型フラッシュメモリのメモリセルが行方向および列方向に沿ってマトリクス状に配置されている。行方向に沿って配置された複数のメモリセルは、列方向に延在する細長い帯状の平面形状を有する素子分離溝3によって互いに分離されている。素子分離溝3は、その底部における行方向の径が、表面近傍における行方向の径よりも大きい。

【選択図】 図4

図4



3 : 素子分離溝

【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板の主面の第 1 方向およびこれと直交する第 2 方向にマトリクス状に配置された複数のメモリセルを有し、

前記複数のメモリセルのそれぞれは、ゲート絶縁膜を介して前記半導体基板の主面上に形成された浮遊ゲートと、絶縁膜を介して前記浮遊ゲートの上部に形成された制御ゲートとを備え、

前記第 1 方向に沿って配置された複数のメモリセルのそれぞれの前記制御ゲートは、一体となって前記第 1 方向に延在するワード線を構成し、

前記第 2 方向に沿って配置された複数のメモリセルは、直列に接続され、

10

前記第 1 方向に隣接するメモリセルは、前記半導体基板の主面に形成され、前記第 2 方向に延在する素子分離溝によって互いに分離され、

前記素子分離溝の底部における前記第 1 方向の径は、前記半導体基板の表面における前記第 1 方向の径よりも大きいことを特徴とする半導体装置。

【請求項 2】

前記素子分離溝に埋め込まれた絶縁膜中の一部に空隙が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 方向に隣接する前記素子分離溝は、それらの底部が互いに繋がっていることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 4】

前記素子分離溝に埋め込まれた絶縁膜中の一部に空隙が設けられていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記第 2 方向に沿って配置されたメモリセル列の端部は、選択トランジスタを介して第 2 導電型の拡散層に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記浮遊ゲートの断面形状は、逆 T 字形であることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

30

前記第 1 方向に隣接する前記選択トランジスタのゲートには独立に電位を給電でき、かつ前記第 2 導電型の拡散層は、前記第 1 方向に隣接する前記選択トランジスタ 2 つごとに共有されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】

(a) 半導体基板中に第 1 導電型のウェルを形成する工程と、

(b) 前記半導体基板上に第 1 絶縁膜を形成する工程と、

(c) 前記ウェルとは前記第 1 絶縁膜を介して前記シリコン基板に平行な第 1 の方向と前記半導体基板に平行でかつ前記第 1 の方向に垂直な第 2 の方向に等間隔で並ぶ複数の第 1 ゲートを形成する工程と、

(d) 前記第 1 の方向に隣接する前記第 1 ゲートの隙間に第 2 方向に延在するように前記シリコン基板中に素子分離溝を形成する工程と、

40

(e) 前記素子分離溝を絶縁膜で埋め込む工程と、

(f) 前記第 1 ゲートと第 2 絶縁膜を介して第 2 ゲートを第 1 の方向に延在して形成する工程とを含み、

前記 (d) 素子分離溝を形成する工程は、前記素子分離溝の前記第 1 の方向の寸法を前記シリコン基板表面よりも深い標高で最大にするようにする工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】

前記半導体基板に素子分離溝を形成する際、

(g) 第 1 の深さの素子分離溝を形成する工程と、

50

(h) 前記第1の深さの溝内の前記シリコン基板表面に絶縁膜を形成する工程と、
(i) 前記絶縁膜を異方的にエッチングし前記第1の深さの溝の底部の前記絶縁膜だけを除去する工程と、
(j) 前記半導体基板を等方的にエッチングし、前記半導体基板表面に垂直な方向と水平の方向の両方向に前記溝を広げる工程を含むことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】

前記素子分離溝を前記絶縁膜で埋め込む際に前記絶縁膜中に空洞を形成する工程を含むことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】

前記素子分離溝を形成する際、前記第1方向に隣接する素子分離溝を前記半導体基板内部で互いに連結させる工程を含むことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】

前記素子分離溝を前記絶縁膜で埋め込む際、前記絶縁膜中に空洞を形成する工程を含むことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】

前記半導体基板に前記素子分離溝を形成する際、
(k) シリコン基板上に形成したウェル上に前記第1絶縁膜を介して前記第2方向に延在する前記第1ゲート材料を堆積する工程と、

(l) 前記第1ゲート材料上にダミー絶縁膜を堆積する工程と、
前記第1ゲートと前記ダミー絶縁膜を第2方向に延在するライン/スペースパターンに形成し第1絶縁膜の一部を露出させる工程と、

(m) 前記(l)工程で形成した前記第1ゲートと前記ダミー絶縁膜のライン/スペースをマスクに露出した前記第1絶縁膜の一部を除去し前記シリコン基板を一部露出させる工程と、

(n) 前記(l)工程で形成した前記第1ゲートと前記ダミー絶縁膜のライン/スペースをマスクに前記露出させた前記シリコン基板を第1の深さまでエッチングする工程と、

(o) 前記第1の深さの溝内の前記シリコン基板表面と前記第1ゲートの露出した側壁にシリコン酸化膜を形成する工程と、

(p) 前記シリコン酸化膜を異方的にエッチングし前記第1の深さの溝の底部の前記シリコン酸化膜だけを除去する工程と、

(q) 前記(p)工程に引き続きシリコン基板を等方的にエッチングし前記シリコン基板表面に垂直な方向と水平の方向の両方向に前記溝を広げる工程と、
を含むことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項14】

前記(q)工程において、前記第1方向に隣接した素子分離溝同士が繋がるまで前記溝を広げることを特徴とする請求項13記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、電氣的書き換えが可能なメモリセルを有する半導体装置の微細化技術に関するものである。

【背景技術】

【0002】

電氣的書き換えが可能な不揮発性メモリのうち、一括消去が可能なものとしていわゆるフラッシュメモリが知られている。フラッシュメモリは、携帯性および耐衝撃性に優れ、電氣的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータやデジタルスチルカメラ等の小型携帯情報機器の記憶装置として急速に需要が拡大している。その市場の拡大には、メモリセル面積の縮小によるビットコストの低減が重要な要素であり、これ

10

20

30

40

50

を実現する様々なメモリセル方式が提案されている。

【0003】

例えば、非特許文献1には、大容量化に適するコンタクトレス型セルの一種であるAND型セルアレイにおいて、浮遊ゲートおよび制御ゲートに加えて、第3のゲートをメモリセル内に持ち、第3のゲートに与える電位によってその下部の半導体基板表面に形成される反転層をローカルビット線として用いる構造が報告されている。

【0004】

また、非特許文献2、3、4には、同じく大容量化に適するコンタクトレス型セルの一種である、いわゆるNAND型フラッシュメモリの例が報告されている。これらの構造を用いることによって、メモリセルの物理的面積をほぼ $4F^2$ (F:最小加工寸法)にまで低減することに成功し、大容量を実現している。

10

【0005】

しかし、今後、40nm世代以降にまでフラッシュメモリの微細化を進めるためには、素子分離特性の保持が必要である。フラッシュメモリの技術ではないが、半導体デバイスの素子分離特性を改善するための技術として、特許文献1に挙げる技術、すなわち、素子分離溝の横方向寸法をシリコン基板表面よりも標高低いシリコン基板内で広げ、後の酸化工程で溝どうしをつなげ、リーク電流売パスを遮断する技術がある。

【特許文献1】特開平8-70112号公報

【非特許文献1】International Electron Devices Meeting, 2003, p.823-826

【非特許文献2】International Electron Devices Meeting, 2004, p.873-876

20

【非特許文献3】International Solid-State Circuits Conference, 2005, p.44-45

【非特許文献4】International Solid-State Circuits Conference, 2005, p.46-47

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、NAND型フラッシュメモリのような微細化が進んだ素子分離溝で、特許文献1にあるような溝どうしがつながるほどのシリコン基板の酸化を行なうと、シリコンが酸化されてシリコン酸化膜になる際の体積膨張によって生じる応力により、シリコン基板に欠陥を生じさせメモリトランジスタのソース・ドレイン間パンチスルーを生じさせるなどの不具合を生じさせることになる。

30

【0007】

NAND型アレイ構造のフラッシュメモリは、ワード線方向に並んだ複数のメモリセル間に素子分離溝が設けられている。従って、この素子分離溝によって分離されたメモリセル下のチャンネル間で良好な素子分離特性が確保できない場合には、誤読み出し、誤書き込みが生じ、動作信頼性が低下する。

【0008】

素子分離溝は、溝の深さが大きいほど、また溝の幅が広いほど、素子分離特性が良好になる。従って、メモリセルサイズの縮小に伴って素子分離溝の幅が狭くなると、深さが同じであっても素子分離特性は低下する。そこで、素子分離特性を維持しながらメモリセルサイズを縮小しようとするれば、溝の幅を狭くした分だけ、深さを大きくする必要があるが、溝のアスペクト比の増大によって溝の加工自体が困難となる。すなわち、素子分離溝の深さに対し、アスペクト比の増加に伴う加工歩留まりの低下と素子分離特性の低下とがトレードオフの関係にある。従って、この課題を解決できないと、メモリセルサイズの縮小が行き詰ることになる。

40

【0009】

また、素子分離特性に加えて、書込み時の選択ワード線下セルの書込みを行なわないセルへの誤書き込みの抑制がNAND型フラッシュでの重要課題である。NAND型フラッシュでの書き込みは、トンネル絶縁膜を介したファウラー・ノルトハイム(Fowler-Nordheim)トンネル電流を用いて行う。図8は書込み時の電圧条件を説明した回路図である。書き込みは選択ワード線(SWL)に接続されたメモリセルに対して行なう。同じSWLに接

50

続されたメモリセルでも書き込みを行なう場合と行わない場合が生じるが、ビット線の電位によってこれを制御する。選択トランジスタ (ST_1) に 2 V 程度、選択ワード線 (SWL) 下の書き込みを行なうメモリセルに接続されたビット線に 0 V、書き込みを行わないメモリセルに接続されたビット線に 3 V 程度を印加する。共通ソース線、選択トランジスタ (ST_2)、ウェルはそれぞれ 0 V である。この状態で、非選択ワード線 (USWL) の電位を 0 V から 10 V 程度に急激に増加させる。(数マイクロ秒程度以下)。すると、非選択ワード線 (USWL) 下の浮遊ゲートの電位は増加し、その電位の影響で、メモリセル下の基板表面電位も増加しようとする。

【0010】

ビット線電位を 3 V 程度にしたビット線では選択トランジスタ (ST_1) が OFF 状態となるため、メモリセル下の基板表面電位は増加し V_H となる。一方、ビット線電位を 0 V としたビット線では選択トランジスタ (ST_1) が ON 状態となるため、ビット線コンタクト側から電子がメモリセル下基板表面に供給され、電位は 0 V となる。

10

【0011】

書き込みを行わない場合のメモリセル下基板表面の電位 V_H の決まり方を図 10 に示す。非選択ワード線 (USWL) の電位を 0 V から 10 V に急増させることにより、浮遊ゲート電位も V_{fg} だけ増加する。基板表面の電位 V_H は、トンネル絶縁膜容量 C_{ox} 、空乏層容量 C_{dep} で決まるカップリング比 $C_{ox} / (C_{ox} + C_{dep})$ と V_{fg} の積で表される。

【0012】

$$V_H = V_{fg} \times C_{ox} / (C_{ox} + C_{dep}) \quad (1)$$

20

なるべく大きい V_H を得ることで、書き込みを行わないセルへの誤書き込みを抑制することができるが、そのためには、(1) 式から考えて $C_{ox} / (C_{ox} + C_{dep})$ を大きくすることが要請される。

【0013】

本発明の目的は、微細化された NAND 型フラッシュメモリにおいて、メモリセル間に設けられる素子分離溝の深さを大きくすることなく、良好な素子分離特性を実現することのできる技術を提供すること、または書き込み素子電圧を増加させることにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明の半導体装置は、第 1 導電型の半導体基板の主面の第 1 方向およびこれと直交する第 2 方向にマトリクス状に配置された複数のメモリセルを有し、前記複数のメモリセルのそれぞれは、ゲート絶縁膜を介して前記半導体基板の主面上に形成された浮遊ゲートと、絶縁膜を介して前記浮遊ゲートの上部に形成された制御ゲートとを備え、前記第 1 方向に沿って配置された複数のメモリセルのそれぞれの前記制御ゲートは、一体となって前記第 1 方向に延在するワード線を構成し、前記第 2 方向に沿って配置された複数のメモリセルは、互いに直列に接続され、前記第 1 方向に隣接するメモリセルは、前記半導体基板の主面に形成され、前記第 2 方向に延在する素子分離溝によって互いに分離され、前記素子分離溝の底部における前記第 1 方向の径は、前記素子分離溝の表面近傍における前記第 1 方向の径よりも大きいものである。

40

【発明の効果】

【0017】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

50

【0018】

微細化されたNAND型フラッシュメモリにおいて、良好な素子分離特性を実現することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0020】

(実施の形態1)

図1は、本発明の実施の形態1である半導体装置のメモリアレイ領域を示す要部平面図、図2～図6は、それぞれ図1のA-A線、B-B線、C-C線、D-D線、E-E線に沿った断面図である。なお、図1はメモリアレイ領域の構成を見易くするために、一部の部材の図示が省略されている。

【0021】

本実施の形態の半導体装置は、NAND型フラッシュメモリである。メモリセルは、p型単結晶シリコンからなる半導体基板(以下、基板という)1の主面のp型ウエル10に形成され、ゲート絶縁膜(トンネル絶縁膜)4、浮遊ゲート5、絶縁膜6、制御ゲート8およびn型拡散層13(ソース、ドレイン)を有している。制御ゲート8は、行方向(図1のx方向)に延在し、ワード線WLを構成している。p型ウエル10と浮遊ゲート5はゲート絶縁膜4によって分離され、浮遊ゲート5と制御ゲート8(ワード線WL)は絶縁膜6によって分離されている。

【0022】

基板1のメモリアレイ領域には、上記した構造を有する複数のメモリセルが行方向および列方向(図1のy方向)に沿ってマトリクス状に配置されている。行方向、すなわちワード線WLの延在方向に並んだ複数のメモリセルは、列方向に延在する細長い帯状の平面形状を有する素子分離溝3によって互いに分離されている。一方、列方向に並んだ複数のメモリセルは、それぞれのn型拡散層13を介して互いに直列に接続されている。

【0023】

列方向に延在するメモリセル列は、メモリアレイ領域の一端で選択トランジスタST₁に接続され、選択トランジスタST₁のn型拡散層11(BLDL)を介してビット線コンタクト(BLCONT)に接続されている。ビット線コンタクト(BLCONT)は、ワード線WLの上層の層間絶縁膜(図示せず)に形成され、この層間絶縁膜上に形成されたメタル配線からなるビット線BL(図7、図8)に接続されている。また、列方向に延在するメモリセル列は、メモリアレイ領域の他端で選択トランジスタST₂のn型拡散層12に接続されている。選択トランジスタST₂のn型拡散層12は、共通ソース線(CSDL)を構成している。

【0024】

図4および図5に示すように、本実施の形態のNAND型フラッシュメモリは、素子分離溝3の底部における行方向の径(W_{bottom})が、表面近傍における行方向の径(W_{top})よりも大きい(W_{bottom}>W_{top})という特徴がある。後述するように、素子分離溝3の断面形状をこのようにすることにより、溝の深さを浅くしても良好な素子分離特性が得られる。

【0025】

次に、上記NAND型フラッシュメモリの動作について説明する。まず、読み出し時には、図7に示すように、選択メモリセル(SMC)に接続されたビット線(BL_n、BL_{n-2})に1V、選択トランジスタ(ST₁、ST₂)に5V程度、非選択ワード線(USWL)に5V程度、共通ソース線(CSDL)に0V、p型ウエル10に0Vをそれぞれ印加する。さらに、選択ワード線(SWL)に読み出し判定電圧(V_{read})を印加し、選択メモリセル(SMC)のON、OFFを判定する。

10

20

30

40

50

【0026】

書き込みは、トンネル絶縁膜4を介したファウラー・ノルトハイム(Fowler-Nordheim)トンネル電流を用い、選択ワード線(SWL)に接続された複数のメモリセルに対して行なう。この場合、選択ワード線(SWL)に接続された複数のメモリセルのうち、書き込みを行うメモリセルと行わないメモリセルとの区別は、ビット線(BL)に印加する電圧の大小によって制御する。

【0027】

すなわち、書き込み時には、図8に示すように、選択トランジスタ(ST₁)に2V程度、選択メモリセル(SMC)に接続されたビット線(BL_n)に0V、他のビット線に3V程度をそれぞれ印加する。共通ソース線(CSL)および選択トランジスタ(ST₂)は0Vにする。この状態で、非選択ワード線(USWL)の電位を0Vから10V程度まで急激(数マイクロ秒程度以下)に増加させる。すると、非選択ワード線(USWL)下の浮遊ゲート(5)の電位が増加し、その影響で、メモリセル下の基板表面電位も増加しようとする。このとき、3V程度の電圧が印加されたビット線に接続された選択トランジスタ(ST₁)はOFF状態となるため、メモリセル下の基板表面電位が増加する(VH)。一方、0Vが印加されたビット線(BL_n)に接続された選択トランジスタ(ST₁)はON状態となるため、ビット線コンタクト(BLCONT)側からメモリセル下の基板表面に電子が供給され、その電位は0Vとなる。

10

【0028】

次に、選択ワード線(SWL)の電位を0Vから20V程度まで増加させる。このとき、基板表面電位が0Vのビット線(BL_n)では、浮遊ゲート-基板表面間に大きな電位差が生じ、基板(1)の表面から浮遊ゲート(5)にトンネル電流により電子が注入され、書き込みが起こる。一方、基板表面電位がVHのビット線では、浮遊ゲート-基板表面間電位差が緩和されるので、書き込みが起こらない。

20

【0029】

選択トランジスタ(ST₁)を介したメモリセル下の基板表面とビット線コンタクト(BLCONT)側の拡散層11との電子のやり取りを図9(a)、(b)に示す。書き込みを行なう場合が(a)、書き込みを行なわない場合が(b)である。また、書き込みを行なわない場合におけるメモリセル下の基板表面電位(VH)、浮遊ゲート電位変化(Vfg)、トンネル酸化膜容量(Cox)、基板空乏層容量(Cdep)の関係を図10

30

【0030】

非選択ワード線(USWL)を0Vから10Vに急増させることにより、浮遊ゲート電位もVfgだけ増加する。基板表面電位(VH)は、トンネル絶縁膜容量(Cox)および基板空乏層容量(Cdep)で決まるカップリング比[Cox/(Cox+Cdep)]と浮遊ゲート電位変化(Vfg)との積で表される。

【0031】

$$VH = Vfg \times Cox / (Cox + Cdep) \quad (1)$$

書き込みの際には、書き込みを行なうメモリセルに接続されたビット線(基板表面電位=0V)と、書き込みを行なわないメモリセルに接続されたビット線(基板表面電位=VH)とが隣接する箇所が生じる。このとき、基板表面間の絶縁が不十分であると、図11に示すように、両者の間に電流が流れ、書き込みを行なわないメモリセルに接続されたビット線の基板表面電位はVHより低下し、書き込みを行なうメモリセルに接続されたビット線の電位は0Vより増加する。この電流が大きい場合は、2つの電位差が小さくなり、書き込みを行なうメモリセルが書き込まれなかったり、書き込みを行なわないメモリセルが書き込まれるといった書き込み不良が生じる。

40

【0032】

本実施の形態では、素子分離溝3の底部の径を表面近傍の径よりも大きくしたことによって、溝の深さが浅い場合でも、溝の壁面に沿って流れる電流の経路が実効的に長くなるので、基板表面間の絶縁性が確保でき、良好な素子分離特性が得られる。

50

【0033】

消去時には、図12に示すように、選択トランジスタ(ST₁、ST₂)に挟まれた全てのワード線に-20V程度の電圧を印加し、ゲート絶縁膜を介してファウラー・ノルトハイムトンネル電流により、浮遊ゲートから基板に電子を放出する。

【0034】

次に、図13~図38を用いて上記NAND型フラッシュメモリの製造方法を説明する。なお、図13~図15、図17~図30は、図1のC-C線に沿った要部断面図に対応している。

【0035】

まず、図13に示すように、p型単結晶シリコンからなる基板1にリンをイオン注入してp型ウエル10を形成した後、熱酸化法を用いてp型ウエル10の表面に膜厚9nm程度の酸化シリコン膜からなるゲート絶縁膜4を形成する。次に、図14に示すように、ゲート絶縁膜4の上部にリンをドーブした多結晶シリコン膜5aおよび窒化シリコン膜21aをCVD法で堆積する。多結晶シリコン膜5aは、後の工程で浮遊ゲート(5)になる導電膜であり、その膜厚は50nm~100nm程度とする。また、窒化シリコン膜21aの膜厚は50nm程度とする。

10

【0036】

次に、図15に示すように、フォトレジスト膜をマスクにしたドライエッチングで窒化シリコン膜21aをパターニングし、窒化シリコン膜21bとする。図16は、メモリアレイ領域に形成された窒化シリコン膜21bの平面形状を示している。窒化シリコン膜21bは、列方向(y方向)に延在する細長い帯状の平面形状を有し、基板1のアクティブ領域となる部分を覆っている。

20

【0037】

次に、図17に示すように、ドライエッチングまたはウェットエッチングによって窒化シリコン膜21bをスリミングし、窒化シリコン膜21cとする。このスリミング処理によって得られた窒化シリコン膜21bの幅(W)は、フォトリソグラフィの最小加工寸法よりも小さくなる。次に、図18に示すように、窒化シリコン膜21cをマスクにしたドライエッチングで多結晶シリコン膜5aをパターニングする。このとき、下層のゲート絶縁膜4が露出する前にエッチングを停止し、断面形状が櫛歯状の多結晶シリコン膜5bとする。

30

【0038】

次に、図19に示すように、CVD法を用いて酸化シリコン膜22を堆積する。酸化シリコン膜22は、櫛歯状にパターニングされた多結晶シリコン膜5bの凹部が完全に埋め込まれないような薄い膜厚で堆積する。次に、図20に示すように、酸化シリコン膜22を異方的にドライエッチングすることによって、多結晶シリコン膜5bおよび窒化シリコン膜21cのそれぞれの側面にサイドウォール状の酸化シリコン膜22aを形成する。

【0039】

次に、図21に示すように、窒化シリコン膜21cとその側面に形成された酸化シリコン膜22aとをマスクにして、多結晶シリコン膜5bとその下層のゲート絶縁膜4とをドライエッチングし、p型ウエル10の表面の一部を露出させる。このエッチングにより、多結晶シリコン膜5bは、逆T字形の断面形状を有し、所定の間隔で互いに分離された複数の多結晶シリコン膜5cとなる。次に、図22に示すように、露出したp型ウエル10をドライエッチングすることによって、複数の溝3aを形成する。これらの溝3aは、列方向に延在する細長い帯状の平面形状を有している。

40

【0040】

次に、図23に示すように、CVD法を用いて酸化シリコン膜23を堆積する。酸化シリコン膜23は、溝3aの内部が完全に埋め込まれないような薄い膜厚で堆積する。なお、CVD法に代えて熱酸化法を用い、溝3aの内壁と多結晶シリコン膜5bの側面とに薄い熱酸化膜(酸化シリコン膜)を形成してもよい。次に、図24に示すように、酸化シリコン膜23を異方的にドライエッチングすることによって、溝3aの底部のp型ウエル1

50

0を露出させると共に、酸化シリコン膜22a、多結晶シリコン膜5cおよび溝3aのそれぞれの側面にサイドウォール状の酸化シリコン膜23aを形成する。

【0041】

次に、図25に示すように、溝3aの底部に露出したp型ウエル10を等方的にエッチングする。このエッチングは、ドライまたはウェットのいずれでもよい。これにより、溝3aの底部が基板1の主面に対して垂直な方向と水平な方向とに拡大され、開口部近傍の径よりも底部の径が大きい溝3bが形成される。次に、図26に示すように、CVD法を用いて酸化シリコン膜24を堆積し、溝3bの内部を酸化シリコン膜24で完全に埋め込んだ後、図28に示すように、溝3bの外部の酸化シリコン膜24、サイドウォール状の酸化シリコン膜22a、23aをエッチバックし、溝3bの内部のみに酸化シリコン膜24を残す。ここまでの工程により、図4および図5に示したような、表面近傍よりも底部の径（行方向の径）が大きい素子分離溝3が完成する。

10

【0042】

続いて多結晶シリコン膜5cの上部の窒化シリコン膜21cをドライエッチングまたはウェットエッチングにより取り除く。次に、図29に示すように、隣り合う多結晶シリコン膜5cのスペースが完全に埋め込まれないような薄い膜厚の絶縁膜6aを堆積し、多結晶シリコン膜5cの表面を絶縁膜6aで覆う。絶縁膜6aは、例えばCVD法で堆積した酸化シリコン膜、またはCVD法で堆積した酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の積層膜で構成する。

【0043】

このとき、隣り合う多結晶シリコン膜5cのスペースが絶縁膜6aで完全に埋め込まれてしまうと、後の工程で絶縁膜6上に制御ゲート(8)を形成した際、浮遊ゲート(5)の側壁を利用した制御ゲート-浮遊ゲート間の容量増加が見込めないので、カップリング比を確保することが困難となる。しかし、本実施の形態では、多結晶シリコン膜5cの断面形状を逆T字形にしたことにより、メモリセルサイズの縮小に伴って、隣り合う多結晶シリコン膜5cのスペースが狭くなっても、このスペースが完全に埋め込まれないように絶縁膜6を堆積することができる。すなわち、図29に示すスペース(Lsp)を確保することができるので、浮遊ゲート(5)の側壁を利用した制御ゲート-浮遊ゲート間の容量を増加してカップリング比を確保することができる。

20

【0044】

次に、図30に示すように、絶縁膜6aの上部にリンをドーブした多結晶シリコン膜7aをCVD法で堆積する。多結晶シリコン膜7aは、後の工程で形成される制御ゲート(7)の一部となる導電膜である。図31は、この時点における図1のA-A線断面図であり、図32は、この時点における図1のB-B線断面図である。ここからの工程は、このA-A線断面図とB-B線断面図とを用いて説明する。

30

【0045】

次に、図33および図34に示すように、後の工程で選択トランジスタ(ST₁、ST₂)が形成される領域の多結晶シリコン膜7aおよび絶縁膜6aをパターンニングし、それぞれ多結晶シリコン膜7bおよび絶縁膜6とする。次に、図35および図36に示すように、スパッタリング法を用いてメタル膜9を堆積する。メタル膜9は、例えば窒化タングステン膜とタングステン膜との積層膜や、タングステンシリサイド膜などのメタルシリサイド膜からなる。

40

【0046】

次に、図37および図38に示すように、フォトレジスト膜をマスクにしたドライエッチングでメタル膜9、多結晶シリコン膜7b、絶縁膜6および多結晶シリコン膜5cを順次パターンニングする。ここまでの工程により、メタル膜9と多結晶シリコン膜7bとの積層膜からなる制御ゲート8(ワード線WL)と、多結晶シリコン膜5cからなる浮遊ゲート5とが形成される。また、メモリアレイ領域の端部には、メタル膜9と多結晶シリコン膜7b、5cとの積層膜からなる選択トランジスタ(ST₁、ST₂)のゲート電極14が形成される。

50

【0047】

次に、p型ウエル10にヒ素をイオン注入してn型拡散層(BLDL)11、n型拡散層(CSDL)12およびn型拡散層13を形成することにより、前記図1～図6に示すメモリセルおよび選択トランジスタ(ST₁、ST₂)が完成する。図示は省略するが、その後、制御ゲート8(ワード線WL)の上部に層間絶縁膜を形成し、続いて層間絶縁膜をエッチングして、ワード線WL、p型ウエル10、選択トランジスタ(ST₁、ST₂)、n型拡散層(BLDL)11およびn型拡散層(CSDL)12のそれぞれに達するコンタクトホールを形成した後、層間絶縁膜の上部にメタル配線(ビット線)を形成することにより、本実施の形態のNAND型フラッシュメモリが完成する。

【0048】

図39(a)は、素子分離溝の径が表面近傍と底部とでほぼ等しいNAND型フラッシュメモリ(比較例)と、本実施の形態のNAND型フラッシュメモリの素子分離特性を比較したグラフである。グラフの横軸は素子分離溝の幅(WSTI)を示し、縦軸は素子分離を実現する最小の溝深さ(DSTIc)を示している。グラフから明らかなように、本実施の形態のNAND型フラッシュメモリは、素子分離溝の幅が比較例と同じであっても、素子分離を実現する最小の溝深さを浅くすることができる。すなわち、本実施の形態によれば、素子分離溝のアスペクト比を大きくすることなく、メモリセルサイズを縮小することができるので、製造歩留まりを低下させることなく、NAND型フラッシュメモリを大容量化することができる。

【0049】

また、図39(c)に示すように、本実施の形態のNAND型フラッシュメモリは、素子分離溝の底部の径を大きくしたことにより、素子分離溝がメモリセルの下方にまで延びている。一方、図39(c)に示すように、比較例では、素子分離溝がメモリセルの下方にまで延びていない。素子分離溝の内部には、基板を構成するシリコン(比誘電率=11.9)よりも低誘電率の酸化シリコン膜(比誘電率=3.9)が埋め込まれるので、素子分離溝がメモリセルの下方にまで延びることにより、基板空乏層容量(Cdep)が実効的に小さくなる(Cdep < Cdep')。これにより、前記式(1)に示すカップリング比[Cox / (Cox + Cdep)]が大きくなるので、書き込み阻止を実現する基板表面電位(VH)をより低い浮遊ゲート電位変化(Vfg)で生じさせることができる。すなわち、書き込み時に非選択ワード線に印加する電圧を低くすることができるという効果が得られる。

【0050】

(実施の形態2)

本実施の形態は、前記実施の形態1と同じように、素子分離溝3の底部の径を表面近傍の径よりも大きくするが、図40～図44に示すように、本実施の形態では、素子分離溝3の底部の径がさらに拡大され、隣接するメモリセルの素子分離溝3の底部と繋がっている。すなわち、メモリアレイ領域の列方向に沿って並行に延在する複数の素子分離溝3は、それらの表面近傍では互いに分離されているが、底部では互いに繋がっている。なお、図40～図44は、それぞれ図1のA-A線、B-B線、C-C線、D-D線、E-E線に対応する要部断面図である。

【0051】

上記のような素子分離溝3を有するNAND型フラッシュメモリの製造方法を説明する。まず、前記実施の形態1の図13～図25に示す工程に従い、p型ウエル10に溝3aを形成した後、溝3aの底部に露出したp型ウエル10を等方的にエッチングする。これにより、溝3aの底部が基板1の主面に対して垂直な方向と水平な方向とに拡大され、開口部近傍の径よりも底部の径が大きい溝3bが形成される。続いて、図45に示すように、溝3bの底部のp型ウエル10をさらに等方的にエッチングすると、溝3bの底部の径がさらに拡大され、隣り合う溝3b同士がそれらの底部で繋がるようになる。次に、図46に示すように、CVD法を用いて酸化シリコン膜24を堆積し、溝3bの内部を酸化シリコン膜24で完全に埋め込む。その後の工程は、前記実施の形態1と同じである。

10

20

30

40

50

【0052】

素子分離溝3を上記のような構造にした場合は、メモリセルのn型拡散層13（ソース、ドレイン）が素子分離溝3まで達しないようにすることが望ましい。すなわち、図40および図43に示すn型拡散層13の底部から素子分離溝3までの距離（ D_p ）が正の値（ $D_p > 0$ ）になるようにすることが望ましい。 $D_p > 0$ であれば、消去時に浮遊ゲート5から基板表面に放出された電子が、n型拡散層13と素子分離溝3との間のp型ウエル10を伝わって、バルクシリコンに放出される。しかし、 $D_p = 0$ になると、浮遊ゲート5から放出された電子がn型拡散層13と拡散層13との間のp型ウエル10内に蓄積されてしまうので、浮遊ゲート-基板表面電位間の電位差が小さくなり、消去速度が非常に遅くなる。同様の理由から、図40に示すn型拡散層12（共通ソース線）の端部から素子分離溝3までの距離（ D_{p2} ）も正の値（ $D_{p2} > 0$ ）になるようにすることが望ましい。

10

【0053】

本実施の形態では、素子分離特性は、シリコンではなく、素子分離溝3に埋め込まれた酸化シリコン膜（24）の絶縁性によって確保されるため、前記実施の形態1と比較して良好な素子分離特性を実現できる。

【0054】

また、本実施の形態では、シリコン（比誘電率 = 11.9）よりも低誘電率の酸化シリコン膜（比誘電率 = 3.9）が埋め込まれた素子分離溝3がメモリアレイ領域の全体に広がっている。従って、前記式（1）の基板空乏層容量（ C_{dep} ）が前記実施の形態1よりもさらに小さくなるので、カップリング比 $[C_{ox} / (C_{ox} + C_{dep})]$ がさらに大きくなる。これにより、書き込み阻止を実現する基板表面電位（ V_H ）をより低い浮遊ゲート電位変化（ V_{fg} ）で生じさせることができ、書き込み時に非選択ワード線に印加する電圧をさらに低くすることができる。

20

【0055】

（実施の形態3）

図47～図51は、実施の形態3の半導体装置を示す要部断面図であり、それぞれ図1のA-A線、B-B線、C-C線、D-D線、E-E線に沿った要部断面図に対応している。

【0056】

前記実施の形態1、2では、浮遊ゲート5の断面形状を逆T字形にしたが、本実施の形態では、浮遊ゲート5の断面形状を矩形にしている。本実施の形態の製造方法を説明すると、まず、図52に示すように、基板1にp型ウエル10を形成した後、熱酸化法を用いてp型ウエル10の表面に酸化シリコン膜からなるゲート絶縁膜4を形成する。続いてゲート絶縁膜4の上部にリンをドーブした多結晶シリコン膜5dおよび窒化シリコン膜21をCVD法で堆積する。

30

【0057】

次に、図53に示すように、フォトレジスト膜をマスクにしたドライエッチングで窒化シリコン膜21aをパターニングし、窒化シリコン膜21bとする。この窒化シリコン膜21bの平面形状を示したのが図16である。次に、窒化シリコン膜21bをマスクにしたドライエッチングで多結晶シリコン膜5dをパターニングし、多結晶シリコン膜5eとする。続いてゲート絶縁膜4をドライエッチングし、p型ウエル10の表面の一部を露出させる。

40

【0058】

次に、図54に示すように、露出したp型ウエル10をドライエッチングすることによって、複数の溝3aを形成した後、図55に示すように、CVD法を用いて堆積した酸化シリコン膜23を異方的にドライエッチングすることによって、溝3aの底部のp型ウエル10を露出させると共に、窒化シリコン膜21b、多結晶シリコン膜5eおよび溝3aのそれぞれの側面にサイドウォール状の酸化シリコン膜23aを形成する。

【0059】

50

次に、図56に示すように、溝3aの底部に露出したp型ウエル10を等方的にエッチングすることにより、溝3aの底部が基板1の主面に対して垂直な方向と水平な方向とに拡大され、開口部近傍の径よりも底部の径が大きい溝3bが形成される。次に、図57に示すように、CVD法を用いて酸化シリコン膜24を堆積し、溝3bの内部を酸化シリコン膜24で完全に埋め込んだ後、溝3bの外部の酸化シリコン膜23a、24をエッチバックし、溝3bの内部のみに酸化シリコン膜24を残す。ここまでの工程により、表面近傍よりも底部の径が大きい素子分離溝3が完成する。

【0060】

次に、図58に示すように、窒化シリコン膜21bをドライエッチングまたはウェットエッチングにより取り除いた後、絶縁膜6aを堆積する。絶縁膜6aは、前記実施の形態1と同様、CVD法で堆積した酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の積層膜などで構成してもよいが、本実施の形態では、浮遊ゲート5の断面形状を矩形にし、浮遊ゲート上表面だけで制御ゲート-浮遊ゲート間の容量を確保するため十分な容量が期待できない。従って、カップリング比を確保するためには、絶縁膜6aを酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の積層膜より低誘電率材料、例えば Al_2O_3 あるいは HfO_2 などで構成する。

10

【0061】

次に、図59に示すように、リンをドーブした多結晶シリコン膜7aを堆積する。図60は、この時点における図1のA-A線断面図であり、図61は、この時点における図1のB-B線断面である。ここからの工程は、このA-A線断面図とB-B線断面図とを用いて説明する。

20

【0062】

次に、図62および図63に示すように、後の工程で選択トランジスタ(ST_1 、 ST_2)が形成される領域の多結晶シリコン膜7aおよび絶縁膜6aをパターンニングし、それぞれ多結晶シリコン膜7bおよび絶縁膜6とする。次に、図64および図65に示すように、スパッタリング法を用いてメタル膜9を堆積する。メタル膜9は、例えば窒化タングステン膜とタングステン膜との積層膜や、タングステンシリサイド膜などのメタルシリサイド膜からなる。

【0063】

次に、図66および図67に示すように、フォトレジスト膜をマスクにしたドライエッチングでメタル膜9、多結晶シリコン膜7b、絶縁膜6および多結晶シリコン膜5eを順次パターンニングする。ここまでの工程により、メタル膜9と多結晶シリコン膜7bとの積層膜からなる制御ゲート8(ワード線WL)と、多結晶シリコン膜5eからなる浮遊ゲート5とが形成される。また、メモリアレイ領域の端部には、メタル膜9と多結晶シリコン膜7b、5eとの積層膜からなる選択トランジスタ(ST_1 、 ST_2)のゲート電極14が形成される。その後の工程は、前記実施の形態1と同じである。

30

【0064】

本実施の形態のNAND型フラッシュメモリは、前記実施の形態1と同様、素子分離溝のアスペクト比を大きくすることなく、メモリセルサイズを縮小することができるので、製造歩留まりを低下させることなく、NAND型フラッシュメモリを大容量化することができる。また、書き込み時に非選択ワード線に印加する電圧を低くすることができるという効果も得られる。

40

【0065】

(実施の形態4)

図68~図72は、実施の形態4の半導体装置を示す要部断面図であり、それぞれ図1のA-A線、B-B線、C-C線、D-D線、E-E線に沿った要部断面図に対応している。

【0066】

本実施の形態は、前記実施の形態2と同じく、素子分離溝3の底部が隣接メモリセルの素子分離溝3の底部と繋がっている。また、前記実施の形態3と同じく、浮遊ゲート5の断

50

面形状が矩形になっている。

【0067】

本実施の形態の製造方法を説明すると、まず、前記実施の形態3の図52～図56に示す工程に従い、開口部近傍の径よりも底部の径が大きい溝3bを形成する。次に、図73に示すように、溝3bの底部のp型ウエル10をさらに等方的にエッチングし、溝3bの底部の径をさらに拡大することにより、隣り合った溝3b同士の底部が繋がるようにする。次に、図74に示すように、CVD法を用いて酸化シリコン膜24を堆積し、溝3bの内部を酸化シリコン膜24で完全に埋め込んだ後、溝3bの外部の酸化シリコン膜23a、24をエッチバックし、溝3bの内部のみに酸化シリコン膜24を残す。その後の工程は、前記実施の形態3の図57以降の工程と同じである。

10

【0068】

前記実施の形態2で説明したように、素子分離溝3を上記のような構造にした場合は、メモリセルのn型拡散層13(ソース、ドレイン)が素子分離溝3まで達しないようにすることが望ましい。すなわち、図68および図71に示す拡散層13の底部から素子分離溝3までの距離(Dp)が正の値(Dp>0)になるようにすることが望ましい。同様に、図68に示すn型拡散層12(共通ソース線)の端部から素子分離溝3までの距離(Dp2)も正の値(Dp2>0)になるようにすることが望ましい。

【0069】

また、本実施の形態では、素子分離溝3の素子分離特性はシリコンではなく、素子分離溝3に埋め込まれた酸化シリコン膜24の絶縁性で確保されるため、前記実施の形態3と比較しても良好な素子分離特性を実現できる。

20

【0070】

また、本実施の形態では、シリコン(比誘電率=11.9)よりも低誘電率の酸化シリコン膜(比誘電率=3.9)が埋め込まれた素子分離溝3がメモリアレイ領域の全体に広がっている。従って、前記式(1)の基板空乏層容量(Cdep)が前記実施の形態1よりもさらに小さくなるので、カップリング比[Cox/(Cox+Cdep)]がさらに大きくなる。これにより、書き込み阻止を実現する基板表面電位(VH)をより低い浮遊ゲート電位変化(Vfg)で生じさせることができ、書き込み時に非選択ワード線に印加する電圧をさらに低くすることができる。

【0071】

(実施の形態5)

図75～図78は、実施の形態5の半導体装置を示す要部断面図であり、それぞれ図1のB-B線、C-C線、D-D線、E-E線に沿った要部断面図に対応している。なお、A-A線断面には素子分離溝がなく、実施の形態3の図47(A-A線断面)と同じ断面構造になっている。

30

【0072】

前記実施の形態1～4では、素子分離溝3の内部に酸化シリコン膜24を埋め込んでいるが、本実施の形態では、素子分離溝3の内部に空洞15を設けている。空洞15を形成するには、まず、前記実施の形態3の図57に示す工程で溝3bの内部に酸化シリコン膜24を埋め込む際、被覆性の良くない堆積条件を用いる。このようにすると、図79に示すように、開口部よりも径が狭い溝3bの底部には酸化シリコン膜24が完全に埋め込まれず、空洞15が形成される。その後の工程は、前記実施の形態3の図57以降の工程と同じである。

40

【0073】

本実施の形態は、素子分離溝3の内部に酸化シリコン膜24の空洞15(比誘電率はほぼ1.0)があるため、ワード線電位による素子分離溝3の表面の反転が生じ難くなり、前記実施の形態3と比較して良好な素子分離特性を実現できる。

【0074】

また、素子分離溝3の内部に酸化シリコン膜(比誘電率3.9)よりも誘電率が低い空洞15があるため、前記式(1)の基板空乏層容量(Cdep)が実施の形態3よりもさ

50

らに小さくなり、カップリング比 $[Cox / (Cox + Cdep)]$ がさらに大きくなる。従って、書き込み阻止を実現する基板表面電位 (VH) をより低い浮遊ゲート電位変化 (Vfg) で生じさせることができ、書き込み時に非選択ワード線に印加する電圧をさらに低くすることができる。

【0075】

(実施の形態6)

図80～図84は、実施の形態6の半導体装置を示す要部断面図であり、それぞれ図1のA-A線、B-B線、C-C線、D-D線、E-E線に沿った要部断面図に対応している。

【0076】

本実施の形態は、前記実施の形態2、4と同じく、素子分離溝3の底部が隣接メモリセルの素子分離溝3の底部と繋っている。また、前記実施の形態5と同じく、素子分離溝3の内部に空洞15が設けられている。空洞15を形成するには、まず、前記実施の形態4の図74に示す工程で溝3bの内部に酸化シリコン膜24を埋め込む際、被覆性の良くない堆積条件を用いる。このようにすると、図85に示すように、開口部よりも径が狭い溝3bの底部には酸化シリコン膜24が完全に埋め込まれず、空洞15が形成される。その後の工程は、前記実施の形態3の図57以降の工程と同じである。

【0077】

前記実施の形態2で説明したように、素子分離溝3を上記のような構造にした場合は、メモリセルのn型拡散層13(ソース、ドレイン)が素子分離溝3まで達しないようにすることが望ましい。すなわち、図80および図83に示す拡散層13の底部から素子分離溝3までの距離(Dp)が正の値($Dp > 0$)になるようにすることが望ましい。同様に、図80に示すn型拡散層12(共通ソース線)の端部から素子分離溝3までの距離($Dp2$)も正の値($Dp2 > 0$)になるようにすることが望ましい。

【0078】

また、本実施の形態では、素子分離溝3の素子分離特性はシリコンではなく、素子分離溝3に埋め込まれた酸化シリコン膜24の絶縁性で確保されるため、前記実施の形態3と比較しても良好な素子分離特性を実現できる。

【0079】

また、本実施の形態では、前記実施の形態4と同じく、素子分離溝3の素子分離特性はシリコンではなく、素子分離溝3に埋め込まれた酸化シリコン膜24の絶縁性で確保されるため、前記実施の形態5と比較しても良好な素子分離特性を実現できる。

【0080】

また、本実施の形態では、シリコン(比誘電率=11.9)よりも低誘電率の酸化シリコン膜(比誘電率=3.9)が埋め込まれた素子分離溝3がメモリアレイ領域の全体に広がっている。従って、前記式(1)の基板空乏層容量($Cdep$)が前記実施の形態1よりもさらに小さくなるので、カップリング比 $[Cox / (Cox + Cdep)]$ がさらに大きくなる。これにより、書き込み阻止を実現する基板表面電位 (VH) をより低い浮遊ゲート電位変化 (Vfg) で生じさせることができ、書き込み時に非選択ワード線に印加する電圧をさらに低くすることができる。

【0081】

(実施の形態7)

図86および図87は、実施の形態7の半導体装置を示す要部断面図であり、それぞれ図1におけるA-A、D-D線に沿った要部断面図に対応している。なお、B-B線断面、C-C線断面およびE-E線断面は、前記実施の形態6と同じ断面構造になっている。

【0082】

前記実施の形態1～6は、p型ウエル10に不純物(ヒ素)をイオン注入することによって、メモリセルのn型拡散層13(ソース、ドレイン)を形成したが、本実施の形態は、不純物のイオン注入によるn型拡散層13(ソース、ドレイン)の形成を行っていない。

。

10

20

30

40

50

【0083】

n型拡散層13は、列方向に並んだ複数のメモリセルを直列に接続するために形成するが、メモリセルサイズの縮小に伴ってメモリセル間の距離が30nm程度以下になると、列方向に並んだ複数のメモリセルの反転層同士が繋がるようになるため、n型拡散層13の形成を省略することができる。

【0084】

本実施の形態においても、素子分離溝3の底部の径を表面近傍の径よりも大きくするが、前記実施の形態2、4のように、素子分離溝3の底部が隣接メモリセルの素子分離溝3の底部と繋るようにしてもよい。また、前記実施の形態5、6のように、素子分離溝3の内部に空洞15を設けてもよい。

10

【0085】

素子分離溝3の底部が隣接メモリセルの素子分離溝3の底部と繋るようにする場合、拡散層13を作らなければ、実施例2、4、6の場合に考慮する必要のあった拡散層の底部とシリコンワイヤの底部の間の距離 D_p が正の値になるように拡散層を形成するという必要もなくなる。拡散層13を形成する場合には、微細化が進むにつれてシリコンワイヤの厚さも薄くなるので、距離 D_p を確保するためには拡散層13も薄く形成しなければならず、これは極めて困難である。微細化が進むとワード線間距離もそれにしたがって小さくなるので、読出し/書込み時に隣接するワード線に正電位を印加するだけで、その間のワード線スペース部のシリコン基板表面も反転状態になる。したがって拡散層13を形成しなくても通常のNAND型フラッシュの動作が実現できるようになる。

20

【0086】

一方、距離 D_{p2} に関しては正の値になるようにすることが重要である。これは、実施例2、4と同様に、ST2のゲートがバルクシリコン領域とシリコンワイヤ領域にまたがるようにして形成することで、メモリセルはシリコンワイヤ上に形成しなかつ、 $D_{p2} > 0$ となるようにできる。

【0087】

(実施の形態8)

図88は、本発明の実施の形態8である半導体装置のメモリアレイ領域を示す要部平面図、図89～図96は、それぞれ図88のA-A線、A2-A2線、B-B線、B2-B2線、C-C線、D-D線、E-E線、F-F線に沿った断面図である。なお、図88はメモリアレイ領域の構成を見易くするために、一部の部材の図示が省略されている。

30

【0088】

前記実施の形態1～7は、列方向に延在するメモリセル列毎に1個のビット線コンタクト(BLCONTACT)を設けているが、本実施の形態は、2本のメモリセル列に1個の割合でビット線コンタクト(BLCONTACT)を設けている。すなわち、メタル配線からなるビット線(BL)は、1本あたり2本のメモリセル列に接続されている(図97～図99)。このようなビット線レイアウトは、メモリセルサイズの縮小に伴ってビット線(BL)のピッチが狭くなり、メモリセル列毎に1個のビット線コンタクト(BLCONTACT)を設けたり、メモリセル列毎に1本のビット線(BL)を設けたりすることが困難になった場合に有効である。

40

【0089】

列方向に延在するメモリセル列は、メモリアレイ領域の一端で2個の選択トランジスタ ST_{1-1} および選択トランジスタ ST_{1-2} に接続され、これら2個の選択トランジスタ(ST_{1-1} 、 ST_{1-2})を介してn型拡散層11(BLDL)、ビット線コンタクト(BLCONTACT)およびビット線(BL)に接続されている。また、上記メモリセル列に隣接するもう1本のメモリセル列も、2個の選択トランジスタ(ST_{1-1} 、 ST_{1-2})を介して上記n型拡散層11(BLDL)、ビット線コンタクト(BLCONTACT)およびビット線(BL)に接続されている。

【0090】

隣り合った2本のメモリセル列のうち、いずれをn型拡散層11(BLDL)に接続す

50

るかは、選択トランジスタ (ST_{1-1} 、 ST_{1-2}) の ON、OFF によって制御される。これを実現するために、図 88 および図 92 の L off で示す選択トランジスタ ST_{1-1} のゲート電極 14 の端部から n 型拡散層 11 (BLDL) に接する素子分離溝 3 の端部までの長さは、 $L_{off} > 0$ となっている。すなわち、共通の n 型拡散層 11 (BLDL) に接続された 2 本のメモリセル列の一方に接続された選択トランジスタ ST_{1-1} のチャンネルと、他方に接続された選択トランジスタ ST_{1-1} のチャンネルとは、素子分離溝 3 によって互いに分離されている。

【0091】

また、選択トランジスタ (ST_{1-1} 、 ST_{1-2}) のゲート電極 14 は、前記実施の形態 1 ~ 7 の選択トランジスタ (ST_1) のゲート電極 14 と同じく、浮遊ゲート材料 (多結晶シリコン膜 5e) と制御ゲート (ワード線) 材料 (メタル膜 9 および多結晶シリコン膜 7b) との積層構造を有しているが、断面図に示すように、選択トランジスタ ST_{1-1} の浮遊ゲート材料 (多結晶シリコン膜 5e) と、選択トランジスタ ST_{1-2} の浮遊ゲート材料 (多結晶シリコン膜 5e) とは、互いに絶縁され、別々の制御ゲート材料 (メタル膜 9 および多結晶シリコン膜 7b) と接続され、それぞれ独立に給電可能となっている。

10

【0092】

本実施の形態の素子分離溝 3 は、例えば前記実施の形態 2、4 と同じ方法で形成するが、図 92 に示すように、n 型拡散層 11 (BLDL) が形成された領域の p 型ウエル 10 は、n 型拡散層 11 (BLDL) の下方で基板 1 に接続されている。

20

【0093】

次に、本実施の形態の NAND 型フラッシュメモリの動作について説明する。例えば図 97 に示すメモリセル ($MC_{n,L}$) の読み出し時には、メモリセル ($MC_{n,L}$) に接続されたビット線 (BL_n) に 1V、他のビット線に 0V をそれぞれ印加する。また、選択トランジスタ ST_{1-1} に 0V、選択トランジスタ ST_{1-2} に 5V 程度、非選択ワード線 (USWL) に 5V 程度、共通ソース線 (CSDL) に 0V、p 型ウエル 10 に 0V をそれぞれ印加する。さらに、選択ワード線 (SWL) に読み出し判定電圧 (V_{read}) を印加し、メモリセル ($MC_{n,L}$) の ON、OFF を判定する。

【0094】

書き込みは、トンネル絶縁膜 4 を介したファウラー・ノルトハイムトンネル電流を用い、選択ワード線 (SWL) に接続された複数のメモリセルに対して行なう。この場合、選択ワード線 (SWL) に接続された複数のメモリセルのうち、書き込みを行うメモリセルと行わないメモリセルとの区別は、ビット線 (BL) に印加する電圧の大小によって制御する。

30

【0095】

すなわち、図 98 に示すメモリセル ($MC_{n,L}$) の書き込み時には、メモリセル ($MC_{n,L}$) に接続されたビット線 (BL_n) に 0V、他のビット線に 3V 程度をそれぞれ印加する。また、選択トランジスタ ST_{1-1} に 0V、選択トランジスタ ST_{1-2} に 2V 程度、共通ソース線 (CSDL) に 0V、選択トランジスタ ST_2 、p 型ウエル 10 に 0V をそれぞれ印加する。この状態で、非選択ワード線 (USWL) の電位を 0V から 10V 程度まで急激 (数マイクロ秒程度以下) に増加させる。すると、非選択ワード線 (USWL) 下の浮遊ゲート 5 の電位が増加し、その影響で、メモリセル下の基板表面電位も増加しようとする。ビット線を 3V 程度にした場合には選択トランジスタ ST_{1-1} が OFF 状態となるため、メモリセル下の基板表面電位は増加し、VH となる。一方、ビット線電位を 0V としたビット線では、選択トランジスタ ST_{1-1} が ON 状態となるため、ビット線コンタクト側から電子がメモリセル下の基板表面に供給され、電位は 0V となる。

40

【0096】

次に、選択ワード線 (SWL) の電位を 0V から 20V 程度まで増加させる。このとき、基板表面の電位が 0V のビット線では、浮遊ゲート - 基板表面間に大きな電位差が生じ

50

、基板表面から浮遊ゲートにトンネル電流により電子が注入され書き込みが起こる。一方、基板表面の電位がV_Hのビット線では、浮遊ゲート-基板表面間電位差が緩和され、書き込みが起こらない。

【0097】

同じビット線コンタクト、選択ワード線に接続されたメモリセル(MC_{n, L})とメモリセル(MC_{n, R})の読み出しと書き込みの電圧条件を図100にまとめる。読み出し電圧条件が(a)、書き込み電圧条件が(b)である。図100(b)でProg.はメモリセルに書き込みを行なう場合、Inhibitは書き込みを行なわない場合である。書き込みに関しては、メモリセル(MC_{n, L})に書き込みを行なう場合には自動的にメモリセル(MC_{n, R})は書き込みを行なわない状態になる。すなわち、選択トランジスタST₁₋₁がOFFの場合にはメモリセル(MC_{n, R})下の基板表面はBL_nの電位によらずV_Hとなり、選択トランジスタST₁₋₂がOFFの場合にはメモリセル(MC_{n, L})下の基板表面はBL_nの電位によらずV_Hとなり、それぞれ書き込みが起こらない。

10

【0098】

消去時には、図99に示すように、選択トランジスタ(ST₁₋₁、ST₁₋₂)と選択トランジスタST₂とに挟まれた全てのワード線に-20V程度の電圧を印加し、ゲート絶縁膜を介してファウラー・ノルトハイムトンネル電流により、浮遊ゲートから基板に電子を放出する。

【0099】

本実施の形態の半導体装置は、実施の形態4と同様の方法によって製造できる。ただし途中、窒化シリコン膜21aを図101のような平面形状にする。また、ワード線の加工の際に、選択トランジスタST₁₋₁、選択トランジスタST₁₋₂の境界部分で多結晶シリコン膜5bが分断されてしまわないようにする必要がある。ワード線の制御ゲート層8a、7bをパターンニングした後、図102のように、選択トランジスタST₁₋₁、選択トランジスタST₁₋₂の境界部分にレジストパターン17を形成する。その後、制御ゲートとレジストパターン17をマスクとして絶縁膜6、多結晶シリコン膜5aを加工する。図102はA-A断面であるが、A2-A2断面、B-B断面、B2-B2断面での選択トランジスタST₁₋₁、選択トランジスタST₁₋₂の境界部分も同様である。

20

【0100】

実施の形態2、4の場合と同様、途中、メモリセルの拡散層13(ソース、ドレイン)を形成する際に、図89、図90、図94の寸法D_pが正の値になるようにすることが重要である。消去時に浮遊ゲートからシリコン基板表面に放出された電子が、p型ウエル10を伝わって、バルクシリコン(基板1)に放出されるようにしなければならない。D_p=0となると、消去時に放出された電子がp型ウエル10中に蓄積されてしまい、浮遊ゲート-p型ウエル10表面間の電位差が小さくなり、消去が非常に低速になる。

30

【0101】

同じ理由で、図89、図90の距離D_{p2}も正の値になるようにすることが重要である。選択トランジスタST₂のゲートがバルクシリコン領域(基板1)とp型ウエル10にまたがるようにして形成することで、D_{p2}>0となる。

40

【0102】

本実施の形態では、素子分離特性は、シリコンではなく、素子分離溝3に埋め込まれた酸化シリコン膜(24)の絶縁性によって確保されるため、前記実施の形態1と比較して良好な素子分離特性を実現できる。

【0103】

また、本実施の形態では、シリコン(比誘電率=11.9)よりも低誘電率の酸化シリコン膜(比誘電率=3.9)が埋め込まれた素子分離溝3がメモリアレイ領域の全体に広がっている。従って、前記式(1)の基板空乏層容量(C_{dep})が前記実施の形態1よりもさらに小さくなるので、カップリング比[C_{ox}/(C_{ox}+C_{dep})]がさらに大きくなる。これにより、書き込み阻止を実現する基板表面電位(V_H)をより低い浮遊

50

ゲート電位変化 (V_{fg}) で生じさせることができ、書き込み時に非選択ワード線に印加する電圧をさらに低くすることができる。

【0104】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0105】

本発明は、携帯型パーソナルコンピュータやデジタルスチルカメラ等の小型携帯情報機器用記憶装置に用いるフラッシュメモリに利用されるものである。

10

【図面の簡単な説明】

【0106】

【図1】本発明の実施の形態1である半導体装置を示す要部平面図である。

【図2】図1のA-A線断面図である。

【図3】図1のB-B線断面図である。

【図4】図1のC-C線断面図である。

【図5】図1のD-D線断面図である。

【図6】図1のE-E線断面図である。

【図7】本発明の実施の形態1である半導体装置の読み出し動作を説明する回路図である。

20

【図8】本発明の実施の形態1である半導体装置の書き込み動作を説明する回路図である。

【図9】(a)、(b)は、書き込み時におけるメモリセル下基板表面とビット線コンタクト側拡散層との電子のやり取りを示す説明図である。

【図10】書き込みを行わない場合におけるメモリセル下基板表面の電位、浮遊ゲート電位変化、トンネル酸化膜容量および基板空乏層容量の関係を示す説明図である。

【図11】書き込み時に隣接ビット線間に流れる電流の経路を示す説明図である。

【図12】本発明の実施の形態1である半導体装置の消去動作を説明する回路図である。

【図13】本発明の実施の形態1である半導体装置の製造方法を示す要部断面図である。

【図14】図13に続く半導体装置の製造方法を示す要部断面図である。

30

【図15】図14に続く半導体装置の製造方法を示す要部断面図である。

【図16】図15に続く半導体装置の製造方法を示す要部平面図である。

【図17】図16に続く半導体装置の製造方法を示す要部断面図である。

【図18】図17に続く半導体装置の製造方法を示す要部断面図である。

【図19】図18に続く半導体装置の製造方法を示す要部断面図である。

【図20】図19に続く半導体装置の製造方法を示す要部断面図である。

【図21】図20に続く半導体装置の製造方法を示す要部断面図である。

【図22】図21に続く半導体装置の製造方法を示す要部断面図である。

【図23】図22に続く半導体装置の製造方法を示す要部断面図である。

【図24】図23に続く半導体装置の製造方法を示す要部断面図である。

40

【図25】図24に続く半導体装置の製造方法を示す要部断面図である。

【図26】図25に続く半導体装置の製造方法を示す要部断面図である。

【図27】図26に続く半導体装置の製造方法を示す要部断面図である。

【図28】図27に続く半導体装置の製造方法を示す要部断面図である。

【図29】図28に続く半導体装置の製造方法を示す要部断面図である。

【図30】図29に続く半導体装置の製造方法を示す要部断面図である。

【図31】図30に続く半導体装置の製造方法を示す要部断面図である。

【図32】図31に続く半導体装置の製造方法を示す要部断面図である。

【図33】図32に続く半導体装置の製造方法を示す要部断面図である。

【図34】図33に続く半導体装置の製造方法を示す要部断面図である。

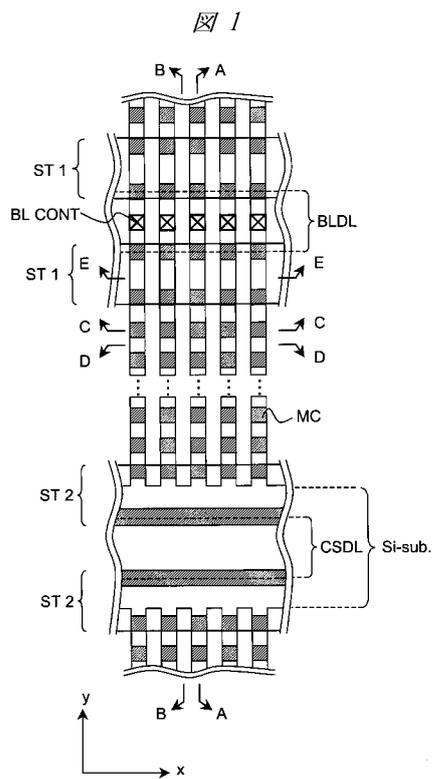
50

- 【図 3 5】図 3 4 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 3 6】図 3 5 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 3 7】図 3 6 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 3 8】図 3 7 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 3 9】(a) は、実施の形態 1 の半導体装置および比較例の素子分離特性を示すグラフ、(b) は、実施の形態 1 の半導体装置における基板空乏層容量を示す説明図、(c) は、比較例の基板空乏層容量を示す説明図である。
- 【図 4 0】本発明の実施の形態 2 である半導体装置を示す要部断面図である。
- 【図 4 1】本発明の実施の形態 2 である半導体装置を示す要部断面図である。
- 【図 4 2】本発明の実施の形態 2 である半導体装置を示す要部断面図である。 10
- 【図 4 3】本発明の実施の形態 2 である半導体装置を示す要部断面図である。
- 【図 4 4】本発明の実施の形態 2 である半導体装置を示す要部断面図である。
- 【図 4 5】本発明の実施の形態 2 である半導体装置の製造方法を示す要部断面図である。
- 【図 4 6】図 4 5 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 4 7】本発明の実施の形態 3 である半導体装置を示す要部断面図である。
- 【図 4 8】本発明の実施の形態 3 である半導体装置を示す要部断面図である。
- 【図 4 9】本発明の実施の形態 3 である半導体装置を示す要部断面図である。
- 【図 5 0】本発明の実施の形態 3 である半導体装置を示す要部断面図である。
- 【図 5 1】本発明の実施の形態 3 である半導体装置を示す要部断面図である。
- 【図 5 2】本発明の実施の形態 2 である半導体装置の製造方法を示す要部断面図である。 20
- 【図 5 3】図 5 2 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 4】図 5 3 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 5】図 5 4 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 6】図 5 5 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 7】図 5 6 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 8】図 5 7 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 5 9】図 5 8 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 0】図 5 9 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 1】図 6 0 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 2】図 6 1 に続く半導体装置の製造方法を示す要部断面図である。 30
- 【図 6 3】図 6 2 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 4】図 6 3 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 5】図 6 4 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 6】図 6 5 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 7】図 6 6 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 6 8】本発明の実施の形態 4 である半導体装置を示す要部断面図である。
- 【図 6 9】本発明の実施の形態 4 である半導体装置を示す要部断面図である。
- 【図 7 0】本発明の実施の形態 4 である半導体装置を示す要部断面図である。
- 【図 7 1】本発明の実施の形態 4 である半導体装置を示す要部断面図である。
- 【図 7 2】本発明の実施の形態 4 である半導体装置を示す要部断面図である。 40
- 【図 7 3】本発明の実施の形態 4 である半導体装置の製造方法を示す要部断面図である。
- 【図 7 4】図 7 3 に続く半導体装置の製造方法を示す要部断面図である。
- 【図 7 5】本発明の実施の形態 5 である半導体装置を示す要部断面図である。
- 【図 7 6】本発明の実施の形態 5 である半導体装置を示す要部断面図である。
- 【図 7 7】本発明の実施の形態 5 である半導体装置を示す要部断面図である。
- 【図 7 8】本発明の実施の形態 5 である半導体装置を示す要部断面図である。
- 【図 7 9】本発明の実施の形態 5 である半導体装置の製造方法を示す要部断面図である。
- 【図 8 0】本発明の実施の形態 6 である半導体装置を示す要部断面図である。
- 【図 8 1】本発明の実施の形態 6 である半導体装置を示す要部断面図である。
- 【図 8 2】本発明の実施の形態 6 である半導体装置を示す要部断面図である。 50

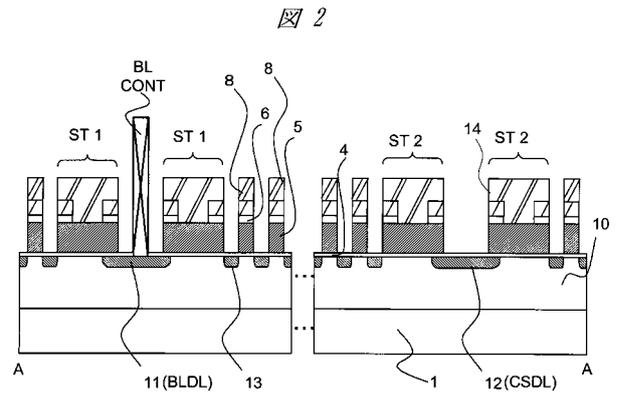
- 【図 8 3】本発明の実施の形態 6 である半導体装置を示す要部断面図である。
- 【図 8 4】本発明の実施の形態 6 である半導体装置を示す要部断面図である。
- 【図 8 5】本発明の実施の形態 6 である半導体装置の製造方法を示す要部断面図である。
- 【図 8 6】本発明の実施の形態 7 である半導体装置を示す要部断面図である。
- 【図 8 7】本発明の実施の形態 7 である半導体装置を示す要部断面図である。
- 【図 8 8】本発明の実施の形態 8 である半導体装置のメモリアレイ領域を示す要部平面図である。
- 【図 8 9】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 0】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 1】本発明の実施の形態 8 である半導体装置を示す要部断面図である。 10
- 【図 9 2】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 3】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 4】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 5】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 6】本発明の実施の形態 8 である半導体装置を示す要部断面図である。
- 【図 9 7】本発明の実施の形態 8 である半導体装置の読み出し動作を説明する回路図である。
- 【図 9 8】本発明の実施の形態 8 である半導体装置の書き込み動作を説明する回路図である。
- 【図 9 9】本発明の実施の形態 8 である半導体装置の消去動作を説明する回路図である。 20
- 【図 1 0 0】(a) は、本発明の実施の形態 8 である半導体装置の読み出し電圧条件を示す図、(b) は、本発明の実施の形態 8 である半導体装置の書き込み電圧条件を示す図である。
- 【図 1 0 1】本発明の実施の形態 8 である半導体装置の製造方法を示す要部平面図である。
- 【図 1 0 2】本発明の実施の形態 8 である半導体装置の製造方法を示す要部断面図である。
- 【符号の説明】
- 【 0 1 0 7 】
- 1 半導体基板 30
- 3 素子分離溝
- 3 a、3 b 溝
- 4 ゲート絶縁膜 (トンネル絶縁膜)
- 5 浮遊ゲート
- 5 a、5 b、5 c、5 d、5 e 多結晶シリコン膜
- 6、6 a、絶縁膜
- 7 a、7 b 多結晶シリコン膜
- 8 制御ゲート
- 9 メタル膜
- 1 0 p 型ウエル 40
- 1 1 n 型拡散層 (B L D L)
- 1 2 n 型拡散層 (C S D L)
- 1 3 n 型拡散層 (ソース、ドレイン)
- 1 4 ゲート電極
- 1 5 空洞
- 2 1 a、2 1 b、2 1 c 窒化シリコン膜
- 2 2、2 2 a 酸化シリコン膜
- 2 3、2 3 a 酸化シリコン膜
- 2 4 酸化シリコン膜
- B L C O N T ビット線コンタクト 50

ST₁、ST₂ 選択トランジスタ
WL ワード線

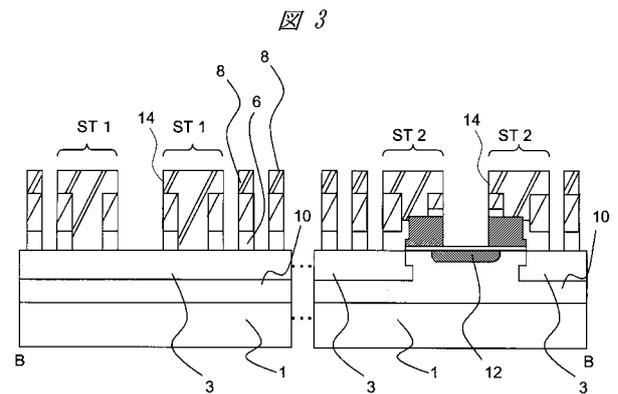
【図1】



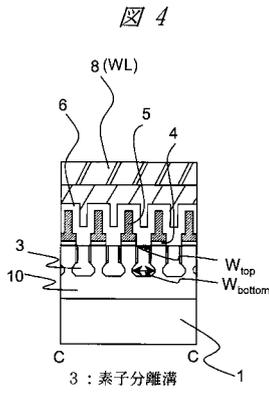
【図2】



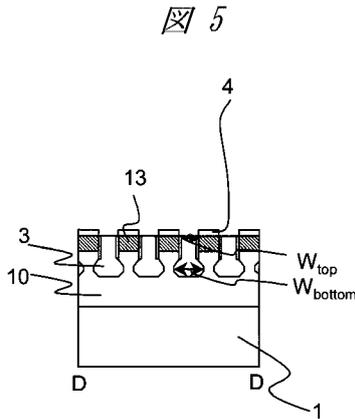
【図3】



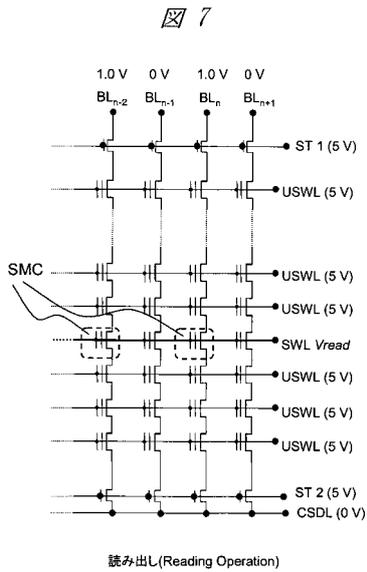
【 図 4 】



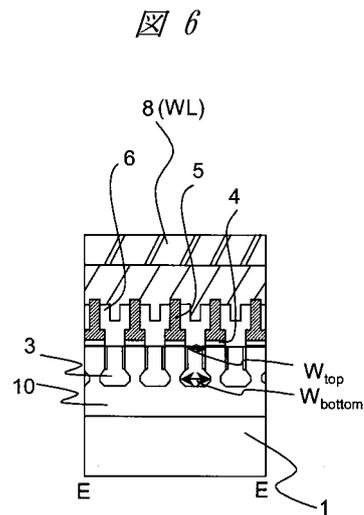
【 図 5 】



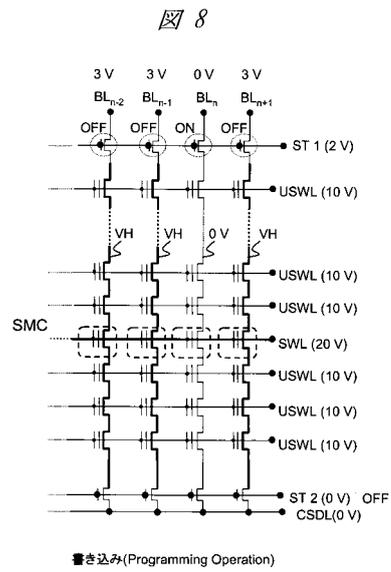
【 図 7 】



【 図 6 】

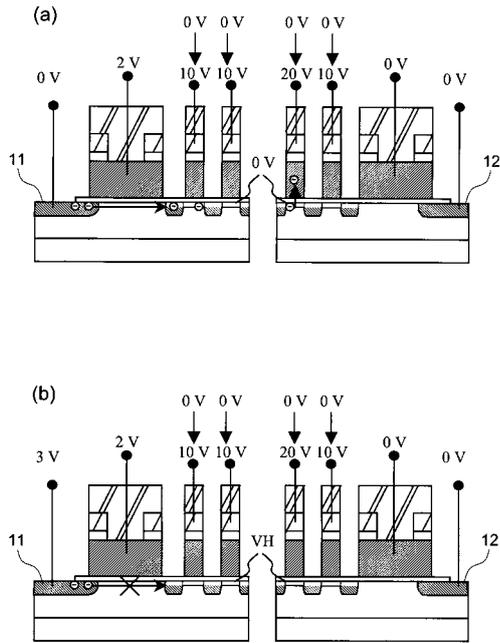


【 図 8 】



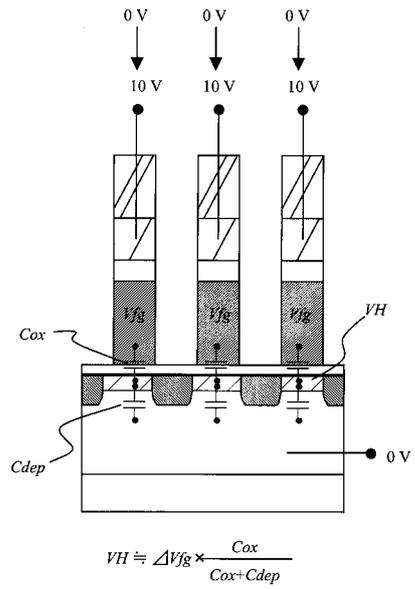
【 図 9 】

図 9



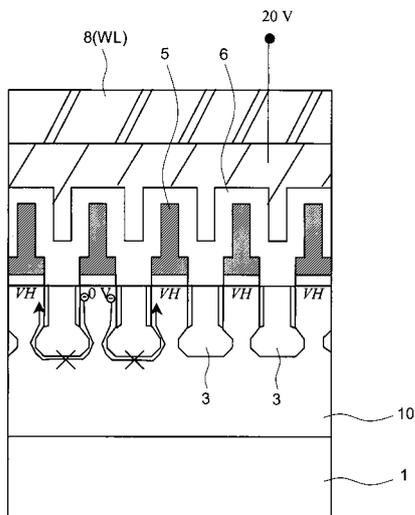
【 図 10 】

図 10



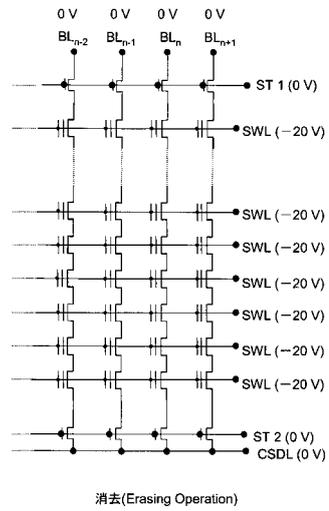
【 図 11 】

図 11



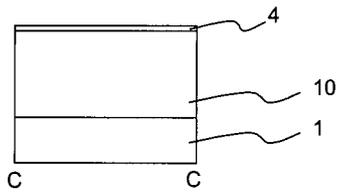
【 図 12 】

図 12



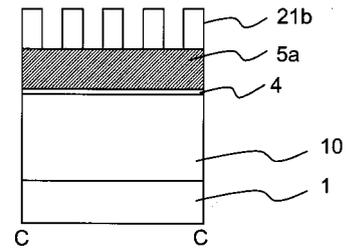
【 図 1 3 】

図 13



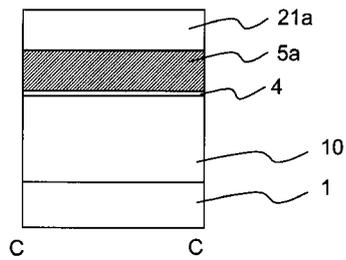
【 図 1 5 】

図 15



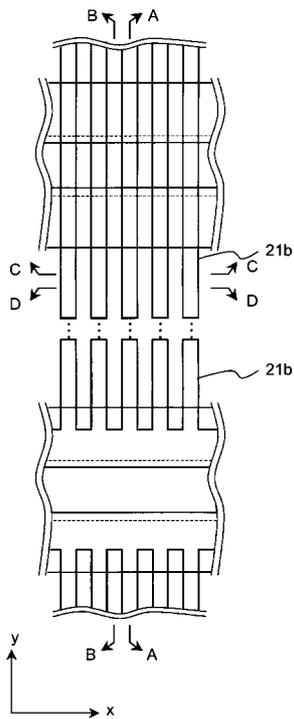
【 図 1 4 】

図 14



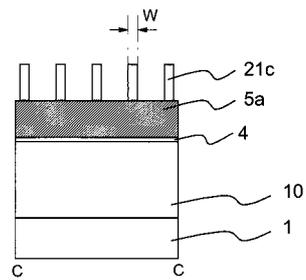
【 図 1 6 】

図 16



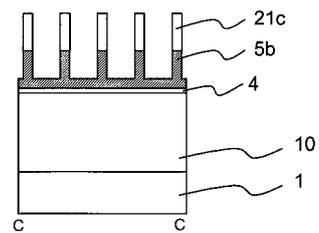
【 図 1 7 】

図 17



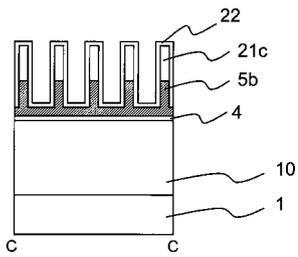
【 図 1 8 】

図 18



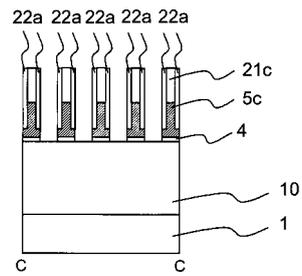
【 図 1 9 】

図 19



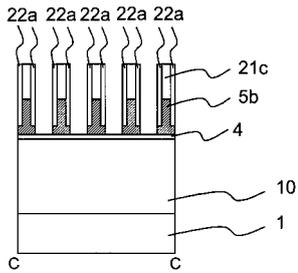
【 図 2 1 】

図 21



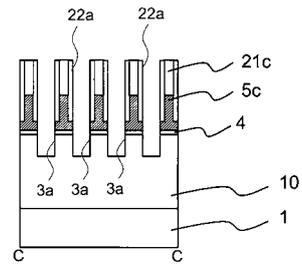
【 図 2 0 】

図 20



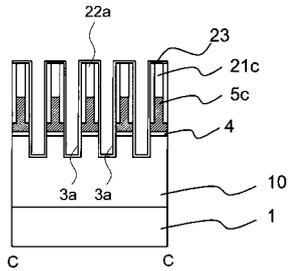
【 図 2 2 】

図 22



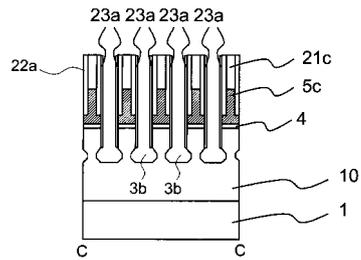
【 図 2 3 】

図 23



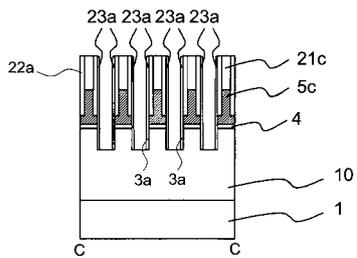
【 図 2 5 】

図 25



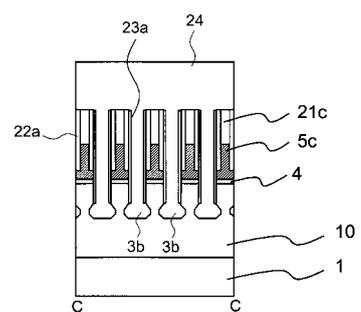
【 図 2 4 】

図 24



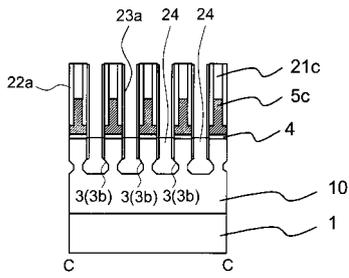
【 図 2 6 】

図 26



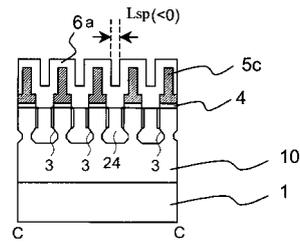
【 図 27 】

図 27



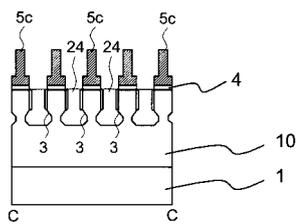
【 図 29 】

図 29



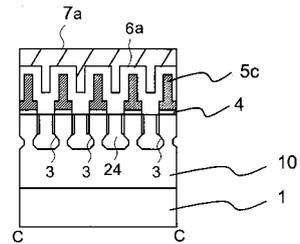
【 図 28 】

図 28



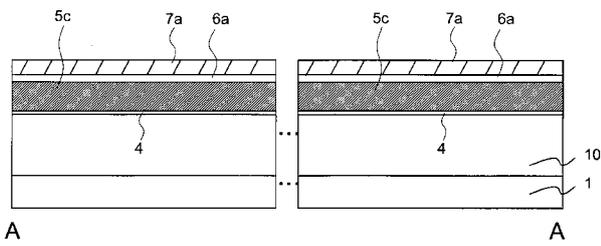
【 図 30 】

図 30



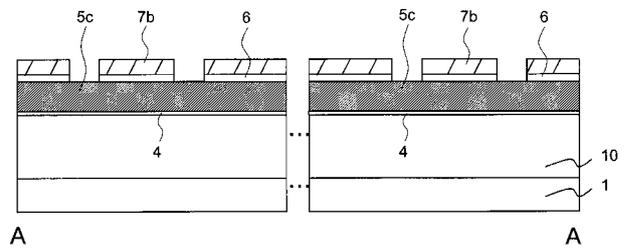
【 図 31 】

図 31



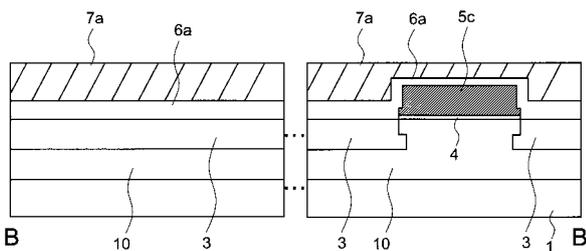
【 図 33 】

図 33



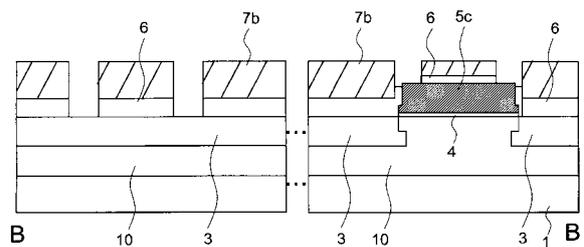
【 図 32 】

図 32



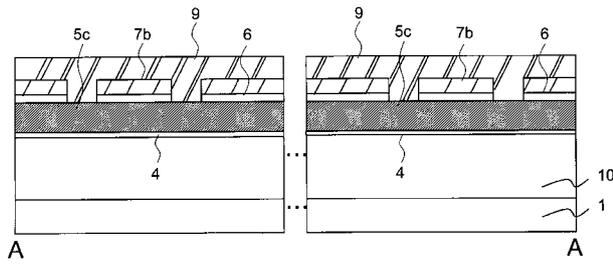
【 図 34 】

図 34



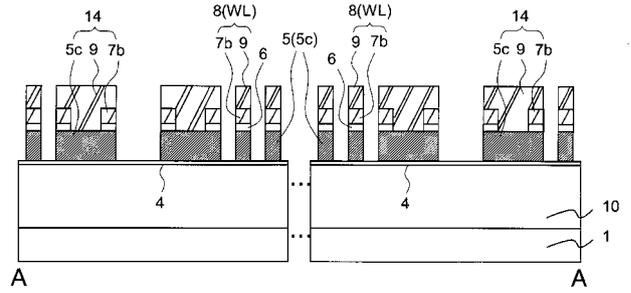
【 図 3 5 】

図 35



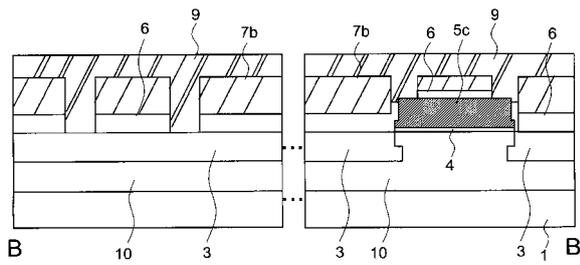
【 図 3 7 】

図 37



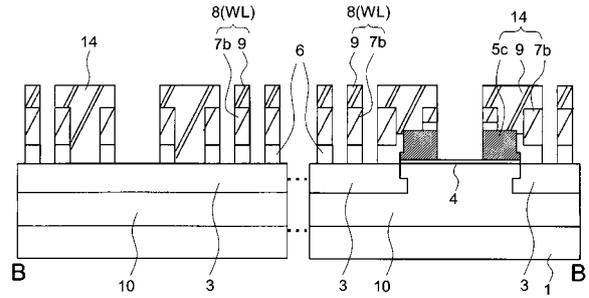
【 図 3 6 】

図 36



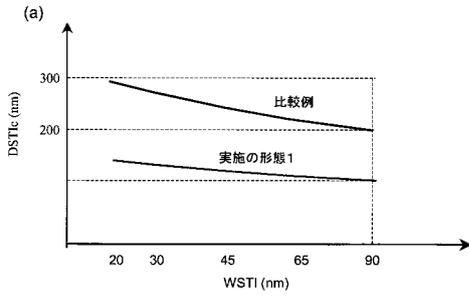
【 図 3 8 】

図 38



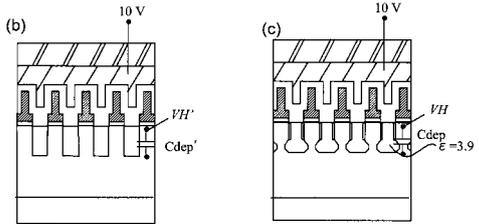
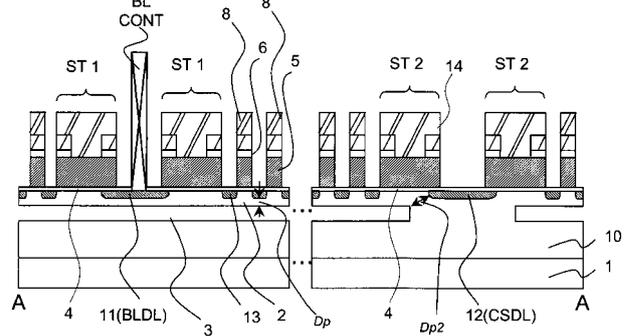
【 図 3 9 】

図 39



【 図 4 0 】

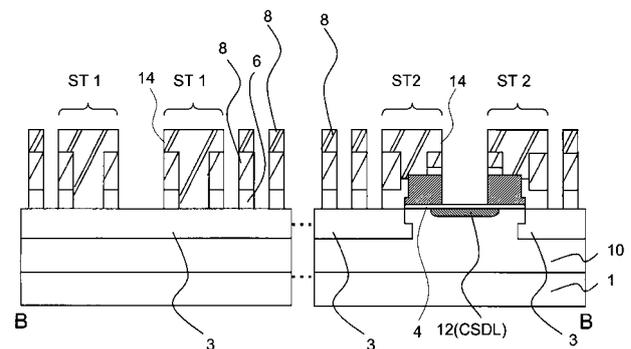
図 40



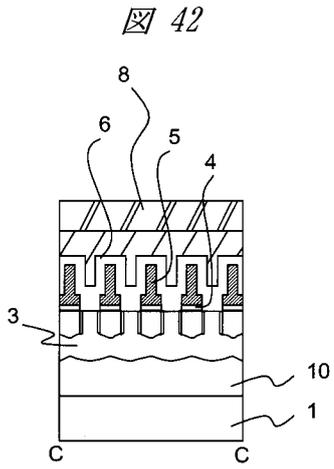
$C_{dep} < C_{dep'} \rightarrow V_H > V_H'$

【 図 4 1 】

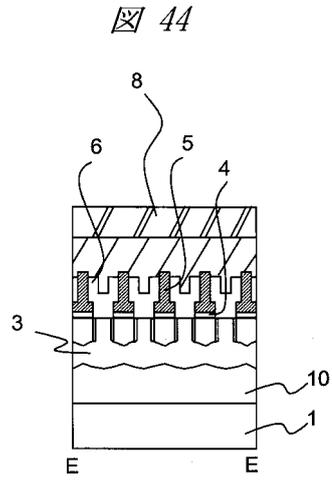
図 41



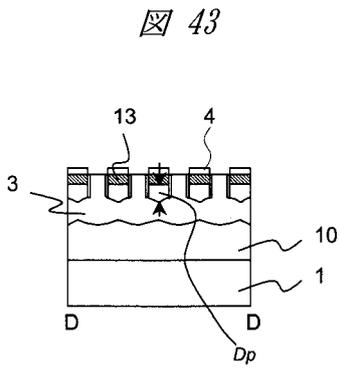
【 図 4 2 】



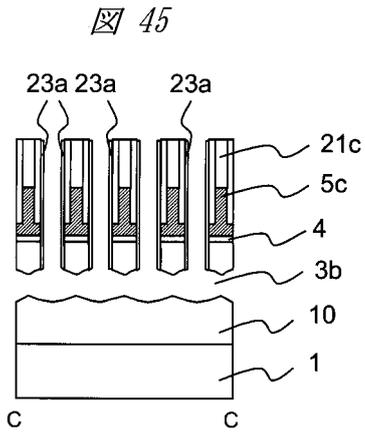
【 図 4 4 】



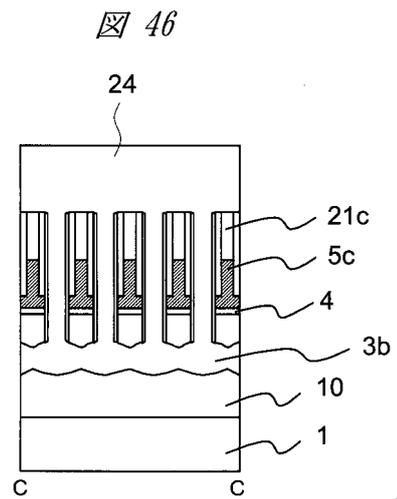
【 図 4 3 】



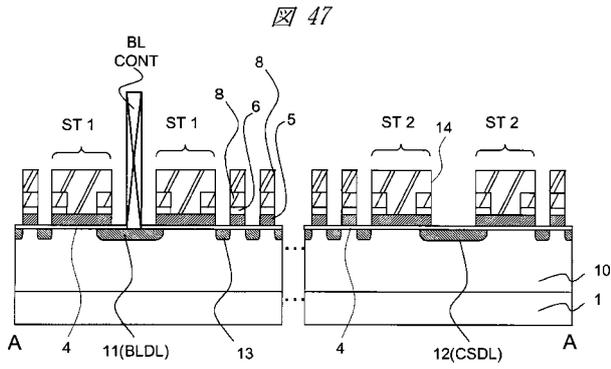
【 図 4 5 】



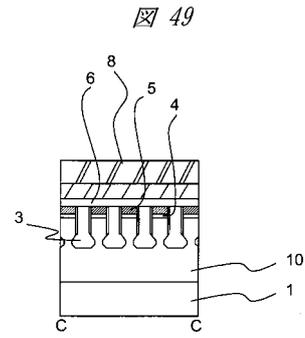
【 図 4 6 】



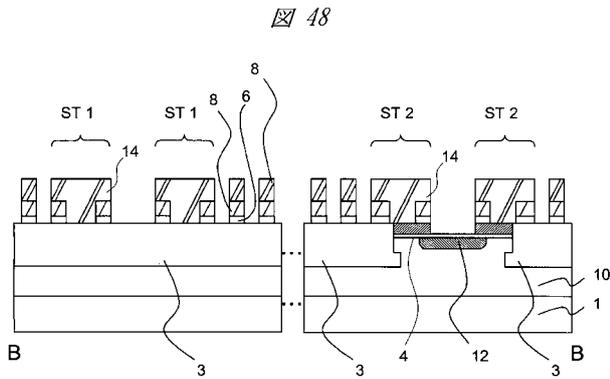
【 図 4 7 】



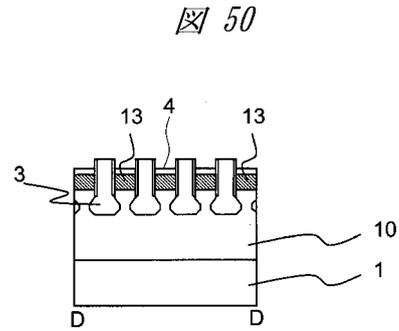
【 図 4 9 】



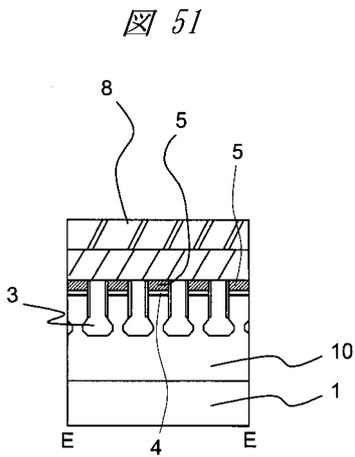
【 図 4 8 】



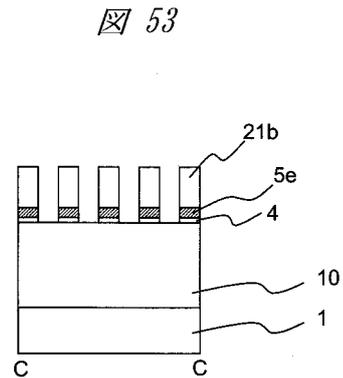
【 図 5 0 】



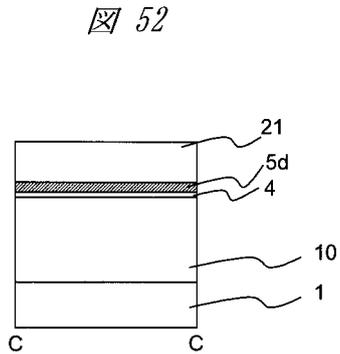
【 図 5 1 】



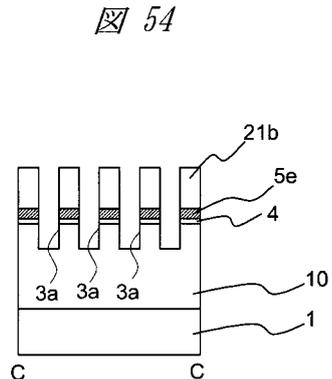
【 図 5 3 】



【 図 5 2 】

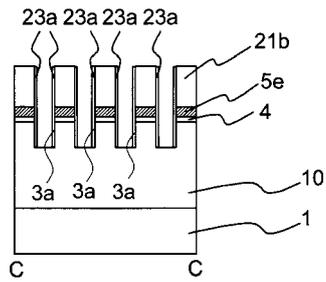


【 図 5 4 】



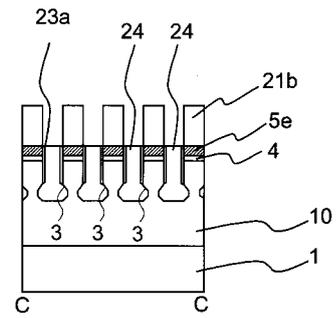
【 図 5 5 】

図 55



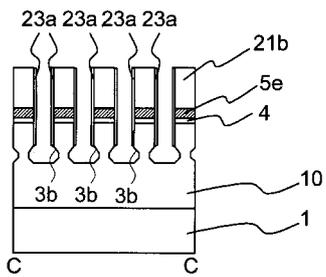
【 図 5 7 】

図 57



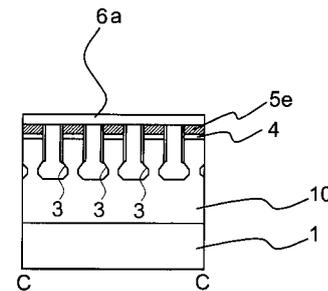
【 図 5 6 】

図 56



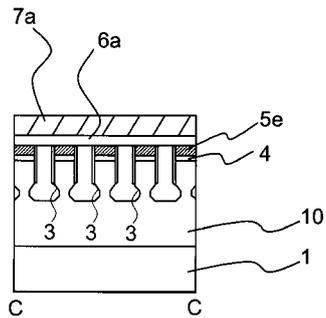
【 図 5 8 】

図 58



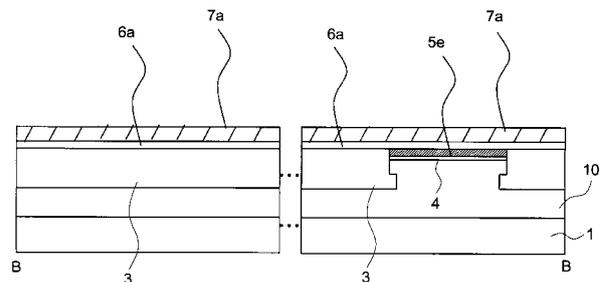
【 図 5 9 】

図 59



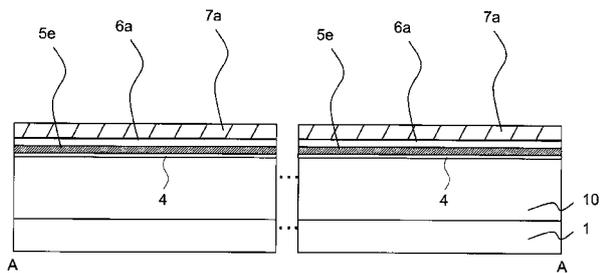
【 図 6 1 】

図 61



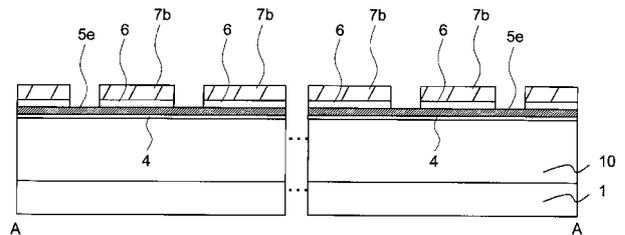
【 図 6 0 】

図 60



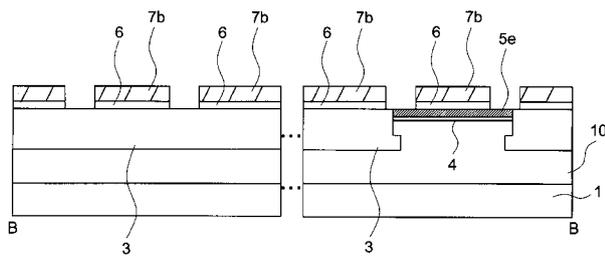
【 図 6 2 】

図 62



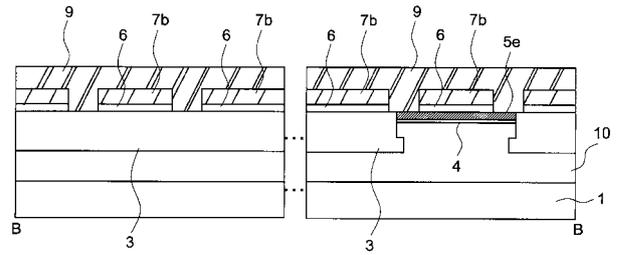
【 図 6 3 】

図 63



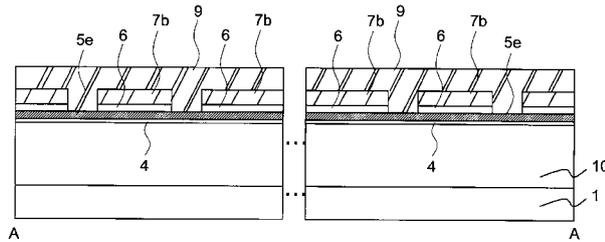
【 図 6 5 】

図 65



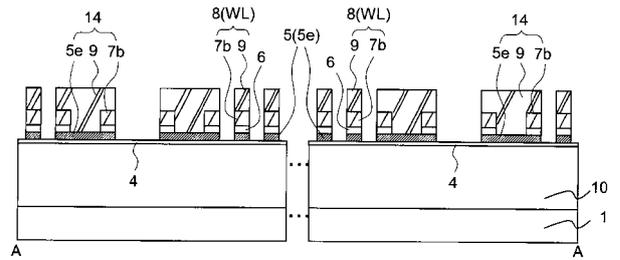
【 図 6 4 】

図 64



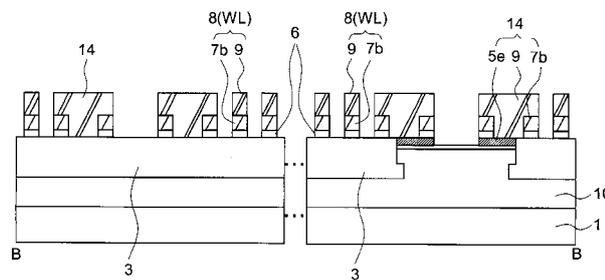
【 図 6 6 】

図 66



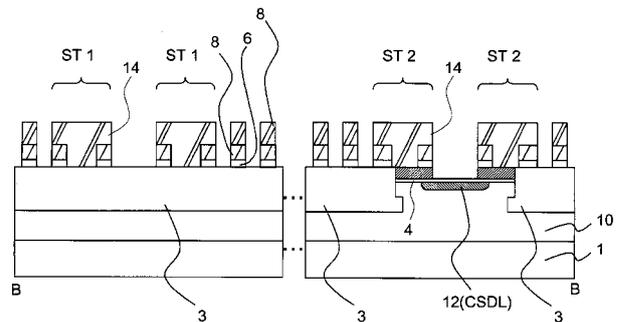
【 図 6 7 】

図 67



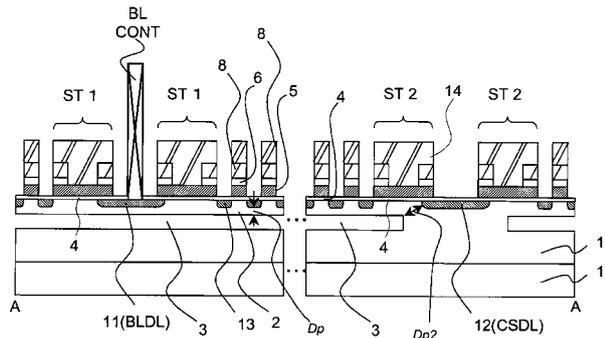
【 図 6 9 】

図 69



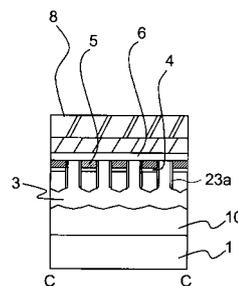
【 図 6 8 】

図 68



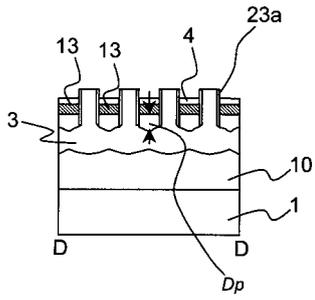
【 図 7 0 】

図 70



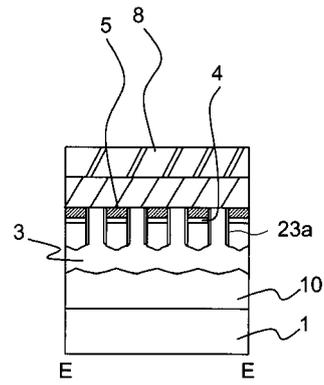
【 図 7 1 】

図 71



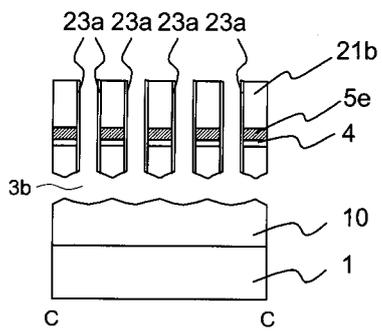
【 図 7 2 】

図 72



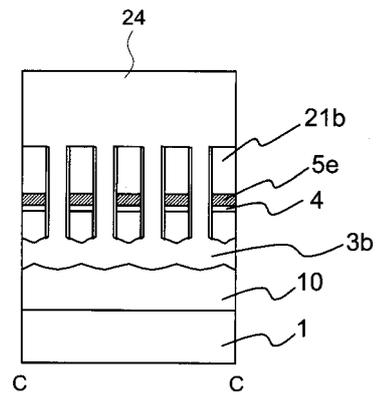
【 図 7 3 】

図 73



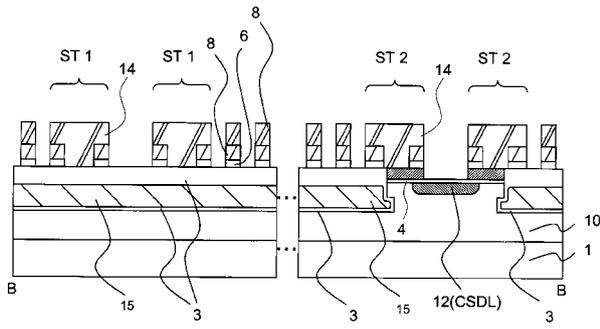
【 図 7 4 】

図 74



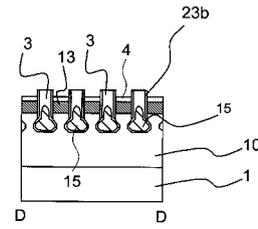
【 図 7 5 】

図 75



【 図 7 7 】

図 77

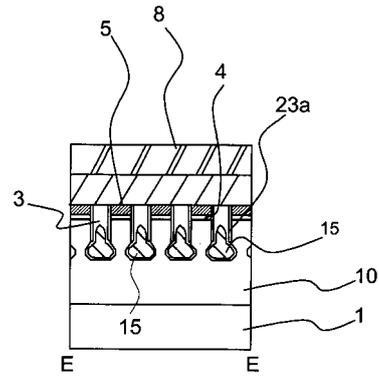
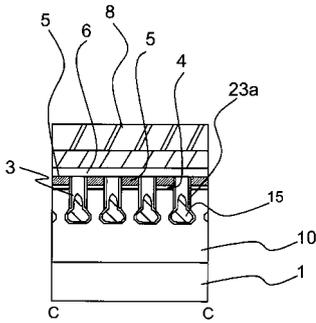


【 図 7 8 】

図 78

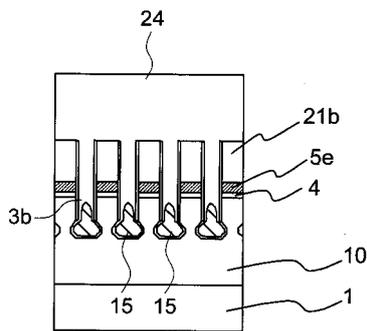
【 図 7 6 】

図 76



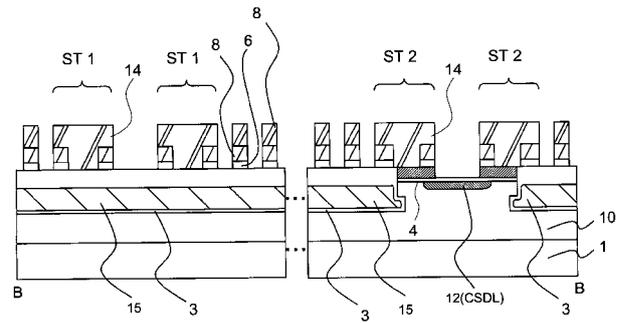
【 図 7 9 】

図 79



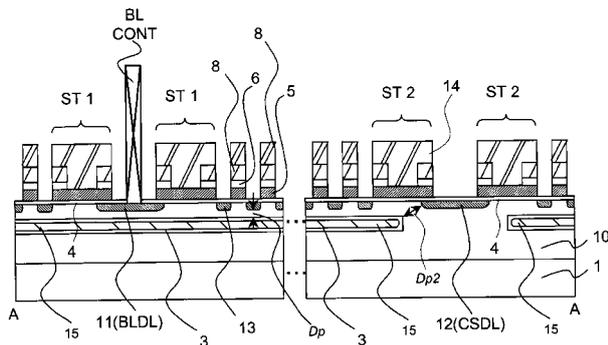
【 図 8 1 】

図 81



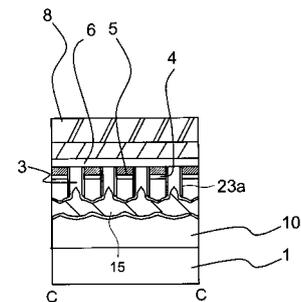
【 図 8 0 】

図 80



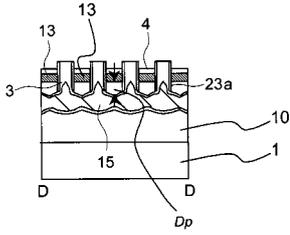
【 図 8 2 】

図 82



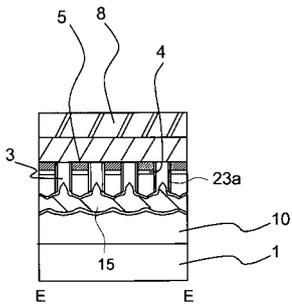
【 図 8 3 】

図 83



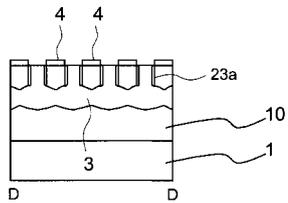
【 図 8 4 】

図 84



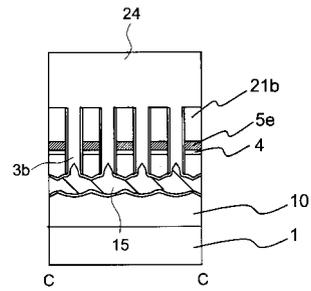
【 図 8 7 】

図 87



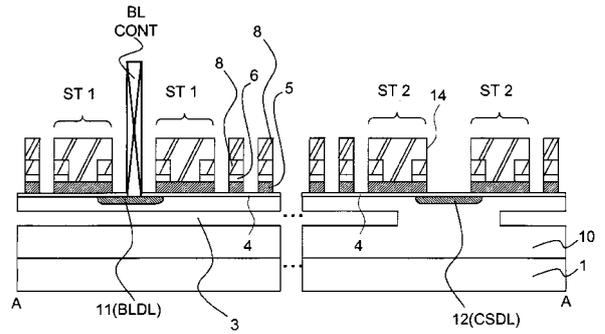
【 図 8 5 】

図 85



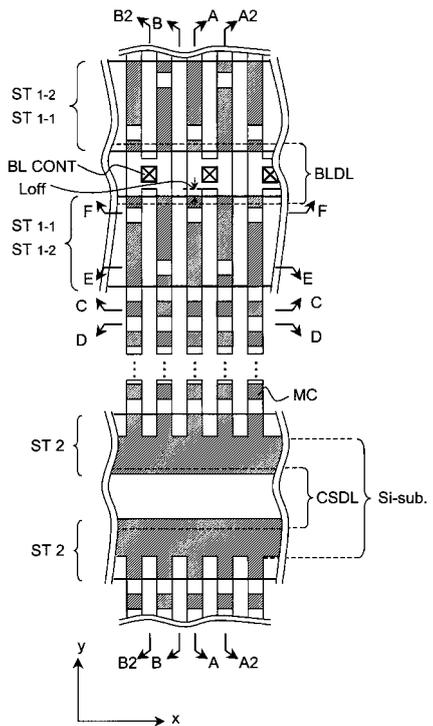
【 図 8 6 】

図 86



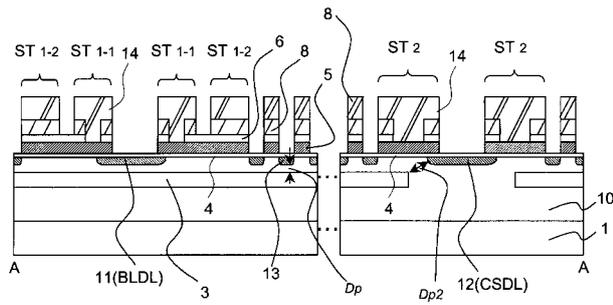
【 図 8 8 】

図 88



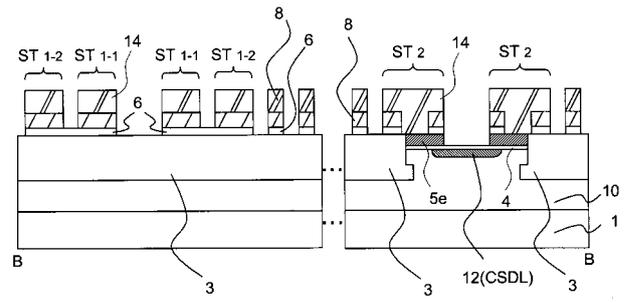
【 図 8 9 】

図 89



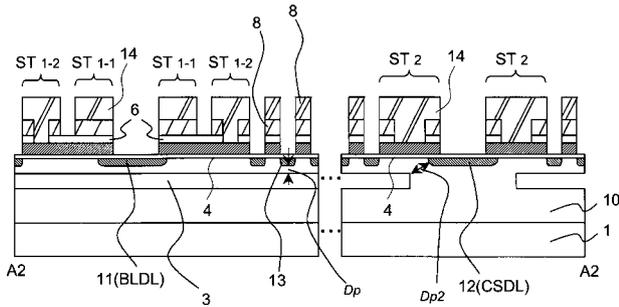
【 図 9 1 】

図 91



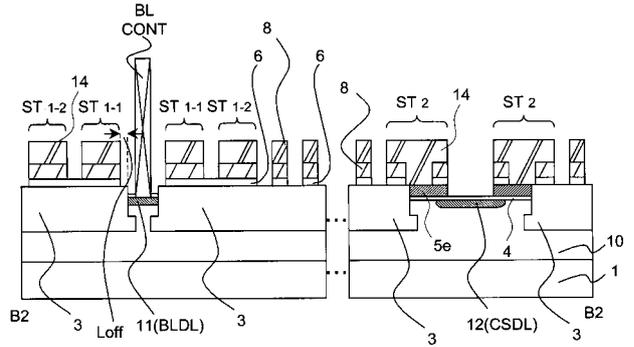
【 図 9 0 】

図 90



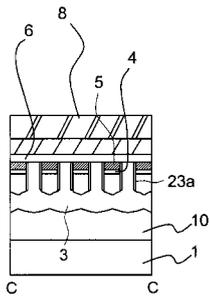
【 図 9 2 】

図 92



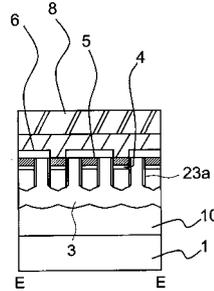
【 図 9 3 】

図 93



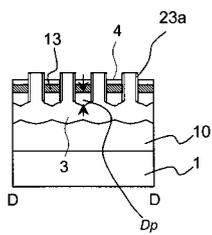
【 図 9 5 】

図 95



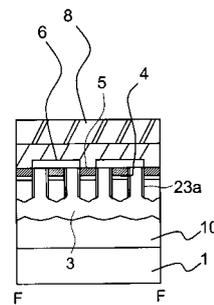
【 図 9 4 】

図 94



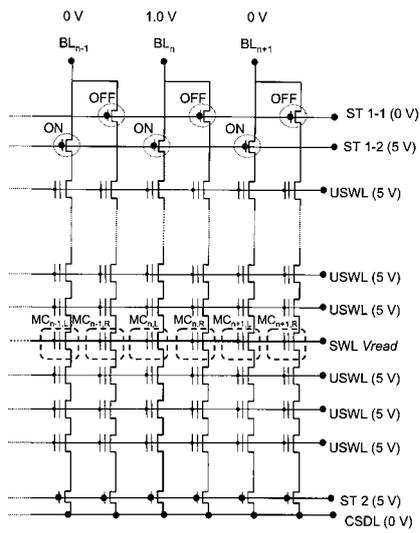
【 図 9 6 】

図 96



【 図 9 7 】

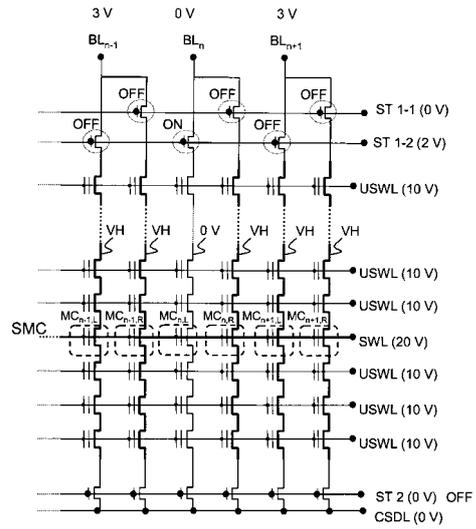
図 97



読み出し(Reading Operation)

【 図 9 8 】

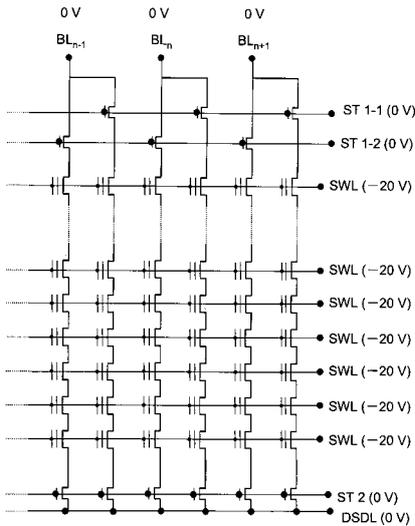
図 98



書き込み(Programming Operation)

【 図 9 9 】

図 99



消去(Erasing Operation)

【 図 1 0 0 】

図 100

(a)

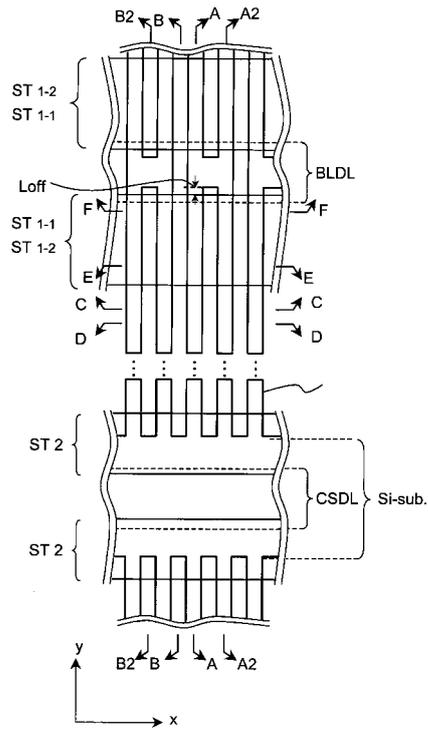
	MC _{n,L}	MC _{n,R}
ST 1-1	0 V	5 V
ST 1-2	5 V	0 V
ST 2	5 V	5 V
BLn-1	0 V	0 V
BLn	1 V	1 V
BLn+1	0 V	0 V
USWL	5 V	5 V
SWL	Vread	Vread
Source	0 V	0 V
pWell	0 V	0 V

(b)

	MC _{n,L}		MC _{n,R}	
	Prog.	Inhibit	Prog.	Inhibit
ST 1-1	0 V		3 V	
ST 1-2	3 V		0 V	
ST 2	0 V		0 V	
BLn-1	3 V		3 V	
BLn	0 V	3 V	0 V	3 V
BLn+1	3 V		3 V	
USWL	10 V		10 V	
SWL	20 V		20 V	
Source	0 V		0 V	
pWell	0 V		0 V	

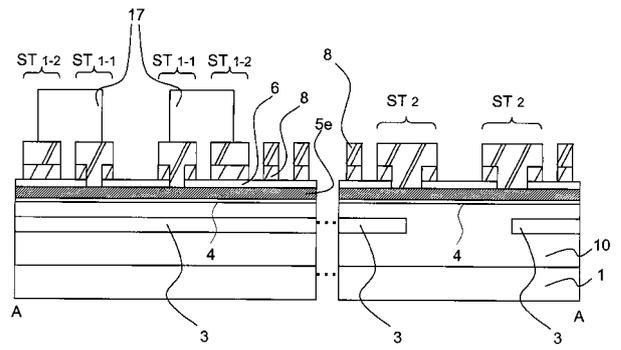
【 図 1 0 1 】

図 101



【 図 1 0 2 】

図 102



フロントページの続き

F ターム(参考) 5F032 AA35 AA37 AA44 AA45 AA67 AC02 BA01 CA17 DA02 DA23
DA24 DA25 DA26 DA27 DA53
5F083 EP03 EP22 EP23 EP27 EP56 EP76 EP79 ER03 ER09 ER14
ER19 GA15 HA02 JA02 JA35 JA39 JA40 KA01 LA12 LA16
NA01 NA06 PR39
5F101 BA15 BA36 BB05 BC02 BD22 BD30 BD34 BD35 BE02 BE05
BE07 BG10