



(12) 实用新型专利

(10) 授权公告号 CN 202404339 U

(45) 授权公告日 2012. 08. 29

(21) 申请号 201220013681. 1

(22) 申请日 2012. 01. 12

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 宋泳锡 刘圣烈 崔承镇

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

G02F 1/1343 (2006. 01)

H01L 27/12 (2006. 01)

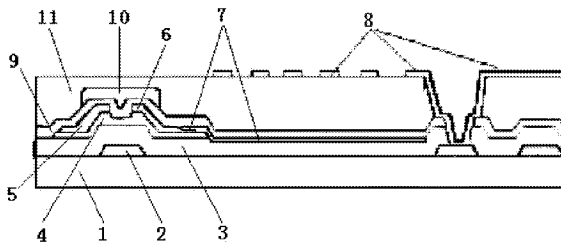
权利要求书 1 页 说明书 4 页 附图 6 页

(54) 实用新型名称

阵列基板及包括该阵列基板的显示装置

(57) 摘要

本实用新型涉及液晶显示器技术领域，具体涉及一种阵列基板及包括该阵列基板的显示装置。为解决因像素内部各层的断差导致无法对液晶分子进行驱动，以及因向错引起漏光并使对比度劣化的问题，本实用新型在薄膜晶体管区域中形成有栅极、源极、漏极、栅绝缘层、有源层以及钝化层，在像素电极图形区域中形成栅绝缘层、像素电极、钝化层以及公共电极，且在钝化层与公共电极之间形成有彩色树脂层。通过上述方案，由于在 TFT-LCD 面板上的钝化层上部形成了有利于平坦化的彩色树脂层，从而可以适合水平驱动的方式来尽量降低漏光，提高面板的对比度、开口率并降低生产成本。



1. 一种阵列基板,包括限定了像素区域的栅线和数据线,所述像素区域包括薄膜晶体管区域以及像素电极图形区域,所述薄膜晶体管区域中形成有栅极、源极、漏极、栅绝缘层、有源层以及钝化层,且在所述源极和漏极之间形成有沟道部,所述沟道部凹陷至所述有源层内部;所述像素电极图形区域中形成所述栅绝缘层、像素电极、所述钝化层以及公共电极,其中,所述公共电极和像素电极构成了多维电场;

其特征在于,在所述钝化层与所述公共电极之间形成有彩色树脂层。

2. 如权利要求 1 所述的阵列基板,其特征在于,所述像素电极形成于所述有源层表面除沟道部以外的部位上,并延伸覆盖所述像素电极图形区域中的所述栅极绝缘层;

在所述薄膜晶体管区域内,所述漏极及源极形成于所述像素电极上。

3. 如权利要求 1 所述的阵列基板,其特征在于,所述彩色树脂层采用的材料为介电常数为 $3 \sim 5$ 且厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 的材料。

4. 如权利要求 1 所述的阵列基板,其特征在于,所述像素电极和公共电极采用的材料为透明导电的金属材料。

5. 如权利要求 1 所述的阵列基板,其特征在于,在所述薄膜晶体管区域内,所述源极及漏极形成于有源层上;

在所述像素电极图形区域与薄膜晶体管区域相结合的部位处,所述像素电极的一端搭接于所述源极的一端上。

6. 如权利要求 1 所述的阵列基板,其特征在于,所述薄膜晶体管区域内,所述钝化层上形成有黑矩阵层。

7. 如权利要求 6 所述的阵列基板,其特征在于,所述黑矩阵层为不透明树脂层,其所采用的材料为面电阻大于 $10^{12} \Omega/\text{sq}$ 、厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 且光密度为 4 以上的材料。

8. 一种显示装置,其特征在于,包括如权利要求 1 至 7 任一项所述的阵列基板。

阵列基板及包括该阵列基板的显示装置

技术领域

[0001] 本实用新型涉及液晶显示器技术领域，具体涉及一种阵列基板及包括该阵列基板的显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射等特点，在平板显示器市场占据了主导地位。随着技术的进步，消费者对移动性产品的显示效果提出了更高的要求，普通的 TN (Twisted Nematic, 扭曲向列) 型液晶显示器的显示效果已经不能满足市场的需求。目前，各大厂商正逐渐将显示效果更优良的各种广视角技术应用于移动性产品中，比如 IPS (In-Plane Switching, 共面转换)、VA (Vertical Alignment, 垂直配向)、AD-SDS (Advanced-Super Dimensional Switching, 高级超维场开关, 简称为 ADS) 等广视角技术。在 ADS 模式下，通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。由此，ADS 技术可以提高 TFT-LCD 画面品质，具有高透过率、宽视角、高开口率、低色差、低响应时间、无挤压水波纹 (Push Mura) 等优点。

[0003] 如图 1 所示，为现有的 ADS 模式下的 TFT 阵列基板结构，其中，最底层为玻璃基板 1，然后至玻璃基板 1 向上依次为栅极 2、绝缘层 3、有源层 4，在有源层 4 上方形成有漏极 5 和源极 6，在光线传播的方向上，该漏极 5 和源极 6 的相关区域构成像素区域中的薄膜晶体管区域，而与之相对应的用作显示的区域部分形成有像素电极 7 (可视为板状电极) 与漏极 6 相接触，在漏极 5、源极 6 及像素电极 7 上覆盖有钝化层 9，在钝化层 9 上沉积公共电极 8 (可视为狭缝电极)，由此在光线传播的方向上，像素电极 7 与公共电极 8 的相关区域则构成了像素电极图形区域 (也可以称之为显示区域)。该结构的制作过程大致如图 2 所示。该结构在应用于小型移动产品时，尽管由于不存在像素内过孔，使得其开口率会存在一定程度的增加，但由于还需要在其上应用另外的彩膜，所以在粘合过程中会因边缘的粘合状况而导致开口率随之过低。

[0004] 此外，从图 1 中可以看出，由于 TFT 结构与数据线的上表面之间存有断差，而该断差显然不利于 ADS 模式应用水平的驱动方式，从而会使得液晶无法正常驱动，进而引发漏光并导致对比度 (Contrast Ratio, CR) 降低。

实用新型内容

[0005] (一) 要解决的技术问题

[0006] 本实用新型要解决的技术问题是如何解决现有技术中因像素内部各层的断差导致无法对液晶分子进行水平驱动的情况，解决因为向错 (disclination) 而引起漏光并使对比度劣化的问题。

[0007] (二) 技术方案

[0008] 为解决上述技术问题,本实用新型提供一种阵列基板,包括限定了像素区域的栅线和数据线,所述像素区域包括薄膜晶体管区域以及像素电极图形区域,所述薄膜晶体管区域中形成有栅极、源极、漏极、栅绝缘层、有源层以及钝化层,且在所述源极和漏极之间形成有沟道部,所述沟道部凹陷至所述有源层内部;所述像素电极图形区域中形成所述栅绝缘层、像素电极、所述钝化层以及公共电极,其中,所述公共电极和像素电极构成了多维电场;在所述钝化层与所述公共电极之间形成有彩色树脂层。

[0009] 其中,所述像素电极形成于所述有源层表面除沟道部以外的部位上,并延伸覆盖所述像素电极图形区域中的所述栅极绝缘层;在所述薄膜晶体管区域内,所述漏极及源极形成于所述像素电极上。

[0010] 其中,所述彩色树脂层采用的材料为介电常数为 $3 \sim 5$ 且厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 的材料。

[0011] 其中,所述像素电极和公共电极采用的材料为透明导电的金属材料。

[0012] 其中,在所述薄膜晶体管区域内,所述源极及漏极形成于有源层上;在所述像素电极图形区域与薄膜晶体管区域相结合的部位处,所述像素电极的一端搭接于所述源极的一端上。

[0013] 其中,所述薄膜晶体管区域内,所述钝化层上形成有黑矩阵层。

[0014] 其中,所述黑矩阵层为不透明树脂层,其所采用的材料为面电阻大于 $10^{12} \Omega/\text{sq}$ 、厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 且光密度为4以上的材料。

[0015] 此外,本实用新型还提供一种显示装置,其包括如上所述任一种阵列基板。

[0016] (三)有益效果

[0017] 与现有技术相比较,本实用新型所提供的阵列基板具备如下优点:

[0018] (1) 根据本实用新型技术方案,可以仅通过九个掩膜工艺即可制造完成集成了彩膜的ADS模式下的阵列基板;

[0019] (2) 通过将利于平坦化的彩色树脂的图案制作于TFT钝化层的上部,来消除TFT与数据线上的断差,液晶排列时依靠部分液晶的扭曲来消除光线的弯曲。从而可以正常驱动采取水平驱动方式的ADS模式,进而可以提高对比度;

[0020] (3) 该技术方案可以避免现有的阵列基板与彩膜基板进行贴合而引起开口率降低的问题,可以保持高开口率,并且因为该高开口率的结构(数据线与公共线的重叠),从而提高透过率。

[0021] (4) 根据本实用新型的技术方案,其像素结构中存在连接孔,进一步提高了开口率,此外,其不仅有利于大型面板,同时也有利于小型面板的制造。

附图说明

[0022] 图1为现有技术中ADS模式下阵列基板的侧视示意图;

[0023] 图2为图1所示的阵列基板的制作流程图;

[0024] 图3为实施例1的阵列基板在制造过程中的俯视示意图;

[0025] 图4为实施例1的阵列基板在制造过程中的侧视示意图;

[0026] 图5为实施例1的阵列基板的侧视示意图;

[0027] 图6为实施例2的阵列基板在制造过程中的侧视示意图;

[0028] 图 7 为实施例 2 的阵列基板的侧视示意图。

[0029] 其中, 1 : 玻璃基板、2 : 栅极、3 : 栅极绝缘层、4 : 有源层、5 : 漏极、6 : 源极、7 : 像素电极、8 : 公共电极、9 : 钝化层、10 : 黑矩阵层、11 : 彩色树脂层。

具体实施方式

[0030] 为使本实用新型的目的、内容和优点更加清楚, 下面结合附图和实施例, 对本实用新型的具体实施方式作进一步详细描述。

[0031] 实施例 1

[0032] 本实施例具体提供一种阵列基板, 其可以应用于 ADS 模式下, 如图 3 及图 4 所示, 其包括限定了像素区域的栅线和数据线, 所述像素区域包括薄膜晶体管区域以及像素电极图形区域, 所述薄膜晶体管区域中形成有栅极 2、栅绝缘层 3、有源层 4、源极 5、漏极 6 以及钝化层 9, 且在源极 5 和漏极 6 之间形成有沟道部, 所述沟道部凹陷至有源层 4 内部; 在由所述公共电极 8 和像素电极 7 的形成区域所界定的像素电极图形区域内形成了所述栅绝缘层 3、像素电极 7、钝化层 9 以及公共电极 8, 其中, 所述公共电极 8 和像素电极 7 构成了多维电场。在所述钝化层 9 与公共电极 8 之间形成有彩色树脂层 11。在与所述像素电极图形区域相对应的薄膜晶体管区域内, 在所述钝化层 9 上形成有黑矩阵层 10。

[0033] 在所述薄膜晶体管区域内, 所述源极 5 及漏极 6 形成于有源层 4 上; 在所述像素电极图形区域与薄膜晶体管区域相结合的部位处, 所述像素电极 7 的一端搭接于所述源极 6 的一端上。

[0034] 其中, 所述像素电极 7、公共电极 8 所采用的材料为用于栅极与数据线布线的金属, 比如 Mo、Al、Ti、Cu 等导电性好的金属或其合金, 或者是透明且可进行选择性刻蚀的金属材料, 比如 a-ITO (Indium Tin Oxide, 纳米铟锡金属氧化物), IZO (Indium Zinc Oxide, 氧化铟锌) 等, 这样的金属经过 TCO (Transparent Conducting Oxide, 透明引导氧化) 处理成为透明性良好的金属。这样的金属 (a-ITO、IZO) 等与用于布线的金属 (Mo、Al...) 等为可选择进行湿法刻蚀 (Wet Etch) 的材料。

[0035] 其中, 所述 RGB 树脂层所采用的材料为介电常数为 $3 \sim 5$ 且厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 的材料。所述黑矩阵层 10 为不透明树脂层, 其所采用的材料为面电阻大于 $10^{12} \Omega/\text{sq}$ 、厚度为 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 且光密度为 4 以上的材料。

[0036] 根据上述的结构, 下面具体描述该 ADS 模式下的阵列基板结构的制作工艺, 对对照图 3 及图 4, 该工艺可以概括为首先形成包括栅线、栅极、栅绝缘层、有源层、源极、漏极的图形, 构成薄膜晶体管区域; 然后形成包括彩色树脂层的图形; 最后形成包括像素电极、数据线、钝化层、公共电极的图形, 构成像素电极图形区域。

[0037] 具体而言, 其详细包括如下步骤:

[0038] 步骤 S1 : 对应于步骤 S101 及 S102, 在玻璃基板 1 上沉积导电性好的第一金属层, 利用第一掩膜工艺刻蚀出栅线及栅极 2;

[0039] 步骤 S2 : 对应于步骤 S103 及 S104, 在所形成的基板上依次沉积采用 SiN_x 或 SiO_N 等材料的栅绝缘层 3、采用 a-Si 等材料的半导体有源层 4; 在所形成的基板上沉积导电性好的第二金属层, 利用半色调掩膜 (Halftone Mask) 的第二掩膜工艺描绘出源极 5、漏极 6 以及薄膜晶体管沟道部的图案, 然后利用连续刻蚀工艺和灰化工艺刻蚀出源极 5、漏极 6, 从

而构成薄膜晶体管区域；

[0040] 步骤 S3: 对应于 S105, 在上述基板上沉积透明且导电性好的第三金属层, 通过第三掩膜工艺与连续刻蚀工艺来形成像素电极 7; 之后, 刻蚀掉包含上述 TFT 沟道部不纯物质的半导体层; 此处, 由于刻蚀包含 TFT 沟道部不纯物质的半导体层的过程, 是在以第三掩膜刻蚀工艺刻蚀形成像素电极 7 的步骤之后进行的, 因此, 可防止后续工艺对 TFT 沟道的不良影响;

[0041] 步骤 S4: 对应于 S106 及 S107, 沉积 SiN_x 钝化层 9 来保护上述基板的 TFT 部分与像素部分; 在上述基板的 TFT 上部与面板周围, 通过第四掩膜工艺, 沉积不透明掩膜树脂层的黑矩阵层 10, 并制作出钝化层 9 的图案;

[0042] 步骤 S5: 对应于 S108 及 S109, 在上述基板上沉积 RGB 树脂层, 并使连续的第五掩膜、第六掩膜、第七掩膜工艺, 来形成彩色树脂层 11; 在上述基板上沉积 SiN_x 层, 并通过第八掩膜工艺, 形成用于将公共电极 8 与下部由栅金属形成的存贮电容底电极进行连接的孔;

[0043] 步骤 S6: 对应于 S110, 在上述基板上沉积透明且导电性好的第四金属层, 通过第九掩膜工艺以及连续的刻蚀工艺来形成透明的公共电极 8。

[0044] 最后, 形成如图 5 所示的阵列基板。

[0045] 实施例 2

[0046] 本实施例提供另一种 ADS 模式下的阵列基板, 如图 6 及图 7 所示, 所述阵列基板其包括限定了像素区域的栅线和数据线, 所述像素区域包括薄膜晶体管区域以及像素电极图形区域, 所述薄膜晶体管包括栅极 2、栅绝缘层 3、有源层 4、源极 5、漏极 6 以及钝化层 9, 且在源极 5 和漏极 6 之间形成有沟道部, 所述沟道部凹陷至有源层 4 内部; 在由所述公共电极 8 和像素电极 7 的形成区域所界定的像素电极图形区域内形成了所述栅绝缘层 3、像素电极 7、钝化层 9 以及公共电极 8, 其中, 所述公共电极 8 和像素电极 7 构成了多维电场。在所述公共电极 8 与钝化层 9 之间形成有彩色树脂层 11。在与所述像素电极图形区域相对应的薄膜晶体管区域内, 在所述钝化层 9 上形成有黑矩阵层 10。

[0047] 所述像素电极 7 形成于所述有源层 4 表面除沟道部以外的部位上, 并延伸覆盖所述像素电极图形区域中的所述栅极绝缘层 3; 且在所述薄膜晶体管区域内, 所述漏极 5 及源极 6 形成于所述像素电极 7 上。

[0048] 其中, 图 4 与图 6 的制作流程中相同的部分在此不再赘述, 但其中的差别之处在于: 像素电极 7 与漏极 5、源极 6 之间的位置差别, 当像素电极 7 位于源极 6 下方时, 像素电极 7 与源极 6 可通过一个掩膜工艺来完成, 从而两者之间存在工艺上较大的差别。图 4 中以栅极 2- 有源层 3- 漏极 5、源极 6- 像素电极 7-... 的顺序来进行工艺, 图 6 中以栅极 2- 有源层 3- 像素电极 7- 漏极 5、源极 6-... 的顺序来进行工艺。

[0049] 同时, 本实用新型还提供一种显示装置, 所述显示装置包括上述实施例中任一种的阵列基板, 所述显示装置可以为: 液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有显示功能的产品或部件。

[0050] 以上所述仅是本实用新型的优选实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本实用新型技术原理的前提下, 还可以做出若干改进和变形, 这些改进和变形也应视为本实用新型的保护范围。

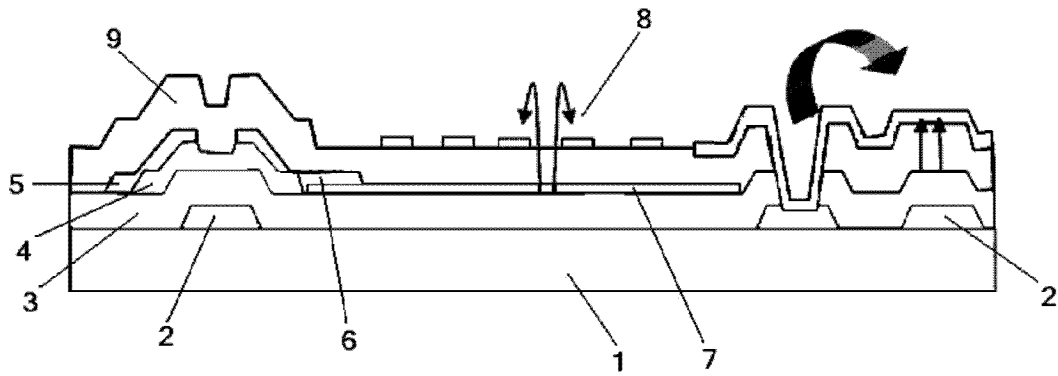


图 1

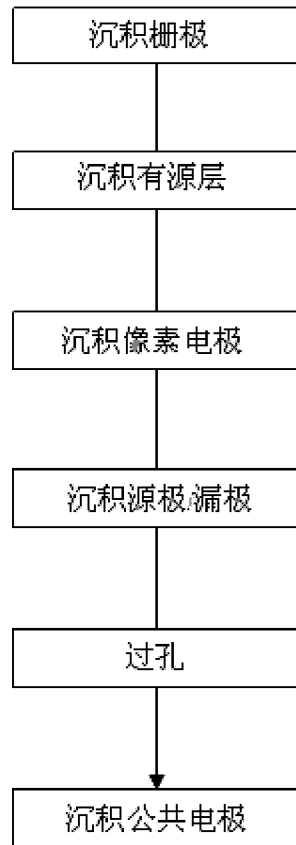


图 2

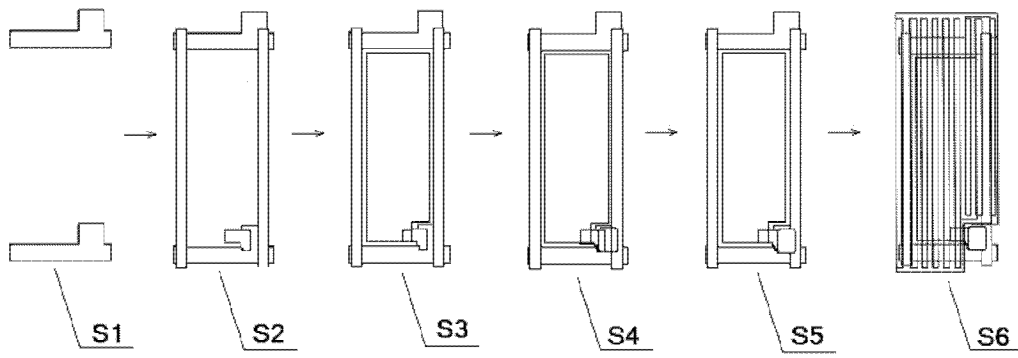


图 3

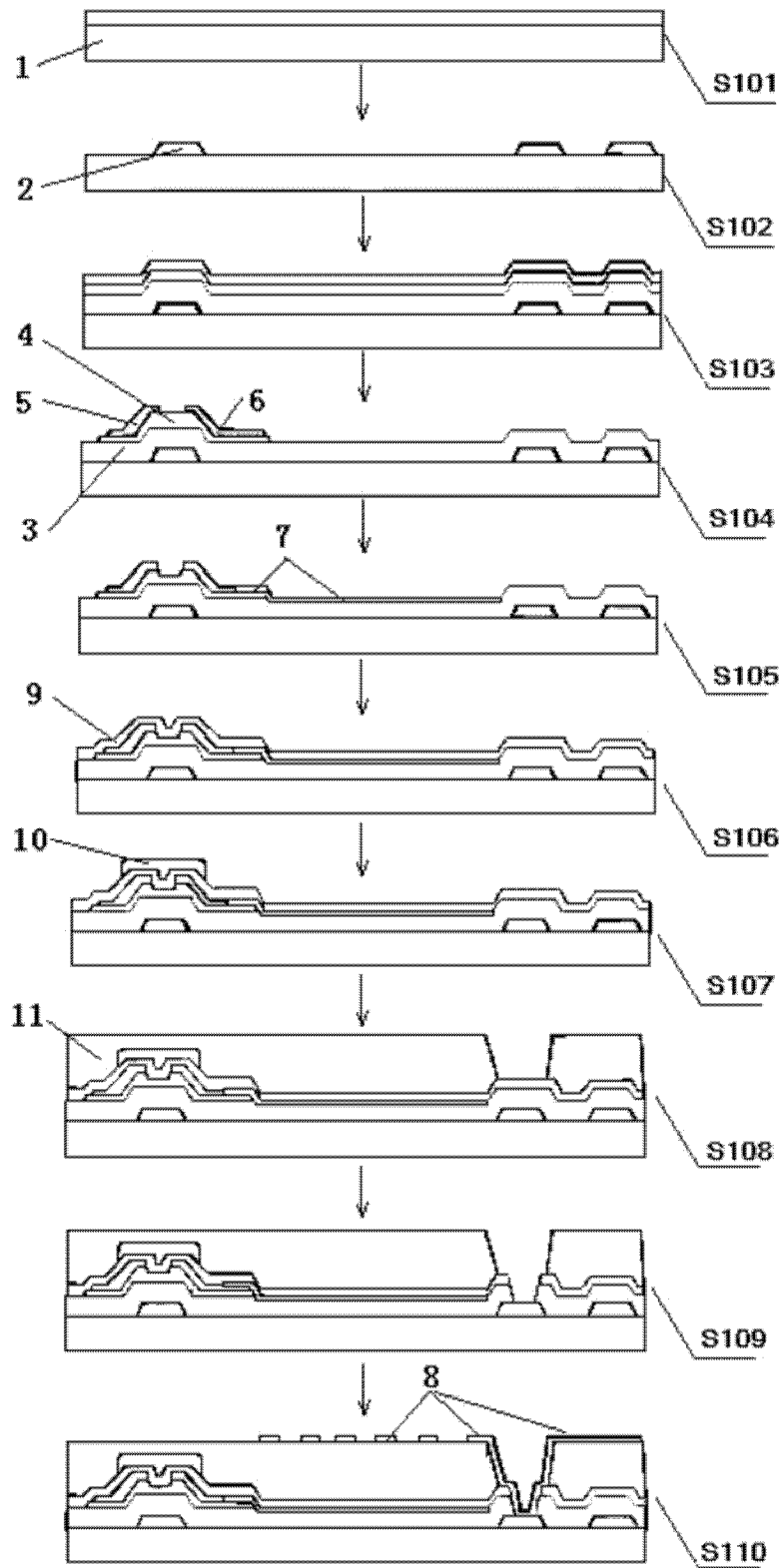


图 4

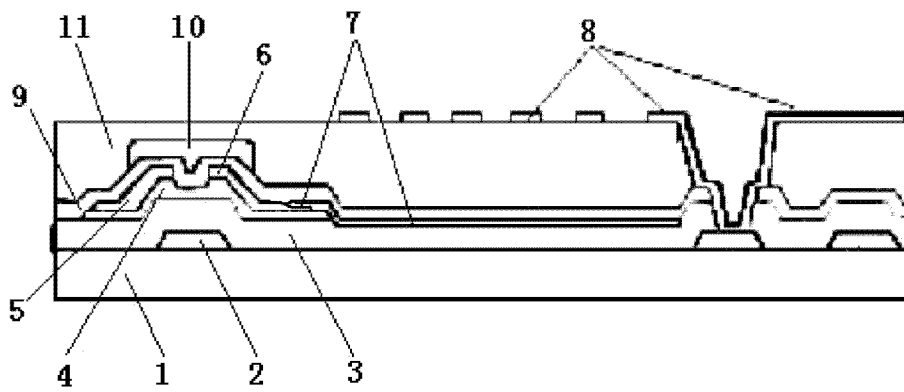


图 5

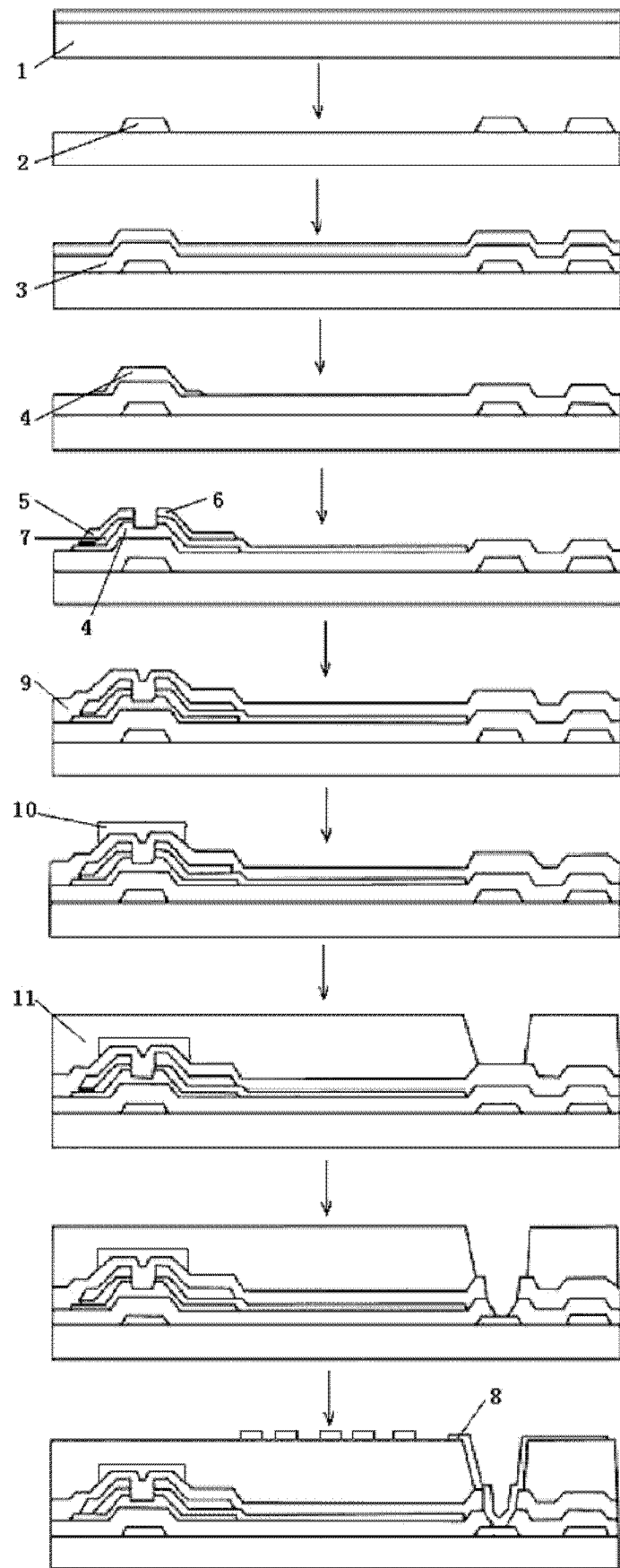


图 6

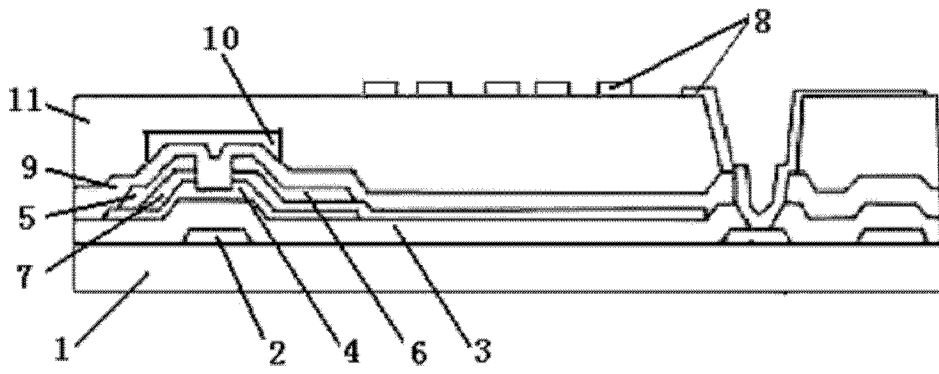


图 7