

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5990929号
(P5990929)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int.Cl.		F I			
HO 4 R	17/00	(2006.01)	HO 4 R	17/00	3 3 2 A
A 6 1 B	8/00	(2006.01)	A 6 1 B	8/00	
GO 1 N	29/24	(2006.01)	HO 4 R	17/00	3 3 0 H
HO 1 L	41/09	(2006.01)	GO 1 N	29/24	
			HO 1 L	41/08	C

請求項の数 18 (全 17 頁)

(21) 出願番号 特願2012-38401 (P2012-38401)
 (22) 出願日 平成24年2月24日(2012.2.24)
 (65) 公開番号 特開2013-175878 (P2013-175878A)
 (43) 公開日 平成25年9月5日(2013.9.5)
 審査請求日 平成27年2月24日(2015.2.24)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 西脇 学
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 武田 裕司

最終頁に続く

(54) 【発明の名称】 超音波トランスデューサー装置およびプローブ並びに電子機器および超音波診断装置

(57) 【特許請求の範囲】

【請求項1】

複数の開口がアレイ状に配置された基板と、
 前記複数の開口に設けられ、行方向及び列方向に配列される超音波トランスデューサー素子と、
 前記超音波トランスデューサー素子が設けられる前記基板の第1面とは反対側の前記基板の第2面に対向配置され、第1配線を有する配線基板と、
 前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第1配線を相互に電氣的に接続する第2配線を有する配線部材と、
 を備え、
 前記基板は、
前記行方向に並ぶ前記超音波トランスデューサー素子に共通に延びて、前記行方向に並ぶ前記超音波トランスデューサー素子に接続される1本の第1電極と、
前記第1電極の両端にそれぞれ個別に接続される第1電極端子と、
前記列方向に並ぶ前記超音波トランスデューサー素子に共通に延びて、前記列方向に並ぶ前記超音波トランスデューサー素子に接続される1本の第2電極と、
前記第2電極の両端にそれぞれ個別に接続される第2電極端子と、
 を備えることを特徴とする超音波トランスデューサー装置。

【請求項2】

請求項1に記載の超音波トランスデューサー装置において、前記第1配線に接続される

集積回路をさらに備え、前記集積回路は、前記超音波トランスデューサー素子に接続される導電線の本数よりも少ない本数の信号処理側の入出力端子を有することを特徴とする超音波トランスデューサー装置。

【請求項 3】

請求項 2 に記載の超音波トランスデューサー装置において、前記集積回路はマルチプレクサーを含むことを特徴とする超音波トランスデューサー装置。

【請求項 4】

請求項 2 または 3 に記載の超音波トランスデューサー装置において、前記基板と対向する前記配線基板の第 1 面とは反対側の前記配線基板の第 2 面に形成されて、前記集積回路に接続される外部接続端子をさらに備えることを特徴とする超音波トランスデューサー装置。

10

【請求項 5】

請求項 4 に記載の超音波トランスデューサー装置において、前記集積回路は、前記配線基板の前記第 2 面に実装される集積回路チップを含むことを特徴とする超音波トランスデューサー装置。

【請求項 6】

請求項 4 に記載の超音波トランスデューサー装置において、前記集積回路は、前記配線基板の前記第 2 面に形成されるモノリシック集積回路を含むことを特徴とする超音波トランスデューサー装置。

【請求項 7】

請求項 4 に記載の超音波トランスデューサー装置において、前記配線部材は、前記第 2 配線を含む導電線を有するフレキシブルプリント基板であり、前記集積回路は、前記フレキシブルプリント基板に実装され、かつ前記導電線に接続されている集積回路チップを含むことを特徴とする超音波トランスデューサー装置。

20

【請求項 8】

請求項 2 または 3 に記載の超音波トランスデューサー装置において、前記基板と対向する前記配線基板の第 1 面に形成されて、前記集積回路に接続される外部接続端子をさらに備えることを特徴とする超音波トランスデューサー装置。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の超音波トランスデューサー装置において、前記配線基板は、前記基板に重ねられる板材から形成され、前記開口同士の間の壁は少なくとも部分的に前記配線基板に固着されることを特徴とする超音波トランスデューサー装置。

30

【請求項 10】

請求項 1 に記載の超音波トランスデューサー装置において、前記第 1 配線に接続される集積回路をさらに備え、前記集積回路は、前記超音波トランスデューサー素子に接続されるパルサーを含むことを特徴とする超音波トランスデューサー装置。

【請求項 11】

請求項 10 に記載の超音波トランスデューサー装置において、前記集積回路は、前記超音波トランスデューサー素子に接続されるアナログデジタル変換器をさらに含むことを特徴とする超音波トランスデューサー装置。

40

【請求項 12】

請求項 1 に記載の超音波トランスデューサー装置において、前記基板と対向する前記配線基板の第 1 面とは反対側の前記配線基板の第 2 面に形成されて、前記第 1 配線に接続される外部接続端子をさらに備えることを特徴とする超音波トランスデューサー装置。

【請求項 13】

請求項 1 に記載の超音波トランスデューサー装置において、前記基板と対向する前記配線基板の第 1 面に形成されて、前記第 1 配線に接続される外部接続端子をさらに備えることを特徴とする超音波トランスデューサー装置。

【請求項 14】

50

請求項 1 ~ 13 のいずれか 1 項に記載の超音波トランスデューサー装置と、前記超音波トランスデューサー装置を支持する筐体とを備えることを特徴とするプローブ。

【請求項 15】

請求項 14 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることを特徴とする電子機器。

【請求項 16】

請求項 14 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることを特徴とする超音波診断装置。

【請求項 17】

複数の開口がアレイ状に配置された基板と、
前記開口に設けられる超音波トランスデューサー素子と、
前記超音波トランスデューサー素子が設けられる前記基板の第 1 面とは反対側の前記基板の第 2 面に対向配置され、第 1 配線を有する配線基板と、
前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第 1 配線を相互に電氣的に接続する第 2 配線を有する配線部材と、を備える超音波トランスデューサー装置を含み、

前記基板は、

前記行方向に並び前記超音波トランスデューサー素子に共通に延びて、前記行方向に並び前記超音波トランスデューサー素子に接続される 1 本の第 1 電極と、

前記第 1 電極の両端にそれぞれ個別に接続される第 1 電極端子と、

前記列方向に並び前記超音波トランスデューサー素子に共通に延びて、前記列方向に並び前記超音波トランスデューサー素子に接続される 1 本の第 2 電極と、

前記第 2 電極の両端にそれぞれ個別に接続される第 2 電極端子と、

を備えることを特徴とする電子機器。

【請求項 18】

複数の開口がアレイ状に配置された基板と、
前記開口に設けられる超音波トランスデューサー素子と、
前記超音波トランスデューサー素子が設けられる前記基板の第 1 面とは反対側の前記基板の第 2 面に対向配置され、第 1 配線を有する配線基板と、
前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第 1 配線を相互に電氣的に接続する第 2 配線を有する配線部材と、を備える超音波トランスデューサー装置を含み、

前記基板は、

前記行方向に並び前記超音波トランスデューサー素子に共通に延びて、前記行方向に並び前記超音波トランスデューサー素子に接続される 1 本の第 1 電極と、

前記第 1 電極の両端にそれぞれ個別に接続される第 1 電極端子と、

前記列方向に並び前記超音波トランスデューサー素子に共通に延びて、前記列方向に並び前記超音波トランスデューサー素子に接続される 1 本の第 2 電極と、

前記第 2 電極の両端にそれぞれ個別に接続される第 2 電極端子と、

を備えることを特徴とする超音波診断装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ状に配置された開口を有する基板と、個々の開口に設けられる超音波トランスデューサー素子とを備える超音波トランスデューサー装置、および、それを利用したプローブ、並びに、そういったプローブを利用した電子機器および超音波診断装置等に関する。

【背景技術】

10

20

30

40

50

【0002】

例えば特許文献1に開示されるように、超音波トランスデューサー素子チップは基板を備える。基板には複数の開口が形成される。個々の開口に超音波トランスデューサー素子が設けられる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-82624号公報

【特許文献2】特開2011-56258号公報

【特許文献3】特開2006-122188号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献2はバルク型の超音波トランスデューサー素子を開示する。バルク型の超音波トランスデューサー素子では基板に開口は形成されない。基板は板厚に形成されることができる。基板の強度は十分に確保されることができる。基板上で集積回路は構築されることができる。

【0005】

その一方で、前述のように、超音波トランスデューサー素子チップの構成にあたって基板に複数の開口が形成されると、基板の強度は低下する。特に、開口の形成にエッチング処理が利用されることから、基板の厚みは縮小されることが望まれる。基板の薄型化は基板の強度の低下をさらに誘引する。こうした基板に対して集積回路の形成はこれまでのところ提案されていない。

20

【0006】

本発明の少なくとも1つの態様によれば、集積回路の接続にあたって確実に薄型化されることができる超音波トランスデューサー素子チップは提供されることができる。

【課題を解決するための手段】

【0007】

(1)本発明の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子が設けられる前記基板の第1面とは反対側の前記基板の第2面に対向配置され、第1配線を有する配線基板と、前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第1配線を相互に電気的に接続する第2配線を有する配線部材とを備える超音波トランスデューサー装置に関する。

30

【0008】

こうして第2配線は基板および配線基板の外側に配置されることができる。基板と配線基板との間に接続端子の配置は省略されることができる。その結果、基板は配線基板に重ね合わせられることができる。基板および配線基板の距離は最大限に縮小される。したがって、集積回路の接続にあたって基板および配線基板の厚みは縮小される。しかも、基板が配線基板に重ね合わせられれば、基板の強度は補強されることができる。基板は確実に薄型化されることができる。こうして超音波トランスデューサー装置で薄型化は実現されることができる。

40

【0009】

(2)超音波トランスデューサー装置は、前記第1配線に接続される集積回路をさらに備えることができる。前記集積回路は、前記超音波トランスデューサー素子に接続される導電線の本数よりも少ない本数の信号処理側の入出力端子を有することができる。信号処理側の入出力端子の端子数は超音波トランスデューサー素子に接続される導電線の本数よりも減少する。その結果、超音波トランスデューサー装置に接続されるケーブルやコネクタのサイズは縮小されることができる。超音波トランスデューサー装置は従来に比べて狭小な空間に収容されることができる。

50

【0010】

(3) 前記集積回路はマルチプレクサーを含むことができる。マルチプレクサーは、超音波トランスデューサー素子に接続される導電線と、導電線の本数よりも少ない本数の信号処理側の入出力端子との間で接続関係を管理する。したがって、マルチプレクサーは、超音波トランスデューサー装置に接続されるケーブルやコネクタのサイズの縮小に大いに貢献する。

【0011】

(4) 超音波トランスデューサー装置は、前記基板と対向する前記配線基板の第1面とは反対側の前記配線基板の第2面に形成されて、前記集積回路に接続される外部接続端子をさらに備えることができる。こうして超音波トランスデューサー装置は1つのユニットとして取り扱われることができる。

10

【0012】

(5) 前記集積回路は、前記配線基板の前記第2面に実装される集積回路チップを含むことができる。集積回路チップは、基板を含む二次元平面に沿って広がらないことから、超音波トランスデューサー装置の小型化に貢献することができる。

【0013】

(6) 前記集積回路は、前記配線基板の前記第2面に形成されるモノリシック集積回路を含むことができる。モノリシック集積回路は配線基板の第2面に形成されることから超音波トランスデューサー装置の小型化に貢献することができる。

【0014】

(7) 超音波トランスデューサー装置は、前記配線部材は、前記第2配線を含む導電線を有するフレキシブルプリント基板であり、前記集積回路は、前記フレキシブルプリント基板に実装され、かつ前記導電線に接続されている集積回路チップを含むことができる。集積回路チップは、基板を含む二次元平面に沿って広がらないことから、超音波トランスデューサー装置の小型化に貢献することができる。

20

【0015】

(8) 超音波トランスデューサー装置は、前記基板と対向する前記配線基板の第1面に形成されて、前記集積回路に接続される外部接続端子をさらに備えることができる。こうして超音波トランスデューサー装置は1つのユニットとして取り扱われることができる。しかも、外部接続端子の形成作業、および、外部接続端子および第1配線の接続作業はいずれも配線基板の第1面で実施されることができ、製造工程の複雑化は回避されることができる。

30

【0016】

(9) 前記配線基板は、前記基板に重ねられる板材から形成され、前記開口同士の間壁は少なくとも部分的に前記配線基板に固着されることができる。開口同士の間壁の剛性は高められることができる。その結果、壁の振動(残響振動)は抑制されることができる。超音波トランスデューサー素子の振動特性は安定化することができる。

【0017】

(10) 超音波トランスデューサー装置は、前記第1配線に接続される集積回路をさらに備えることができる。前記集積回路は、前記超音波トランスデューサー素子に接続されるパルサーを含むことができる。超音波トランスデューサー素子とパルサーとの間で距離は短縮される。したがって、超音波トランスデューサー素子に供給される共振信号のS/N比は高められることができる。

40

【0018】

(11) 前記集積回路は、前記超音波トランスデューサー素子に接続されるアナログデジタル変換器をさらに含むことができる。超音波トランスデューサー素子とアナログデジタル変換器との間で距離は短縮される。したがって、超音波トランスデューサー素子から出力される検出信号のS/N比は高められることができる。

【0019】

(12) 超音波トランスデューサー装置は、前記基板と対向する前記配線基板の第1面

50

とは反対側の前記配線基板の第2面に形成されて、前記第1配線に接続される外部接続端子をさらに備えることができる。こうして超音波トランスデューサー装置は1つのユニットとして取り扱われることができる。

【0020】

(13) 超音波トランスデューサー装置は、前記基板と対向する前記配線基板の第1面に形成されて、前記第1配線に接続される外部接続端子をさらに備えることができる。こうして超音波トランスデューサー装置は1つのユニットとして取り扱われることができる。しかも、外部接続端子の形成作業、および、外部接続端子および第1配線の接続作業はいずれも配線基板の第1面で実施されることができ、製造工程の複雑化は回避されることができる。

10

【0021】

(14) 超音波トランスデューサー装置は、前記基板に形成されて、前記配列の行方向に並ぶ素子に共通に延びる1本の電極と、前記基板に形成されて、前記電極の両端にそれぞれ個別に接続される電極端子とを備えることができる。電極には両端の接続端子から信号が入力される。したがって、電圧降下の影響はできるだけ低減されることができる。

【0022】

(15) 超音波トランスデューサー装置は、前記基板に形成されて、前記配列の列方向に並ぶ素子に共通に延びる1本の第2電極と、前記基板に形成されて、前記第2電極の両端にそれぞれ個別に接続される第2電極端子とを備えることができる。電極には両端の接続端子から信号が入力される。したがって、電圧降下の影響はできるだけ低減されることができる。

20

【0023】

(16) 超音波トランスデューサー装置はプローブで利用されることができる。プローブは、超音波トランスデューサー装置と、前記超音波トランスデューサー装置を支持する筐体とを備えることができる。

【0024】

(17) プローブは電子機器で利用されることができる。電子機器は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることができる。

【0025】

(18) プローブは超音波診断装置で利用されることができる。超音波診断装置は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることができる。

30

【0026】

(19) 本発明の他の態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子が設けられる前記基板の第1面とは反対側の前記基板の第2面に対向配置され、第1配線を有する配線基板と、前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第1配線を相互に電氣的に接続する第2配線を有する配線部材と、を備える超音波トランスデューサー装置を含む電子機器に関する。

40

【0027】

(20) 本発明のさらに他の態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子が設けられる前記基板の第1面とは反対側の前記基板の第2面に対向配置され、第1配線を有する配線基板と、前記基板および前記配線基板に接続されて、前記超音波トランスデューサー素子および前記第1配線を相互に電氣的に接続する第2配線を有する配線部材と、を備える超音波トランスデューサー装置を含む超音波診断装置に関する。

【図面の簡単な説明】

【0028】

【図1】一実施形態に係る電子機器の一具体例すなわち超音波診断装置を概略的に示す外

50

観図である。

【図2】超音波プローブの拡大正面図である。

【図3】超音波トランスデューサー素子チップユニットの拡大平面図である。

【図4】図3の4-4線に沿った断面図である。

【図5】図4に対応し、変形例に係る超音波トランスデューサー素子チップユニットの拡大断面図である。

【図6】超音波診断装置の回路構成を概略的に示すブロック図である。

【図7】図3に対応し、第2実施形態に係る超音波トランスデューサー素子チップユニットの断面図である。

【図8】図3に対応し、第3実施形態に係る超音波トランスデューサー素子チップユニットの断面図である。

10

【図9】図3に対応し、第4実施形態に係る超音波トランスデューサー素子チップユニットの断面図である。

【発明を実施するための形態】

【0029】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0030】

(1) 超音波診断装置の全体構成

20

図1は本発明の一実施形態に係る電子機器の一具体例すなわち超音波診断装置(超音波検出装置)11の構成を概略的に示す。超音波診断装置11は装置端末12と超音波プローブ(プローブ)13とを備える。装置端末12と超音波プローブ13とはケーブル14で相互に接続される。装置端末12と超音波プローブ13とはケーブル14を通じて電気信号をやりとりする。装置端末12にはディスプレイパネル(表示装置)15が組み込まれる。ディスプレイパネル15の画面は装置端末12の表面で露出する。装置端末12では、後述されるように、超音波プローブ13で検出された超音波に基づき画像が生成される。画像化された検出結果がディスプレイパネル15の画面に表示される。

【0031】

図2に示されるように、超音波プローブ13は筐体16を有する。筐体16内には超音波トランスデューサー素子チップユニット(以下「チップユニット」という)17が収容される。チップユニット17は超音波トランスデューサー素子チップ(以下「素子チップ」という)18を備える。素子チップ18の表面は筐体16の表面で露出することができる。素子チップ18は表面から超音波を出力するとともに超音波の反射波を受信する。

30

【0032】

図3は素子チップ18の平面図を概略的に示す。素子チップ18は基板21を備える。基板21の表面(第1面)には素子アレイ22が形成される。素子アレイ22はアレイ状に配置された超音波トランスデューサー素子(以下「素子」という)23で構成される。アレイは複数行複数列のマトリクスで形成される。その他、アレイでは千鳥配置が確立されてもよい。千鳥配置では偶数列の素子23群は奇数列の素子23群に対して行ピッチの2分の1でずらされればよい。奇数列および偶数列の一方の素子数は他方の素子数に比べて1つ少なくてもよい。個々の素子23は圧電素子部を備える。圧電素子部は下部電極24、上部電極25および圧電体膜26で構成される。個々の素子23ごとに下部電極24および上部電極25の間に圧電体膜26が挟み込まれる。

40

【0033】

下部電極24は複数本の第1導電体(電極)24aを有する。第1導電体24aは配列の行方向に相互に平行に延びる。1行の素子23ごとに1本の第1導電体24aが割り当てられる。1本の第1導電体24aは配列の行方向に並ぶ素子23の圧電体膜26に共通に配置される。第1導電体24aの両端は1対の引き出し配線27にそれぞれ接続される。引き出し配線27は配列の列方向に相互に平行に延びる。したがって、全ての第1導電

50

体 2 4 a は同一長さを有する。こうしてマトリクス全体の素子 2 3 に共通に下部電極 2 4 は接続される。

【 0 0 3 4 】

上部電極 2 5 は複数本の第 2 導電体 (第 2 電極) 2 5 a を有する。第 2 導電体 2 5 a は配列の列方向に相互に平行に延びる。1 列の素子 2 3 ごとに 1 本の第 2 導電体 2 5 a が割り当てられる。1 本の第 2 導電体 2 5 a は配列の列方向に並ぶ素子 2 3 の圧電体膜 2 6 に共通に配置される。列ごとに素子 2 3 の通電は切り替えられる。こうした通電の切り替えに応じてラインスキャンやセクタースキャンは実現される。1 列の素子 2 3 は同時に超音波を出力することから、1 列の個数すなわち配列の行数は超音波の出力レベルに応じて決定されることができる。行数は例えば 1 0 ~ 1 5 行程度に設定されればよい。図中では省略されて 5 行が描かれる。配列の列数はスキャンの範囲の広がりに応じて決定されることができる。列数は例えば 1 2 8 列や 2 5 6 列に設定されればよい。図中では省略されて 8 列が描かれる。

10

【 0 0 3 5 】

基板 2 1 の輪郭は、相互に平行な 1 対の直線 2 9 で仕切られて対向する第 1 辺 2 1 a および第 2 辺 2 1 b を有する。素子アレイ 2 2 の外周と基板 2 1 の輪郭との間に広がる周縁領域 3 1 には、第 1 辺 2 1 a に沿って第 1 辺 2 1 a に平行に 1 ラインの第 1 端子アレイ 3 2 a が形成され、第 2 辺 2 1 b に沿って第 2 辺 2 1 b に平行に 1 ラインの第 2 端子アレイ 3 2 b が形成される。第 1 端子アレイ 3 2 a は 1 対の下部電極端子 3 3 および複数の上部電極端子 3 4 で構成される。同様に、第 2 端子アレイ 3 2 b は 1 対の下部電極端子 3 5 および複数の上部電極端子 3 6 で構成される。1 本の引き出し配線 2 7 の両端にそれぞれ下部電極端子 3 3、3 5 は接続される。引き出し配線 2 7 および下部電極端子 3 3、3 5 は素子アレイ 2 2 を二等分する垂直面で対称に形成されればよい。1 本の第 2 導電体 2 5 a の両端にそれぞれ上部電極端子 3 4、3 6 は接続される。第 2 導電体 2 5 a および上部電極端子 3 4、3 6 は素子アレイ 2 2 を二等分する垂直面で対称に形成されればよい。ここでは、基板 2 1 の輪郭は矩形に形成される。基板 2 1 の輪郭は正方形であってもよく台形であってもよい。

20

【 0 0 3 6 】

チップユニット 1 7 は第 1 フレキシブルプリント基板 (以下「第 1 フレキ」という) 3 7 および第 2 フレキシブルプリント基板 (以下「第 2 フレキ」という) 4 1 を備える。第 1 フレキ 3 7 は基板 2 1 に連結される。連結にあたって第 1 フレキ 3 7 は第 1 端子アレイ 3 2 a に覆い被さる。第 1 フレキ 3 7 の第 1 端 3 7 a には下部電極端子 3 3 および上部電極端子 3 4 に個別に対応して導電線すなわち第 1 信号線 (第 2 配線) 3 8 が形成される。第 1 信号線 3 8 は下部電極端子 3 3 および上部電極端子 3 4 に個別に向き合わせられ個別に接合される。同様に、第 2 フレキ 4 1 は基板 2 1 に連結される。連結にあたって第 2 フレキ 4 1 は第 2 端子アレイ 3 2 b に覆い被さる。第 2 フレキ 4 1 の第 1 端 4 1 a には下部電極端子 3 5 および上部電極端子 3 6 に個別に対応して導電線すなわち第 2 信号線 (第 2 配線) 4 2 が形成される。第 2 信号線 4 2 は下部電極端子 3 5 および上部電極端子 3 6 に個別に向き合わせられ個別に接合される。

30

【 0 0 3 7 】

図 4 に示されるように、個々の素子 2 3 は振動膜 4 3 を有する。振動膜 4 3 の構築にあたって基板 2 1 の基体 4 4 には個々の素子 2 3 ごとに開口 4 5 が形成される。開口 4 5 は基体 4 4 に対してアレイ状に配置される。基体 4 4 の表面には可撓膜 4 6 が一面に形成される。可撓膜 4 6 は、基体 4 4 の表面に積層される酸化シリコン (SiO_2) 層 4 7 と、酸化シリコン層 4 7 の表面に積層される酸化ジルコニウム (ZrO_2) 層 4 8 とで構成される。可撓膜 4 6 は開口 4 5 に接する。こうして開口 4 5 の輪郭に対応して可撓膜 4 6 の一部が振動膜 4 3 として機能する。酸化シリコン層 4 7 の膜厚は共振周波数に基づき決定されることができる。開口 4 5 の輪郭で素子 2 3 の輪郭は規定される。開口 4 5 のアレイの輪郭で素子アレイ 2 2 の輪郭は規定されることができる。

40

【 0 0 3 8 】

50

振動膜 4 3 の表面に下部電極 2 4、圧電体膜 2 6 および上部電極 2 5 が順番に積層される。下部電極 2 4 には例えばチタン (Ti)、イリジウム (Ir)、白金 (Pt) およびチタン (Ti) の積層膜が用いられることができる。圧電体膜 2 6 は例えばジルコン酸チタン酸鉛 (PZT) で形成されることができる。上部電極 2 5 は例えばイリジウム (Ir) で形成されることができる。下部電極 2 4 および上部電極 2 5 にはその他の導電材が利用されてもよく、圧電体膜 2 6 にはその他の圧電材料が用いられてもよい。ここでは、上部電極 2 5 の下で圧電体膜 2 6 は完全に下部電極 2 4 を覆う。圧電体膜 2 6 の働きで上部電極 2 5 と下部電極 2 4 との間で短絡は回避されることができる。

【 0 0 3 9 】

基板 2 1 の表面には保護膜 4 9 が積層される。保護膜 4 9 は例えば全面にわたって基板 2 1 の表面に覆い被さる。その結果、素子アレイ 2 2 や第 1 および第 2 端子アレイ 3 2 a、3 2 b、第 1 および第 2 フレキ 3 7、4 1 の第 1 端 3 7 a、4 1 a は保護膜 4 9 で覆われる。保護膜 4 9 には例えばシリコン樹脂膜が用いられることができる。保護膜 4 9 は、素子アレイ 2 2 の構造や、第 1 端子アレイ 3 2 a および第 1 フレキ 3 7 の接合、第 2 端子アレイ 3 2 b および第 2 フレキ 4 1 の接合を保護する。

10

【 0 0 4 0 】

隣接する開口 4 5 同士の間には仕切り壁 5 1 が区画される。開口 4 5 同士は仕切り壁 5 1 で仕切られる。開口 4 5 同士の間隔は仕切り壁 5 1 の厚み t に相当する。開口 4 5 の深さは仕切り壁 5 1 の高さ H に相当する。仕切り壁 5 1 の厚み t が縮小されれば、振動膜 4 3 の配置密度は高められる。素子チップ 1 8 の小型化に寄与することができる。厚み t に比べて仕切り壁 5 1 の高さ H が大きければ、素子チップ 1 8 の曲げ剛性は高められることができる。こうして開口 4 5 同士の間隔は開口 4 5 の深さよりも小さく設定される。

20

【 0 0 4 1 】

基板 2 1 の裏面 (第 2 面) には配線基板 5 2 が固定される。配線基板 5 2 の表面 (第 1 面) に基板 2 1 の裏面が重ねられる。配線基板 5 2 は基板 2 1 の裏面で開口 4 5 を塞ぐ。配線基板 5 2 はリジッドな基材を備えることができる。配線基板 5 2 は例えばシリコン基板から形成されることができる。基体 4 4 の板厚は例えば $100 \mu\text{m}$ 程度に設定され、配線基板 5 2 の板厚は例えば $100 \sim 150 \mu\text{m}$ 程度に設定される。ここでは、仕切り壁 5 1 は配線基板 5 2 に結合される。面同士で接合されればよい。

【 0 0 4 2 】

配線基板 5 2 の裏面 (第 2 面) には第 1 配線 5 4 が形成される。第 1 配線 5 4 は導電材の薄膜で構成されることができる。導電材には例えば銅といった金属材料が用いられることができる。薄膜は配線基板 5 2 の裏面に配線パターンを描くことができる。

30

【 0 0 4 3 】

配線基板 5 2 の裏面には集積回路 (IC) チップ 5 5 が実装される。集積回路チップ 5 5 は集積回路を構成する。集積回路は第 1 配線 5 4 に接続される。

【 0 0 4 4 】

配線基板 5 2 の裏面には外部接続端子 5 6 が形成される。外部接続端子 5 6 は第 1 配線 5 4 に接続される。外部接続端子 5 6 は例えばパッド形状の導電材で構成されることができる。導電材には例えば銅といった金属材料が用いられることができる。外部接続端子 5 6 に導電材のバンプ 5 7 が結合されてもよい。外部接続端子 5 6 は第 1 配線 5 4 経由で集積回路に接続される。ここでは、外部接続端子 5 6 にはケーブル 1 4 の信号線が結合される。その他、図 5 に示されるように、外部接続端子 5 6 に代えて配線基板 5 2 の裏面にはコネクタ 5 9 が設置されることができる。コネクタ 5 9 は第 1 配線 5 4 に接続される。コネクタ 5 9 は筐体 1 6 内で受け側のコネクタ (図示されず) に結合されることができる。受け側のコネクタにはケーブル 1 4 の一端が結合されることができる。

40

【 0 0 4 5 】

配線基板 5 2 には第 1 フレキ 3 7 および第 2 フレキ 4 1 がそれぞれ個別に支持される。支持にあたって第 1 フレキ 3 7 および第 2 フレキ 4 1 は配線基板 5 2 の裏面に連結される。配線基板 5 2 の裏面には中継端子 5 8 が形成される。中継端子 5 8 は第 1 配線 5 4 に接

50

続される。中継端子 5 8 には第 1 フレキ 3 7 の第 2 端 3 7 b および第 2 フレキ 4 1 の第 2 端 4 1 b がそれぞれ覆い被さる。中継端子 5 8 には第 1 信号線 3 8 および第 2 信号線 4 2 が個別に接続される。第 1 信号線 3 8 および第 2 信号線 4 2 は例えばはんだや導電接着剤で中継端子 5 8 に接合されることができる。こうして第 1 信号線 3 8 および第 2 信号線 4 2 は少なくとも基板 2 1 上の素子アレイ 2 2 および第 1 配線 5 4 の間で電氣的導通を確立する。

【 0 0 4 6 】

(2) 超音波診断装置の回路構成

図 6 に示されるように、集積回路はマルチプレクサー 6 1 および送受信回路 6 2 を備える。マルチプレクサー 6 1 は素子 2 3 側のポート群 6 1 a と信号処理側のポート群 6 1 b とを備える。素子 2 3 側のポート群 6 1 a には第 1 配線 5 4 経由で第 1 信号線 3 8 および第 2 信号線 4 2 が接続される。こうしてポート群 6 1 a は素子アレイ 2 2 に繋がる。ここでは、信号処理側のポート群 6 1 b には送受信回路 6 2 の規定数の信号線 6 3 が接続される。規定数はスキャンにあたって同時に出力される素子 2 3 の列数に相当する。マルチプレクサー 6 1 は素子 2 3 側のポートと信号処理側すなわちケーブル 1 4 側のポートとの間で相互接続を管理する。

10

【 0 0 4 7 】

送受信回路 6 2 は規定数の切り替えスイッチ 6 4 を備える。個々の切り替えスイッチ 6 4 はそれぞれ個別に対応の信号線 6 3 に接続される。送受信回路 6 2 は個々の切り替えスイッチ 6 4 ごとに送信経路 6 5 および受信経路 6 6 を備える。切り替えスイッチ 6 4 には送信経路 6 5 と受信経路 6 6 とが並列に接続される。切り替えスイッチ 6 4 はマルチプレクサー 6 1 に選択的に送信経路 6 5 または受信経路 6 6 を接続する。送信経路 6 5 にはパルサー 6 7 が組み込まれる。パルサー 6 7 は振動膜 4 3 の共振周波数に応じた周波数でパルス信号を出力する。受信経路 6 6 にはアンプ 6 8、ローパスフィルター (L P F) 6 9 およびアナログデジタル変換器 (A D C) 7 1 が組み込まれる。個々の素子 2 3 の検出信号は増幅されてデジタル信号に変換される。

20

【 0 0 4 8 】

送受信回路 6 2 は駆動 / 受信回路 7 2 を備える。送信経路 6 5 および受信経路 6 6 は駆動 / 受信回路 7 2 に接続される。駆動 / 受信回路 7 2 はスキャンの形態に応じて同時にパルサー 6 7 を制御する。駆動 / 受信回路 7 2 はスキャンの形態に応じて検出信号のデジタル信号を受信する。駆動 / 受信回路 7 2 は制御線 7 3 でマルチプレクサー 6 1 に接続される。マルチプレクサー 6 1 は駆動 / 受信回路 7 2 から供給される制御信号に基づき相互接続の管理を実施する。

30

【 0 0 4 9 】

装置端末 1 2 には処理回路 7 4 が組み込まれる。処理回路 7 4 は例えば中央演算処理装置 (C P U) やメモリーを備えることができる。超音波診断装置 1 1 の全体動作は処理回路 7 4 の処理に従って制御される。ユーザーから入力される指示に応じて処理回路 7 4 は駆動 / 受信回路 7 2 を制御する。処理回路 7 4 は素子 2 3 の検出信号に応じて画像を生成する。画像は描画データで特定される。

【 0 0 5 0 】

装置端末 1 2 には描画回路 7 5 が組み込まれる。描画回路 7 5 は処理回路 7 4 に接続される。描画回路 7 5 にはディスプレイパネル 1 5 が接続される。描画回路 7 5 は処理回路 7 4 で生成された描画データに応じて駆動信号を生成する。駆動信号はディスプレイパネル 1 5 に送り込まれる。その結果、ディスプレイパネル 1 5 に画像が映し出される。

40

【 0 0 5 1 】

(3) 超音波診断装置の動作

次に超音波診断装置 1 1 の動作を簡単に説明する。処理回路 7 4 は駆動 / 受信回路 7 2 に超音波の送信および受信を指示する。駆動 / 受信回路 7 2 はマルチプレクサー 6 1 に制御信号を供給するとともに個々のパルサー 6 7 に駆動信号を供給する。パルサー 6 7 は駆動信号の供給に応じてパルス信号を出力する。マルチプレクサー 6 1 は制御信号の指示に

50

従ってポート群 6 1 b のポートにポート群 6 1 a のポートを接続する。パルス信号はポートの選択に応じて下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 を通じて列ごとに素子 2 3 に供給される。パルス信号の供給に応じて振動膜 4 3 は振動する。その結果、対象物（例えば人体の内部）に向けて所望の超音波は発せられる。

【 0 0 5 2 】

超音波の送信後、切り替えスイッチ 6 4 は切り替えられる。マルチプレクサー 6 1 はポートの接続関係を維持する。切り替えスイッチ 6 4 は送信経路 6 5 および信号線 6 3 の接続に代えて受信経路 6 6 および信号線 6 3 の接続を確立する。超音波の反射波は振動膜 4 3 を振動させる。その結果、素子 2 3 から検出信号が出力される。検出信号はデジタル信号に変換されて駆動 / 受信回路 7 2 に送り込まれる。

10

【 0 0 5 3 】

超音波の送信および受信は繰り返される。繰り返しにあたってマルチプレクサー 6 1 はポートの接続関係を変更する。その結果、ラインスキャンやセクタスキャンは実現される。スキャンが完了すると、処理回路 7 4 は検出信号のデジタル信号に基づき画像を形成する。形成された画像はディスプレイパネル 1 5 の画面に表示される。

【 0 0 5 4 】

チップユニット 1 7 では基板 2 1 および配線基板 5 2 は第 1 フレキ 3 7 および第 2 フレキ 4 1 で電気的に接続される。第 1 フレキ 3 7 および第 2 フレキ 4 1 は基板 2 1 および配線基板 5 2 の外側に配置される。基板 2 1 と配線基板 5 2 との間に接続端子の配置は省略されることができる。その結果、基板 2 1 は配線基板 5 2 に重ね合わせられることができる。基板 2 1 および配線基板 5 2 の距離は最大限に縮小される。したがって、集積回路の接続にあたって基板 2 1 および配線基板 5 2 の厚みは縮小される。

20

【 0 0 5 5 】

素子チップ 1 8 では基板 2 1 の裏面に配線基板 5 2 が接合される。配線基板 5 2 は基板 2 1 の強度を補強する。基板 2 1 の板厚が例えば 1 0 0 μm 程度に設定されても、配線基板 5 2 は基板 2 1 の破損を防止することができる。その一方で、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合には、基板の板厚は 5 0 0 μm ~ 数 mm 程度に設定される。たとえ配線基板 5 2 が接合されても、素子チップ 1 8 の厚みは、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合に比べて確実に縮小されることができる。加えて、振動膜 4 3 の音響インピーダンスはバルク型の超音波トランスデューサー素子に比べて人体のそれに近いことから、素子チップ 1 8 ではバルク型の超音波トランスデューサー素子に比べて音響インピーダンスの整合層が省略されることができる。こういった整合層の省略は素子チップ 1 8 の薄型化にさらに寄与することができる。

30

【 0 0 5 6 】

さらに、素子チップ 1 8 では仕切り壁 5 1 は配線基板 5 2 に結合される。仕切り壁 5 1 の剛性は高められることができる。その結果、仕切り壁 5 1 の振動（残響振動）は抑制されることができる。素子 2 3 の振動特性は安定化することができる。その一方で、仕切り壁 5 1 の厚み t が高さ H より小さいと、断面のアスペクト比の関係で、仕切り壁 5 1 の曲げ剛性は素子チップ 1 8 の面内方向に弱まる。仕切り壁 5 1 が配線基板 5 2 に結合されないと、仕切り壁 5 1 は素子チップ 1 8 の面内方向に振動しやすい。いわゆるクロストークが発生してしまう。

40

【 0 0 5 7 】

素子チップ 1 8 には集積回路が組み込まれる。集積回路チップ 5 5 は、素子アレイ 2 2 に接続される導電線の本数すなわち下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 の個数よりも少ない本数の入出力端子で外部接続端子 5 6 に接続されることができる。集積回路チップ 5 5 の入出力端子の端子数は下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 の個数よりも減少する。その結果、素子チップ 1 8 に接続されるケーブル 1 4 やコネクタのサイズは縮小されることができる。素子チップ 1 8 は従来に比べて狭小な空間に収容されることができる。

50

【 0 0 5 8 】

特に、集積回路チップ 5 5 にはマルチプレクサー 6 1 が組み込まれる。マルチプレクサー 6 1 は、下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 に接続されるポート群 6 1 a と、下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 の個数よりも少ない本数の信号処理側のポート群 6 1 b との間で接続関係を管理する。したがって、マルチプレクサー 6 1 は、素子チップ 1 8 に接続されるケーブル 1 4 やコネクタのサイズの縮小に大いに貢献する。

【 0 0 5 9 】

加えて、集積回路チップ 5 5 にはパルサー 6 7 が組み込まれる。素子 2 3 とパルサー 6 7 との間で距離は短縮される。したがって、素子 2 3 に供給される共振信号の S / N 比は高められることができる。また、集積回路チップ 5 5 にはアナログデジタル変換器 7 1 がさらに組み込まれる。素子 2 3 とアナログデジタル変換器 7 1 との間で距離は短縮される。したがって、素子 3 3 から出力される検出信号の S / N 比は高められることができる。

【 0 0 6 0 】

素子チップ 1 8 では配線基板 5 2 の裏面に外部接続端子 5 6 が形成される。こうしてチップユニット 1 7 は 1 つのユニットとして取り扱われることができる。外部接続端子 5 6 で簡単に実装されることができる。しかも、外部接続端子 5 6 は基板 2 1 の裏側に引き回されることから、基板 2 1 を含む二次元平面に沿って配線基板 5 2 の広がりには抑制されることができる。チップユニット 1 7 の小型化に貢献することができる。

【 0 0 6 1 】

素子チップ 1 8 では下部電極 2 4 は第 1 導電体 2 4 a を有する。第 1 導電体 2 4 a の両端はそれぞれ引き出し配線 2 7 に接続される。引き出し配線 2 7 には下部電極端子 3 3、3 5 から共振信号が入力される。こうして第 1 導電体 2 4 a には両端から共振信号が供給されることから、電圧降下の影響はできるだけ低減されることができる。同様に、上部電極 2 5 は第 2 導電体 2 5 a を有する。第 2 導電体 2 5 a の両端はそれぞれ上部電極端子 3 4、3 6 に接続される。したがって、第 2 導電体 2 5 a には両端の上部電極端子 3 4、3 6 から共振信号が供給される。電圧降下の影響はできるだけ抑制されることができる。

【 0 0 6 2 】

(4) 第 2 実施形態に係るチップユニットの構成

図 7 は第 2 実施形態に係るチップユニット 1 7 の構成を概略的に示す。超音波診断装置 1 1 は前述の素子チップ 1 8 に代えて素子チップ 1 8 a を利用することができる。この第 2 実施形態では、第 1 実施形態の集積回路チップ 5 5 に代わって、配線基板 5 2 の裏面に形成されるモノリシック集積回路 8 1 で前述の集積回路が構成される。モノリシック集積回路 8 1 は配線基板 5 2 の裏面に形成されることから素子チップ 1 8 a の小型化に貢献することができる。他の構成は前述の第 1 実施形態と同様に構成されることができる。例えば図 7 では第 1 配線は図示されていないが、第 1 実施形態と同様に配線基板 5 2 の裏面に第 1 配線が形成され、モノリシック集積回路 8 1、外部接続端子 5 6、中継端子 5 8 が第 1 配線に接続される。その他、前述の第 1 実施形態と均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

【 0 0 6 3 】

(5) 第 3 実施形態に係るチップユニットの構成

図 8 は第 3 実施形態に係るチップユニット 1 7 の構成を概略的に示す。超音波診断装置 1 1 は前述の素子チップ 1 8 に代えて素子チップ 1 8 b を利用することができる。この第 3 実施形態では集積回路チップ 5 5 は第 1 フレキ 3 7 および(または)第 2 フレキ 4 1 に実装される。第 1 フレキ 3 7 上で集積回路チップ 5 5 は第 1 フレキ 3 7 の導電線に接続される。第 2 フレキ 4 1 上で集積回路チップ 5 5 は第 2 フレキ 4 1 の導電線に接続される。集積回路チップ 5 5 は、基板 2 1 を含む二次元平面に沿って広がらないことから、素子チップ 1 8 b の小型化に貢献することができる。他の構成は前述の第 1 実施形態および第 2 実施形態と同様に構成されることができる。例えば図 8 では第 1 配線は図示されていないが、第 1 実施形態と同様に配線基板 5 2 の裏面に第 1 配線が形成され、モノリシック集積

10

20

30

40

50

回路 8 1、外部接続端子 5 6、中継端子 5 8 が第 1 配線に接続される。その他、前述の第 1 および第 2 実施形態と均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

【 0 0 6 4 】

(6) 第 4 実施形態に係るチップユニットの構成

図 9 は第 4 実施形態に係るチップユニット 1 7 の構成を概略的に示す。超音波診断装置 1 1 は前述の素子チップ 1 8 に代えて素子チップ 1 8 c を利用することができる。この第 4 実施形態では前述の配線基板 5 2 に代えて配線基板 8 2 が用いられる。配線基板 8 2 は表面で基板 2 1 を受け止める。配線基板 8 2 の裏面は平面に形成される。配線基板 8 2 の表面に第 1 配線 8 3 が形成される。第 1 配線 8 3 の形成にあたって配線基板 8 2 は基板 2 1 の輪郭よりも外側に広がる。第 1 配線 8 3 は導電材の薄膜で構成されることができ、導電材には例えば銅といった金属材料が用いられることができる。薄膜は配線基板 8 2 の表面に配線パターンを描くことができる。

10

【 0 0 6 5 】

配線基板 8 2 には第 1 フレキ 3 7 および第 2 フレキ 4 1 がそれぞれ個別に支持される。支持にあたって第 1 フレキ 3 7 および第 2 フレキ 4 1 は配線基板 8 2 の表面に連結される。配線基板 8 2 の表面には中継端子 8 4 が形成される。中継端子 8 4 は第 1 配線 8 3 に繋がる。中継端子 8 4 には第 1 フレキ 3 7 の第 2 端 3 7 b および第 2 フレキ 4 1 の第 2 端 4 1 b がそれぞれ覆い被さる。中継端子 8 4 には第 1 信号線 3 8 および第 2 信号線 4 2 が個別に接続される。第 1 信号線 3 8 および第 2 信号線 4 2 は例えばはんだや導電接着剤で中継端子 8 4 に接合されることができ、こうして第 1 信号線 3 8 および第 2 信号線 4 2 は少なくとも基板 2 1 上の素子アレイ 2 2 および第 1 配線 8 3 の間で電氣的導通を確立する。配線基板 8 2 の表面には集積回路チップ 5 5 が実装される。集積回路は第 1 配線 8 3 に繋がる。

20

【 0 0 6 6 】

配線基板 8 2 の表面には外部接続端子 8 5 が形成される。外部接続端子 8 5 は第 1 配線 8 3 に接続される。外部接続端子 8 5 は例えばパッド形状の導電材で構成されることができ、導電材には例えば銅といった金属材料が用いられることができる。外部接続端子 8 5 は例えばワイヤーボンディング 8 6 でケーブル 1 4 の信号線に結合されることができ、外部接続端子 8 5 は第 1 配線 8 3 経由で集積回路に接続される。

30

【 0 0 6 7 】

こうした素子チップ 1 8 c の採用によれば、外部接続端子 8 5 の形成作業、および、外部接続端子 8 5 および第 1 配線 8 3 の接続作業はいずれも配線基板 8 2 の表面で実施されることができ、製造工程の複雑化は回避されることができ、他の構成は前述の第 1 ~ 第 3 実施形態と同様に構成されることができ、前述の第 1 ~ 第 3 実施形態と均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

【 0 0 6 8 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えられることができる。また、超音波診断装置 1 1、超音波プローブ 1 3、チップユニット 1 7、超音波トランスデューサー素子 2 3、集積回路、処理回路 7 4 等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。

40

【 符号の説明 】

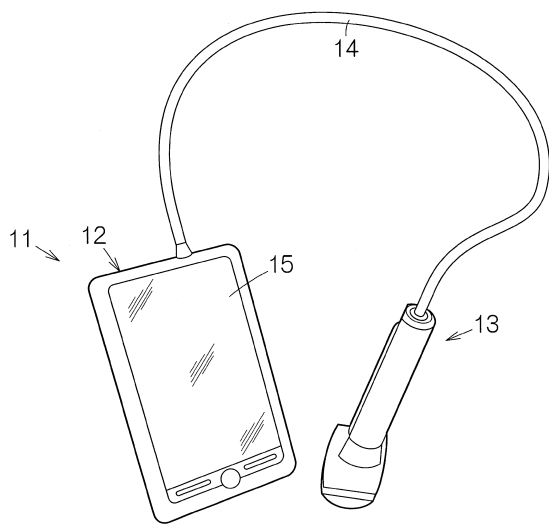
【 0 0 6 9 】

1 1 超音波診断装置 (電子機器)、1 3 プローブ (超音波プローブ)、1 6 筐体、1 7 超音波トランスデューサー装置 (超音波トランスデューサー素子チップユニット)、1 8 超音波トランスデューサー素子チップ、2 1 基板、2 3 超音波トランスデ

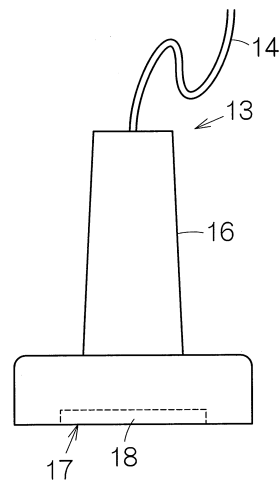
50

ユーザー素子、38 第2配線(第1信号線)、42 第2配線(第2信号線)、45 開口、52 配線基板、54 第1配線、55 集積回路(集積回路チップ)、56 外部接続端子、61 マルチプレクサー、67 パルサー、71 アナログデジタル変換器、74 処理回路、81 集積回路(モノリシック集積回路)、82 配線基板、83 第1配線、85 外部接続端子。

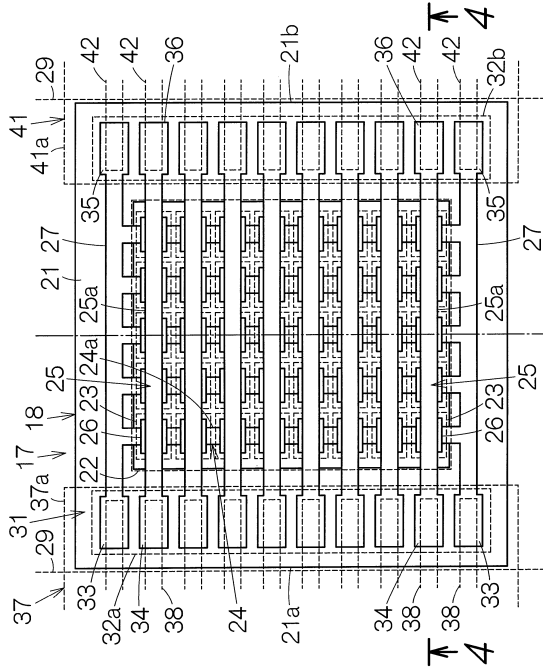
【図1】



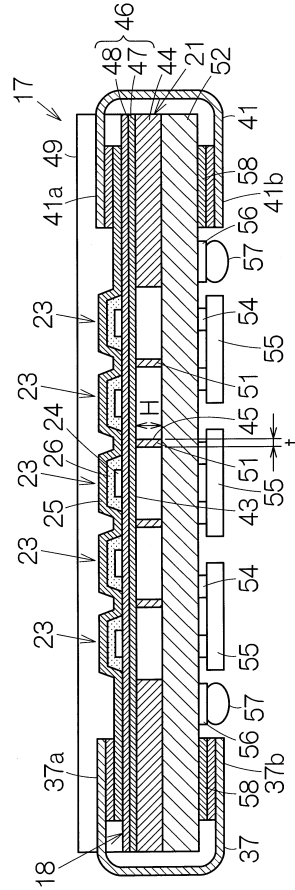
【図2】



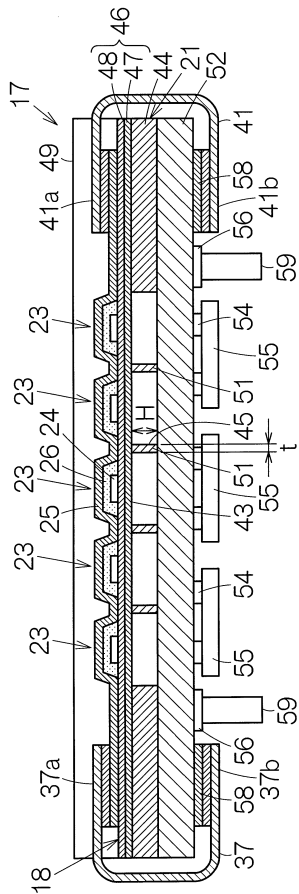
【図3】



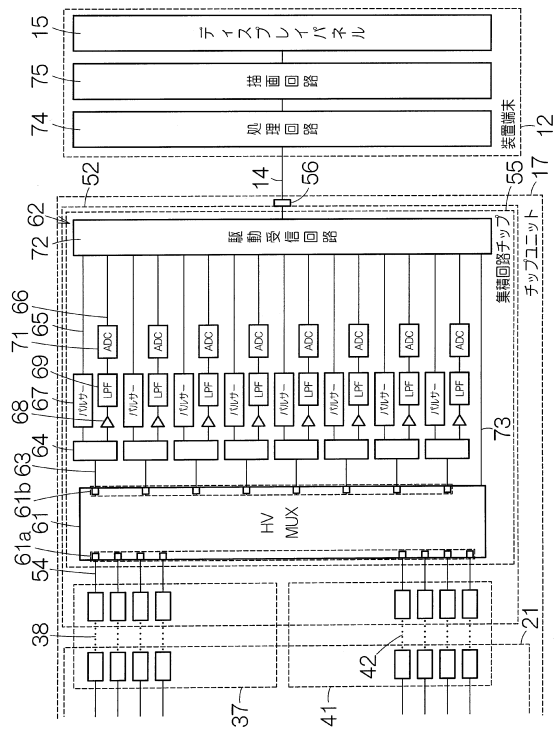
【図4】



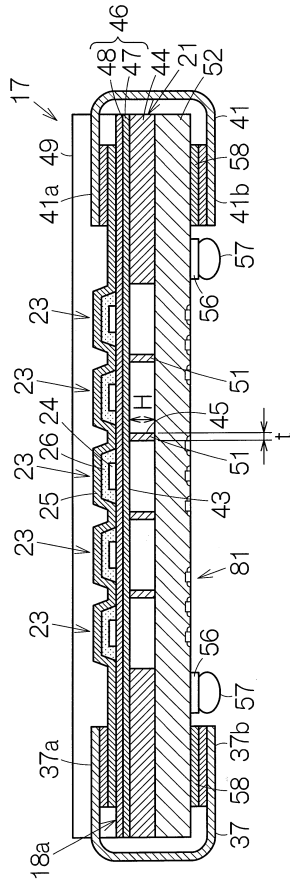
【図5】



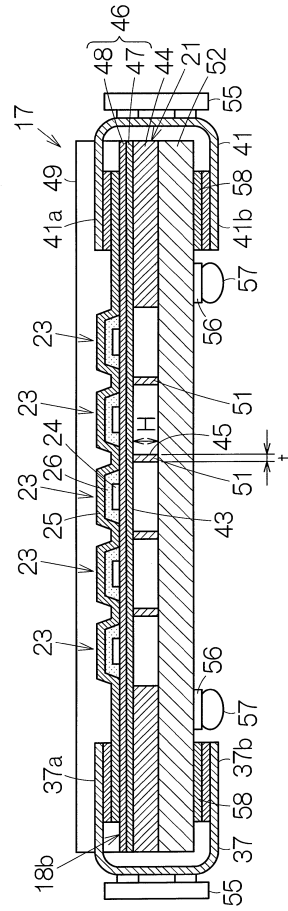
【図6】



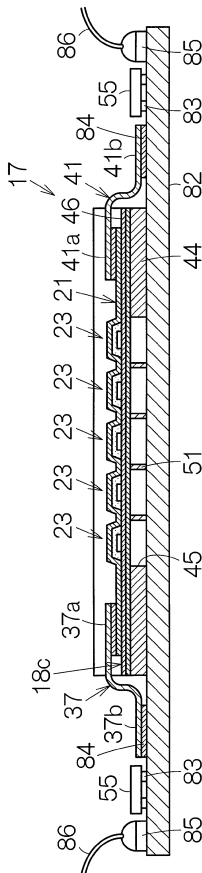
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(56)参考文献 国際公開第2011/139602(WO, A1)

実開平01-008978(JP, U)

特開2005-199067(JP, A)

特開2011-056258(JP, A)

特開2010-233224(JP, A)

特開2010-259678(JP, A)

特開2008-125043(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04R 17/00

A61B 8/00

G01N 29/24

H01L 41/09