



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0065069
(43) 공개일자 2023년05월11일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.) G09G 3/3225 (2016.01) G09G 3/3266 (2016.01) G09G 3/3275 (2016.01) H10K 59/00 (2023.01)</p> <p>(52) CPC특허분류 G09G 3/3225 (2013.01) G09G 3/3266 (2013.01)</p> <p>(21) 출원번호 10-2021-0150885 (22) 출원일자 2021년11월04일 심사청구일자 없음</p> | <p>(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자 김용호 경기도 파주시 월롱면 엘지로 245</p> <p>(74) 대리인 특허법인(유한)유일하이스트</p> |
|--|---|

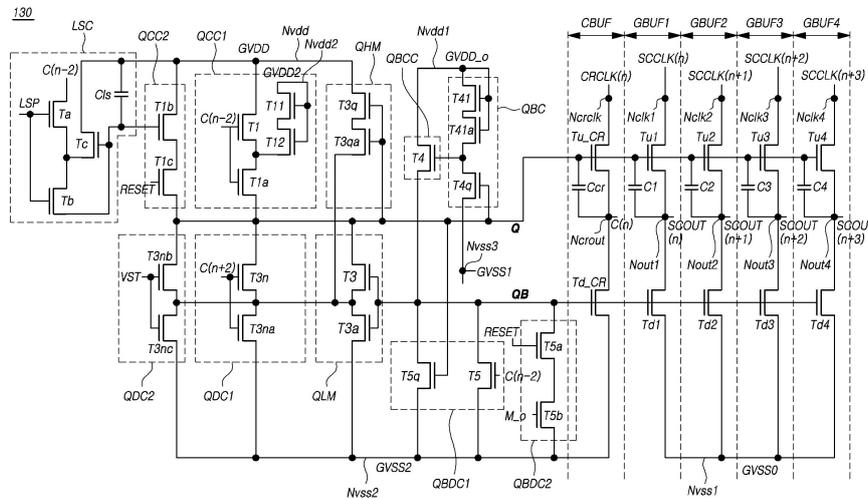
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 게이트 구동 회로 및 표시 장치

(57) 요약

본 개시의 실시예들은 제1 게이트 출력 버퍼 회로 및 제어 회로를 포함하는 게이트 구동 회로 및 이를 포함하는 표시 장치에 관한 것으로서, 제어 회로는 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결된 제1 트랜지스터, QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터, 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터, 제1 트랜지스터의 게이트 노드와 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터, 및 제1 트랜지스터의 게이트 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함하고, 2개의 제5 트랜지스터의 연결 노드는 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.

대표도



(52) CPC특허분류

G09G 3/3275 (2013.01)

H10K 59/131 (2023.02)

명세서

청구범위

청구항 1

제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로; 및

상기 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 상기 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함하고,

상기 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 상기 제1 풀-다운 트랜지스터는 상기 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결되고,

상기 제어 회로는,

제1 구동 전압 노드와 상기 QB 노드 사이에 연결된 제1 트랜지스터;

상기 QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터;

상기 2개의 제2 트랜지스터의 연결 노드와 상기 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터;

상기 제1 트랜지스터의 게이트 노드와 상기 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터; 및

상기 제1 트랜지스터의 게이트 노드와 상기 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함하고,

상기 2개의 제5 트랜지스터의 연결 노드는 상기 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되는 게이트 구동 회로.

청구항 2

제1항에 있어서,

상기 제3 트랜지스터의 드레인 노드 또는 소스 노드는 상기 제1 구동 전압 노드와 연결되고,

상기 제3 트랜지스터의 소스 노드 또는 드레인 노드는 상기 2개의 제2 트랜지스터의 연결 노드 및 상기 2개의 제5 트랜지스터의 연결 노드와 연결되는 게이트 구동 회로.

청구항 3

제1항에 있어서,

상기 2개의 제2 트랜지스터 각각의 게이트 노드는 상기 Q 노드와 연결되는 게이트 구동 회로.

청구항 4

제1항에 있어서,

상기 제3 트랜지스터의 게이트 노드는 상기 QB 노드와 연결되는 게이트 구동 회로.

청구항 5

제1항에 있어서,

상기 2개의 제5 트랜지스터 각각의 게이트 노드는 상기 Q 노드와 연결되는 게이트 구동 회로.

청구항 6

제1항에 있어서,

상기 제3 트랜지스터는 상기 2개의 제2 트랜지스터의 연결 노드와 상기 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함하는 게이트 구동 회로.

청구항 7

제1항에 있어서,

상기 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 상기 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨 전압보다 낮은 게이트 구동 회로.

청구항 8

제1항에 있어서,

제2 풀-업 트랜지스터 및 제2 풀-다운 트랜지스터를 포함하는 제2 게이트 출력 버퍼 회로를 더 포함하고,

상기 제2 풀-업 트랜지스터는 제2 클럭 신호 입력 노드와 제2 게이트 출력 노드 사이에 연결되고, 상기 제2 풀-다운 트랜지스터는 상기 제2 게이트 출력 노드와 상기 제1 로우 레벨 전압 노드 사이에 연결되고,

상기 제2 풀-업 트랜지스터의 게이트 노드는 상기 Q 노드에 연결되고, 상기 제2 풀-다운 트랜지스터의 게이트 노드는 상기 QB 노드에 연결되는 게이트 구동 회로.

청구항 9

제1항에 있어서,

캐리 풀-업 트랜지스터 및 캐리 풀-다운 트랜지스터를 포함하는 캐리 출력 버퍼 회로를 더 포함하고,

상기 캐리 풀-업 트랜지스터는 캐리 클럭 신호 입력 노드와 캐리 출력 노드 사이에 연결되고, 상기 캐리 풀-다운 트랜지스터는 상기 캐리 출력 노드와 상기 제2 로우 레벨 전압 노드 사이에 연결되고,

상기 캐리 풀-업 트랜지스터의 게이트 노드는 상기 Q 노드에 연결되고, 상기 캐리 풀-다운 트랜지스터의 게이트 노드는 상기 QB 노드에 연결되는 게이트 구동 회로.

청구항 10

제1항에 있어서,

상기 제어 회로는,

상기 제2 구동 전압 노드와 상기 Q 노드 사이에 연결되며 액티브 기간 동안 상기 Q 노드로 제2 구동 전압을 공급하기 위해 구성된 제1 Q 충전 회로; 및

상기 Q 노드와 상기 제2 로우 레벨 전압 노드 사이에 연결되며 상기 액티브 기간 동안 상기 Q 노드로 제2 로우 레벨 전압을 공급하기 위해 구성된 제1 Q 방전 회로를 더 포함하는 게이트 구동 회로.

청구항 11

제1항에 있어서,

상기 제어 회로는,

상기 제2 구동 전압 노드와 상기 Q 노드 사이에 연결되며 블랭크 기간 동안 상기 Q 노드로 제2 구동 전압을 공급하기 위해 구성된 제2 Q 충전 회로; 및

상기 Q 노드와 상기 제2 로우 레벨 전압 노드 사이에 연결되며 상기 블랭크 기간 동안 상기 Q 노드로 제2 로우 레벨 전압을 공급하기 위해 구성된 제2 Q 방전 회로를 더 포함하는 게이트 구동 회로.

청구항 12

제1항에 있어서,

상기 제어 회로는,

상기 제1 구동 전압 노드와 상기 QB 노드 사이에 연결되며 상기 QB 노드에 제1 구동 전압을 공급하기 위해 구성된 QB 충전 회로; 및

상기 QB 노드와 상기 제2 로우 레벨 전압 노드 사이에 연결되며 액티브 기간 동안 상기 QB 노드에 제2 로우 레벨 전압을 공급하기 위해 구성된 제1 QB 방전 회로를 더 포함하고,

상기 QB 충전 회로는 상기 제1 트랜지스터를 포함하고,

상기 제1 QB 방전 회로는 상기 2개의 제2 트랜지스터를 포함하는 게이트 구동 회로.

청구항 13

제12항에 있어서,

상기 제어 회로는,

상기 QB 노드와 상기 제2 로우 레벨 전압 노드 사이에 연결되며, 블랭크 기간 동안 상기 QB 노드에 제2 로우 레벨 전압을 공급하기 위해 구성된 제2 QB 방전 회로를 더 포함하는 게이트 구동 회로.

청구항 14

다수의 게이트 라인을 포함하는 표시 패널; 및

상기 다수의 게이트 라인을 구동하는 게이트 구동 회로를 포함하고,

상기 게이트 구동 회로는,

제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로; 및

상기 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 상기 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함하고,

상기 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 상기 제1 풀-다운 트랜지스터는 상기 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결되고,

상기 제어 회로는

제1 구동 전압 노드와 상기 QB 노드 사이에 연결된 제1 트랜지스터;

상기 QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터;

상기 2개의 제2 트랜지스터의 연결 노드와 상기 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터;

상기 제1 트랜지스터의 게이트 노드와 상기 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터; 및

상기 제1 트랜지스터의 게이트 노드와 상기 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함하는 표시 장치.

청구항 15

제14항에 있어서,

상기 제3 트랜지스터의 드레인 노드 또는 소스 노드는 상기 제1 구동 전압 노드와 연결되고,

상기 제3 트랜지스터의 소스 노드 또는 드레인 노드는 상기 2개의 제2 트랜지스터의 연결 노드 및 상기 2개의 제5 트랜지스터의 연결 노드와 연결되는 표시 장치.

청구항 16

제14항에 있어서,

상기 2개의 제2 트랜지스터 각각의 게이트 노드는 상기 Q 노드와 연결되는 표시 장치.

청구항 17

제14항에 있어서,

상기 제3 트랜지스터의 게이트 노드는 상기 QB 노드와 연결되는 표시 장치.

청구항 18

제14항에 있어서,

상기 2개의 제5 트랜지스터 각각의 게이트 노드는 상기 Q 노드와 연결되는 표시 장치.

청구항 19

제14항에 있어서,

상기 제3 트랜지스터는 상기 2개의 제2 트랜지스터의 연결 노드와 상기 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함하는 표시 장치.

청구항 20

제14항에 있어서,

상기 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 상기 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨 전압보다 낮은 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시의 실시예들은 게이트 구동 회로 및 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있으며,

근래에는 액정 표시 장치, 유기 발광 표시 장치 등과 같은 다양한 표시 장치가 활용되고 있다.

- [0003] 영상 표시를 위하여, 표시 장치는 다수의 데이터 라인 및 다수의 게이트 라인이 배치된 표시 패널, 다수의 데이터 라인으로 데이터 신호들을 출력하는 데이터 구동 회로, 및 다수의 게이트 라인으로 게이트 신호들을 출력하는 게이트 구동 회로 등을 포함할 수 있다.
- [0004] 종래의 표시 장치에서, 게이트 구동 회로를 이용하여 다수의 게이트 라인을 구동할 때, 게이트 라인으로 출력되는 게이트 신호는 게이트 구동 타이밍에 맞게 하이 레벨 전압과 로우 레벨 전압을 가져야 한다.
- [0005] 하지만, 종래의 게이트 구동 회로의 경우, 비정상적인 신호 파형을 갖는 게이트 신호가 게이트 구동 회로에서 출력되는 현상이 발생하고 있다. 이러한 현상은 게이트 구동 성능은 물론, 영상 품질을 저하시키는 요인이 될 수 있다. 여기서, 비정상적인 신호 파형은 정상적인 신호 파형과 다른 모든 경우를 의미할 수 있으며, 예를 들어, 게이트 신호에서 전압 레벨이 원하는 수준에 도달하지 못하는 경우 또는 게이트 신호에서 전압 레벨 변동 타이밍이 맞지 않는 경우가 발생하면, 해당 게이트 신호는 비정상적인 신호 파형을 갖는다고 할 수 있다.
- [0006] 또한, 표시 장치가 서브 픽셀들 각각에 포함된 트랜지스터들 간의 특성치 편차를 보상해주기 위하여, 트랜지스터의 특성치를 센싱하기 위한 센싱 구동을 수행하는 경우, 게이트 구동 회로에서 비정상적인 신호 파형을 갖는 게이트 신호가 출력되는 현상이 두드러질 수 있다.

발명의 내용

해결하려는 과제

- [0007] 디스플레이 분야에서는, 표시 패널에 배치된 게이트 라인들을 구동하기 위한 게이트 구동 회로를 이용하는데, 게이트 구동 회로에서 비정상적인 신호 파형을 갖는 게이트 신호가 출력되는 문제점이 있었다. 이에, 본 명세서의 발명자는 게이트 구동 회로에서 비정상적인 신호 파형을 갖는 게이트 신호가 출력되는 문제점의 원인을 오랜 연구와 실험을 통해 확인하고, 문제점을 해결하기 위한 게이트 구동 회로 및 표시 장치를 발명하였다.
- [0008] 본 개시의 실시예들은 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.
- [0009] 본 개시의 실시예들은 서브 픽셀 내 구동 트랜지스터의 이동도를 센싱하기 위한 센싱 구동을 위한 게이트 구동을 수행하면서도, 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.

과제의 해결 수단

- [0010] 본 개시의 실시예들은 제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로, 및 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함하는 게이트 구동 회로를 제공할 수 있다.
- [0011] 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 제1 풀-다운 트랜지스터는 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결될 수 있다.
- [0012] 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결된 제1 트랜지스터, QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터, 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터, 제1 트랜지스터의 게이트 노드와 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터, 및 제1 트랜지스터의 게이트 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함할 수 있다.
- [0013] 2개의 제5 트랜지스터의 연결 노드는 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0014] 제3 트랜지스터의 드레인 노드 또는 소스 노드는 제1 구동 전압 노드와 연결되고, 제3 트랜지스터의 소스 노드 또는 드레인 노드는 2개의 제2 트랜지스터의 연결 노드 및 2개의 제5 트랜지스터의 연결 노드와 연결될 수 있다.
- [0015] 2개의 제2 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.

- [0016] 제3 트랜지스터의 게이트 노드는 QB 노드와 연결될 수 있다.
- [0017] 2개의 제5 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0018] 제3 트랜지스터는 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함할 수 있다.
- [0019] 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨 전압보다 낮을 수 있다.
- [0020] 본 개시의 실시예들은, 다수의 게이트 라인을 포함하는 표시 패널, 및 다수의 게이트 라인을 구동하는 게이트 구동 회로를 포함하는 표시 장치를 제공할 수 있다.
- [0021] 게이트 구동 회로는, 제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로, 및 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함할 수 있다.
- [0022] 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 제1 풀-다운 트랜지스터는 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결될 수 있다.
- [0023] 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결된 제1 트랜지스터, QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터, 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터, 제1 트랜지스터의 게이트 노드와 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터, 및 제1 트랜지스터의 게이트 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함할 수 있다.
- [0024] 2개의 제5 트랜지스터의 연결 노드는 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0025] 제3 트랜지스터의 드레인 노드 또는 소스 노드는 제1 구동 전압 노드와 연결되고, 제3 트랜지스터의 소스 노드 또는 드레인 노드는 2개의 제2 트랜지스터의 연결 노드 및 2개의 제5 트랜지스터의 연결 노드와 연결될 수 있다.
- [0026] 2개의 제2 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0027] 제3 트랜지스터의 게이트 노드는 QB 노드와 연결될 수 있다.
- [0028] 2개의 제5 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0029] 제3 트랜지스터는 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함할 수 있다.
- [0030] 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨 전압보다 낮을 수 있다.

발명의 효과

- [0031] 본 개시의 실시예들에 의하면, 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.
- [0032] 본 개시의 실시예들에 의하면, 서브 픽셀 내 구동 트랜지스터의 이동도를 센싱하기 위한 센싱 구동을 위한 게이트 구동을 수행하면서도, 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 개시의 실시예들에 따른 표시 장치의 구성도이다.
- 도 2a 및 도 2b는 본 개시의 실시예들에 따른 표시 장치의 서브 픽셀의 등가 회로들이다.
- 도 3은 본 개시의 실시예들에 따른 표시 장치의 시스템을 나타낸다.

도 4는 본 개시의 실시예들에 따른 표시 장치의 보상 회로를 나타낸다.

도 5a는 본 개시의 실시예들에 따른 표시 장치의 제1 센싱 모드에 대한 다이어그램이다.

도 5b는 본 개시의 실시예들에 따른 표시 장치의 제2 센싱 모드에 대한 다이어그램이다.

도 6은 본 개시의 실시예들에 따른 표시 장치의 다양한 센싱 타이밍을 나타낸 도면이다.

도 7은 본 개시의 실시예들에 따른 표시 장치의 게이트 구동 회로를 간략하게 나타낸 다이어그램이다.

도 8은 본 개시의 실시예들에 따른 표시 장치가 센싱 기능을 갖는 경우, 표시 장치에 포함된 게이트 구동 회로를 나타낸다.

도 9는 도 8의 게이트 구동 회로 내 주요 노드들에서의 전압 파형을 나타낸다.

도 10은 본 개시의 실시예들에 따른 표시 장치가 센싱 기능을 갖는 경우, 표시 장치에 포함된 개선된 게이트 구동 회로를 나타낸다.

도 11 및 도 12는 도 10의 개선된 게이트 구동 회로 내 주요 노드들에서의 전압 파형을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 본 개시의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 개시를 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 개시의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다. 본 명세서 상에서 언급된 "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 "~만"이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별한 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0035] 또한, 본 개시의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다.
- [0036] 구성 요소들의 위치 관계에 대한 설명에 있어서, 둘 이상의 구성 요소가 "연결", "결합" 또는 "접속" 등이 된다고 기재된 경우, 둘 이상의 구성 요소가 직접적으로 "연결", "결합" 또는 "접속" 될 수 있지만, 둘 이상의 구성 요소와 다른 구성 요소가 더 "개재"되어 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 여기서, 다른 구성 요소는 서로 "연결", "결합" 또는 "접속" 되는 둘 이상의 구성 요소 중 하나 이상에 포함될 수도 있다.
- [0037] 구성 요소들이나, 동작 방법이나 제작 방법 등과 관련한 시간적 흐름 관계에 대한 설명에 있어서, 예를 들어, "~후에", "~에 이어서", "~다음에", "~전에" 등으로 시간적 선후 관계 또는 흐름적 선후 관계가 설명되는 경우, "바로" 또는 "직접"이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0038] 한편, 구성 요소에 대한 수치 또는 그 대응 정보(예: 레벨 등)가 언급된 경우, 별도의 명시적 기재가 없더라도, 수치 또는 그 대응 정보는 각종 요인(예: 공정상의 요인, 내부 또는 외부 충격, 노이즈 등)에 의해 발생할 수 있는 오차 범위를 포함하는 것으로 해석될 수 있다.
- [0039] 이하, 첨부된 도면을 참조하여 본 개시의 다양한 실시예들을 상세히 설명한다.
- [0040] 도 1은 본 개시의 실시예들에 따른 표시 장치(100)의 구성도이다.
- [0041] 도 1을 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 표시 패널(110)과, 표시 패널(110)을 구동하기 위한 구동 회로를 포함할 수 있다.
- [0042] 구동 회로는 데이터 구동 회로(120) 및 게이트 구동 회로(130) 등을 포함할 수 있으며, 데이터 구동 회로(120) 및 게이트 구동 회로(130)를 제어하는 컨트롤러(140)를 더 포함할 수 있다.
- [0043] 표시 패널(110)은 기판(SUB)과, 기판(SUB) 상에 배치되는 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 등의 신호 배선들을 포함할 수 있다. 표시 패널(110)은 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)과 연결된 다수의 서브 픽셀(SP)을 포함할 수 있다.

- [0044] 표시 패널(110)은 영상이 표시되는 표시 영역(DA)과 영상이 표시되지 않는 비-표시 영역(NDA)을 포함할 수 있다. 표시 패널(110)에서, 표시 영역(DA)에는 이미지를 표시하기 위한 다수의 서브 픽셀(SP)이 배치되고, 비-표시 영역(NDA)에는 구동 회로들(120, 130, 140)이 전기적으로 연결되거나 구동 회로들(120, 130, 140)이 실장될 수 있고, 집적회로 또는 인쇄회로 등이 연결되는 패드부가 배치될 수도 있다.
- [0045] 데이터 구동 회로(120)는 다수의 데이터 라인(DL)을 구동하기 위한 회로로서, 다수의 데이터 라인(DL)으로 데이터 신호들을 공급할 수 있다. 게이트 구동 회로(130)는 다수의 게이트 라인(GL)을 구동하기 위한 회로로서, 다수의 게이트 라인(GL)으로 게이트 신호들을 공급할 수 있다. 컨트롤러(140)는 데이터 구동 회로(120)의 동작 타이밍을 제어하기 위하여 데이터 제어 신호(DCS)를 데이터 구동 회로(120)에 공급할 수 있다. 컨트롤러(140)는 게이트 구동 회로(130)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GCS)를 게이트 구동 회로(130)에 공급할 수 있다.
- [0046] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 구동 회로(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(Data)를 데이터 구동 회로(120)에 공급하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 제어할 수 있다.
- [0047] 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 입력 데이터 인에이블 신호(DE: Data Enable), 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템(150))로부터 수신한다.
- [0048] 컨트롤러(140)는, 데이터 구동 회로(120) 및 게이트 구동 회로(130)를 제어하기 위하여, 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 입력 데이터 인에이블 신호(DE), 클럭 신호(CLK) 등의 타이밍 신호를 입력 받아, 각종 제어 신호들(DCS, GCS)을 생성하여 데이터 구동 회로(120) 및 게이트 구동 회로(130)로 출력한다.
- [0049] 예를 들어, 컨트롤러(140)는, 게이트 구동 회로(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0050] 또한, 컨트롤러(140)는, 데이터 구동 회로(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0051] 컨트롤러(140)는, 데이터 구동 회로(120)와 별도의 부품으로 구현될 수도 있고, 데이터 구동 회로(120)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0052] 데이터 구동 회로(120)는, 컨트롤러(140)로부터 영상 데이터(Data)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 구동 회로(120)는 소스 구동 회로라고도 한다.
- [0053] 이러한 데이터 구동 회로(120)는 하나 이상의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함할 수 있다.
- [0054] 각 소스 드라이버 집적회로(SDIC)는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다. 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0055] 예를 들어, 각 소스 드라이버 집적회로(SDIC)는 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식으로 표시 패널(110)과 연결되거나, 칩 온 글래스(COG: Chip On Glass) 또는 칩 온 패널(COP: Chip On Panel) 방식으로 표시 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 칩 온 필름(COF: Chip On Film) 방식으로 구현되어 표시 패널(110)과 연결될 수 있다.
- [0056] 게이트 구동 회로(130)는 컨트롤러(140)의 제어에 따라, 턴-온 레벨 전압의 게이트 신호를 출력하거나 턴-오프 레벨 전압의 게이트 신호를 출력할 수 있다. 게이트 구동 회로(130)는 다수의 게이트 라인(GL)으로 턴-온 레벨 전압의 게이트 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동할 수 있다.
- [0057] 게이트 구동 회로(130)는 테이프 오토메티드 본딩(TAB) 방식으로 표시 패널(110)과 연결되거나, 칩 온 글래스(COG) 또는 칩 온 패널(COP) 방식으로 표시 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 칩 온 필름

(COF) 방식에 따라 표시 패널(110)과 연결될 수 있다. 또는, 게이트 구동 회로(130)는 게이트 인 패널(GIP: Gate In Panel) 타입으로 표시 패널(110)의 비-표시 영역(NDA)에 형성될 수 있다. 게이트 구동 회로(130)는 기관(SUB) 상에 배치되거나 기관(SUB)에 연결될 수 있다. 즉, 게이트 구동 회로(130)는 GIP 타입인 경우 기관(SUB)의 비-표시 영역(NDA)에 배치될 수 있다. 게이트 구동 회로(130)는 칩 온 글래스(COG) 타입, 칩 온 필름(COF) 타입 등인 경우 기관(SUB)에 연결될 수 있다.

- [0058] 한편, 데이터 구동 회로(120) 및 게이트 구동 회로(130) 중 적어도 하나의 구동 회로는 표시 영역(DA)에 배치될 수도 있다. 예를 들어, 데이터 구동 회로(120) 및 게이트 구동 회로(130) 중 적어도 하나의 구동 회로는 서브 픽셀들(SP)과 중첩되지 않게 배치될 수도 있고, 서브 픽셀들(SP)과 일부 또는 전체가 중첩되게 배치될 수도 있다.
- [0059] 데이터 구동 회로(120)는, 게이트 구동 회로(130)에 의해 특정 게이트 라인(GL)이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터(Data)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급할 수 있다.
- [0060] 데이터 구동 회로(120)는 표시 패널(110)의 일 측(예: 상측 또는 하측)에 연결될 수도 있다. 구동 방식, 패널 설계 방식 등에 따라, 데이터 구동 회로(120)는 표시 패널(110)의 양 측(예: 상측과 하측)에 모두 연결되거나, 표시 패널(110)의 4 측면 중 둘 이상의 측면에 연결될 수도 있다.
- [0061] 게이트 구동 회로(130)는 표시 패널(110)의 일 측(예: 좌측 또는 우측)에 연결될 수도 있다. 구동 방식, 패널 설계 방식 등에 따라, 게이트 구동 회로(130)는 표시 패널(110)의 양 측(예: 좌측과 우측)에 모두 연결되거나, 표시 패널(110)의 4 측면 중 둘 이상의 측면에 연결될 수도 있다.
- [0062] 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있으며, 타이밍 컨트롤러와 다른 제어장치일 수도 있으며, 제어장치 내 회로일 수도 있다. 컨트롤러(140)는, IC (Integrate Circuit), FPGA (Field Programmable Gate Array), ASIC (Application Specific Integrated Circuit), 또는 프로세서(Processor) 등의 다양한 회로나 전자 부품으로 구현될 수 있다.
- [0063] 컨트롤러(140)는 인쇄회로기판, 연성 인쇄회로 등에 실장되고, 인쇄회로기판, 연성 인쇄회로 등을 통해 데이터 구동 회로(120) 및 게이트 구동 회로(130)와 전기적으로 연결될 수 있다.
- [0064] 컨트롤러(140)는, 미리 정해진 하나 이상의 인터페이스에 따라 데이터 구동 회로(120)와 신호를 송수신할 수 있다. 여기서, 예를 들어, 인터페이스는 LVDS (Low Voltage Differential Signaling) 인터페이스, EPI 인터페이스, SPI (Serial Peripheral Interface) 등을 포함할 수 있다.
- [0065] 컨트롤러(140)는 하나 이상의 레지스터 등의 기억 매체를 포함할 수 있다.
- [0066] 본 실시예들에 따른 표시 장치(100)는, 액정표시장치 등의 백 라이트 유닛을 포함하는 디스플레이일 수도 있고, OLED(Organic Light Emitting Diode) 디스플레이, 퀀텀닷(Quantum Dot) 디스플레이, 마이크로 LED (Micro Light Emitting Diode) 디스플레이 등의 자발광 디스플레이일 수도 있다.
- [0067] 본 실시예들에 따른 표시 장치(100)가 OLED 디스플레이인 경우, 각 서브 픽셀(SP)은 스스로 빛을 내는 유기발광 다이오드(OLED)를 발광소자로서 포함할 수 있다. 본 실시예들에 따른 표시 장치(100)가 퀀텀닷 디스플레이인 경우, 각 서브 픽셀(SP)은 스스로 빛을 내는 반도체 결정인 퀀텀닷(Quantum Dot)으로 만들어진 발광소자를 포함할 수 있다. 본 실시예들에 따른 표시 장치(100)가 마이크로 LED 디스플레이인 경우, 각 서브 픽셀(SP)은 스스로 빛을 내고 무기물을 기반으로 만들어진 마이크로 LED (Micro Light Emitting Diode)를 발광소자로서 포함할 수 있다.
- [0068] 도 2a 및 도 2b는 본 개시의 실시예들에 따른 표시 장치(100)의 서브 픽셀(SP)의 등가 회로들이다.
- [0069] 도 2a를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)의 표시 패널(110)에 배치된 다수의 서브 픽셀(SP) 각각은 발광소자(ED), 구동 트랜지스터(DRT), 스캔 트랜지스터(SCT) 및 스토리지 캐패시터(Cst)를 포함할 수 있다.
- [0070] 도 2a를 참조하면, 발광소자(ED)는 픽셀 전극(PE)과 공통 전극(CE)을 포함하고, 픽셀 전극(PE)과 공통 전극(CE) 사이에 위치하는 발광층(EL)을 포함할 수 있다.
- [0071] 발광소자(ED)의 픽셀 전극(PE)은 각 서브 픽셀(SP)마다 배치되는 전극이고, 공통 전극(CE)은 모든 서브 픽셀

(SP)에 공통으로 배치되는 전극일 수 있다. 여기서, 픽셀 전극(PE)은 애노드 전극이고 공통 전극(CE)은 캐소드 전극일 수 있다. 반대로, 픽셀 전극(PE)은 캐소드 전극이고 공통 전극(CE)은 애노드 전극일 수 있다.

- [0072] 예를 들어, 발광소자(ED)는 유기발광다이오드(OLED), 발광다이오드(LED) 또는 퀀텀닷 발광소자 등일 수 있다.
- [0073] 구동 트랜지스터(DRT)는 발광소자(ED)를 구동하기 위한 트랜지스터로서, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3) 등을 포함할 수 있다.
- [0074] 구동 트랜지스터(DRT)의 제1 노드(N1)는 구동 트랜지스터(DRT)의 게이트 노드일 수 있으며, 스캔 트랜지스터(SCT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제2 노드(N2)는 구동 트랜지스터(DRT)의 소스 노드 또는 드레인 노드일 수 있으며, 센싱 트랜지스터(SENT)의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 발광소자(ED)의 픽셀 전극(PE)과도 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제3 노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL)과 전기적으로 연결될 수 있다.
- [0075] 스캔 트랜지스터(SCT)는 게이트 신호의 일종인 스캔 신호(SCAN)에 의해 제어되며 구동 트랜지스터(DRT)의 제1 노드(N1)와 데이터 라인(DL) 사이에 연결될 수 있다. 다시 말해, 스캔 트랜지스터(SCT)는, 게이트 라인(GL)의 한 종류인 스캔 신호 라인(SCL)에서 공급되는 스캔 신호(SCAN)에 따라 턴-온 또는 턴-오프 되어, 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 간의 연결을 제어할 수 있다.
- [0076] 스캔 트랜지스터(SCT)는, 턴-온 레벨 전압을 갖는 스캔 신호(SCAN)에 의해 턴-온 되어, 데이터 라인(DL)에서 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)에 전달해줄 수 있다.
- [0077] 여기서, 스캔 트랜지스터(SCT)가 n 타입 트랜지스터인 경우, 스캔 신호(SCAN)의 턴-온 레벨 전압은 하이 레벨 전압일 수 있다. 스캔 트랜지스터(SCT)가 p 타입 트랜지스터인 경우, 스캔 신호(SCAN)의 턴-온 레벨 전압은 로우 레벨 전압일 수 있다.
- [0078] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 연결될 수 있다. 스토리지 캐패시터(Cst)는 양 단의 전압 차이에 해당하는 전하량이 충전되고, 정해진 프레임 시간 동안, 양 단의 전압 차이를 유지하는 역할을 해준다. 이에 따라, 정해진 프레임 시간 동안, 해당 서브 픽셀(SP)은 발광할 수 있다.
- [0079] 도 2b를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)의 표시 패널(110)에 배치된 다수의 서브 픽셀(SP) 각각은 센싱 트랜지스터(SENT)를 더 포함할 수 있다.
- [0080] 센싱 트랜지스터(SENT)는 게이트 신호의 일종인 센스 신호(SENSE)에 의해 제어되며 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 연결될 수 있다. 다시 말해, 센싱 트랜지스터(SENT)는, 게이트 라인(GL)의 다른 한 종류인 센스 신호 라인(SENL)에서 공급된 센스 신호(SENSE)에 따라 턴-온 또는 턴-오프 되어, 기준전압 라인(RVL)과 구동 트랜지스터(DRT)의 제2 노드(N2) 간의 연결을 제어할 수 있다.
- [0081] 센싱 트랜지스터(SENT)는, 턴-온 레벨 전압을 갖는 센스 신호(SENSE)에 의해 턴-온 되어, 기준전압 라인(RVL)에서 공급된 기준전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 전달해줄 수 있다.
- [0082] 또한, 센싱 트랜지스터(SENT)는, 턴-온 레벨 전압을 갖는 센스 신호(SENSE)에 의해 턴-온 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준전압 라인(RVL)으로 전달해줄 수 있다.
- [0083] 여기서, 센싱 트랜지스터(SENT)가 n 타입 트랜지스터인 경우, 센스 신호(SENSE)의 턴-온 레벨 전압은 하이 레벨 전압일 수 있다. 센싱 트랜지스터(SENT)가 p 타입 트랜지스터인 경우, 센스 신호(SENSE)의 턴-온 레벨 전압은 로우 레벨 전압일 수 있다.
- [0084] 센싱 트랜지스터(SENT)가 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 기준전압 라인(RVL)으로 전달해주는 기능은 서브 픽셀(SP)의 특성치를 센싱하기 위한 구동 시 이용될 수 있다. 이 경우, 기준전압 라인(RVL)으로 전달되는 전압은 서브 픽셀(SP)의 특성치를 산출하기 위한 전압이거나 서브 픽셀(SP)의 특성치가 반영된 전압일 수 있다.
- [0085] 본 개시에서, 서브 픽셀(SP)의 특성치는 구동 트랜지스터(DRT) 또는 발광소자(ED)의 특성치일 수 있다. 구동 트랜지스터(DRT)의 특성치는 구동 트랜지스터(DRT)의 문턱전압 및 이동도 등을 포함할 수 있다. 발광소자(ED)의 특성치는 발광소자(ED)의 문턱전압을 포함할 수 있다.
- [0086] 구동 트랜지스터(DRT), 스캔 트랜지스터(SCT) 및 센싱 트랜지스터(SENT) 각각은 n 타입 트랜지스터이거나 p 타

입 트랜지스터일 수 있다. 본 개시에서는, 설명의 편의를 위하여, 구동 트랜지스터(DRT), 스캔 트랜지스터(SCT) 및 센싱 트랜지스터(SENT) 각각은 n타입인 것을 예로 든다.

- [0087] 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 게이트 노드와 소스 노드(또는 드레인 노드) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)일 수 있다.
- [0088] 스캔 신호 라인(SCL) 및 센스 신호 라인(SENL)은 서로 다른 게이트 라인(GL)일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센스 신호(SENSE)는 서로 별개의 게이트 신호일 수 있고, 하나의 서브 픽셀(SP) 내 스캔 트랜지스터(SCT)의 온-오프 타이밍과 센싱 트랜지스터(SENT)의 온-오프 타이밍은 독립적일 수 있다. 즉, 하나의 서브 픽셀(SP) 내 스캔 트랜지스터(SCT)의 온-오프 타이밍과 센싱 트랜지스터(SENT)의 온-오프 타이밍은 동일할 수도 있고 다를 수 있다.
- [0089] 이와 다르게, 스캔 신호 라인(SCL) 및 센스 신호 라인(SENL)은 동일한 게이트 라인(GL)일 수 있다. 즉, 하나의 서브 픽셀(SP) 내 스캔 트랜지스터(SCT)의 게이트 노드와 센싱 트랜지스터(SENT)의 게이트 노드는 하나의 게이트 라인(GL)에 연결될 수 있다. 이 경우, 스캔 신호(SCAN) 및 센스 신호(SENSE)는 동일한 게이트 신호일 수 있고, 하나의 서브 픽셀(SP) 내 스캔 트랜지스터(SCT)의 온-오프 타이밍과 센싱 트랜지스터(SENT)의 온-오프 타이밍은 동일할 수 있다.
- [0090] 도 2a 및 도 2b에 도시된 서브 픽셀(SP)의 구조는 예시들일 뿐, 1개 이상의 트랜지스터를 더 포함하거나 1개 이상의 캐패시터를 더 포함하여 다양하게 변형될 수 있다.
- [0091] 또한, 도 2a 및 도 2b에서는 표시 장치(100)가 자발광 표시 장치인 경우를 가정하여 서브 픽셀 구조를 설명하였으나, 표시 장치(100)가 액정 표시 장치인 경우, 각 서브 픽셀(SP)은 트랜지스터 및 픽셀 전극 등을 포함할 수 있다.
- [0092] 도 3은 본 개시의 실시예들에 따른 표시 장치(100)의 시스템을 나타낸다.
- [0093] 도 3을 참조하면, 표시 패널(110)은 영상이 표시되는 표시 영역(DA)과 영상이 표시되지 않는 비-표시 영역(ND A)을 포함할 수 있다.
- [0094] 도 3을 참조하면, 데이터 구동 회로(120)가 하나 이상의 소스 드라이버 집적회로(SDIC)를 포함하고 칩 온 필름(COF) 방식으로 구현된 경우, 각 소스 드라이버 집적회로(SDIC)는 표시 패널(110)의 비-표시 영역(NDA)에 연결된 회로필름(SF) 상에 실장 될 수 있다.
- [0095] 도 3을 참조하면, 게이트 구동 회로(130)는 게이트 인 패널(GIP) 타입으로 구현될 수 있다. 이 경우, 게이트 구동 회로(130)는 표시 패널(110)의 비-표시 영역(NDA)에 형성될 수 있다. 게이트 구동 회로(130)는 도 3과 다르게, COF (Chip On Film) 타입으로 구현될 수도 있다.
- [0096] 표시 장치(100)는, 하나 이상의 소스 드라이버 집적회로(SDIC)와 다른 장치들 간의 회로적인 연결을 위해, 적어도 하나의 소스 인쇄회로기판(SPCB: Source Printed Circuit Board)과, 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(CPCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0097] 적어도 하나의 소스 인쇄회로기판(SPCB)에는 소스 드라이버 집적회로(SDIC)가 실장 된 필름(SF)이 연결될 수 있다. 즉, 소스 드라이버 집적회로(SDIC)가 실장 된 필름(SF)은 일 측이 표시 패널(110)과 전기적으로 연결되고 타 측이 소스 인쇄회로기판(SPCB)과 전기적으로 연결될 수 있다.
- [0098] 컨트롤 인쇄회로기판(CPCB)에는 컨트롤러(140) 및 파워 관리 집적회로(PMIC: Power Management IC, 310) 등이 실장 될 수 있다. 컨트롤러(140)는 표시 패널(110)의 구동과 관련한 전반적인 제어 기능을 수행할 수 있으며, 데이터 구동 회로(120) 및 게이트 구동 회로(130)의 동작을 제어할 수 있다. 파워 관리 집적회로(310)는 데이터 구동 회로(120) 및 게이트 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어할 수 있다.
- [0099] 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 적어도 하나의 연결 케이블(CBL)을 통해 회로적으로 연결될 수 있다. 여기서, 연결 케이블(CBL)은, 일 예로, 연성 인쇄 회로(FPC: Flexible Printed Circuit), 연성 플랫 케이블(FFC: Flexible Flat Cable) 동일 수 있다.
- [0100] 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.

- [0101] 본 개시의 실시예들에 따른 표시 장치(100)는 전압 레벨을 조정하기 위한 레벨 쉬프터(Level Shifter, 300)를 더 포함할 수 있다. 예를 들어, 레벨 쉬프터(300)는 컨트롤 인쇄회로기판(CPCB) 또는 소스 인쇄회로기판(SPCB)에 배치될 수 있다.
- [0102] 특히, 본 개시의 실시예들에 따른 표시 장치(100)에서, 레벨 쉬프터(300)는 게이트 구동에 필요한 신호들을 게이트 구동 회로(130)로 공급할 수 있다. 예를 들어, 레벨 쉬프터(300)는 복수의 클럭 신호를 게이트 구동 회로(130)로 공급할 수 있다. 이에 따라, 게이트 구동 회로(130)는 레벨 쉬프터(300)로부터 입력된 복수의 클럭 신호에 근거하여 다수의 게이트 신호를 다수의 게이트 라인(GL)으로 출력할 수 있다. 여기서, 다수의 게이트 라인(GL)은 기관(SUB)의 표시 영역(DA)에 배치된 서브 픽셀들(SP)로 다수의 게이트 신호를 전달할 수 있다.
- [0103] 도 4는 본 개시의 실시예들에 따른 표시 장치(100)의 보상 회로를 나타낸다.
- [0104] 도 4를 참조하면, 보상 회로는 서브 픽셀(SP) 내 회로 소자의 특성에 대한 센싱 및 보상 처리를 수행할 수 있는 회로이다.
- [0105] 보상 회로는 서브 픽셀(SP)과 연결되고, 전원 스위치(SPRE), 샘플링 스위치(SAM), 아날로그 디지털 컨버터(ADC), 보상기(400) 등을 포함할 수 있다.
- [0106] 전원 스위치(SPRE)는 기준 전압 라인(RVL) 및 기준 전압 공급 노드(Nref) 간의 연결을 제어할 수 있다. 있다. 전원 공급 장치에서 출력된 기준 전압(Vref)이 기준 전압 공급 노드(Nref)에 공급되고, 기준 전압 인가 노드(Nref)에 공급된 기준 전압(Vref)은 전원 스위치(SPRE)를 통해 기준 전압 라인(RVL)에 인가될 수 있다.
- [0107] 샘플링 스위치(SAM)는 아날로그 디지털 컨버터(ADC)와 기준 전압 라인(RVL) 간의 연결을 제어할 수 있다. 아날로그 디지털 컨버터(ADC)는 샘플링 스위치(SAM)에 의해 기준 전압 라인(RVL)과 연결되면, 연결된 기준 전압 라인(RVL)의 전압(아날로그 전압)을 디지털 값에 해당하는 센싱값으로 변환할 수 있다.
- [0108] 기준 전압 라인(RLV)과 그라운드(GND) 사이에 라인 캐패시터(Crv1)가 형성되어 있을 수 있다. 기준 전압 라인(RVL)의 전압은 라인 캐패시터(Crv1)의 충전량과 대응될 수 있다.
- [0109] 아날로그 디지털 컨버터(ADC)는 센싱값을 포함하는 센싱 데이터를 보상기(400)로 제공할 수 있다.
- [0110] 보상기(400)는 센싱 데이터를 토대로 해당 서브 픽셀(SP)에 포함된 발광 소자(ED) 또는 구동 트랜지스터(DRT)의 특성을 알아내고, 보상값을 산출하여 메모리(410)에 저장할 수 있다.
- [0111] 예를 들어, 보상값은 발광 소자들(ED) 간의 특성치 편차 또는 구동 트랜지스터들(DRT) 간의 특성치 편차를 줄여주기 위한 정보로서, 데이터 변경을 위한 오프셋 및 게인 값을 포함할 수 있다.
- [0112] 디스플레이 컨트롤러(140)는 메모리(410)에 저장된 보상값을 이용하여 영상 데이터를 변경하고, 변경된 영상 데이터를 데이터 구동 회로(120)로 공급할 수 있다.
- [0113] 데이터 구동 회로(120)는 디지털 아날로그 컨버터(DAC)를 이용하여, 변경된 영상 데이터를 아날로그 전압에 해당하는 데이터 전압(Vdata)으로 변환하여 출력할 수 있다. 이에 따라, 보상이 실현될 수 있다.
- [0114] 도 4를 참조하면, 아날로그 디지털 컨버터(ADC), 전원 스위치(SPRE) 및 샘플링 스위치(SAM)는 데이터 구동 회로(120)에 포함된 소스 드라이버 집적회로(SDIC)에 포함될 수 있다. 보상기(400)는 디스플레이 컨트롤러(140)에 포함될 수 있다.
- [0115] 전술한 바와 같이, 본 개시의 실시예들에 따른 표시 장치(100)는 구동 트랜지스터들(DRT) 간의 특성치 편차를 줄여주기 위한 보상 처리를 수행할 수 있다. 그리고, 표시 장치(100)는 보상 처리를 수행하기 위하여, 구동 트랜지스터들(DRT) 간의 특성치 편차를 알아내기 위한 센싱 구동을 수행할 수 있다.
- [0116] 본 개시의 실시예들에 따른 표시 장치(100)는 2가지 모드(패스트 모드, 슬로우 모드)로 센싱 구동을 수행할 수 있다. 아래에서는, 도 5a 및 도 5b를 참조하여 2가지 모드(패스트 모드, 슬로우 모드)의 센싱 구동에 대하여 설명한다.
- [0117] 도 5a는 본 개시의 실시예들에 따른 표시 장치(100)의 제1 센싱 모드(S-Mode)에 대한 다이어그램이다. 도 5b는 본 개시의 실시예들에 따른 표시 장치(100)의 제2 센싱 모드(F-Mode)에 대한 다이어그램이다.
- [0118] 도 5a를 참조하면, 제1 센싱 모드(S-Mode)는 구동 트랜지스터(DRT)의 특성치(예: 문턱 전압, 이동도) 중 상대적으로 긴 구동 시간이 필요한 특성치(예: 문턱 전압)를 느리게 센싱하기 위한 센싱 구동 모드이다. 제1 센싱 모

드(S-Mode)는 슬로우 모드(Slow Mode) 또는 문턱 전압 센싱 모드라고도 할 수 있다.

- [0119] 도 5b를 참조하면, 제2 센싱 모드(F-Mode)는 구동 트랜지스터(DRT)의 특성치(예: 문턱 전압, 이동도) 중 상대적으로 짧은 구동 시간이 필요한 특성치(예: 이동도)를 빠르게 센싱하기 위한 센싱 구동 모드이다. 제2 센싱 모드(F-Mode)는 패스트 모드(Fast Mode) 또는 이동도 센싱 모드라고도 할 수 있다.
- [0120] 도 5a 및 도 5b를 참조하면, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 및 제2 센싱 모드(F-Mode)의 센싱 구동 기간 각각은 초기화 기간(Tinit), 트래킹 기간(Ttrack) 및 샘플링 기간(Tsam)을 포함할 수 있다. 아래에서는, 제1 센싱 모드(S-Mode) 및 제2 센싱 모드(F-Mode) 각각에 대하여 설명한다.
- [0121] 먼저, 도 5a를 참조하여 표시 장치(100)의 제1 센싱 모드(S-Mode)의 센싱 구동 기간에 대하여 설명한다.
- [0122] 도 5a를 참조하면, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 초기화 기간(Tinit)은 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)를 초기화하는 기간이다.
- [0123] 초기화 기간(Tinit) 동안, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압(V1)은 센싱 구동용 데이터 전압(Vdata_SEN)으로 초기화될 수 있고, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 센싱 구동용 기준 전압(Vref)으로 초기화될 수 있다.
- [0124] 초기화 기간(Tinit) 동안, 스캔 트랜지스터(SCT) 및 센스 트랜지스터(SENT)가 턴-온 되고, 전원 스위치(SPRE)가 턴-온 될 수 있다.
- [0125] 도 5a를 참조하면, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 트래킹 기간(Ttrack)은 구동 트랜지스터(DRT)의 문턱 전압(Vth) 또는 그 변화를 반영하는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 트래킹 하는 기간이다.
- [0126] 트래킹 기간(Ttrack) 동안, 전원 스위치(SPRE)가 턴-오프 되거나 센스 트랜지스터(SENT)가 턴-오프 될 수 있다.
- [0127] 이에 따라, 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제1 노드(N1)는 센싱 구동용 데이터 전압(Vdata_SEN)을 갖는 정 전압 상태이지만, 구동 트랜지스터(DRT)의 제2 노드(N2)는 전기적으로 플로팅 상태일 수 있다. 따라서, 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 변동될 수 있다.
- [0128] 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 구동 트랜지스터(DRT)의 문턱 전압(Vth)을 반영할 때까지, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 상승할 수 있다.
- [0129] 초기화 기간(Tinit) 동안, 초기화된 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)의 전압 차이는 구동 트랜지스터(DRT)의 문턱 전압(Vth) 이상일 수 있다. 따라서, 트래킹 기간(Ttrack)이 시작할 때, 구동 트랜지스터(DRT)는 턴-온 상태이고 전류를 도통시킨다. 이에 따라, 트래킹 기간(Ttrack)이 시작되면, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 상승할 수 있다.
- [0130] 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 지속적으로 상승하지 않는다.
- [0131] 트래킹 기간(Ttrack)의 후반부로 갈수록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상승 폭이 줄어들어, 결국에는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 포화될 수 있다.
- [0132] 구동 트랜지스터(DRT)의 제2 노드(N2)의 포화된 전압(V2)은 데이터 전압(Vdata_SEN)과 문턱 전압(Vth)의 차이(Vdata_SEN-Vth) 또는 데이터 전압(Vdata_SEN)과 문턱 전압 편차(ΔVth)의 차이(Vdata_SEN- ΔVth)에 해당할 수 있다. 여기서, 문턱 전압(Vth)은 네거티브 문턱 전압(Negative Vth) 또는 포지티브 문턱 전압(Positive Vth)일 수 있다.
- [0133] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 포화되면, 샘플링 기간(Tsam)이 시작될 수 있다.
- [0134] 도 5a를 참조하면, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 샘플링 기간(Tsam)은 구동 트랜지스터(DRT)의 문턱 전압(Vth) 또는 그 변화를 반영하는 전압(Vdata_SEN-Vth, Vdata_SEN- ΔVth)을 측정하는 기간이다.
- [0135] 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 샘플링 기간(Tsam)은, 아날로그 디지털 컨버터(ADC)가 기준 전압 라인(RVL)의 전압을 센싱하는 단계이다. 여기서, 기준 전압 라인(RVL)의 전압은 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압과 대응되고, 기준 전압 라인(RVL)에 형성된 라인 캐패시터(Crv1)의 충전 전압과 대응될 수 있다.
- [0136] 샘플링 기간(Tsam) 동안, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata_SEN)에서 문턱 전압(Vth)을 뺀 전압(Vdata_SEN-Vth) 또는 데이터 전압(Vdata_SEN)에서 문턱 전압 편차(ΔVth)을 뺀

전압($V_{data_SEN} - \Delta V_{th}$)일 수 있다. 여기서, V_{th} 는 포지티브 문턱 전압 또는 네거티브 문턱 전압일 수 있다.

- [0137] 도 5a를 참조하면, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)이 상승하다가 포화하는데 걸리는 포화 시간(T_{sat})은, 제1 센싱 모드(S-Mode)의 센싱 구동 기간 중 트래킹 기간(Ttrack)의 시간적인 길이이고, 구동 트랜지스터(DRT)의 문턱 전압(V_{th}) 또는 그 변화가 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압($V_2 = V_{data_SEN} - V_{th}$)에 반영되는데 걸리는 시간일 수 있다.
- [0138] 이러한 포화 시간(T_{sat})은 제1 센싱 모드(S-Mode)의 센싱 구동 기간의 전체적인 시간적 길이의 대부분을 차지할 수 있다. 제1 센싱 모드(S-Mode)의 경우, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)이 상승하여 포화하는데 꽤 긴 시간(포화 시간: T_{sat})이 걸릴 수 있다.
- [0139] 전술한 바와 같이, 구동 트랜지스터(DRT)의 문턱 전압을 센싱하기 위한 센싱 구동 방식은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태가 구동 트랜지스터(DRT)의 문턱 전압을 나타낼 때까지 긴 포화 시간(T_{sat})이 필요하기 때문에, 슬로우 모드(제1 센싱 모드(S-Mode))라고 한다.
- [0140] 도 5b를 참조하여 표시 장치(100)의 제2 센싱 모드(F-Mode)의 센싱 구동 기간을 설명한다.
- [0141] 도 5b를 참조하면, 제2 센싱 모드(F-Mode)의 센싱 구동 기간 중 초기화 기간(Tinit)은 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)를 초기화하는 기간이다.
- [0142] 초기화 기간(Tinit) 동안, 스캔 트랜지스터(SCT) 및 센스 트랜지스터(SENT)가 턴-온 되고, 전원 스위치(SPRE)가 턴-온 될 수 있다.
- [0143] 초기화 기간(Tinit) 동안, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압(V_1)은 센싱 구동용 데이터 전압(V_{data_SEN})으로 초기화되고, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)은 센싱 구동용 기준 전압(V_{ref})으로 초기화될 수 있다.
- [0144] 도 5b를 참조하면, 제2 센싱 모드(F-Mode)의 센싱 구동 기간 중 트래킹 기간(Ttrack)은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)이 구동 트랜지스터(DRT)의 이동도 또는 이동도 변화를 반영하는 전압 상태가 될 때까지 미리 설정된 트래킹 시간(Δt) 동안 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)을 변화시키는 기간이다.
- [0145] 트래킹 기간(Ttrack) 동안, 미리 설정된 트래킹 시간(Δt)은 짧게 설정될 수 있다. 따라서, 짧은 트래킹 시간(Δt) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)이 문턱 전압(V_{th})을 반영하기는 어렵다. 하지만, 짧은 트래킹 시간(Δt) 동안, 구동 트랜지스터(DRT)의 이동도를 알아낼 수 있을 정도로 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)을 변동시킬 수는 있다.
- [0146] 이에 따라, 제2 센싱 모드(F-Mode)는 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 센싱 구동 방식이다.
- [0147] 트래킹 기간(Ttrack)에서는, 전원 스위치(SPRE)가 턴-오프 되어 또는 센스 트랜지스터(SENT)가 턴-오프 됨에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)가 전기적으로 플로팅 상태가 될 수 있다.
- [0148] 트래킹 기간(Ttrack) 동안, 턴-오프 레벨 전압의 스캔 신호(SCAN)에 의해, 스캔 트랜지스터(SCT)가 턴-오프 된 상태이고, 구동 트랜지스터(DRT)의 제1 노드(N1)도 플로팅 된 상태일 수 있다.
- [0149] 초기화 기간(Tinit) 동안, 초기화된 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)의 전압 차이는 구동 트랜지스터(DRT)의 문턱 전압(V_{th}) 이상일 수 있다. 따라서, 트래킹 기간(Ttrack)이 시작될 때, 구동 트랜지스터(DRT)는 턴-온 상태이고 전류를 도통시킨다.
- [0150] 여기서, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2) 각각이 게이트 노드 및 소스 노드라면, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)의 전압 차이는 V_{gs} 가 된다.
- [0151] 따라서, 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)은 상승할 수 있다. 이때, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압(V_1)도 함께 상승할 수 있다.
- [0152] 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)의 상승 속도는 구동 트랜지스터(DRT)의 전류 능력(즉, 이동도)에 따라 달라진다. 구동 트랜지스터(DRT)의 전류 능력(이동도)이 클수록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V_2)이 더욱 가파르게 상승할 수 있다.
- [0153] 트래킹 기간(Ttrack)이 미리 설정된 트래킹 시간(Δt) 동안 진행된 이후, 즉, 구동 트랜지스터(DRT)의 제2 노드

(N2)의 전압(V2)이 미리 설정된 트래킹 시간(Δt) 동안 상승한 이후, 샘플링 기간(Tsam)이 진행될 수 있다.

- [0154] 트래킹 기간(Ttrack) 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)의 상승 속도는, 미리 설정된 트래킹 시간(Δt) 동안의 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 변화량(ΔV)에 해당한다. 여기서, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 변화량(ΔV)은 기준 전압 라인(RVL)의 전압 변화량과 대응될 수 있다.
- [0155] 도 5b를 참조하면, 트래킹 시간(Ttrack)이 미리 설정된 트래킹 시간(Δt) 동안 진행된 이후, 샘플링 기간(Tsam)이 시작될 수 있다. 샘플링 기간(Tsam) 동안, 샘플링 스위치(SAM)가 턴-온 되어, 기준 전압 라인(RVL)과 아날로그 디지털 컨버터(ADC)가 전기적으로 연결될 수 있다.
- [0156] 아날로그 디지털 컨버터(ADC)는 기준 전압 라인(RVL)의 전압을 센싱할 수 있다. 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은, 기준 전압(Vref)에서 일정한 트래킹 시간(Δt) 동안 전압 변화량(ΔV)만큼 상승된 전압(Vref+ ΔV)일 수 있다.
- [0157] 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은 기준 전압 라인(RVL)의 전압이고, 센스 트랜지스터(SENT)를 통해 기준 전압 라인(RVL)과 전기적으로 연결된 제2 노드(N2)의 전압일 수 있다.
- [0158] 도 5b를 참조하면, 제2 센싱 모드(F-Mode)의 센싱 구동 기간 중 샘플링 기간(Tsam)에서, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(Vsen)은, 구동 트랜지스터(DRT)의 이동도에 따라 달라질 수 있다. 구동 트랜지스터(DRT)가 높은 이동도를 가질수록, 센싱 전압(Vsen)은 높아진다. 구동 트랜지스터(DRT)가 낮은 이동도를 가질수록, 센싱 전압(Vsen)은 낮아진다.
- [0159] 전술한 바와 같이, 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 센싱 구동 방식은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 짧은 시간(Δt) 동안만 변경시키면 되기 때문에, 패스트 모드(제2 센싱 모드(F-Mode))라고 한다.
- [0160] 도 5a를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 제1 센싱 모드(S-Mode)를 통해 센싱된 전압(Vsen)에 근거하여 해당 서브 픽셀(SP) 내 구동 트랜지스터(DRT)의 문턱 전압(Vth) 또는 그 변화를 알아내고, 구동 트랜지스터들(DRT) 간의 문턱 전압 편차를 줄여주거나 제거하는 문턱 전압 보상값을 산출하고, 산출된 문턱 전압 보상값을 메모리(410)에 저장해둘 수 있다.
- [0161] 도 5b를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 제2 센싱 모드(F-Mode)를 통해 센싱된 전압(Vsen)에 근거하여 해당 서브 픽셀(SP) 내 구동 트랜지스터(DRT)의 이동도 또는 그 변화를 알아내고, 구동 트랜지스터들(DRT) 간의 이동도 편차를 줄여주거나 제거하는 이동도 보상값을 산출하고, 산출된 이동도 보상값을 메모리(410)에 저장해둘 수 있다.
- [0162] 표시 장치(100)는 디스플레이 구동을 위한 데이터 전압(Vdata)을 해당 서브 픽셀(SP)로 공급할 때, 문턱 전압 보상값과 이동도 보상값에 근거하여 변경된 데이터 전압(Vata)을 공급할 수 있다.
- [0163] 전술한 바에 따르면, 문턱 전압 센싱은 긴 센싱 시간을 필요로 하는 특성으로 인해 제1 센싱 모드(S-Mode)로 진행하고, 이동도 센싱은 짧은 센싱 시간으로 충분한 특성으로 인해 제2 센싱 모드(F-Mode)를 진행할 수 있다.
- [0164] 도 6은 본 개시의 실시예들에 따른 표시 장치(100)의 다양한 센싱 타이밍을 나타낸 도면이다.
- [0165] 도 6를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 파워 온 신호(Power On Signal)가 발생하면, 표시 패널(110)에 배치된 각 서브 픽셀(SP) 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수 있다. 이러한 센싱 프로세스를 "온-센싱 프로세스(On-Sensing Process)"라고 한다.
- [0166] 도 6를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 파워 오프 신호(Power Off Signal)가 발생하면, 전원 차단 등의 오프 시퀀스(Off-Sequence)가 진행되기 이전에, 표시 패널(110)에 배치된 각 서브 픽셀(SP) 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "오프-센싱 프로세스(Off-Sensing Process)"라고 한다.
- [0167] 도 6를 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)는 파워 온 신호가 발생한 이후 파워 오프 신호가 발생되기 전까지, 디스플레이 구동 도중에, 각 서브 픽셀(SP) 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "실시간 센싱 프로세스(Real-time Sensing Process)"라고 한다.
- [0168] 이러한 실시간 센싱 프로세스(Real-time Sensing Process)은, 수직 동기 신호(Vsync)를 기준으로, 액티브 시간들(ACT) 사이의 블랭크 시간(BLANK) 마다 진행될 수 있다.

- [0169] 구동 트랜지스터(DRT)의 이동도 센싱은 짧은 시간만이 필요하기 때문에, 이동도 센싱은 센싱 구동 방식 중 제2 센싱 모드(F-Mode)로 진행될 수 있다.
- [0170] 패스트 모드인 제2 센싱 모드(F-Mode)로 진행될 수 있는 이동도 센싱은 짧은 시간만이 필요하기 때문에, 이동도 센싱은 온-센싱 프로세스, 오프-센싱 프로세스 및 실시간-센싱 프로세스 중 어느 하나로 진행되어도 무방하다.
- [0171] 예를 들어, 패스트 모드인 제2 센싱 모드(F-Mode)로 진행될 수 있는 이동도 센싱은 이동도 변화를 디스플레이 구동 중에 실시간을 반영할 수 있는 실시간-센싱 프로세스로 진행될 수 있다. 즉, 이동도 센싱은 디스플레이 구동 중에 블랭크 기간마다 진행될 수 있다.
- [0172] 이에 비해, 구동 트랜지스터(DRT)의 문턱 전압 센싱은 긴 포화 시간(V_{sat})이 필요하다. 따라서, 문턱 전압 센싱은 센싱 구동 방식 중 제1 센싱 모드(S-Mode)로 진행될 수 있다.
- [0173] 문턱 전압 센싱은, 사용자 시청에 방해가 되지 않는 타이밍을 활용하여 이루어져야만 한다. 따라서, 구동 트랜지스터(DRT)의 문턱 전압 센싱은 사용자 입력 등에 따라 파워 오프 신호(Power Off Signal)가 발생한 이후, 디스플레이 구동이 되지 않는 동안(즉, 사용자가 시청 의사가 없는 상황)에 진행될 수 있다. 즉, 문턱 전압 센싱은 오프-센싱 프로세스(Off-Sensing Process)로 진행될 수 있다.
- [0174] 도 7은 본 개시의 실시예들에 따른 표시 장치(100)의 게이트 구동 회로(130)를 간략하게 나타낸 다이어그램이다.
- [0175] 도 7을 참조하면, 본 개시의 실시예들에 따른 게이트 구동 회로(130)는 다수의 게이트 신호(Gout)를 출력하기 위한 다수의 게이트 출력 회로(G-BUF) 및 다수의 게이트 출력 회로(G-BUF)를 제어하기 위한 제어 회로(700)를 포함할 수 있다. 여기서, 다수의 게이트 신호(Gout) 각각은 스캔 신호(SCAN) 또는 센스 신호(SENSE)일 수 있다.
- [0176] 다수의 게이트 출력 회로(G-BUF) 각각은 클럭 신호(CLK) 및 로우 레벨 전압(VGL)을 입력 받아 게이트 신호(Gout)를 게이트 출력 노드(Nout)로 출력할 수 있다.
- [0177] 게이트 출력 회로(G-BUF)는 클럭 신호(CLK)가 입력되는 풀-업 트랜지스터(T_u) 및 로우 레벨 전압(VGL)이 입력되는 풀-다운 트랜지스터(T_d)를 포함할 수 있다.
- [0178] 게이트 출력 회로(G-BUF)는 풀-업 트랜지스터(T_u)와 풀-다운 트랜지스터(T_d)가 연결된 게이트 출력 노드(Nout)로 게이트 신호(Gout)를 출력할 수 있다.
- [0179] 풀-업 트랜지스터(T_u)는 클럭 신호 입력 노드(Nclk)와 게이트 출력 노드(Nout) 사이에 연결될 수 있으며, 클럭 신호 입력 노드(Nclk)와 게이트 출력 노드(Nout) 간의 연결을 스위칭 할 수 있다.
- [0180] 풀-다운 트랜지스터(T_d)는 로우 레벨 전압 노드(Nvss)와 게이트 출력 노드(Nout) 사이에 연결될 수 있으며, 로우 레벨 전압 노드(Nvss)와 게이트 출력 노드(Nout) 간의 연결을 스위칭 할 수 있다.
- [0181] 풀-업 트랜지스터(T_u)에서, 게이트 노드인 Q 노드와 게이트 출력 노드(Nout) 사이에 캐패시터(C)가 전기적으로 연결될 수 있다. 이러한 캐패시터(C)는 게이트 출력 노드(Nout)의 전압 변동에 따라 Q 노드의 전압을 부스팅 시켜주는 역할을 할 수 있다.
- [0182] 제어 회로(700)는 풀-업 트랜지스터(T_u)의 게이트 노드와 전기적으로 연결된 Q 노드의 전압을 제어하고, 풀-다운 트랜지스터(T_d)의 게이트 노드와 전기적으로 연결된 QB 노드의 전압을 제어할 수 있다. 여기서, QB 노드는 트랜지스터를 통해 DC 전압을 인가 받을 수도 있고, AC 신호를 인가 받을 수도 있다.
- [0183] 제어 회로(700)는 Q 노드 및 QB 노드 각각의 전압을 제어하기 위하여, 다수의 트랜지스터들을 포함할 수 있다. 예를 들어, 제어 회로(700)는 Q 노드의 충전을 위한 하나 이상의 트랜지스터, Q 노드의 방전을 위한 하나 이상의 트랜지스터, QB 노드의 충전을 위한 하나 이상의 트랜지스터, QB 노드의 방전을 위한 하나 이상의 트랜지스터를 포함할 수 있다.
- [0184] 제어 회로(700)는 Q 노드 및 QB 노드 각각의 전압을 제어하기 위하여, 스타트 신호, 리셋 신호 등을 입력 받을 수 있고, 게이트 구동 방식에 따라 캐리 신호를 더 입력 받을 수도- 있다.
- [0185] 도 8은 본 개시의 실시예들에 따른 표시 장치(100)가 센싱 기능을 갖는 경우, 표시 장치(100)에 포함된 게이트 구동 회로(130)를 나타내고, 도 9는 도 8의 게이트 구동 회로(130) 내 주요 노드들(Q 노드, QB 노드, T4 Gate)에서의 전압 파형을 나타낸다. 단, 도 8에서 도시된 게이트 구동 회로(130)는 전체 게이트 구동 회로(130)의 일부 스테이지 회로이다.

- [0186] 도 8을 참조하면, 본 개시의 실시예들에 따른 게이트 구동 회로(130)는 제1 게이트 출력 버퍼 회로(GBUF1) 및 제어 회로(700)를 포함할 수 있다.
- [0187] 도 8을 참조하면, 제1 게이트 출력 버퍼 회로(GBUF1)는 제1 풀-업 트랜지스터(Tu1) 및 제1 풀-다운 트랜지스터(Td1)를 포함할 수 있다.
- [0188] 제어 회로(700)는 제1 풀-업 트랜지스터(Tu1)의 게이트 노드와 전기적으로 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터(Td1)의 게이트 노드와 전기적으로 연결된 QB 노드의 전압을 제어할 수 있다.
- [0189] 제1 풀-업 트랜지스터(Tu1)는 제1 클럭 신호 입력 노드(Nclk1)와 제1 게이트 출력 노드(Nout1) 사이에 연결될 수 있다. 제1 풀-다운 트랜지스터(Td1)는 제1 게이트 출력 노드(Nout1)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0190] 여기서, 제1 클럭 신호 입력 노드(Nclk1)에는 제1 클럭 신호(SCCLK(n))가 입력될 수 있다. 제1 로우 레벨 전압 노드(Nvss1)에는 제1 로우 레벨 전압(GVSS0)이 인가될 수 있다.
- [0191] 제1 게이트 출력 버퍼 회로(GBUF1)는 제1 게이트 출력 노드(Nout1)를 통해 제1 게이트 라인(GL)으로 제1 게이트 신호(SCOUT(n))를 출력할 수 있다.
- [0192] 제1 풀-업 트랜지스터(Tu1)의 게이트 노드와 제1 게이트 출력 노드(Nout1) 사이에는 캐패시터(C1)가 연결될 수 있다.
- [0193] 도 8을 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)가 센싱 기능(예: 이동도 센싱 기능)을 갖는 경우, 본 개시의 실시예들에 따른 게이트 구동 회로(130)에 포함된 제어 회로(700)는, 라인 선택 회로(LSC), Q 노드의 충전을 위한 Q 충전 회로(QCC1, QCC2), Q 노드의 방전을 위한 Q 방전 회로(QDC1, QDC2), Q 노드의 전압 상태를 안정적으로 유지(홀딩)시켜주기 위한 유지 회로(QHM, QLM), QB 노드의 충전을 위한 QB 충전 회로(QBCC), QB 노드의 방전을 위한 QB 방전 회로(QBDC1, QBDC2), 및 QB 제어 회로(QBC) 등을 포함할 수 있다.
- [0194] 도 8을 참조하면, 라인 선택 회로(LSC)는 2개의 메인 선택 트랜지스터(Ta, Tb), 1개의 서브 선택 트랜지스터(Tc), 및 1개의 선택 캐패시터(C1s)를 포함할 수 있다. 라인 선택 회로(LSC)는 해당 서브 픽셀 라인을 센싱 구동이 진행되는 라인으로 선택하기 위한 회로일 수 있다.
- [0195] 2개의 메인 선택 트랜지스터(Ta, Tb) 각각의 게이트 노드에는 라인 선택 신호(LSP)가 공통으로 인가될 수 있다. 라인 선택 신호(LSP)는 펄스 형태의 신호로서 프레임 중간에 2개의 메인 선택 트랜지스터(Ta, Tb) 각각의 게이트 노드에 공통으로 인가될 수 있다.
- [0196] 2개의 메인 선택 트랜지스터(Ta, Tb) 중 하나의 메인 선택 트랜지스터 Ta의 소스 노드(또는 드레인 노드)와 나머지 하나의 메인 선택 트랜지스터 Tb의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0197] 2개의 메인 선택 트랜지스터(Ta, Tb) 중 하나의 메인 선택 트랜지스터 Ta의 드레인 노드(또는 소스 노드)에는 이전 캐리 신호(C(n-2))가 인가될 수 있다.
- [0198] 1개의 서브 선택 트랜지스터(Tc)는 2개의 메인 선택 트랜지스터(Ta, Tb)의 연결 노드와 제2 구동 전압 노드(Nvdd) 사이에 연결될 수 있다. 여기서, 제2 구동 전압 노드(Nvdd)에는 제2 구동 전압(GVDD)이 인가될 수 있다.
- [0199] 2개의 메인 선택 트랜지스터(Ta, Tb) 중 나머지 하나의 메인 선택 트랜지스터 Tb의 소스 노드(또는 드레인 노드)는 1개의 서브 선택 트랜지스터(Tc)의 게이트 노드에 전기적으로 연결될 수 있다.
- [0200] 1개의 선택 캐패시터(C1c)는 1개의 서브 선택 트랜지스터(Tc)의 드레인 노드(또는 소스 노드)와 게이트 노드 사이에 연결될 수 있다.
- [0201] 도 8을 참조하면, Q 노드의 충전을 위한 Q 충전 회로(QCC1, QCC2)는 제1 Q 충전 회로(QCC1) 및 제2 Q 충전 회로(QCC2)를 포함할 수 있다.
- [0202] 도 8을 참조하면, 제1 Q 충전 회로(QCC1)는 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결될 수 있다. 제1 Q 충전 회로(QCC1)는 액티브 기간 동안, 영상 표시를 위한 노말 디스플레이 구동 시 동작하는 Q 노드에 대한 충전 회로일 수 있다. 제1 Q 충전 회로(QCC1)는 액티브 기간 동안 Q 노드로 제2 구동 전압(GVDD)을 공급하기 위해 구성될 수 있다.
- [0203] 도 8을 참조하면, 제2 Q 충전 회로(QCC2)는, 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결될 수 있다. 제2 Q

충전 회로(QCC2)는 블랭크 기간 동안, 센싱 구동 시 동작하는 Q 노드에 대한 충전 회로일 수 있다. 제2 Q 충전 회로(QCC2)는, 블랭크 기간 동안 Q 노드로 제2 구동 전압(GVDD)을 공급하기 위해 구성될 수 있다.

- [0204] 도 8을 참조하면, 제1 Q 충전 회로(QCC1)는 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결된 2개의 제1 Q 충전 트랜지스터(T1, T1a)를 포함할 수 있다. 여기서, 제2 구동 전압 노드(Nvdd)에는 제2 구동 전압(GVDD)이 인가될 수 있다.
- [0205] 2개의 제1 Q 충전 트랜지스터(T1, T1a) 각각의 게이트 노드는 전기적으로 서로 연결될 수 있다. 2개의 제1 Q 충전 트랜지스터(T1, T1a) 각각의 게이트 노드에는 이전 캐리 신호(C(n-2))가 입력될 수 있다.
- [0206] 2개의 제1 Q 충전 트랜지스터(T1, T1a)에서, 하나의 제1 Q 충전 트랜지스터 T1의 소스 노드(또는 드레인 노드)와 나머지 하나의 제1 Q 충전 트랜지스터 T1a의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다. 제1 Q 충전 트랜지스터 T1의 드레인 노드(또는 소스 노드)는 제2 구동 전압 노드(Nvdd)와 전기적으로 연결될 수 있다. 제1 Q 충전 트랜지스터 T1a의 소스 노드(또는 드레인 노드)는 Q 노드와 전기적으로 연결될 수 있다.
- [0207] 제1 Q 충전 회로(QCC1)는 2개의 제1 Q 충전 트랜지스터(T1, T1a)의 연결 노드와 제3 구동 전압 노드(Nvdd2) 사이에 연결된 2개의 제1 추가 충전 트랜지스터(T11, T12)를 더 포함할 수 있다.
- [0208] 2개의 제1 추가 충전 트랜지스터(T11, T12) 각각의 게이트 노드는 제3 구동 전압 노드(Nvdd2)에 공통으로 연결될 수 있다. 여기서, 제3 구동 전압 노드(Nvdd2)에는 제3 구동 전압(GVDD2)이 인가될 수 있다.
- [0209] 2개의 제1 추가 충전 트랜지스터(T11, T12)에서, 제1 추가 충전 트랜지스터 T11의 소스 노드(또는 드레인 노드)와 제1 추가 충전 트랜지스터 T12의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0210] 제1 추가 충전 트랜지스터 T12의 드레인 노드(또는 소스 노드)는 2개의 제1 Q 충전 트랜지스터(T1, T1a)의 연결 노드에 전기적으로 연결될 수 있다.
- [0211] 제1 추가 충전 트랜지스터 T11은 게이트 노드와 드레인 노드가 전기적으로 연결된 다이오드 연결(Diode Connection) 상태일 수 있다.
- [0212] 도 8을 참조하면, 제2 Q 충전 회로(QCC2)는 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결된 2개의 제2 Q 충전 트랜지스터(T1b, T1c)를 포함할 수 있다.
- [0213] 제2 Q 충전 회로(QCC2)에서, 2개의 제2 Q 충전 트랜지스터(T1b, T1c) 중 하나의 제2 Q 충전 트랜지스터(T1b)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제2 Q 충전 트랜지스터(T1c)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0214] 제2 Q 충전 트랜지스터 T1b의 드레인 노드(또는 소스 노드)는 제2 구동 전압 노드(Nvdd)와 전기적으로 연결될 수 있다. 제2 Q 충전 트랜지스터 T1b의 드레인 노드(또는 소스 노드)와 게이트 노드 사이에 라인 선택 회로(LSC)의 선택 캐패시터(C1c)가 연결될 수 있다.
- [0215] 제2 Q 충전 트랜지스터 T1c의 게이트 노드에는 리셋 신호(RESET)가 인가될 수 있다. 제2 Q 충전 트랜지스터 T1c의 소스 노드(또는 드레인 노드)는 Q 노드와 전기적으로 연결될 수 있다.
- [0216] 도 8을 참조하면, Q 노드의 방전을 위한 Q 방전 회로(QDC1, QDC2)는 제1 Q 방전 회로(QDC1) 및 제2 Q 방전 회로(QDC2)를 포함할 수 있다.
- [0217] 도 8을 참조하면, 제1 Q 방전 회로(QDC1)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다. 제1 Q 방전 회로(QDC1)는 액티브 기간 동안, 영상 표시를 위한 노말 디스플레이 구동 시 동작하는 Q 노드에 대한 방전 회로일 수 있다. 제1 Q 방전 회로(QDC1)는 액티브 기간 동안 Q 노드로 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0218] 도 8을 참조하면, 제2 Q 방전 회로(QDC2)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다. 제2 Q 방전 회로(QDC2)는 블랭크 기간 동안, 센싱 구동 시 동작하는 Q 노드에 대한 방전 회로일 수 있다. 제2 Q 방전 회로(QDC2)는 블랭크 기간 동안 Q 노드로 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0219] 도 8을 참조하면, 제1 Q 방전 회로(QDC1)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결된 2개의 제1 Q 방전 트랜지스터(T3n, T3na)를 포함할 수 있다.
- [0220] 2개의 제1 Q 방전 트랜지스터(T3n, T3na) 중 하나의 제1 Q 방전 트랜지스터(T3n)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제1 Q 방전 트랜지스터(T3na)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수

있다.

- [0221] 2개의 제1 Q 방전 트랜지스터(T3n, T3na) 각각의 게이트 노드에는 다음 캐리 신호(C(n+2))가 공통으로 인가될 수 있다.
- [0222] 2개의 제1 Q 방전 트랜지스터(T3n, T3na) 중 하나의 제1 Q 방전 트랜지스터(T3n)의 드레인 노드(또는 소스 노드)는 Q 노드와 전기적으로 연결될 수 있고, 나머지 하나의 제1 Q 방전 트랜지스터(T3na)의 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)와 전기적으로 연결될 수 있다. 여기서, 제2 로우 레벨 전압 노드(Nvss2)에는 제2 로우 레벨 전압(VGSS2)이 인가될 수 있다.
- [0223] 도 8을 참조하면, 제2 Q 방전 회로(QDC2)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결된 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc)를 포함할 수 있다.
- [0224] 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc) 중 하나의 제2 Q 방전 트랜지스터(T3nb)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제2 Q 방전 트랜지스터(T3nc)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0225] 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc) 각각의 게이트 노드에는 스타트 신호(VST)가 공통으로 인가될 수 있다.
- [0226] 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc) 중 하나의 제2 Q 방전 트랜지스터(T3nb)의 드레인 노드(또는 소스 노드)는 Q 노드와 전기적으로 연결될 수 있고, 나머지 하나의 제2 Q 방전 트랜지스터(T3nc)의 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)와 전기적으로 연결될 수 있다.
- [0227] 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc)의 연결 노드는 2개의 제1 Q 방전 트랜지스터(T3n, T3na)의 연결 노드와 전기적으로 연결될 수 있다.
- [0228] 도 8을 참조하면, 유지 회로(QHM, QLM)는 Q 노드의 전압 상태를 안정적으로 유지(홀딩)시켜주기 위한 회로이고, 제1 유지 회로(QHM) 및 제2 유지 회로(QLM)를 포함할 수 있다.
- [0229] 도 8을 참조하면, 제1 유지 회로(QHM)는 Q 노드의 전압을 하이 레벨 전압 상태로 안정적으로 유지시켜주는 회로이고, 제2 유지 회로(QLM)는 Q 노드의 전압을 로우 레벨 전압 상태로 안정적으로 유지시켜주는 회로이다.
- [0230] 제2 유지 회로(QLM)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결된 2개의 제2 유지 트랜지스터(T3, T3a)를 포함할 수 있다.
- [0231] 2개의 제2 유지 트랜지스터(T3, T3a) 각각의 게이트 노드는 QB 노드와 공통으로 연결될 수 있다.
- [0232] 2개의 제2 유지 트랜지스터(T3, T3a) 중 하나의 제2 유지 트랜지스터(T3)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제2 유지 트랜지스터(T3a)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0233] 2개의 제2 유지 트랜지스터(T3, T3a)에서, 하나의 제2 유지 트랜지스터(T3)의 드레인 노드(또는 소스 노드)는 Q 노드에 전기적으로 연결될 수 있고, 나머지 하나의 제2 유지 트랜지스터(T3a)의 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)에 전기적으로 연결될 수 있다.
- [0234] 2개의 제2 유지 트랜지스터(T3, T3a)의 연결 노드는, 2개의 제2 Q 방전 트랜지스터(T3nb, T3nc)의 연결 노드 및 2개의 제1 Q 방전 트랜지스터(T3n, T3na)의 연결 노드와 전기적으로 연결될 수 있다.
- [0235] 제1 유지 회로(QHM)는 2개의 제2 유지 트랜지스터(T3, T3a)의 연결 노드와 제2 구동 전압 노드(Nvdd) 사이에 연결된 2개의 제1 유지 트랜지스터(T3q, T3qa)를 포함할 수 있다.
- [0236] 2개의 제1 유지 트랜지스터(T3q, T3qa) 각각의 게이트 노드는 Q 노드에 공통으로 연결될 수 있다.
- [0237] 2개의 제1 유지 트랜지스터(T3q, T3qa) 중 하나의 제1 유지 트랜지스터(T3q)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제1 유지 트랜지스터(T3qa)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0238] 2개의 제1 유지 트랜지스터(T3q, T3qa)에서, 하나의 제1 유지 트랜지스터(T3q)의 드레인 노드(또는 소스 노드)는 제2 구동 전압 노드(Nvdd)에 전기적으로 연결될 수 있고, 나머지 하나의 제1 유지 트랜지스터(T3qa)의 소스 노드(또는 드레인 노드)는 2개의 제2 유지 트랜지스터(T3, T3a)의 연결 노드에 전기적으로 연결될 수 있다.
- [0239] 도 8을 참조하면, QB 노드의 충전을 위한 QB 충전 회로(QBCC)는 제1 구동 전압 노드(Nvdd1)와 QB 노드 사이에 연결될 수 있다. 여기서, 제1 구동 전압 노드(Nvdd1)에는 제1 구동 전압(GVDD_o)이 인가될 수 있다.

- [0240] 도 8을 참조하면, QB 충전 회로(QBCC)는 QB 노드에 제1 구동 전압(PGVDD)을 공급하기 위해 구성될 수 있다. QB 충전 회로(QBCC)는 제1 구동 전압 노드(Nvdd1)와 QB 노드 사이에 QB 충전 트랜지스터(T4)를 포함할 수 있다.
- [0241] QB 충전 트랜지스터(T4)의 게이트 노드는 QB 제어 회로(QBC)와 연결될 수 있다. QB 충전 트랜지스터(T4)의 드레인 노드(또는 소스 노드)는 제1 구동 전압 노드(Nvdd1)와 전기적으로 연결될 수 있다. QB 충전 트랜지스터(T4)의 소스 노드(또는 드레인 노드)는 QB 노드와 전기적으로 연결될 수 있다.
- [0242] QB 충전 트랜지스터(T4)의 드레인 노드(또는 소스 노드)는 QB 제어 회로(QBC)와 연결될 수 있다.
- [0243] 도 8을 참조하면, QB 노드의 방전을 위한 QB 방전 회로(QBDC1, QBDC2)는 제1 QB 방전 회로(QBDC1) 및 제2 QB 방전 회로(QBDC2)를 포함할 수 있다.
- [0244] 도 8을 참조하면, 제1 QB 방전 회로(QBDC1)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다. 제1 QB 방전 회로(QBDC1)는 액티브 기간 동안, 영상 표시를 위한 노말 디스플레이 구동 시 동작하는 QB 노드에 대한 방전 회로일 수 있다. 제1 QB 방전 회로(QBDC1)는 액티브 기간 동안 QB 노드에 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0245] 도 8을 참조하면, 제2 QB 방전 회로(QBDC2)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다. 제2 QB 방전 회로(QBDC2)는 블랭크 기간 동안, 센싱 구동 시 동작하는 QB 노드에 대한 방전 회로일 수 있다. 제2 QB 방전 회로(QBDC2)는 블랭크 기간 동안 QB 노드에 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0246] 제2 QB 방전 회로(QBDC2)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결된 2개의 제2 Q 방전 트랜지스터(T5a, T5b)를 포함할 수 있다.
- [0247] 2개의 제2 Q 방전 트랜지스터(T5a, T5b) 중에서, 하나의 제2 Q 방전 트랜지스터(T5a)의 소스 노드(또는 드레인 노드)와 나머지 하나의 제2 Q 방전 트랜지스터(T5b)의 드레인 노드(또는 소스 노드)는 전기적으로 연결될 수 있다.
- [0248] 2개의 제2 Q 방전 트랜지스터(T5a, T5b) 중에서, 하나의 제2 Q 방전 트랜지스터(T5a)의 드레인 노드(또는 소스 노드)는 QB 노드에 전기적으로 연결될 수 있고, 나머지 하나의 제2 Q 방전 트랜지스터(T5b)의 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)에 전기적으로 연결될 수 있다.
- [0249] 2개의 제2 Q 방전 트랜지스터(T5a, T5b) 중에서, 하나의 제2 Q 방전 트랜지스터(T5a)의 게이트 노드에는 리셋 신호(RESET)가 인가되고, 나머지 하나의 제2 Q 방전 트랜지스터(T5b)의 게이트 노드에는 방전 제어 신호(M_o)가 인가될 수 있다.
- [0250] 도 8을 참조하면, 제1 QB 방전 회로(QBDC1)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 병렬 형태로 연결된 2개의 제1 Q 방전 트랜지스터(T5, T5q)를 포함할 수 있다.
- [0251] 2개의 제1 Q 방전 트랜지스터(T5, T5q) 중 하나의 제1 Q 방전 트랜지스터(T5)에서, 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)에 연결되고, 드레인 노드(또는 소스 노드)는 QB 노드에 연결되고, 게이트 노드에는 이전 캐리 신호(C(n-2))가 입력될 수 있다.
- [0252] 2개의 제1 Q 방전 트랜지스터(T5, T5q) 중 다른 하나의 제1 Q 방전 트랜지스터(T5q)에서, 소스 노드(또는 드레인 노드)는 제2 로우 레벨 전압 노드(Nvss2)에 연결되고, 드레인 노드(또는 소스 노드)는 QB 노드에 연결되고, 게이트 노드는 Q 노드와 전기적으로 연결될 수 있다.
- [0253] 도 8을 참조하면, QB 제어 회로(QBC)는 QB 노드의 충전을 위한 QB 충전 회로(QBCC)에 포함되는 QB 충전 회로(QBCC)를 제어하는 회로이다.
- [0254] 도 8을 참조하면, QB 제어 회로(QBC)는 QB 충전 회로(QBCC)에 포함된 QB 충전 트랜지스터(T4)의 게이트 노드를 제어할 수 있다.
- [0255] QB 제어 회로(QBC)는 제1 구동 전압 노드(Nvdd1)와 QB 충전 트랜지스터(T4)의 게이트 노드 사이에 연결된 제1 제어 트랜지스터(T41, T41a)와, QB 충전 트랜지스터(T4)의 게이트 노드와 제3 로우 레벨 전압 노드(Nvss3) 사이에 연결된 제2 제어 트랜지스터(T4q)를 포함할 수 있다. 여기서, 제3 로우 레벨 전압 노드(Nvss3)에는 제3 로우 레벨 전압(GVSS1)이 인가될 수 있다.
- [0256] QB 제어 회로(QBC)에서, 제1 제어 트랜지스터(T41, T41a)의 게이트 노드는 제1 구동 전압 노드(Nvdd1)에 전기적

으로 연결될 수 있고, 제2 제어 트랜지스터(T4q)의 게이트 노드는 Q 노드에 전기적으로 연결될 수 있다.

- [0257] 도 8을 참조하면, 게이트 구동 회로(130)는, 캐리 풀-업 트랜지스터(Tu_CR) 및 캐리 풀-다운 트랜지스터(Td_CR)를 포함하는 캐리 출력 버퍼 회로(CBUF)를 더 포함할 수 있다.
- [0258] 캐리 풀-업 트랜지스터(Tu_CR)는 캐리 클럭 신호 입력 노드(Ncrclk)와 캐리 출력 노드(Ncrou) 사이에 연결될 수 있다. 캐리 풀-다운 트랜지스터(Td_CR)는 캐리 출력 노드(Ncrou)와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다.
- [0259] 캐리 풀-업 트랜지스터(Tu_CR)의 게이트 노드는 Q 노드에 연결될 수 있다. 캐리 풀-다운 트랜지스터(Td_CR)의 게이트 노드는 QB 노드에 연결될 수 있다.
- [0260] 캐리 풀-업 트랜지스터(Tu_CR)의 소스 노드(또는 드레인 노드)와 게이트 노드 사이에 캐패시터(Ccr)가 연결될 수 있다.
- [0261] 캐리 출력 버퍼 회로(CBUF)는 캐리 출력 노드(Ncrou)를 통해 이전 스테이지 회로 및/또는 다음 스테이지 회로로 캐리 신호(C(n))를 출력할 수 있다.
- [0262] 도 8을 참조하면, 본 개시의 실시예들에 따른 게이트 구동 회로(130)는 제2 게이트 출력 버퍼 회로(GBUF2)를 더 포함할 수 있다.
- [0263] 제2 게이트 출력 버퍼 회로(GBUF2)는 제2 풀-업 트랜지스터(Tu2) 및 제2 풀-다운 트랜지스터(Td2)를 포함할 수 있다.
- [0264] 제2 풀-업 트랜지스터(Tu2)는 제2 클럭 신호 입력 노드(Nclk2)와 제2 게이트 출력 노드(Nout2) 사이에 연결될 수 있다. 제2 풀-다운 트랜지스터(Td2)는 제2 게이트 출력 노드(Nout2)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0265] 여기서, 제2 클럭 신호 입력 노드(Nclk2)에는 제2 클럭 신호(SCCLK(n+1))가 입력될 수 있다. 제2 게이트 출력 노드(Nout2)에는 제2 게이트 라인(GL)이 전기적으로 연결될 수 있다.
- [0266] 제2 풀-업 트랜지스터(Tu2)의 게이트 노드와 제2 게이트 출력 노드(Nout2) 사이에는 캐패시터(C2)가 연결될 수 있다.
- [0267] 제2 게이트 출력 버퍼 회로(GBUF2)는 제2 게이트 출력 노드(Nout2)를 통해 제2 게이트 라인(GL)으로 제2 게이트 신호(SCOUT(n+1))를 출력할 수 있다.
- [0268] 도 8을 참조하면, 본 개시의 실시예들에 따른 게이트 구동 회로(130)는 제3 게이트 출력 버퍼 회로(GBUF3)를 더 포함할 수 있다.
- [0269] 제3 게이트 출력 버퍼 회로(GBUF3)는 제3 풀-업 트랜지스터(Tu3) 및 제3 풀-다운 트랜지스터(Td3)를 포함할 수 있다.
- [0270] 제3 풀-업 트랜지스터(Tu3)는 제3 클럭 신호 입력 노드(Nclk3)와 제3 게이트 출력 노드(Nout3) 사이에 연결될 수 있다. 제3 풀-다운 트랜지스터(Td3)는 제3 게이트 출력 노드(Nout3)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0271] 여기서, 제3 클럭 신호 입력 노드(Nclk3)에는 제3 클럭 신호(SCCLK(n+2))가 입력될 수 있다. 제3 게이트 출력 노드(Nout3)에는 제3 게이트 라인(GL)이 전기적으로 연결될 수 있다.
- [0272] 제3 풀-업 트랜지스터(Tu3)의 게이트 노드와 제3 게이트 출력 노드(Nout3) 사이에는 캐패시터(C3)가 연결될 수 있다.
- [0273] 제3 게이트 출력 버퍼 회로(GBUF3)는 제3 게이트 출력 노드(Nout3)를 통해 제3 게이트 라인(GL)으로 제3 게이트 신호(SCOUT(n+2))를 출력할 수 있다.
- [0274] 도 8을 참조하면, 본 개시의 실시예들에 따른 게이트 구동 회로(130)는 제4 게이트 출력 버퍼 회로(GBUF4)를 더 포함할 수 있다.
- [0275] 제4 게이트 출력 버퍼 회로(GBUF4)는 제4 풀-업 트랜지스터(Tu4) 및 제4 풀-다운 트랜지스터(Td4)를 포함할 수 있다.

- [0276] 제4 풀-업 트랜지스터(Tu4)는 제4 클럭 신호 입력 노드(Nclk4)와 제4 게이트 출력 노드(Nout4) 사이에 연결될 수 있다. 제4 풀-다운 트랜지스터(Td4)는 제4 게이트 출력 노드(Nout4)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0277] 여기서, 제4 클럭 신호 입력 노드(Nclk4)에는 제4 클럭 신호(SCCLK(n+3))가 입력될 수 있다. 제4 게이트 출력 노드(Nout4)에는 제4 게이트 라인(GL)이 전기적으로 연결될 수 있다.
- [0278] 제4 풀-업 트랜지스터(Tu4)의 게이트 노드와 제4 게이트 출력 노드(Nout4) 사이에는 캐패시터(C3)가 연결될 수 있다.
- [0279] 제4 게이트 출력 버퍼 회로(GBUF4)는 제4 게이트 출력 노드(Nout4)를 통해 제4 게이트 라인(GL)으로 제4 게이트 신호(SCOUT(n+3))를 출력할 수 있다.
- [0280] 도 9를 참조하면, 게이트 구동 회로(130)에서, Q 노드의 전압 레벨과 QB 노드의 전압 레벨은 반대이다. Q 노드의 전압이 하이 레벨 전압 상태이면, QB 노드의 전압은 로우 레벨 전압 상태이다. Q 노드의 전압이 로우 레벨 전압 상태이면, QB 노드의 전압은 하이 레벨 전압 상태이다.
- [0281] 도 9를 참조하면, QB 노드의 전압 변화는 QB 충전 회로(QBCC)에 포함된 QB 충전 트랜지스터(T4)의 게이트 노드(T4 Gate)의 전압 변화와 대응될 수 있다.
- [0282] QB 노드의 전압이 감소하면 QB 충전 트랜지스터(T4)의 게이트 노드(T4 Gate)의 전압도 감소하고, QB 노드의 전압이 증가하면 QB 충전 트랜지스터(T4)의 게이트 노드(T4 Gate)의 전압도 증가할 수 있다.
- [0283] QB 노드의 전압이 하이 레벨 전압 상태이면 QB 충전 트랜지스터(T4)의 게이트 노드(T4 Gate)의 전압도 하이 레벨 전압 상태이고, QB 노드의 전압이 로우 레벨 전압 상태이면 QB 충전 트랜지스터(T4)의 게이트 노드(T4 Gate)의 전압도 로우 레벨 전압 상태일 수 있다.
- [0284] 도 9를 참조하면, QB 제어 회로(QBC)에 포함된 제2 제어 트랜지스터(T4q)의 문턱 전압이 네거티브 방향으로 쉬프트 되는 경우, QB 충전 트랜지스터(T4)의 게이트 노드의 전압 강하에 의한 QB 노드의 전압 강하를 방지하기 위하여, 제3 로우 레벨 전압(GVSS1)은 제2 로우 레벨 전압(GVSS2)보다 높게 설정될 수 있다.
- [0285] Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, 게이트 노드가 Q 노드에 연결된 제2 제어 트랜지스터(T4q)는 턴-온 상태이고, QB 노드의 충전을 위한 QB 충전 트랜지스터(T4)는 턴-오프 상태일 수 있다.
- [0286] 따라서, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, 제2 제어 트랜지스터(T4q)를 통해, 제2 로우 레벨 전압(GVSS2)보다 높은 제3 로우 레벨 전압(GVSS1)이 QB 충전 트랜지스터(T4)의 게이트 노드에 인가될 수 있다(A). 이때, QB 충전 트랜지스터(T4)의 소스 노드인 QB 노드는 제2 로우 레벨 전압(GVSS2)이 인가된 상태일 수 있다.
- [0287] QB 충전 트랜지스터(T4)의 게이트 노드와 소스 노드의 전위차(Vgs)는 제3 로우 레벨 전압(GVSS1)과 제2 로우 레벨 전압(GVSS2)의 차이 값에 해당할 수 있다.
- [0288] 진술한 바와 같이, QB 충전 트랜지스터(T4)의 게이트 노드의 전압 강하에 의한 QB 노드의 전압 강하를 방지하기 위하여, 제3 로우 레벨 전압(GVSS1)이 제2 로우 레벨 전압(GVSS2)보다 높게 설정된 경우(A), QB 충전 트랜지스터(T4)의 게이트 노드와 소스 노드의 전위차(Vgs)는 포지티브 값을 가질 수 있다. 이에 따라, QB 충전 트랜지스터(T4)는 완전한 턴-오프 상태를 유지하지 못할 수 있다. 따라서, QB 충전 트랜지스터(T4)에서 원치 않는 누설 전류가 발생될 수 있다.
- [0289] 또한, 도 9를 참조하면, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, QB 노드 충전을 위한 QB 충전 트랜지스터(T4)는 턴-온 상태일 수 있고, 게이트 노드가 Q 노드에 연결된 제2 제어 트랜지스터(T4q)는 턴-오프 상태일 수 있다.
- [0290] 도 9를 참조하면, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드에 리플(Ripple)이 발생하면, Q 노드의 리플에 의해, 제2 제어 트랜지스터(T4q)가 원치 않게 턴-온 될 수 있다.
- [0291] Q 노드의 리플에 의한 제2 제어 트랜지스터(T4q)의 원치 않는 턴-온에 따라, 제3 로우 레벨 전압(GVSS1)이 QB 충전 트랜지스터(T4)의 게이트 노드에 원치 않게 인가될 수 있다. 이에 따라, QB 충전 트랜지스터(T4)는 QB 노드 충전을 위해 턴-온 상태를 유지하지 못하고, 턴-오프 상태로 바뀔 수 있다. 이때, QB 충전 트랜지스터(T4)의

소스 노드에는 하이 레벨 전압인 제1 구동 전압(GVDD_o)이 인가된 상태이다.

- [0292] 전술한 Q 노드의 리플레 의해, QB 충전 트랜지스터(T4)의 게이트 노드에는 제3 로우 레벨 전압(GVSS1)이 인가됨에 따라, QB 충전 트랜지스터(T4)가 원치 않게 턴-오프 되어, QB 노드가 하이 레벨 전압 상태를 유지하지 못하고, 낮아질 수 있다(B).
- [0293] 도 9를 참조하면, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서 QB 충전 트랜지스터(T4)에서 원치 않는 누설 전류가 발생하는 제1 현상(A 부분과 관련된 현상)과, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드의 리플레 의한 QB 노드의 전압이 강해지는 제2 현상(B 부분과 관련된 현상)은, 게이트 구동 성능을 떨어뜨리게 되어, 화상 품질 저하로 이어질 수 있다.
- [0294] 이에, 본 개시의 실시예들은, 표시 장치(100)의 센싱 기능에 적용이 가능하면서도, 제1 및 제2 현상을 방지하거나 줄여줄 수 있는 개선된 게이트 구동 회로(130)를 개시한다. 아래에서는, 본 개시의 실시예들에 따른 개선된 게이트 구동 회로(130)를 설명한다.
- [0295] 도 10은 본 개시의 실시예들에 따른 표시 장치(100)가 센싱 기능을 갖는 경우, 표시 장치(100)에 포함된 개선된 게이트 구동 회로(130)를 나타낸다. 도 11 및 도 12는 도 10의 개선된 게이트 구동 회로(130) 내 주요 노드들(Q 노드, QB 노드, T4 Gate)에서의 전압 파형을 나타낸다. 단, 도 10의 개선된 게이트 구동 회로(130)를 설명함에 있어서, 도 8의 게이트 구동 회로(130)와 동일한 구성 및 내용에 대한 설명은 생략한다. 단, 도 10에서 도시된 게이트 구동 회로(130)는 전체 게이트 구동 회로(130)의 일부 스테이지 회로이다.
- [0296] 도 10을 참조하면, 본 개시의 실시예들에 따른 개선된 게이트 구동 회로(130)는 제1 게이트 출력 버퍼 회로(GBUF1) 및 제어 회로(700)를 포함할 수 있다.
- [0297] 제1 게이트 출력 버퍼 회로(GBUF1)는 제1 풀-업 트랜지스터(Tu1) 및 제1 풀-다운 트랜지스터(Td1)를 포함할 수 있다.
- [0298] 제어 회로(700)는, 제1 풀-업 트랜지스터(Tu1)의 게이트 노드와 전기적으로 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터(Td1)의 게이트 노드와 전기적으로 연결된 QB 노드의 전압을 제어할 수 있다.
- [0299] 제1 풀-업 트랜지스터(Tu1)는 제1 클럭 신호 입력 노드(Nc1k1)와 제1 게이트 출력 노드(Nout1) 사이에 연결될 수 있다. 제1 풀-다운 트랜지스터(Td1)는 제1 게이트 출력 노드(Nout1)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0300] 제1 게이트 출력 버퍼 회로(GBUF1)는 제1 게이트 출력 노드(Nout1)를 통해 제1 게이트 라인(GL)으로 제1 게이트 신호(SCOUT(n))를 출력할 수 있다.
- [0301] 도 10을 참조하면, 본 개시의 실시예들에 따른 표시 장치(100)가 센싱 기능(예: 이동도 센싱 기능)을 갖는 경우, 본 개시의 실시예들에 따른 개선된 게이트 구동 회로(130)에 포함된 제어 회로(700)는, 라인 선택 회로(LSC), Q 노드의 충전을 위한 Q 충전 회로(QCC1, QCC2), Q 노드의 방전을 위한 Q 방전 회로(QDC1, QDC2), Q 노드의 전압 상태를 안정적으로 유지(홀딩)시켜주기 위한 유지 회로(QHM, QLM), QB 노드의 충전을 위한 QB 충전 회로(QBCC), QB 노드의 방전을 위한 QB 방전 회로(QBDC1, QBDC2), 및 QB 제어 회로(QBC) 등을 포함할 수 있다.
- [0302] 도 10의 개선된 게이트 구동 회로(130)에 포함된 라인 선택 회로(LSC), Q 충전 회로(QCC1, QCC2), Q 방전 회로(QDC1, QDC2), 및 유지 회로(QHM, QLM)는, 도 8의 게이트 구동 회로(130)에 포함된 라인 선택 회로(LSC), Q 충전 회로(QCC1, QCC2), Q 방전 회로(QDC1, QDC2), 및 유지 회로(QHM, QLM)와 동일할 수 있다.
- [0303] 도 10의 개선된 게이트 구동 회로(130)에 포함된 QB 충전 회로(QBCC), QB 방전 회로(QBDC1, QBDC2), 및 QB 제어 회로(QBC)는 도 8의 게이트 구동 회로(130)에 포함된 QB 충전 회로(QBCC), QB 방전 회로(QBDC1, QBDC2), 및 QB 제어 회로(QBC)와 다를 수 있다.
- [0304] QB 충전 회로(QBCC)는 제1 트랜지스터(T4)를 포함할 수 있다. 제1 트랜지스터(T4)는 도 8의 QB 충전 트랜지스터(T4)와 대응될 수 있다.
- [0305] 제1 QB 방전 회로(QBDC1)는 2개의 제2 트랜지스터(T5q, T5qa)를 포함할 수 있다. 2개의 제2 트랜지스터(T5q, T5qa)는 도 8의 제1 Q 방전 트랜지스터(T5q)와 대응될 수 있다.
- [0306] QB 제어 회로(QBC)는 제3 트랜지스터(T4h), 제4 트랜지스터(T41, T41a), 2개의 제5 트랜지스터(T4q, T4qa)를 포함할 수 있다. 제3 트랜지스터(T4h)는 도 8의 QB 제어 회로(QBC)에는 없는 트랜지스터이다. 제4 트랜지스터

(T41, T41a)는 도 8의 QB 제어 회로(QBC)에 포함된 제1 제어 트랜지스터(T41, T41a)와 대응될 수 있다. 2개의 제5 트랜지스터(T4q, T4qa)는 도 8의 QB 제어 회로(QBC)에 포함된 제2 제어 트랜지스터(T4q)와 대응될 수 있다.

- [0307] 도 10을 참조하면, 제어 회로(700)는, 제1 구동 전압 노드(Nvdd1)와 QB 노드 사이에 연결된 제1 트랜지스터(T4), QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 직렬로 연결된 2개의 제2 트랜지스터(T5q, T5qa), 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2)와 제1 구동 전압 노드(Nvdd1) 사이에 연결된 제3 트랜지스터(T4h), 제1 트랜지스터(T4)의 게이트 노드와 제1 구동 전압 노드(Nvdd1) 사이에 연결된 제4 트랜지스터(T41, T41a), 및 제1 트랜지스터(T4)의 게이트 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 직렬로 연결된 2개의 제5 트랜지스터(T4q, T4qa)를 포함할 수 있다.
- [0308] 도 10을 참조하면, 2개의 제5 트랜지스터(T4q, T4qa)의 연결 노드(Nc1)는 제3 트랜지스터(T4h)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0309] 도 10을 참조하면, 제3 트랜지스터(T4h)의 드레인 노드 또는 소스 노드는 제1 구동 전압 노드(Nvdd1)와 연결될 수 있다. 여기서, 제1 구동 전압 노드(Nvdd1)에는 제1 구동 전압(PGVDD)이 인가될 수 있다. 도 10의 제1 구동 전압 노드(Nvdd1)에 인가되는 제1 구동 전압(PGVDD)은 도 8의 제1 구동 전압 노드(Nvdd1)에 인가되는 제1 구동 전압(GVDD_o)와 동일할 수 있다.
- [0310] 도 10을 참조하면, 제3 트랜지스터(T4h)의 소스 노드 또는 드레인 노드는 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2) 및 2개의 제5 트랜지스터(T4q, T4qa)의 연결 노드(Nc1)와 연결될 수 있다.
- [0311] 도 10을 참조하면, 2개의 제2 트랜지스터(T5q, T5qa) 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0312] 도 10을 참조하면, 2개의 제5 트랜지스터(T4q, T4qa) 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0313] 도 10을 참조하면, 제3 트랜지스터(T4h)의 게이트 노드는 QB 노드와 연결될 수 있다.
- [0314] 도 10을 참조하면, 제3 트랜지스터(T4h)는 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2)와 제1 구동 전압 노드(Nvdd1) 사이에 직렬로 연결된 2개의 트랜지스터(T4ha, T4hb)를 포함할 수 있다. 즉, 제3 트랜지스터(T4h)는 2개의 트랜지스터(T4ha, T4hb)로 구성될 수 있다.
- [0315] 도 10을 참조하면, 2개의 트랜지스터(T4ha, T4hb) 각각의 게이트 노드는 QB 노드에 공통으로 연결될 수 있다.
- [0316] 도 10을 참조하면, 제2 로우 레벨 전압 노드(Nvss2)에 인가되는 제2 로우 레벨 전압(GVSS2)은 제1 로우 레벨 전압 노드(Nvss1)에 인가되는 제1 로우 레벨 전압(GVSS0)보다 낮을 수 있다.
- [0317] 도 10을 참조하면, 제어 회로(700)는, 제1 Q 충전 회로(QCC1) 및 제1 Q 방전 회로(QDC1)를 더 포함할 수 있다.
- [0318] 제1 Q 충전 회로(QCC1)는 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결될 수 있고, 액티브 기간 동안 Q 노드로 제2 구동 전압(GVDD)을 공급하기 위해 구성될 수 있다.
- [0319] 제1 Q 방전 회로(QDC1)는, Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있고, 액티브 기간 동안 Q 노드로 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0320] 제1 Q 충전 회로(QCC1) 및 제1 Q 방전 회로(QDC1) 각각의 트랜지스터 구성은 도 8과 동일할 수 있다.
- [0321] 도 10을 참조하면, 제어 회로(700)는, 제2 Q 충전 회로(QCC2) 및 제2 Q 방전 회로(QDC2)를 포함할 수 있다.
- [0322] 제2 Q 충전 회로(QCC2)는 제2 구동 전압 노드(Nvdd)와 Q 노드 사이에 연결될 수 있고, 블랭크 기간 동안 Q 노드로 제2 구동 전압(GVDD)을 공급하기 위해 구성될 수 있다.
- [0323] 제2 Q 방전 회로(QDC2)는 Q 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있고, 블랭크 기간 동안 Q 노드로 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0324] 제2 Q 충전 회로(QCC2) 및 제2 Q 방전 회로(QDC2) 각각의 트랜지스터 구성은 도 8과 동일할 수 있다.
- [0325] 도 10을 참조하면, 제어 회로(700)는, QB 충전 회로(QBCC) 및 제1 QB 방전 회로(QBDC1)를 더 포함할 수 있다.
- [0326] QB 충전 회로(QBCC)는 제1 구동 전압 노드(Nvdd1)와 QB 노드 사이에 연결될 수 있고, QB 노드에 제1 구동 전압(PGVDD)을 공급하기 위해 구성될 수 있다.
- [0327] 제1 QB 방전 회로(QBDC1)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있고, 액티브 기간 동안 QB 노드에 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.

- [0328] 도 10을 참조하면, QB 충전 회로(QBCC)는 제1 트랜지스터(T4)를 포함할 수 있다. 제1 QB 방전 회로(QBDC1)는 2개의 제2 트랜지스터(T5q, T5qa)를 포함할 수 있다.
- [0329] 도 10을 참조하면, 제어 회로(700)는, 제2 QB 방전 회로(QBDC2)를 더 포함할 수 있다. 제2 QB 방전 회로(QBDC2)는 QB 노드와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있고, 블랭크 기간 동안 QB 노드에 제2 로우 레벨 전압(GVSS2)을 공급하기 위해 구성될 수 있다.
- [0330] 제2 QB 방전 회로(QBDC2)의 트랜지스터 구성은 도 8과 동일할 수 있다.
- [0331] 도 10을 참조하면, 개선된 게이트 구동 회로(130)는 제2 풀-업 트랜지스터(Tu2) 및 제2 풀-다운 트랜지스터(Td2)를 포함하는 제2 게이트 출력 버퍼 회로(GBUF2)를 더 포함할 수 있다.
- [0332] 제2 풀-업 트랜지스터(Tu2)는 제2 클럭 신호 입력 노드(Nclk2)와 제2 게이트 출력 노드(Nout2) 사이에 연결될 수 있다. 제2 풀-다운 트랜지스터(Td2)는 제2 게이트 출력 노드(Nout2)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0333] 제2 풀-업 트랜지스터(Tu2)의 게이트 노드는 Q 노드에 연결될 수 있다. 제2 풀-다운 트랜지스터(Td2)의 게이트 노드는 QB 노드에 연결될 수 있다.
- [0334] 제2 게이트 출력 버퍼 회로(GBUF2)는 제2 게이트 출력 노드(Nout2)를 통해 제2 게이트 라인(GL)으로 제2 게이트 신호(SCOUT(n+1))를 출력할 수 있다.
- [0335] 도 10을 참조하면, 개선된 게이트 구동 회로(130)는 캐리 풀-업 트랜지스터(Tu_CR) 및 캐리 풀-다운 트랜지스터(Td_CR)를 포함하는 캐리 출력 버퍼 회로(CBUF)를 더 포함할 수 있다.
- [0336] 캐리 풀-업 트랜지스터(Tu_CR)는 캐리 클럭 신호 입력 노드(Ncrclk)와 캐리 출력 노드(Ncrout) 사이에 연결될 수 있다. 캐리 풀-다운 트랜지스터(Td_CR)는 캐리 출력 노드(Ncrout)와 제2 로우 레벨 전압 노드(Nvss2) 사이에 연결될 수 있다.
- [0337] 캐리 풀-업 트랜지스터(Tu_CR)의 게이트 노드는 Q 노드에 연결될 수 있다. 캐리 풀-다운 트랜지스터(Td_CR)의 게이트 노드는 QB 노드에 연결될 수 있다.
- [0338] 캐리 출력 버퍼 회로(CBUF)는 캐리 출력 노드(Ncrout)를 통해 이전 스테이지 회로 및/또는 다음 스테이지 회로로 캐리 신호(C(n))를 출력할 수 있다.
- [0339] 도 10을 참조하면, 개선된 게이트 구동 회로(130)는 제3 게이트 출력 버퍼 회로(GBUF3)를 더 포함할 수 있다.
- [0340] 제3 게이트 출력 버퍼 회로(GBUF3)는 제3 풀-업 트랜지스터(Tu3) 및 제3 풀-다운 트랜지스터(Td3)를 포함할 수 있다.
- [0341] 제3 풀-업 트랜지스터(Tu3)는 제3 클럭 신호 입력 노드(Nclk3)와 제3 게이트 출력 노드(Nout3) 사이에 연결될 수 있다. 제3 풀-다운 트랜지스터(Td3)는 제3 게이트 출력 노드(Nout3)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.
- [0342] 여기서, 제3 클럭 신호 입력 노드(Nclk3)에는 제3 클럭 신호(SCCLK(n+2))가 입력될 수 있다. 제3 게이트 출력 노드(Nout3)에는 제3 게이트 라인(GL)이 전기적으로 연결될 수 있다.
- [0343] 제3 풀-업 트랜지스터(Tu3)의 게이트 노드와 제3 게이트 출력 노드(Nout3) 사이에는 캐패시터(C3)가 연결될 수 있다.
- [0344] 제3 게이트 출력 버퍼 회로(GBUF3)는 제3 게이트 출력 노드(Nout3)를 통해 제3 게이트 라인(GL)으로 제3 게이트 신호(SCOUT(n+2))를 출력할 수 있다.
- [0345] 도 10을 참조하면, 개선된 게이트 구동 회로(130)는 제4 게이트 출력 버퍼 회로(GBUF4)를 더 포함할 수 있다.
- [0346] 제4 게이트 출력 버퍼 회로(GBUF4)는 제4 풀-업 트랜지스터(Tu4) 및 제4 풀-다운 트랜지스터(Td4)를 포함할 수 있다.
- [0347] 제4 풀-업 트랜지스터(Tu4)는 제4 클럭 신호 입력 노드(Nclk4)와 제4 게이트 출력 노드(Nout4) 사이에 연결될 수 있다. 제4 풀-다운 트랜지스터(Td4)는 제4 게이트 출력 노드(Nout4)와 제1 로우 레벨 전압 노드(Nvss1) 사이에 연결될 수 있다.

- [0348] 여기서, 제4 클럭 신호 입력 노드(Nc1k4)에는 제4 클럭 신호(SCCLK(n+3))가 입력될 수 있다. 제4 게이트 출력 노드(Nout4)에는 제4 게이트 라인(GL)이 전기적으로 연결될 수 있다.
- [0349] 제4 풀-업 트랜지스터(Tu4)의 게이트 노드와 제4 게이트 출력 노드(Nout4) 사이에는 캐패시터(C3)가 연결될 수 있다.
- [0350] 제4 게이트 출력 버퍼 회로(GBUF4)는 제4 게이트 출력 노드(Nout4)를 통해 제4 게이트 라인(GL)으로 제4 게이트 신호(SCOUT(n+3))를 출력할 수 있다.
- [0351] 도 10 및 도 11을 참조하면, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, 게이트 노드가 Q 노드에 연결된 2개의 제5 트랜지스터(T4q, T4qa)는 턴-온 상태이고, QB 노드의 충전을 위한 제1 트랜지스터(T4)는 턴-오프 상태일 수 있다.
- [0352] 여기서, 2개의 제5 트랜지스터(T4q, T4qa)는 도 8의 제2 제어 트랜지스터(T4q)가 대체된 트랜지스터들이다. 제1 트랜지스터(T4)는 도 8의 QB 충전 트랜지스터(T4)와 대응되는 트랜지스터이다.
- [0353] Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, 제2 로우 레벨 전압(GVSS2)가 턴-온 상태인 2개의 제5 트랜지스터(T4q, T4qa)를 통해 제1 트랜지스터(T4)의 게이트 노드에 인가될 수 있다.
- [0354] 여기서, 제2 로우 레벨 전압(GVSS2)은 제1 로우 레벨 전압(GVSS0)보다 낮은 전압이고, 도 8의 제3 로우 레벨 전압(GVSS1)보다 낮은 전압이다.
- [0355] 따라서, 도 11에 도시된 바와 같이, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, 제1 트랜지스터(T4)의 게이트 전압(T4 Gate)이 도 8의 QB 충전 트랜지스터(T4)의 게이트 전압(T4 Gate)보다 낮아질 수 있다.
- [0356] 이로 인해, 제1 트랜지스터(T4)의 게이트 노드와 소스 노드의 전압차($V_{gs}=V_g-V_s=GVSS2-GVSS2$)가 더욱 낮아지게 되어, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, QB 노드 충전을 위한 제1 트랜지스터(T4)는 완전히 턴-오프 상태를 유지할 수 있다.
- [0357] 따라서, Q 노드가 하이 레벨 전압 상태이고 QB 노드가 로우 레벨 전압 상태인 구간에서, QB 노드 충전을 위한 제1 트랜지스터(T4)에서 원치 않는 누설 전류가 발생하는 제1 현상이 줄어들거나 방지될 수 있다.
- [0358] 도 10 및 도 12를 참조하면, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, QB 노드 충전을 위한 제1 트랜지스터(T4)는 턴-온 상태일 수 있고, 게이트 노드가 Q 노드에 연결된 2개의 제5 트랜지스터(T4q, T4qa)는 턴-오프 상태일 수 있다.
- [0359] QB 노드 충전을 위한 제1 트랜지스터(T4)는 도 8의 QB 노드 충전을 위한 QB 충전 트랜지스터(T4)로 변경된 트랜지스터이고, 2개의 제5 트랜지스터(T4q, T4qa)는 도 8의 제2 제어 트랜지스터(T4q)가 변경된 트랜지스터들이다.
- [0360] 도 10 및 도 12를 참조하면, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드에 리플(Ripple)이 발생하면, Q 노드의 리플이 2개의 제5 트랜지스터(T4q, T4qa)의 게이트 노드에 인가될 수 있다.
- [0361] 제1 구동 전압(PGVDD)이 QB 충전을 위해 턴-온 상태인 제1 트랜지스터(T4)를 통해 제3 트랜지스터(T4h)의 게이트 노드에 인가됨에 따라, 제3 트랜지스터(T4h)는 턴-온 될 수 있다. 이에 따라, 제1 구동 전압(PGVDD)이 제3 트랜지스터(T4h)의 소스 노드로 출력될 수 있다.
- [0362] 제3 트랜지스터(T4h)의 소스 노드로 출력된 제1 구동 전압(PGVDD)은 하이 레벨 전압 입력(IH)으로서, 2개의 제5 트랜지스터(T4q, T4qa)의 연결 노드(Nc1)에 인가될 수 있다.
- [0363] 이때, Q 노드의 리플에 의해, 2개의 제5 트랜지스터(T4q, T4qa)가 원치 않게 턴-온 되더라도, 2개의 제5 트랜지스터(T4q, T4qa)의 연결 노드(Nc1)에 인가된 제1 구동 전압(PGVDD)이 제1 트랜지스터(T4)의 턴-온 상태를 유지시켜줄 수 있다. 여기서, 제1 트랜지스터(T4)는 QB 충전을 위해 턴-온 상태를 유지되어야 하는 트랜지스터이다.
- [0364] 따라서, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드에 리플이 발생하더라도, 제3 트랜지스터(T4h)의 소스 노드로 출력된 제1 구동 전압(PGVDD)이 2개의 제5 트랜지스터(T4q, T4qa)의 연결 노드(Nc1)에 인가됨에 따라, QB 충전을 위한 제1 트랜지스터(T4)가 턴-온 상태를 유지할 수 있다.
- [0365] 이에 따라, Q 노드에 리플이 발생하더라도, QB 노드가 하이 레벨 전압 상태를 유지할 수 있다.

- [0366] 한편, 제3 트랜지스터(T4h)의 소스 노드로 출력된 제1 구동 전압(PGVDD)은 하이 레벨 전압 입력(IH)으로서, 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2)에도 전달될 수 있다.
- [0367] Q 노드에 리플이 발생하면, QB 노드 방전을 위한 2개의 제2 트랜지스터(T5q, T5qa)의 게이트 노드에 리플이 전달될 수 있다. 이 경우, 2개의 제2 트랜지스터(T5q, T5qa)는 원치 않게 턴-온 될 수 있다.
- [0368] 이러한 상황에서도, 제3 트랜지스터(T4h)의 소스 노드로 출력된 제1 구동 전압(PGVDD)은 하이 레벨 전압 입력(IH)으로서, 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2)에 전달되기 때문에, 2개의 제2 트랜지스터(T5q, T5qa)를 통해 제2 로우 레벨 전압(GVSS2)가 QB 노드에 인가될 수 없다.
- [0369] 따라서, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드에 리플이 발생하더라도, 제3 트랜지스터(T4h)의 소스 노드로 출력된 제1 구동 전압(PGVDD)이 2개의 제2 트랜지스터(T5q, T5qa)의 연결 노드(Nc2)에 인가됨에 따라, QB 노드가 하이 레벨 전압 상태를 유지할 수 있다.
- [0370] 도 12를 참조하면, QB 노드의 전압 상태를 나타낸 3가지 파형(1210, 1220, 1230)에서, 제1 파형(1210)은, Q 노드에 리플이 발생한 상황에서, 도 8의 게이트 구동 회로(130)에 의해 Q 노드의 전압 강하가 가장 많이 발생한 파형이다.
- [0371] 도 12를 참조하면, 제2 파형(1220)은, Q 노드에 리플이 발생한 상황에서, 2개의 제5 트랜지스터(T4q, T4qa)가 적용된 게이트 구동 회로(130)에서, Q 노드의 전압 강하가 감소한 파형이다.
- [0372] 도 12를 참조하면, 제3 파형(1230)은, Q 노드에 리플이 발생한 상황에서, 2개의 제5 트랜지스터(T4q, T4qa) 및 2개의 제2 트랜지스터(T5q, T5qa)가 모두 적용된 게이트 구동 회로(130)에 의해 Q 노드의 전압 강하가 거의 제거된 파형이다.
- [0373] 도 12를 참조하면, 개선된 게이트 구동 회로(130)에 의하면, QB 노드가 하이 레벨 전압 상태이고, Q 노드가 로우 레벨 전압 상태인 구간에서, Q 노드의 리플에 의한 QB 노드의 전압이 강하되는 제2 현상이 줄어들거나 방지될 수 있다.
- [0374] 이상에서 설명한 본 개시의 실시예들을 간략하게 설명하면 아래와 같다.
- [0375] 본 개시의 실시예들은 제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로, 및 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함하는 게이트 구동 회로를 제공할 수 있다.
- [0376] 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 제1 풀-다운 트랜지스터는 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결될 수 있다.
- [0377] 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결된 제1 트랜지스터, QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터, 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터, 제1 트랜지스터의 게이트 노드와 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터, 및 제1 트랜지스터의 게이트 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함할 수 있다.
- [0378] 2개의 제5 트랜지스터의 연결 노드는 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0379] 제3 트랜지스터의 드레인 노드 또는 소스 노드는 제1 구동 전압 노드와 연결되고, 제3 트랜지스터의 소스 노드 또는 드레인 노드는 2개의 제2 트랜지스터의 연결 노드 및 2개의 제5 트랜지스터의 연결 노드와 연결될 수 있다.
- [0380] 2개의 제2 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0381] 제3 트랜지스터의 게이트 노드는 QB 노드와 연결될 수 있다.
- [0382] 2개의 제5 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0383] 제3 트랜지스터는 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함할 수 있다.
- [0384] 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨

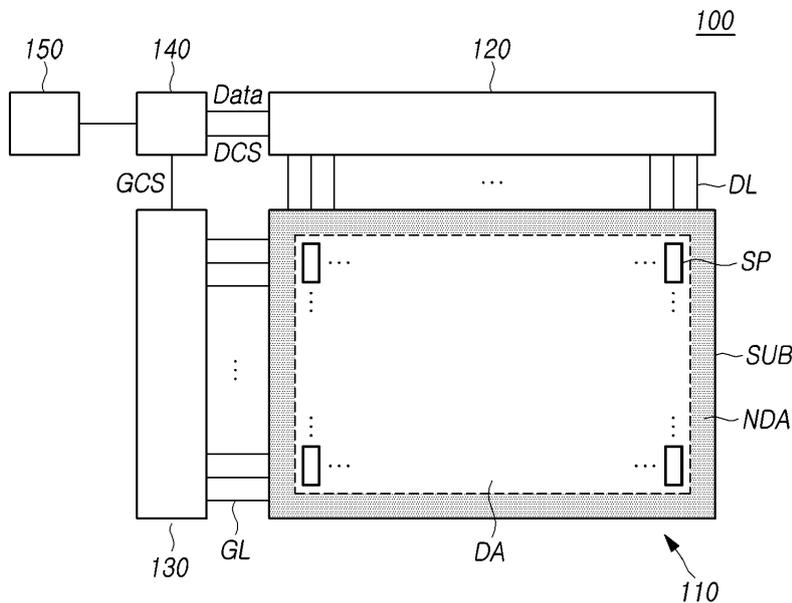
전압보다 낮을 수 있다.

- [0385] 게이트 구동 회로는 제2 풀-업 트랜지스터 및 제2 풀-다운 트랜지스터를 포함하는 제2 게이트 출력 버퍼 회로를 더 포함할 수 있다.
- [0386] 제2 풀-업 트랜지스터는 제2 클럭 신호 입력 노드와 제2 게이트 출력 노드 사이에 연결될 수 있다. 제2 풀-업 트랜지스터의 게이트 노드는 Q 노드에 연결될 수 있다.
- [0387] 제2 풀-다운 트랜지스터는 제2 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결될 수 있다. 제2 풀-다운 트랜지스터의 게이트 노드는 QB 노드에 연결될 수 있다.
- [0388] 게이트 구동 회로는 캐리 풀-업 트랜지스터 및 캐리 풀-다운 트랜지스터를 포함하는 캐리 출력 버퍼 회로를 더 포함할 수 있다.
- [0389] 캐리 풀-업 트랜지스터는 캐리 클럭 신호 입력 노드와 캐리 출력 노드 사이에 연결될 수 있다. 캐리 풀-업 트랜지스터의 게이트 노드는 Q 노드에 연결될 수 있다.
- [0390] 캐리 풀-다운 트랜지스터는 캐리 출력 노드와 제2 로우 레벨 전압 노드 사이에 연결될 수 있다. 캐리 풀-다운 트랜지스터의 게이트 노드는 QB 노드에 연결될 수 있다.
- [0391] 제어 회로는, 제2 구동 전압 노드와 Q 노드 사이에 연결되며 액티브 기간 동안 Q 노드로 제2 구동 전압을 공급하기 위해 구성된 제1 Q 충전 회로, 및 Q 노드와 제2 로우 레벨 전압 노드 사이에 연결되며 액티브 기간 동안 Q 노드로 제2 로우 레벨 전압을 공급하기 위해 구성된 제1 Q 방전 회로를 더 포함할 수 있다.
- [0392] 제어 회로는, 제2 구동 전압 노드와 Q 노드 사이에 연결되며 블랭크 기간 동안 Q 노드로 제2 구동 전압을 공급하기 위해 구성된 제2 Q 충전 회로, 및 Q 노드와 제2 로우 레벨 전압 노드 사이에 연결되며 블랭크 기간 동안 Q 노드로 제2 로우 레벨 전압을 공급하기 위해 구성된 제2 Q 방전 회로를 더 포함할 수 있다.
- [0393] 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결되며 QB 노드에 제1 구동 전압을 공급하기 위해 구성된 QB 충전 회로, 및 QB 노드와 제2 로우 레벨 전압 노드 사이에 연결되며 액티브 기간 동안 QB 노드에 제2 로우 레벨 전압을 공급하기 위해 구성된 제1 QB 방전 회로를 더 포함할 수 있다.
- [0394] QB 충전 회로는 제1 트랜지스터를 포함할 수 있다.
- [0395] 제1 QB 방전 회로는 2개의 제2 트랜지스터를 포함할 수 있다.
- [0396] 제어 회로는, QB 노드와 제2 로우 레벨 전압 노드 사이에 연결되며, 블랭크 기간 동안 QB 노드에 제2 로우 레벨 전압을 공급하기 위해 구성된 제2 QB 방전 회로를 더 포함할 수 있다.
- [0397] 본 개시의 실시예들은, 다수의 게이트 라인을 포함하는 표시 패널, 및 다수의 게이트 라인을 구동하는 게이트 구동 회로를 포함하는 표시 장치를 제공할 수 있다.
- [0398] 게이트 구동 회로는, 제1 풀-업 트랜지스터 및 제1 풀-다운 트랜지스터를 포함하는 제1 게이트 출력 버퍼 회로, 및 제1 풀-업 트랜지스터의 게이트 노드와 연결된 Q 노드의 전압과 제1 풀-다운 트랜지스터의 게이트 노드와 연결된 QB 노드의 전압을 제어하는 제어 회로를 포함할 수 있다.
- [0399] 제1 풀-업 트랜지스터는 제1 클럭 신호 입력 노드와 제1 게이트 출력 노드 사이에 연결되고, 제1 풀-다운 트랜지스터는 제1 게이트 출력 노드와 제1 로우 레벨 전압 노드 사이에 연결될 수 있다.
- [0400] 제어 회로는, 제1 구동 전압 노드와 QB 노드 사이에 연결된 제1 트랜지스터, QB 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제2 트랜지스터, 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 연결된 제3 트랜지스터, 제1 트랜지스터의 게이트 노드와 제1 구동 전압 노드 사이에 연결된 제4 트랜지스터, 및 제1 트랜지스터의 게이트 노드와 제2 로우 레벨 전압 노드 사이에 직렬로 연결된 2개의 제5 트랜지스터를 포함할 수 있다.
- [0401] 2개의 제5 트랜지스터의 연결 노드는 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0402] 제3 트랜지스터의 드레인 노드 또는 소스 노드는 제1 구동 전압 노드와 연결되고, 제3 트랜지스터의 소스 노드 또는 드레인 노드는 2개의 제2 트랜지스터의 연결 노드 및 2개의 제5 트랜지스터의 연결 노드와 연결될 수 있다.

- [0403] 2개의 제2 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0404] 제3 트랜지스터의 게이트 노드는 QB 노드와 연결될 수 있다.
- [0405] 2개의 제5 트랜지스터 각각의 게이트 노드는 Q 노드와 연결될 수 있다.
- [0406] 제3 트랜지스터는 2개의 제2 트랜지스터의 연결 노드와 제1 구동 전압 노드 사이에 직렬로 연결된 2개의 트랜지스터를 포함할 수 있다.
- [0407] 제2 로우 레벨 전압 노드에 인가되는 제2 로우 레벨 전압은 제1 로우 레벨 전압 노드에 인가되는 제1 로우 레벨 전압보다 낮을 수 있다.
- [0408] 본 개시의 실시예들에 의하면, 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.
- [0409] 본 개시의 실시예들에 의하면, 서브 픽셀 내 구동 트랜지스터의 이동도를 센싱하기 위한 센싱 구동을 위한 게이트 구동을 수행하면서도, 정상적인 신호 파형을 갖는 게이트 신호를 출력하는 게이트 구동 회로 및 표시 장치를 제공할 수 있다.
- [0410] 이상의 설명은 본 개시의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 개시의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 개시에 개시된 실시예들은 본 개시의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 개시의 기술 사상의 범위가 한정되는 것은 아니다. 본 개시의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 개시의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

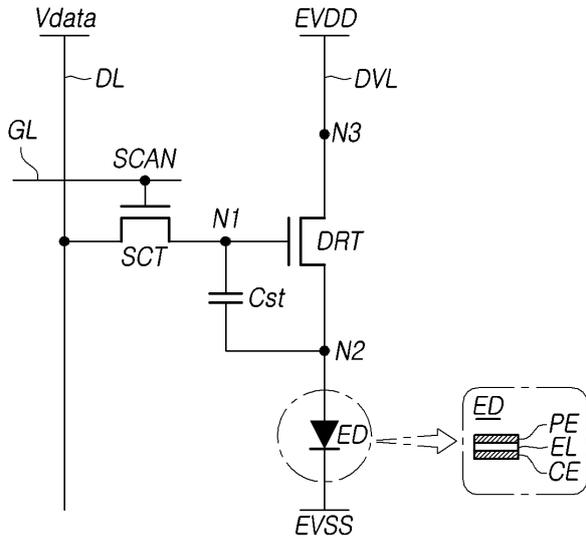
도면

도면1



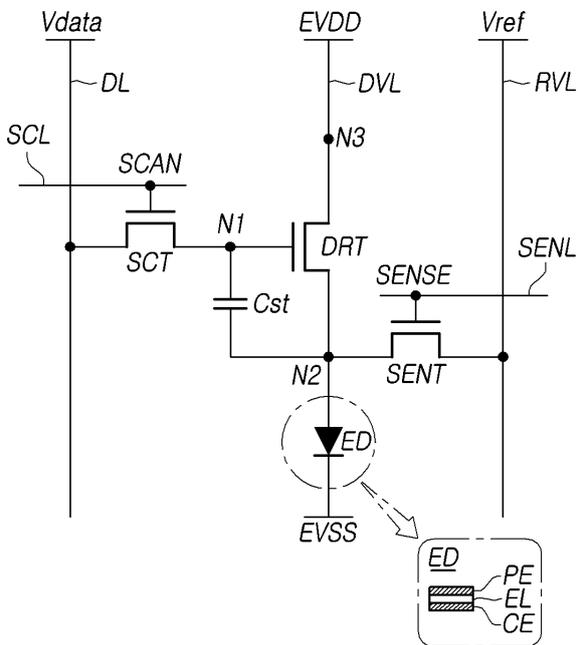
도면2a

SP

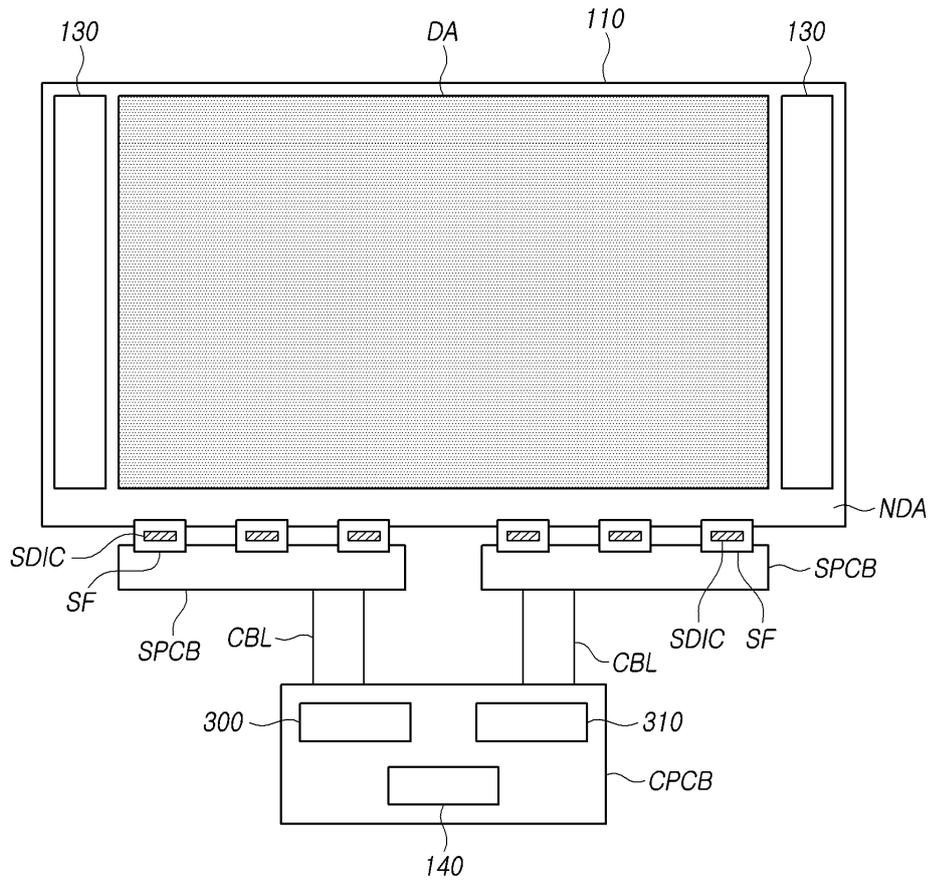


도면2b

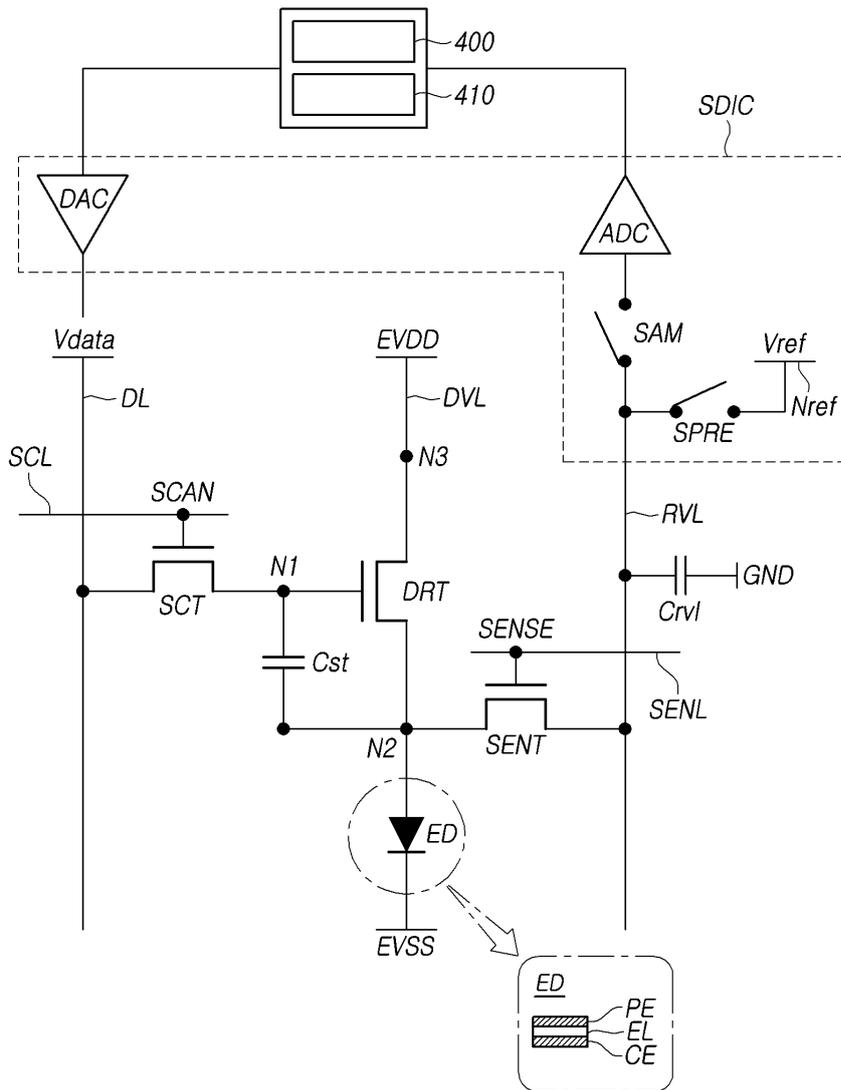
SP



도면3

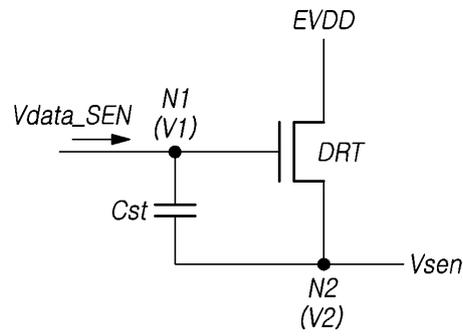


도면4

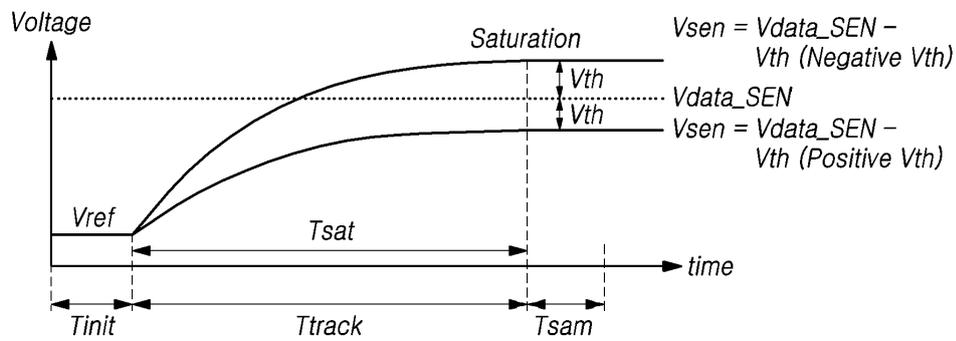


도면5a

S-MODE

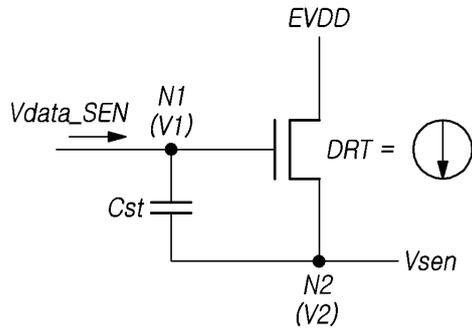


Vsen Wave

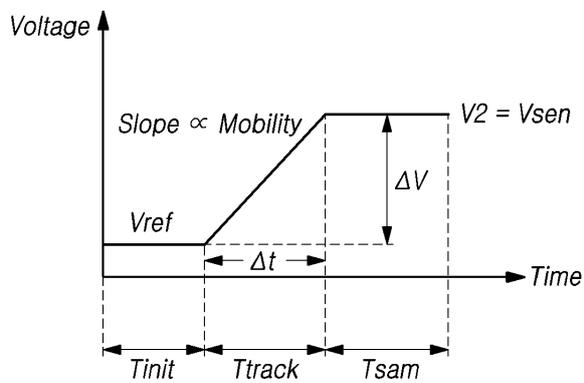


도면5b

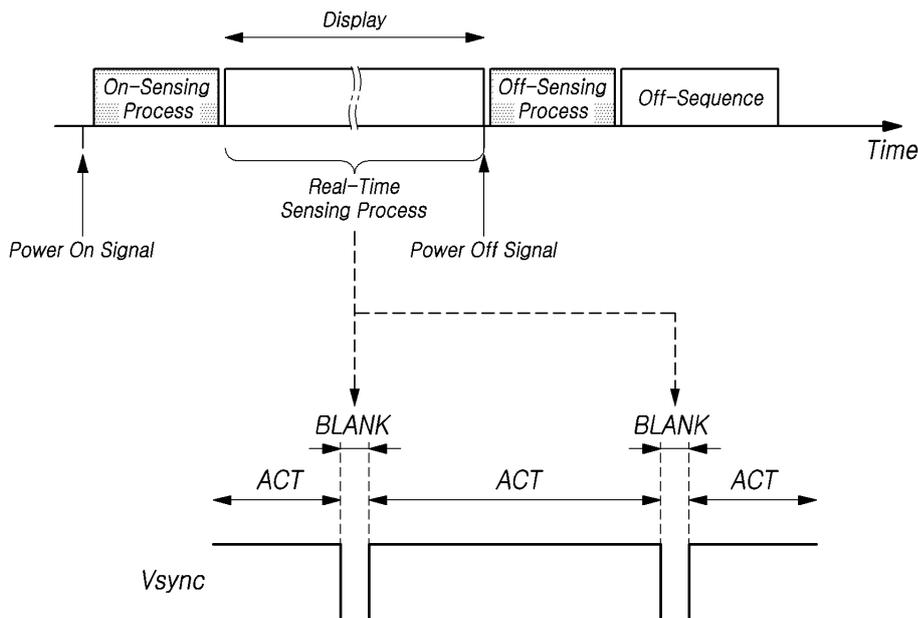
F-MODE



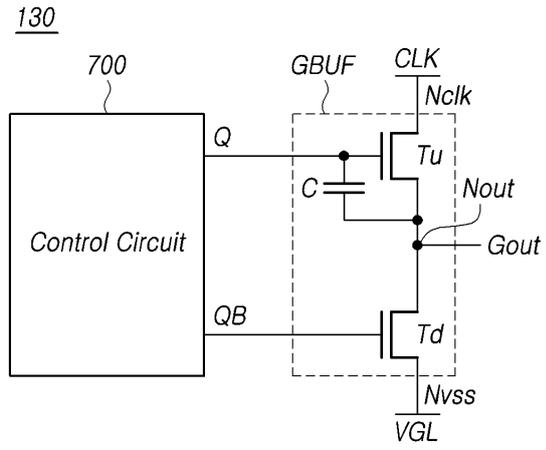
Vsen Wave



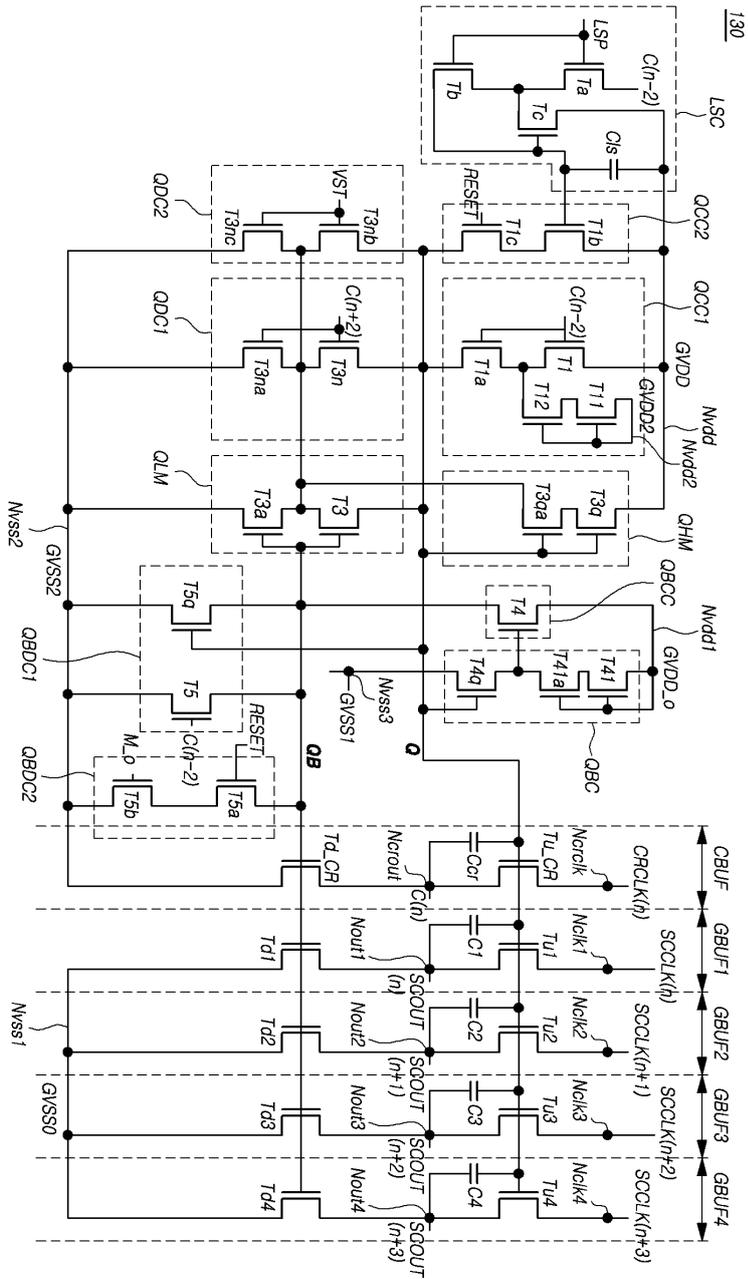
도면6



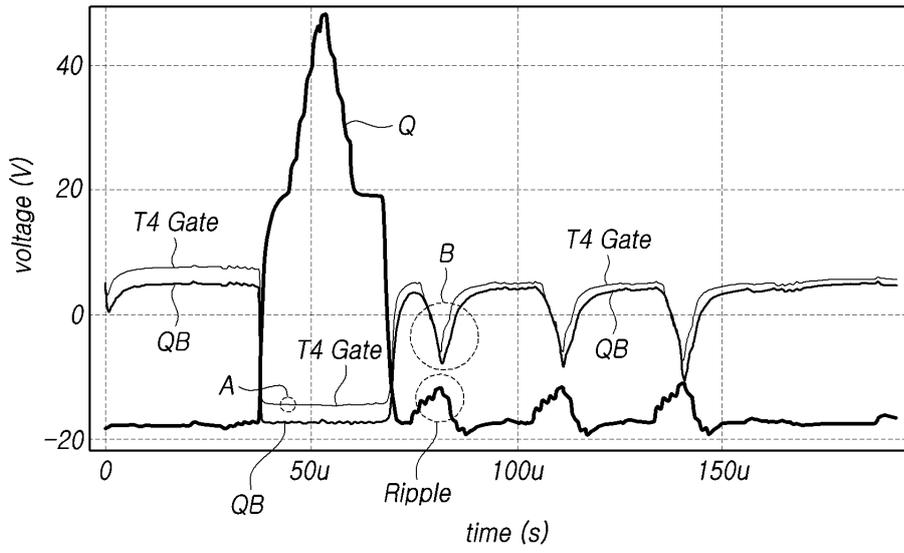
도면7



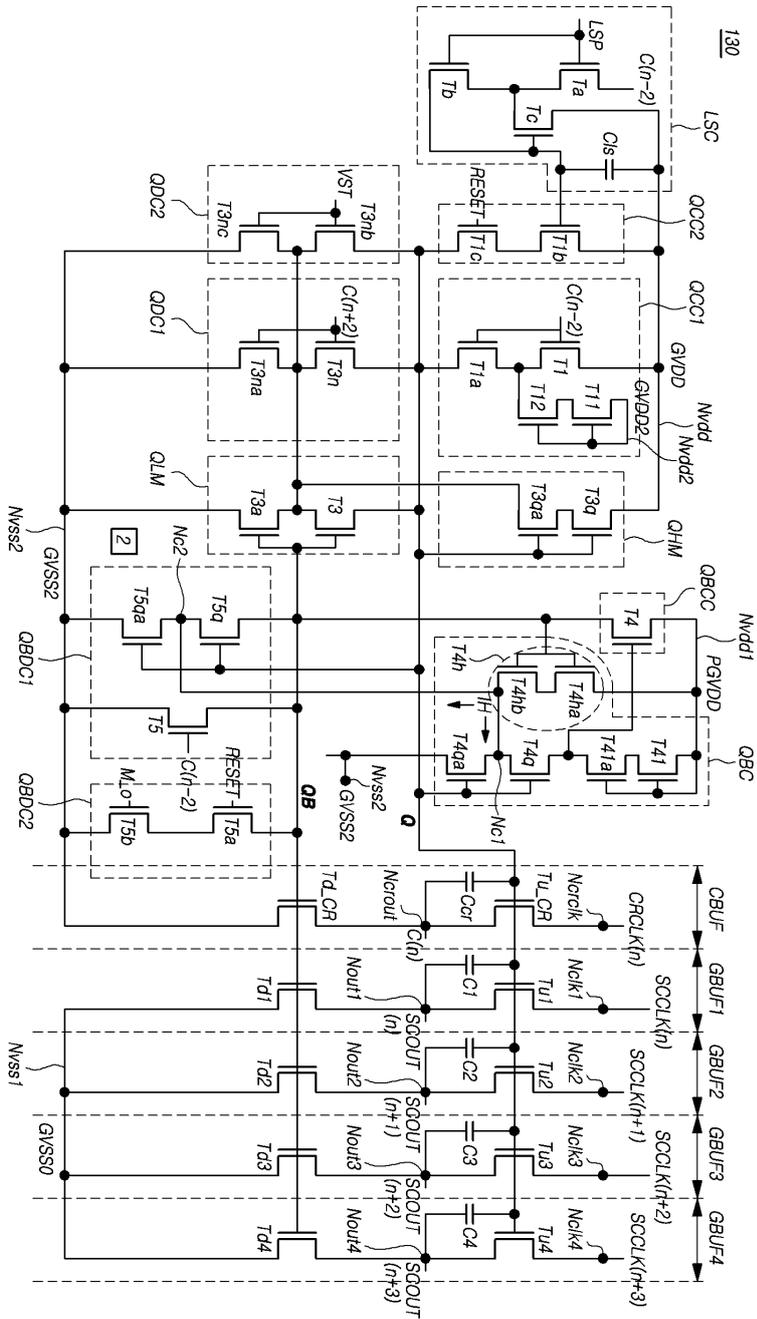
도면8



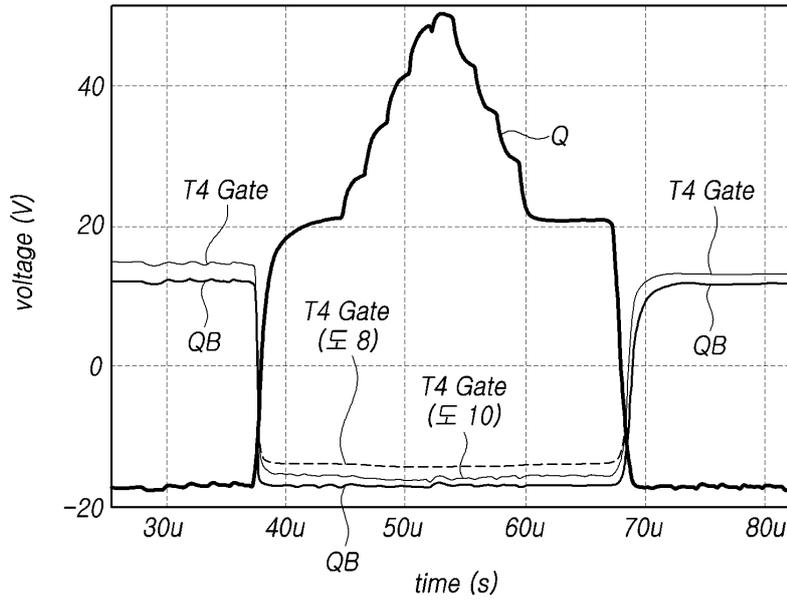
도면9



도면10



도면11



도면12

