



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I714913 B

(45) 公告日：中華民國 110 (2021) 年 01 月 01 日

(21) 申請案號：107141429

(22) 申請日：中華民國 107 (2018) 年 11 月 21 日

(51) Int. Cl. : *H01L23/538 (2006.01)**H01L23/31 (2006.01)*

(30) 優先權：2017/11/27 美國

62/591,166

2018/08/28 美國

16/114,251

(71) 申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)

新竹縣湖口鄉新竹工業區大同路 26 號

(72) 發明人：張簡上煜 CHANG CHIEN, SHANG-YU (TW)；徐宏欣 HSU, HUNG-HSIN (TW)；

林南君 LIN, NAN-CHUN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201426965A

TW 201539590A

TW 201618196A

US 2016/0118333A1

US 2016/0260682A1

US 2016/0276311A1

審查人員：邱青松

申請專利範圍項數：9 項 圖式數：3 共 39 頁

(54) 名稱

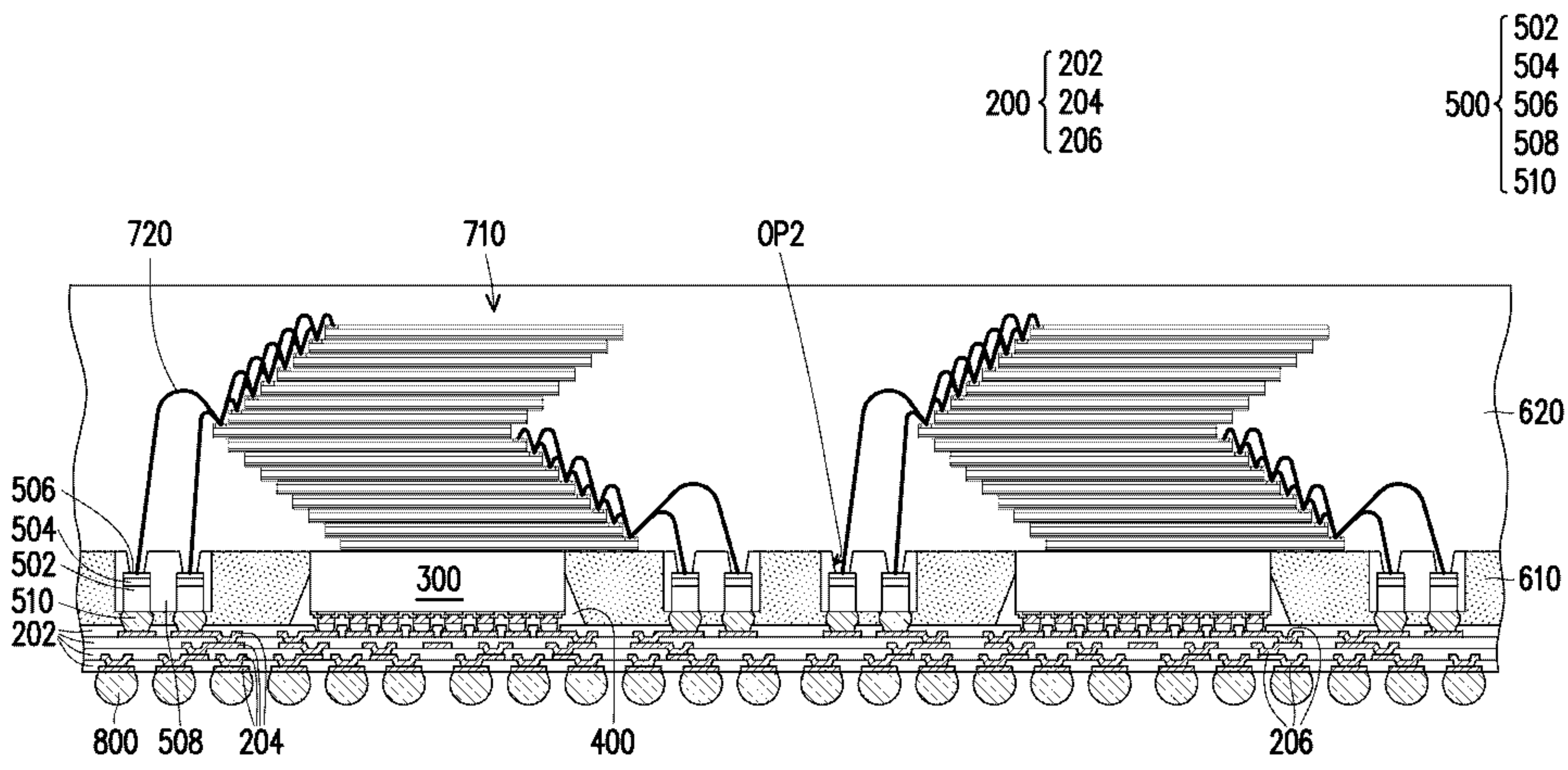
封裝結構及其製造方法

(57) 摘要

一種封裝結構包括重佈線路結構、晶粒、至少一連接模組、第一絕緣密封體、堆疊晶片以及第二絕緣密封體。晶粒配置並電性連接至重佈線路結構。連接模組配置於重佈線路結構上。連接模組具有保護層以及多個導電條。多個導電條嵌入保護層中。保護層包括對應於多個導電條的多個開口。第一絕緣密封體密封晶粒與連接模組。堆疊晶片配置於第一絕緣密封體與晶粒上。堆疊晶片電性連接至連接模組。第二絕緣密封體密封堆疊晶片。另提供一種封裝結構的製造方法。

A package structure including a redistribution structure, a die, at least one connecting module, a first insulating encapsulant, a chip stack, and a second insulating encapsulant. The die is disposed on and electrically connected to the redistribution structure. The connecting module is disposed on the redistribution structure. The connecting module has a protection layer and a plurality of conductive bars. The conductive bars are embedded in the protection layer. The protection layer includes a plurality of openings corresponding to the conductive bars. The first insulating encapsulant encapsulates the die and the connecting module. The chip stack is disposed on the first insulating encapsulant and the die. The chip stack is electrically connected to the connecting module. The second insulating encapsulant encapsulates the chip stack. A manufacturing method of the package structure is also provided.

指定代表圖：



【圖1J】

符號簡單說明：

- 200 . . . 重佈線路結構
- 202 . . . 介電層
- 204 . . . 導電圖案
- 206 . . . 導通孔
- 300 . . . 晶粒
- 400 . . . 底膠
- 500 . . . 連接模組
- 502 . . . 導電條
- 504 . . . 阻障層
- 506 . . . 導電帽
- 508 . . . 保護層
- 510 . . . 導電凸塊
- 610 . . . 第一絕緣密封體
- 620 . . . 第二絕緣密封體
- 710 . . . 堆疊晶片
- 720 . . . 導線
- 800 . . . 導電端子
- OP2 . . . 開口



I714913

## 【發明摘要】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】 PACKAGE STRUCTURE AND  
MANUFACTURING METHOD THEREOF

【中文】一種封裝結構包括重佈線路結構、晶粒、至少一連接模組、第一絕緣密封體、堆疊晶片以及第二絕緣密封體。晶粒配置並電性連接至重佈線路結構。連接模組配置於重佈線路結構上。連接模組具有保護層以及多個導電條。多個導電條嵌入保護層中。保護層包括對應於多個導電條的多個開口。第一絕緣密封體密封晶粒與連接模組。堆疊晶片配置於第一絕緣密封體與晶粒上。堆疊晶片電性連接至連接模組。第二絕緣密封體密封堆疊晶片。另提供一種封裝結構的製造方法。

【英文】 A package structure including a redistribution structure, a die, at least one connecting module, a first insulating encapsulant, a chip stack, and a second insulating encapsulant. The die is disposed on and electrically connected to the redistribution structure. The connecting module is disposed on the redistribution structure. The connecting module has a protection layer and a plurality of conductive bars. The conductive bars are embedded in the protection layer. The protection layer includes a plurality of openings corresponding to the conductive bars. The first insulating

encapsulant encapsulates the die and the connecting module. The chip stack is disposed on the first insulating encapsulant and the die. The chip stack is electrically connected to the connecting module. The second insulating encapsulant encapsulates the chip stack. A manufacturing method of the package structure is also provided.

【指定代表圖】圖1J。

【代表圖之符號簡單說明】

- 200：重佈線路結構
- 202：介電層
- 204：導電圖案
- 206：導通孔
- 300：晶粒
- 400：底膠
- 500：連接模組
- 502：導電條
- 504：阻障層
- 506：導電帽
- 508：保護層
- 510：導電凸塊
- 610：第一絕緣密封體
- 620：第二絕緣密封體

710：堆疊晶片

720：導線

800：導電端子

OP2：開口

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】PACKAGE STRUCTURE AND

MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】本發明通常是有關於一種封裝結構及其製造方法，且特別是有關於一種具有連接模組（connecting module）的封裝結構及其製造方法。

### 【先前技術】

【0002】在近年來的半導體封裝技術的研究中已經開始關注於發展具有小體積、重量輕、高密度以及低製造成本的產品。對於多功能半導體封裝而言，已經使用一種用於堆疊晶片的技術，以提供封裝具有較大的儲存或執行數據的容量。在對具有改進期望特徵的多功能電子元件的需求快速增加下，實為本領域的技術人員的一大挑戰。

### 【發明內容】

【0003】本發明提供一種封裝結構及其製造方法，可以在較低的製造成本下有效地減少封裝結構的高度。

【0004】本發明的封裝結構包括重佈線路結構、晶粒、至少一連

接模組、第一絕緣密封體、堆疊晶片以及第二絕緣密封體。晶粒配置並電性連接至重佈線路結構。連接模組配置於重佈線路結構上。連接模組具有保護層以及多個導電條。多個導電條嵌入保護層中。保護層包括對應於多個導電條的多個開口。第一絕緣密封體密封晶粒與連接模組。堆疊晶片配置於第一絕緣密封體與晶粒上。堆疊晶片電性連接至連接模組。第二絕緣密封體密封堆疊晶片。

**【0005】** 在本發明的一實施例中，前述的封裝結構更包括底膠，配置於重佈線路結構與晶粒之間。

**【0006】** 本發明提供一種封裝結構的製造方法。製造方法至少包括以下步驟。提供載板。形成重佈線路結構於載板上。配置多個晶粒以及多個連接模組於重佈線路結構上。每一連接模組具有保護層以及嵌入保護層的多個導電條。形成第一絕緣密封體，以密封多個晶粒與多個連接模組。從重佈線路結構上移除載板。形成多個開口於多個連接模組的保護層中。多個開口對應至多個導電條。配置堆疊晶片於多個晶粒與相對於重佈線路結構的第一絕緣密封體上。堆疊晶片電性連接至多個連接模組。藉由第二密封體密封堆疊晶片。

**【0007】** 在本發明的一實施例中，前述的製造方法更包括形成多個導電端子於相對於多個晶粒與多個連接模組的重佈線路結構上。

**【0008】** 在本發明的一實施例中，前述的製造方法更包括執行切

割製程。

**【0009】** 在本發明的一實施例中，前述的製造方法更包括形成底膠於重佈線路結構與多個晶粒之間。

**【0010】** 基於上述，容易預先製造的連接模組可以作為封裝結構內的垂直連接特徵。由於連接模組的厚度小，進而可以有效地縮小封裝結構的尺寸。此外，連接模組的使用可以導致在傳統封裝結構中免除額外的載板或較厚的銅柱，進而降低製造成本。

**【0011】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

#### **【圖式簡單說明】**

##### **【0012】**

圖 1A 至圖 1K 是依據本發明一些實施例的封裝結構的製造方法的剖面示意圖。

圖 2A 至圖 2D 是圖 1C 中的連接模組依據本發明各種實施例的上視示意圖。

圖 3 是依據本發明一些替代實施例的封裝結構的剖面示意圖。

#### **【實施方式】**

**【0013】** 下文將會附加標號以對本發明較佳實施例進行詳細描述，並以圖式說明。在可能的情況下，相同或相似的構件在圖式



中將以相同的標號顯示。

【0014】 圖 1A 至圖 1K 是依據本發明一些實施例的封裝結構 10 的製造方法的剖面示意圖。請參照圖 1A，提供具有離型層 102 形成於其上的載板 100。載板 100 可以是玻璃基板或玻璃支撐板。然而，本發明不限於此。其他合適的基板材料也可以被使用，只要所述材料能夠承載在其之上所形成的封裝結構且能夠承受後續的製程即可。離型層 102 可以包括光熱轉換（light to heat conversion, LTCH）材料、環氧樹脂（epoxy resin）、無機材料、有機聚合物材料或其他適宜的黏著材料。然而，本發明不限於此。在一些替代實施例中，可以使用其他適宜的離型層。

【0015】 請參照圖 1B，於載板 100 上形成重佈線路結構 200。重佈線路結構 200 可以包括至少一介電層 202、多個導電圖案 204 以及多個導通孔 206。可以藉由適宜的製造技術如旋轉塗佈（spin-on coating）、化學氣相沉積（chemical vapor deposition, CVD）、電漿輔助化學氣相沉積（plasma-enhanced chemical vapor deposition, PECVD）或其他類似者，以形成介電層 202。介電層 202 可以由氧化矽、氮化矽、碳化矽、氮氧化矽、聚酰亞胺、苯並環丁烯（benzocyclobutene, BCB）或其他類似者等的非有機或有機介電材料所製成。可以藉由濺鍍、蒸鍍、化學鍍（electro-less plating）或電鍍來形成導電圖案 204 以及導通孔 206。導電圖案 204 以及導通孔 206 嵌入介電層 202 中。介電層 202 與導電圖案 204 可以交替形成。導通孔 206 穿過介電層 202，以與導電圖案 204

相互電性連接。導電圖案 204 與導通孔 206 可以由銅、鋁、鎳、金、銀、錫、上述之組合、銅/鎳/金之複合結構，或其他適宜的導電材料所組成。

**【0016】** 在圖 1B 的示例性實施例中，重佈線路結構 200 包括四個介電層 202，然而，本發明對於介電層 202 的數量並不加以限制，並且可以基於電路的設計而進行調整。最上介電層 202 可以具有多個開口 OP1，多個開口 OP1 暴露出最上導電圖案 204，以於後續的製程中進行電性連接。最下介電層 202 暴露出部分的最下導電圖案 204，使得最下導電圖案 204 可以經由導通孔 206 與其他導電圖案 204 進行內連線。

**【0017】** 請參照圖 1C，於重佈線路結構 200 上配置多個晶粒 300 以及多個連接模組 500。晶粒 300 可以包括數位晶粒、類比晶粒或混合訊號晶粒。舉例而言，晶粒 300 可以是特殊應用積體電路 (Application-Specific Integrated Circuit, ASIC) 晶粒、邏輯晶粒，或其他適宜的晶粒。每一晶粒 300 包括半導體基板 302、多個導電接墊 304、鈍化層 306 以及多個導電連接器 308。在一些實施例中，半導體基板 302 可以是具有主動元件（如電晶體或其他類似者）的矽基板，以及可以選擇性地形成被動元件（如電阻、電容、電感或其他類似者）於其中。導電接墊 304 分佈於半導體基板 302 上。導電接墊 304 可以包括鋁接墊、銅接墊或其他適宜的金屬接墊。於半導體基板 302 上形成鈍化層 306，以部分覆蓋每一導電接墊 304。換句話說，鈍化層 306 具有多個接觸開口，暴露出每一導

電接墊 304 的至少一部分。鈍化層 306 可以是氧化矽層、氮化矽層、氮氧化矽層或是由其他適宜的聚合物材料或介電材料所形成的介電層。於導電接墊 304 上配置導電連接器 308。舉例而言，導電連接器 308 可以部分地配置於鈍化層 306 的接觸開口中，以提供與導電接墊 304 的電性連接。在一些實施例中，每一導電連接器 308 可以包括導電栓塞 308a 與配置於導電栓塞 308a 上的導電凸塊 308b。可以於導電接墊 304 上電鍍導電栓塞 308a。電鍍製程是，舉例而言，電鍍、化學鍍、浸鍍（immersion plating）或其他類似者。導電栓塞 308a 可以包括銅、銅合金或其他類似者。導電凸塊 308b 可以由銅、鎳、錫、銀、上述之組合所製成。在一些實施例中，可以省略導電栓塞 308a。換句話說，導電連接器 308 可以包括 C2(晶片連接)凸塊或 C4(控制塌陷高度晶片連接)凸塊。

**【0018】** 在一些實施例中，每一晶粒 300 具有主動面 300a 以及相對於主動面 300a 的背面 300b。如圖 1C 所示，以面朝下的方式配置晶粒 300，使得晶粒 300 的主動面 300a 面向重佈線路結構 200。晶粒 300 可以經由覆晶（flip-chip）接合電性連接至重佈線路結構 200。舉例而言，可以於介電層 202 的部分開口 OP1 中配置晶粒 300 的導電連接器 308，以與重佈線路結構 200 的導電圖案 204 直接接觸。這樣，可以實現晶粒 300 與重佈線路結構 200 之間的電性連接。重佈線路結構 200 可以被用於將電路訊號重新分佈至晶粒 300，或從晶粒 300 將電路訊號重新分佈出去，且可以在比晶粒 300 更寬的區域中擴展。因此，在一些實施例中，重佈線路結構

200 可以被稱為是扇出式 (fan-out) 重佈線路結構。

**【0019】** 在一些實施例中，於重佈線路結構 200 與晶粒 300 之間形成底膠 400，以將導電連接器 308 與最上導電接墊 204 之間的耦合處保護且隔離。在一些實施例中，底膠 400 填充至最上介電層 202 的開口 OP1 中。底膠 400 可以藉由毛細填充膠 (capillary underfill filling, CUF) 的方式形成，且底膠 400 可以包括聚合物材料、樹脂或二氧化矽添加物。

**【0020】** 在圖 1C 的示例性實施例中，配置連接模組 500 以圍繞晶粒 300。每一連接模組 500 包括多個導電條 502、多個阻障層 504、多個導電帽 506 以及保護層 508。導電條 502 可以形成圓柱形的形狀。然而，本發明不限於此。在一些替代性實施例中，導電條 502 可以使用多邊形柱或其他適宜的形狀。導電條 502 的材料包括銅、鋁、鎳、錫、金、銀、或上述之合金、或其他類似者。於導電條 502 上對應配置導電帽 506，以進一步提升連接模組 500 與其他隨後形成元件之間的電性連接與導線接合能力。在一些實施例中，導電帽 506 的材料與導電條 502 的材料不同。舉例而言，導電帽 506 可以包括金或其他具有優異電性連接能力以及良好導線接合能力的金屬材料。在一些實施例中，阻障層 504 可以包括鎳、焊料、銀或其他適宜的導電材料。每一阻障層 504 夾於導電帽 506 與導電條 502 之間，以防止導電帽 506 與導電條 502 之間的原子擴散。舉例而言，當導電條 502、阻障層 504 以及導電帽 506 分別由銅、鎳以及金所製成時，由鎳所形成的阻障層 504 可以防止導

電條 502 中的銅原子從導電條 502 擴散至導電帽 506 中。導電帽 506 被銅污染後會導致導電帽 506 容易氧化，進而導致導線接合能力變差。然而，藉由阻障層 504 的輔助，可以充分防止上述不利的影響。在一些實施例中，如果導電條 502 已經具有充分的導線接合能力接合隨後形成的元件，則可以省略導電帽 506 以及阻障層 504。

**【0021】** 在圖 1C 的示例性實施例中，導電條 502、阻障層 504 以及導電帽 506 嵌入保護層 508 中。換句話說，保護層 508 保護導電條 502、阻障層 504 以及導電帽 506 免受外部元件的影響。保護層 508 的材料可以包括聚合物、環氧樹脂、模塑化合物或其他適宜的介電材料。

**【0022】** 在一些實施例中，每一連接模組 500 可以更包括多個導電凸塊 510。於導電條 502 上對應配置導電凸塊 510。於導電條 502 遠離導電帽 506 的那一面上配置導電凸塊 510。導電凸塊 510 可以包括焊球或其他類似者。可以於重佈線路結構 200 另一部分的開口 OP1 中配置導電凸塊 510，以於連接模組 500 與重佈線路結構 200 之間形成電性連接。導電凸塊 510 可以夾於導電條 502 與重佈線路結構 200 之間。

**【0023】** 在一些實施例中，預先製造連接模組 500 在其放置於重佈線路結構 200 上之前。在一些實施例中，可以藉由晶粒接合器（die bonder）、晶片分揀機（chip sorter）或表面黏著技術（Surface Mount Technology, SMT）機器於重佈線路結構 200 上取放

(pick-and-place) 連接模組 500。每一連接模組 500 中的導電條 502 的數量可以基於設計需求而進行調整。下面將結合圖 2A 至圖 2D 來討論連接模組 500 的配置。

**【0024】** 圖 2A 至圖 2D 是圖 1C 中的連接模組 500 依據本發明各種實施例的上視示意圖。請參照圖 2A，從上視圖看，每一連接模組 500 可以呈現矩形形狀。在一些實施例中，連接模組 500 具有 5 毫米 (millimeter, mm) 至 15 毫米的長度  $L$ ，以及 1.5 毫米至 2 毫米的寬度  $W$ 。如圖 2A 所示，導電帽 506 分佈於保護層 508 中，使得導電帽 506 之間的距離最小化，並同時維持導電帽 506 之間有效的電性隔離。當連接模組 500 為矩形時，可以於重佈線路結構 200 上取放多個連接模組 500，以圍繞每一晶粒 300 的四個邊。

**【0025】** 請參照圖 2B，從上視圖看，每一連接模組 500 可以呈現正方形形狀。在一些實施例中，連接模組 500 的每一邊的長度  $L$  的範圍可以在 5 毫米至 15 毫米之間。當連接模組 500 為正方形時，可以於重佈線路結構 200 上取放多個連接模組 500，以圍繞每一晶粒 300 的四個邊。

**【0026】** 請參照圖 2C，從上視圖看，每一連接模組 500 可以是環形。換句話說，可以藉由連接模組 500 包圍空穴  $C$ ，以容納晶粒 300。在一些實施例中，空穴  $C$  可以容納一個或多個晶粒 300。也就是說，可以於重佈線路結構 200 上取放多個連接模組 500，以圍繞不同晶粒 300。

**【0027】** 請參照圖 2D，每一連接模組 500 可以包圍多個空穴  $C$ 。

在一些實施例中，每一空穴 C 可以容納一個或多個晶粒 300。也就是說，可以於重佈線路結構 200 上取放一個連接模組 500，以圍繞多個晶粒 300，從而實現批次量產（batch production）。

**【0028】** 請回頭參照圖 1D，於重佈線路結構 200 上形成絕緣材料 612，以密封晶粒 300、底膠 400 以及連接模組 500。絕緣材料 612 的材料可以與連接模組 500 的保護層 508 的材料不同。舉例而言，絕緣材料 612 可以包括藉由模塑製程形成的模塑化合物或絕緣材料如環氧樹脂、矽基樹脂（silicone）或其他適宜的樹脂。

**【0029】** 請參照圖 1E，在形成絕緣材料 612 後，從重佈線路結構 200 上移除離型層 102 以及載板 100。如上面所提到，離型層 102 可以是光熱轉換層。在暴露於 UV 雷射下，離型層 102 與載板 100 可以從重佈線路結構 200 的最下介電層 202 與最下導電圖案 204 上被剝離分開。在一些實施例中，在移除離型層 102 與載板 100 後，對傳統的導線接合組件而言，如圖 1E 所示的結構可以被切割成條狀。

**【0030】** 請參照圖 1F，減少絕緣材料 612 的厚度，以形成第一絕緣密封體 610。可以移除部分的絕緣材料 612，以暴露出連接模組 500 的保護層 508，以及可以選擇性地暴露出晶粒 300 的背面 300b。同時，藉由保護層 508 仍然良好地保護著導電帽 506。在一些實施例中，可以藉由平坦化製程移除絕緣材料 612。平坦化製程包括，舉例而言，化學機械研磨製程（chemical-mechanical polishing, CMP）、機械研磨製程（mechanical grinding process）、蝕刻或其他

適宜的製程。在一些實施例中，在暴露出連接模組 500 的保護層 508 以及晶粒 300 的背面 300b 後，連接模組 500、絕緣材料 612 以及晶粒 300 可以進一步進行研磨，以減少隨後形成的封裝結構 10 的整體厚度。在平坦化製程後，於重佈線路結構 200 上配置第一絕緣密封體 610，以側向密封晶粒 300 以及連接模組 500。在一些實施例中，保護層 508 的頂面 508a、第一絕緣密封體 610 的頂面 610a 以及晶粒 300 的背面 300b 相互實質上共面（coplanar）。如上面所提到，由於第一絕緣密封體 610 與連接模組 500 的保護層 508 由不同材料所製成，因此，這兩層被視為是兩個不同的層。換句話說，可以於兩個構件之間看見清楚的介面。應注意的是，在一些替代性實施例中，可以在如圖 1E 所示的剝離製程前，執行薄化製程。

**【0031】** 請參照圖 1G，於連接模組 500 的保護層 508 中形成多個開口 OP2。在一些實施例中，藉由雷射鑽孔製程（laser drilling process）形成開口 OP2。舉例而言，可以部分地移除位於導電帽 506 正上方的保護層 508 以形成開口 OP2。換句話說，開口 OP2 的所在位置對應於導電帽 506、阻障層 504 以及導電條 502 的所在位置。每一開口 OP2 暴露出連接模組 500 的每一導電帽 506 的至少一部分。

**【0032】** 請參照圖 1H，於晶粒 300 以及相對於重佈線路結構 200 的第一絕緣密封體 610 上配置堆疊晶片 710。可以於晶粒 300 的背面 300b 以及第一絕緣密封體 610 的頂面 610a 放置堆疊晶片 710。



在一些實施例中，可以由多個晶片彼此相互堆疊構成堆疊晶片 710。晶片可以包括具有非揮發性記憶體（non-volatile memory）的記憶晶片，如 NAND 型快閃記憶體（NAND flash）。然而，本發明不限於此。在一些替代性實施例中，堆疊晶片 710 的晶片可以是能夠執行其他功能的晶片，如邏輯功能、運算功能或其他類似者。在堆疊晶片 710 中，可以於兩相鄰晶片之間看見晶片黏著層，以增強這些兩相鄰的晶片之間的黏著力。

**【0033】** 堆疊晶片 710 可以經由多條導線 720 電性連接至連接模組 500 的導電帽 506。舉例而言，在於晶粒 300 以及第一絕緣密封體 610 上配置堆疊晶片 710 後，可以經由打線接合製程形成多條導線 720。導線 720 的一端連接至堆疊晶片 710 的至少一晶片。另一方面，導線 720 的另一端延伸至保護層 508 的開口 OP2 中，以連接至導電帽 506。導線 720 的材料可以包括金、鋁或其他適宜的導電材料。在一些實施例中，導線 720 的材料與導電帽 506 的材料相同。

**【0034】** 請參照圖 1I，於第一絕緣密封體 610 與連接模組 500 上形成第二絕緣密封體 620，以密封堆疊晶片 710 以及導線 720。第二絕緣密封體 620 的材料可以與第一絕緣密封體 610 的材料相同或不同。舉例而言，第二絕緣密封體 620 的材料可以包括環氧樹脂、模塑化合物或其他適宜的絕緣材料。在一些實施例中，第二絕緣密封體 620 的材料可以為濕氣吸收率較低的材料。可以藉由壓縮成型（compression molding）、轉注成型（transfer molding）

或其他適宜的密封製程形成第二絕緣密封體 620。如圖 1I 所示，第二絕緣密封體 620 填充至連接模組 500 的保護層 508 的開口 OP2 中，以保護導線 720 位於開口 OP2 中的線段。第二絕緣密封體 620 提供給堆疊晶片 710 與導線 720 物理支撐、機械保護以及電性和環境隔離。換句話說，堆疊晶片 710 與導線 720 嵌入第二絕緣密封體 620 中。

**【0035】** 請參照圖 1J，於相對於晶粒 300 與連接模組 500 的重佈線路結構 200 上形成多個導電端子 800。在一些實施例中，於重佈線路結構 200 的最下導電圖案 204 上配置導電端子 800。換句話說，重佈線路結構 200 的最下導電圖案 204 可以被稱為凸塊底金屬（under-ball metallization, UBM）圖案。可以藉由植球製程（ball placement process）以及/或回焊製程（reflow process）形成導電端子 800。導電端子 800 可以為導電凸塊，如焊球。然而，本發明不限於此。在一些替代性實施例中，導電端子 800 可以基於設計需求而使用其他可能的形式或形狀。舉例而言，導電端子 800 可以使用導電柱或導電栓塞（conductive posts）的形式。

**【0036】** 請參照圖 1K，在形成導電端子 800 後，進行切割（singulation）製程，以獲得多個封裝結構 10。切割製程包括，舉例而言，以旋切刀（rotating blade）或雷射光束切割。

**【0037】** 藉由使用容易預先製造的連接模組 500 作為封裝結構 10 內的垂直連接特徵，由於連接模組 500 的厚度小，進而可以有效地縮小封裝結構 10 的尺寸。此外，連接模組 500 的使用可以導致

在傳統封裝結構中免除額外的載板或較厚的銅柱，進而降低製造成本。

**【0038】** 圖 3 是依據本發明一些替代實施例的封裝結構 20 的剖面示意圖。請參照圖 3，圖 3 中的封裝結構 20 類似於圖 1K 中的封裝結構 10，因此採用相同的標號來表示近似的元件，且詳細內容於此不加以贅述。圖 3 的封裝結構 20 與圖 1K 的封裝結構 10 差別在於：封裝結構 20 更包括於晶粒 300 與連接模組 500 之間配置多個虛設晶粒 910。可以在形成第一絕緣密封體 610 之前，於重佈線路結構 200 上配置虛設晶粒 910。可以藉由取放製程（pick-and-place process）於重佈線路結構 200 上放置虛設晶粒 910。如圖 3 所示，第一絕緣密封體 610 的頂面 610a、虛設晶粒 910 的頂面 910a、晶粒 300 的背面 300b 以及保護層 508 的頂面 508a 相互實質上共面。

**【0039】** 在一些實施例中，虛設晶粒 910 為電性浮接（electrically floating）。虛設晶粒 910 可以與重佈線路結構 200、晶粒 300、連接模組 500 以及堆疊晶片 710 電性絕緣。在一些實施例中，虛設晶粒 910 可以沒有主動元件。換句話說，虛設晶粒 910 可以不對封裝結構 20 的運作做出貢獻。

**【0040】** 在一些實施例中，可以經由黏著層 920，將每一虛設晶粒 910 黏著至重佈線路結構 200 上。舉例而言，可以於虛設晶粒 910 與重佈線路結構 200 之間配置黏著層 920。黏著層 920 可以保護重佈線路結構 200 免於由於放置虛設晶粒 910 而導致的壓痕，且可

以最小化在重佈線路結構 200 上的虛設晶粒 910 的位移。在一些實施例中，黏著層 920 可以包括晶粒黏著膜 (die attach film, DAF) 或其他類似的材料。

**【0041】** 在一些實施例中，若晶粒 300 的尺寸小於堆疊晶片 710，則虛設晶粒 910 可以作為隔板。也就是說，可以使用虛設晶粒 910，以提供堆疊晶片 710 額外的物理支撐。應注意的是，雖然圖 3 繪示的為兩個虛設晶粒 910，本發明不限於此。可以基於堆疊晶片 710 與晶粒 300 的尺寸而調整虛設晶粒 910 的數量。

**【0042】** 綜上所述，容易預先製造的連接模組可以作為封裝結構內的垂直連接特徵。由於連接模組的厚度小，進而可以有效地縮小封裝結構的尺寸。此外，連接模組的使用可以導致在傳統封裝結構中免除額外的載板或較厚的銅柱，進而降低製造成本。

**【0043】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## **【符號說明】**

### **【0044】**

10、20：封裝結構

100：載板

102：離型層

- 200：重佈線路結構
- 202：介電層
- 204：導電圖案
- 206：導通孔
- 300：晶粒
- 300a：主動面
- 300b：背面
- 302：半導體基板
- 304：導電接墊
- 306：鈍化層
- 308：導電連接器
- 308a：導電栓塞
- 308b、510：導電凸塊
- 400：底膠
- 500：連接模組
- 502：導電條
- 504：阻障層
- 506：導電帽
- 508：保護層
- 508a、610a、910a：頂面
- 610：第一絕緣密封體
- 612：絕緣材料

620：第二絕緣密封體

710：堆疊晶片

720：導線

800：導電端子

910：虛設晶粒

920：黏著層

C：空穴

L：長度

OP1、OP2：開口

W：寬度

## 【發明申請專利範圍】

【第1項】一種封裝結構，包括：

重佈線路結構，包括：

導電圖案；以及

介電層，配置於所述導電圖案上並具有多個第一開口以暴露出所述導電圖案；

晶粒，配置並電性連接至所述重佈線路結構；

至少一連接模組，配置於所述重佈線路結構上，所述連接模組具有保護層、多個導電帽、多個阻障層、多個導電條以及多個導電凸塊，其中：

所述多個導電帽、所述多個阻障層和所述多個導電條嵌入在所述保護層中；

所述保護層包括多個第二開口；

所述多個導電帽中的其中一個、所述多個阻障層中的其中一個、所述多個導電條中的其中一個以及所述多個導電凸塊中的其中一個對應於所述多個第二開口中的其中一個配置；

所述保護層的所述多個第二開口暴露出每個所述多個導電帽的至少一部分；

所述多個導電條配置在所述多個導電凸塊上並直接接觸；

所述多個阻障層配置在所述多個導電條上並直接接觸；

所述多個導電帽配置在所述多個阻障層上並直接接觸；

所述多個導電條的材料與所述多個導電帽的材料不同；

所述導電條的材料包括銅；

所述導電帽的材料不包括銅；且

所述多個導電凸塊嵌入所述介電層的所述多個第一開口內，以直接接觸所述導電圖案和所述多個第一開口的側壁；

第一絕緣密封體，密封所述晶粒與所述連接模組，其中所述第一絕緣密封體的一部分配置在所述重佈線路結構與所述至少一連接模組之間，以直接接觸所述多個導電凸塊的側壁的一部分，並且在所述第一絕緣密封體中不存在介面；

堆疊晶片，配置於所述第一絕緣密封體與所述晶粒上，其中所述堆疊晶片電性連接至所述連接模組；

第二絕緣密封體，密封所述堆疊晶片；以及

多條導線，嵌入所述第二絕緣密封體中，其中所述堆疊晶片經由所述多條導線電性連接至所述至少一連接模組，所述多條導線延伸入所述保護層的所述多個第二開口中以直接接觸所述多個導電帽。

**【第2項】** 如申請專利範圍第1項所述的封裝結構，更包括多個導電端子，配置於相對於所述晶粒與所述連接模組的所述重佈線路結構上。

**【第3項】** 如申請專利範圍第1項所述的封裝結構，更包括多個虛設晶粒，配置於所述晶粒與所述連接模組之間。

**【第4項】** 如申請專利範圍第1項所述的封裝結構，其中：

所述保護層的材料與所述第一絕緣密封體的材料不同；或



所述第二絕緣密封體填充至所述保護層的所述多個開口中。

【第5項】一種封裝結構的製造方法，包括：

提供載板；

形成重佈線路結構於所述載板上；

配置多個晶粒以及多個連接模組於所述重佈線路結構上，每一所述連接模組具有保護層以及多個導電條，其中：

所述多個導電條嵌入所述保護層中；

每一所述連接模組更包括多個導電帽，對應配置於所述多個導電條上，且所述保護層的所述多個開口暴露出每一所述導電帽的至少一部分；

所述多個導電條的材料與所述多個導電帽的材料不同；且

每一所述連接模組更包括多個阻障層，每一所述阻障層夾於每一所述導電帽與每一所述導電條之間，且每一所述導電帽不直接接觸每一所述導電條；

形成第一絕緣密封體，以密封所述多個晶粒與所述多個連接模組；

從所述重佈線路結構上移除所述載板；

形成多個開口於所述多個連接模組的所述保護層中，其中所述多個開口對應至所述多個導電條；

配置堆疊晶片於所述多個晶粒與相對於所述重佈線路結構的所述第一絕緣密封體上，其中所述堆疊晶片電性連接至所述多個連接模組；以及

形成第二絕緣密封體，以密封所述堆疊晶片，其中所述第二絕緣密封體直接接觸每一所述導電帽的頂表面。

【第6項】如申請專利範圍第5項所述的製造方法，更包括形成多條導線嵌入所述第二絕緣密封體中，其中所述堆疊晶片經由所述多條導線電性連接至所述多個連接模組，且所述多條導線延伸至所述保護層的所述多個開口中。

【第7項】如申請專利範圍第5項所述的製造方法，更包括放置多個虛設晶粒於所述多個晶粒與所述多個連接模組之間。

【第8項】如申請專利範圍第5項所述的製造方法，其中所述晶粒具有主動面以及相對於主動面的背面，所述晶粒包括多個導電連接器位於所述主動面，且所述第一絕緣密封體的形成步驟包括：

形成絕緣材料於所述重佈線路結構上，以覆蓋所述多個晶粒與所述多個連接模組；以及

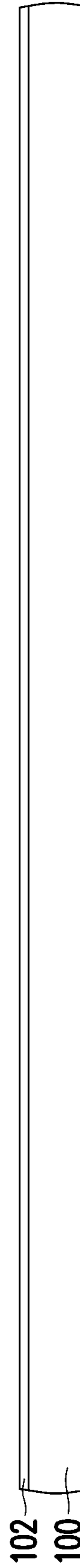
移除部分的所述絕緣材料，以暴露出所述多個連接模組的所述保護層與所述多個晶粒的所述背面。

【第9項】如申請專利範圍第5項所述的製造方法，其中：

所述多個晶粒經由覆晶接合電性連接至所述重佈線路結構；  
或

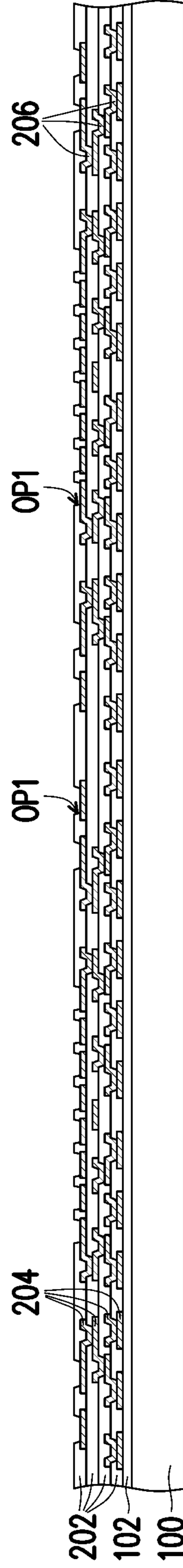
每一所述連接模組更包括多個導電凸塊，且所述多個連接模組經由取放製程配置於所述重佈線路結構上，使得所述多個導電凸塊與所述重佈線路結構直接接觸。

【發明圖式】

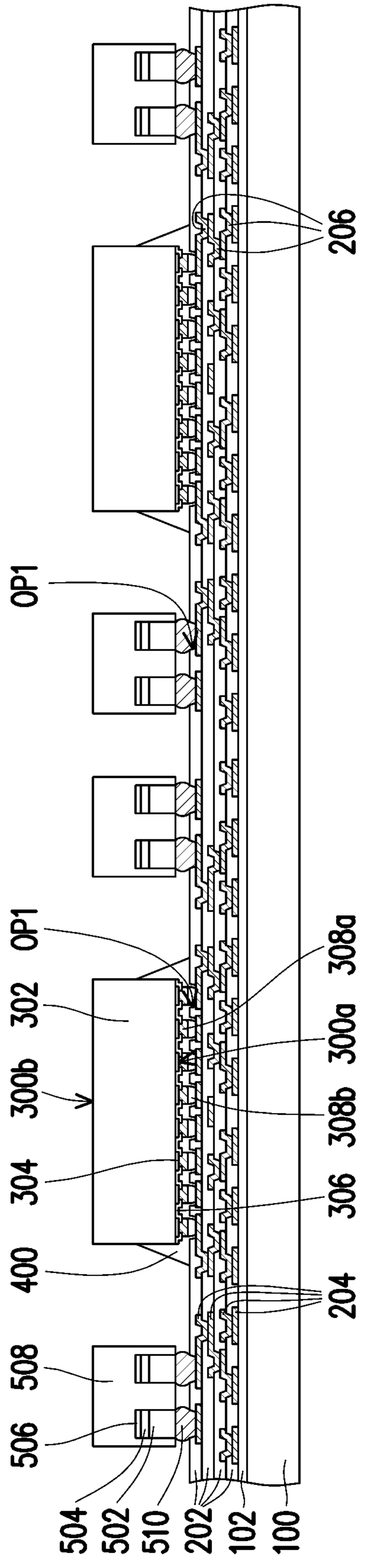
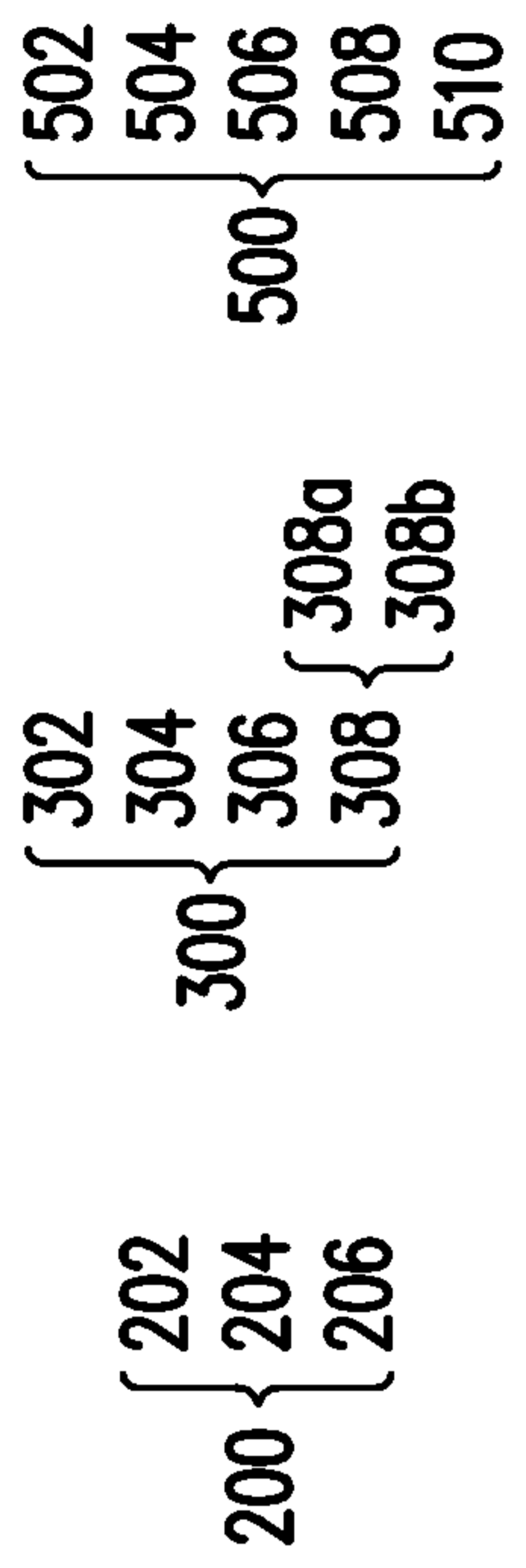


【圖1A】

200 { 202  
204  
206

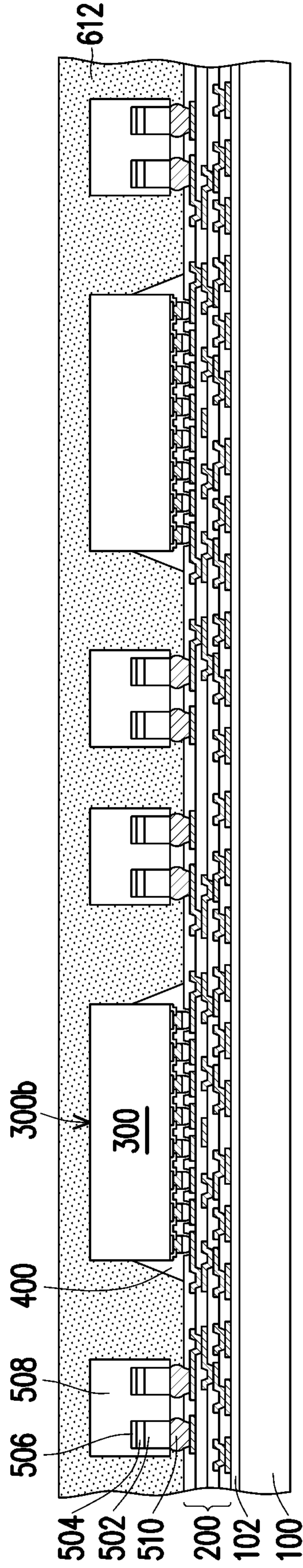


【圖1B】



【圖1C】

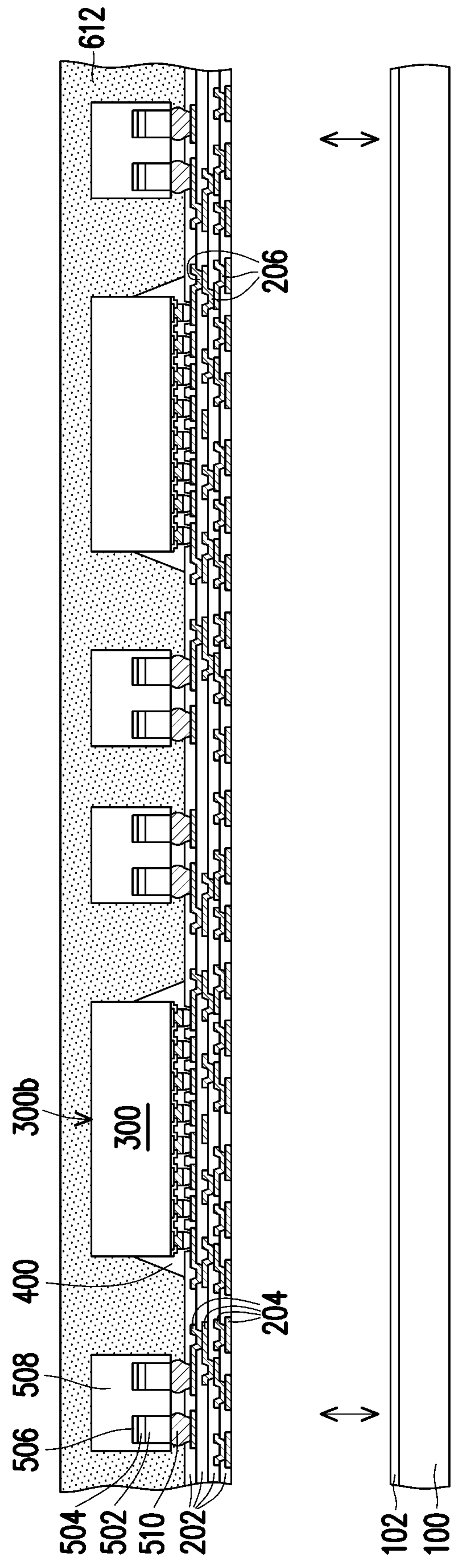
{ 502  
 504  
 506  
 508  
 510 }  
 500



【圖1D】

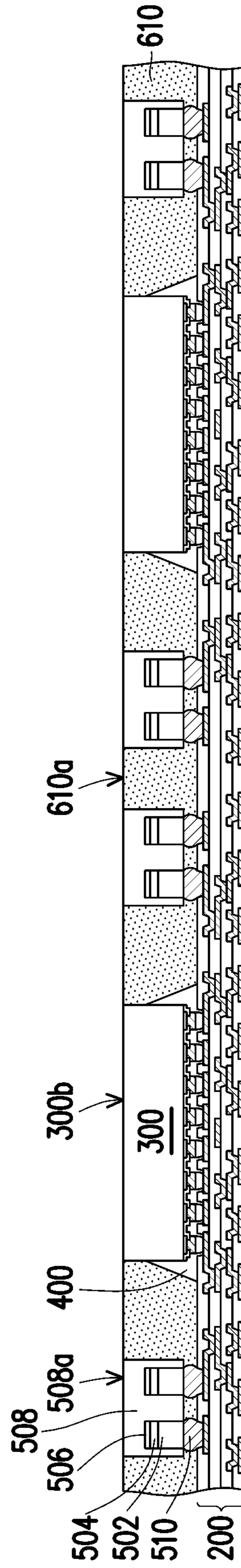
{ 502  
504  
506  
508  
510  
500

{ 202  
204  
206  
200



【圖1B】

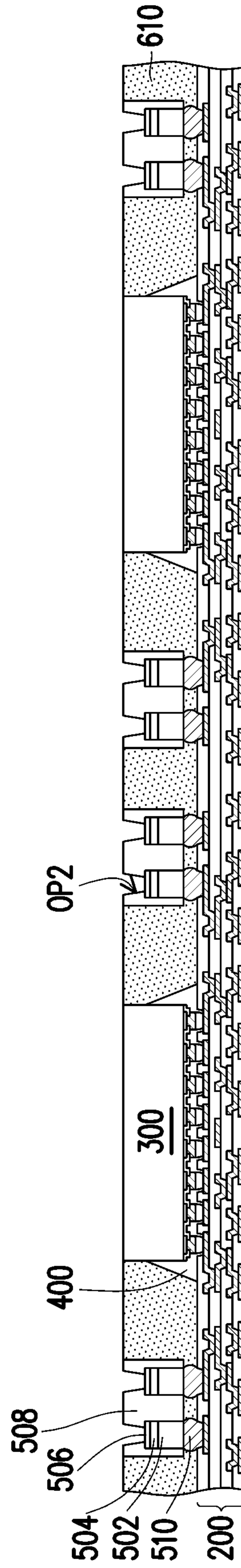
{ 502  
 504  
 506  
 508  
 510  
 500



【圖1F】

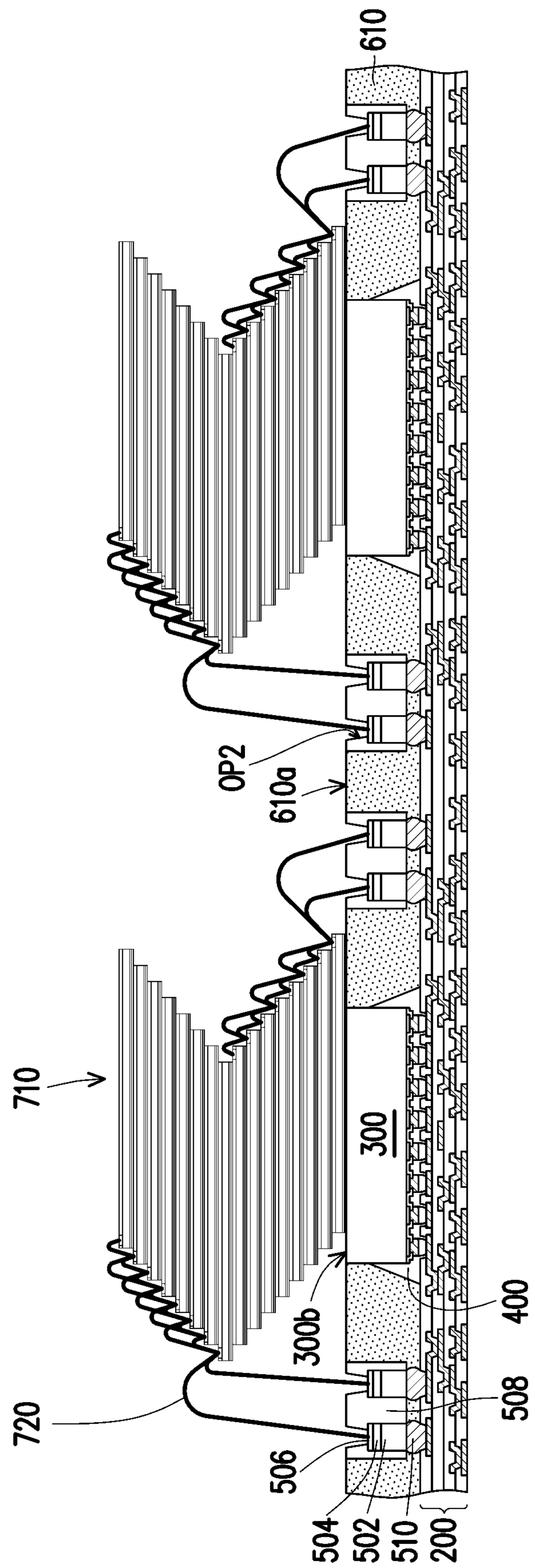


{ 502  
 504  
 506  
 508  
 510 }  
 500

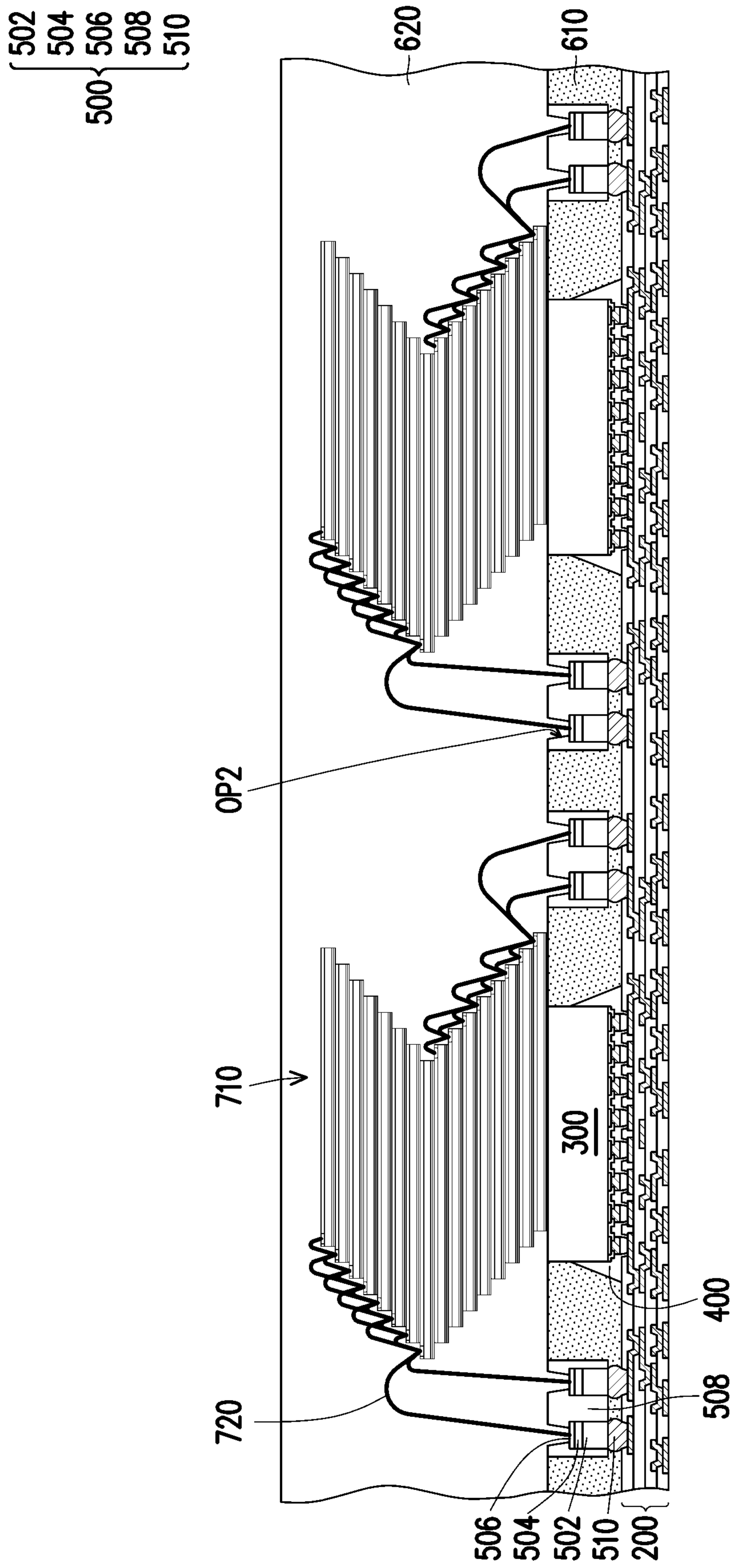


【圖1G】

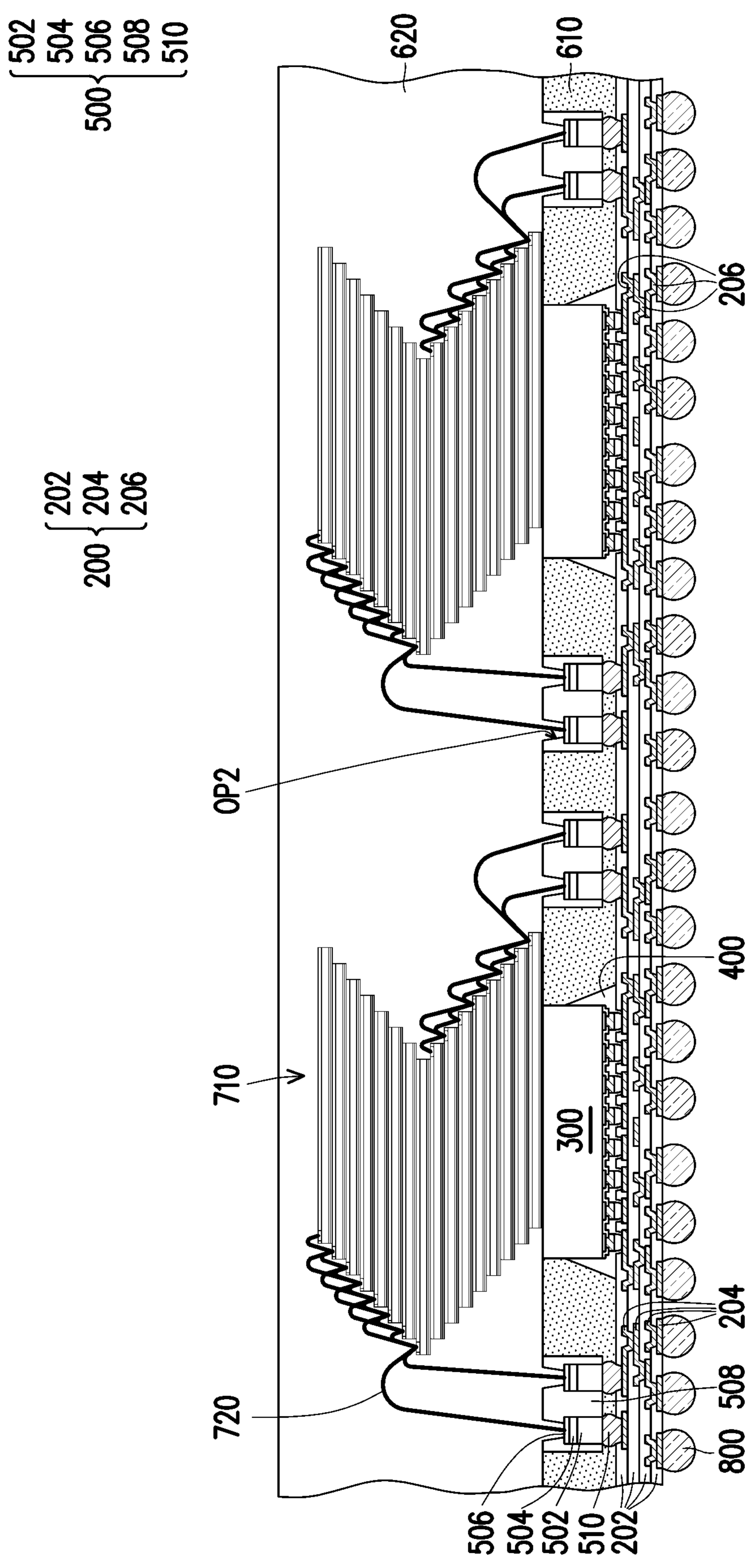
{ 502  
 504  
 506  
 508  
 510 }



【圖1H】

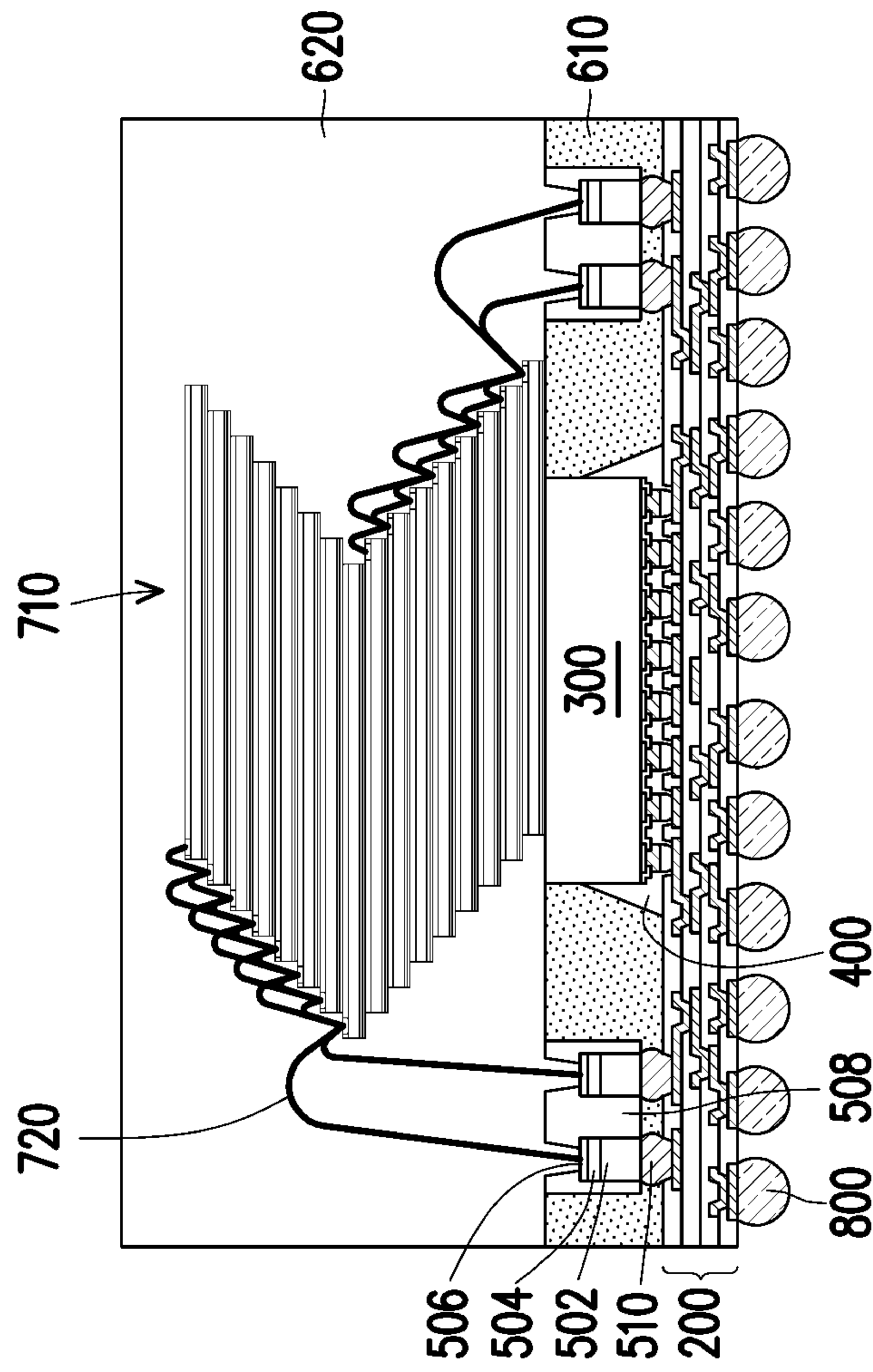


【圖II】



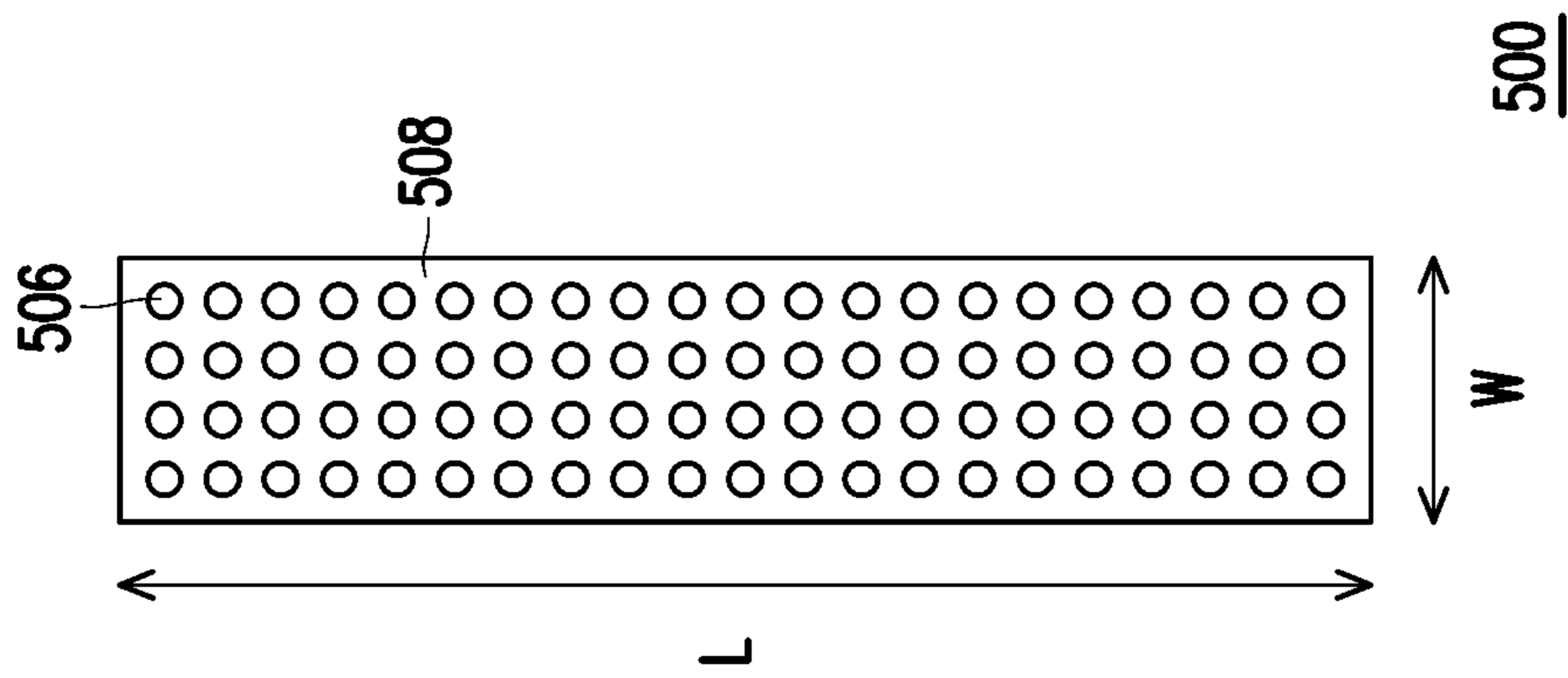
【圖1J】

{ 502  
 504  
 506  
 508  
 510 }  
 500

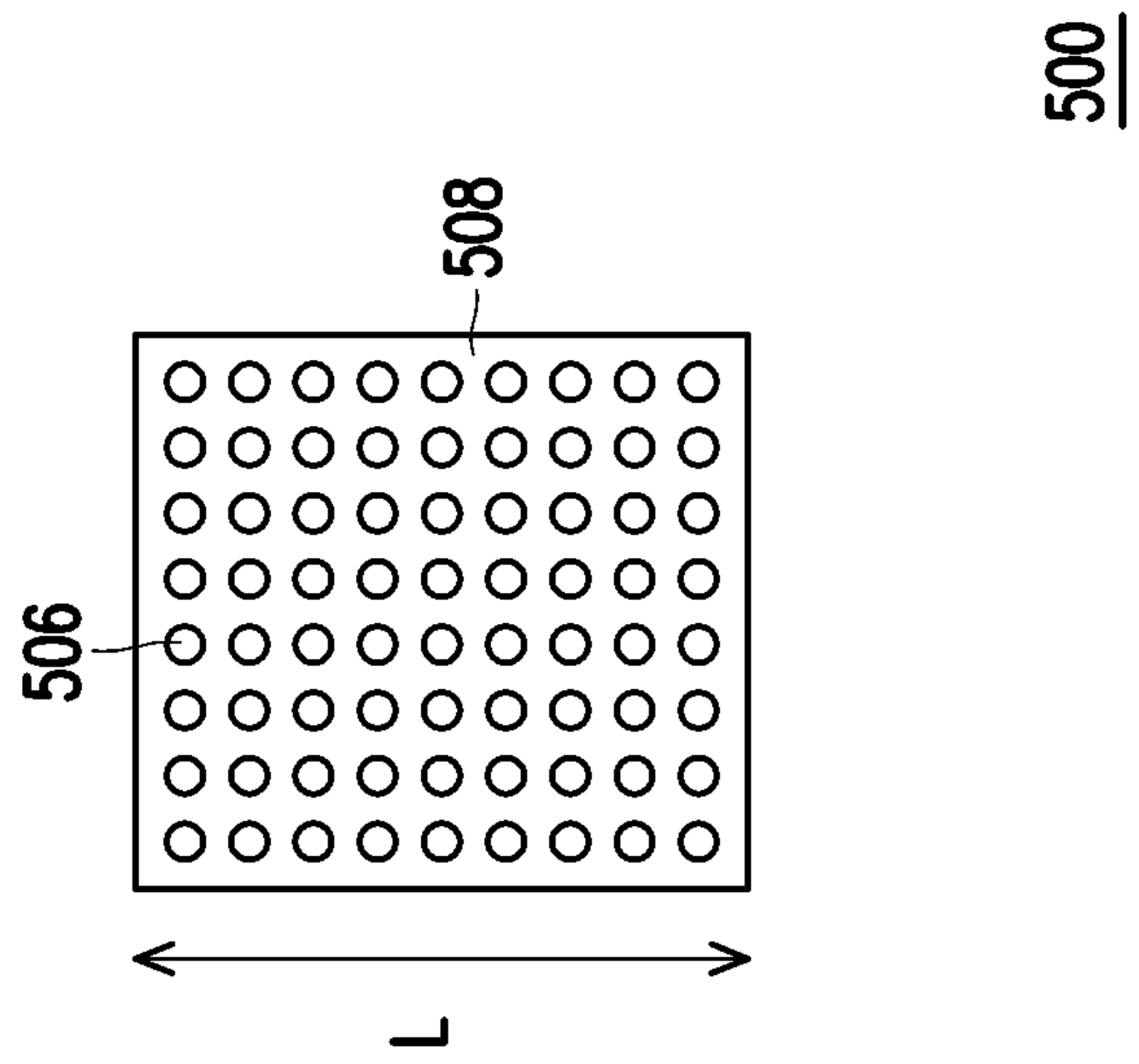


10

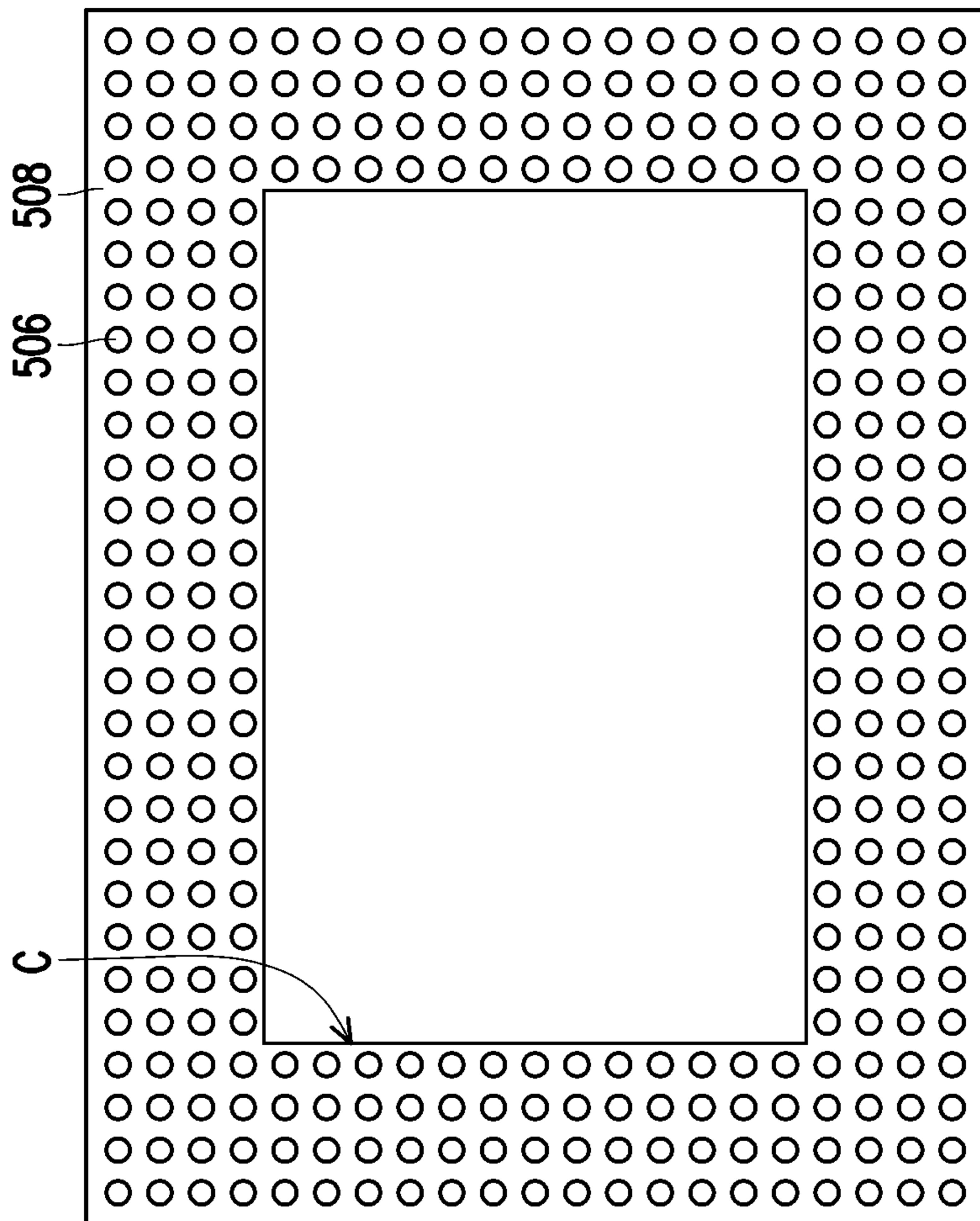
【圖1K】



【圖2A】

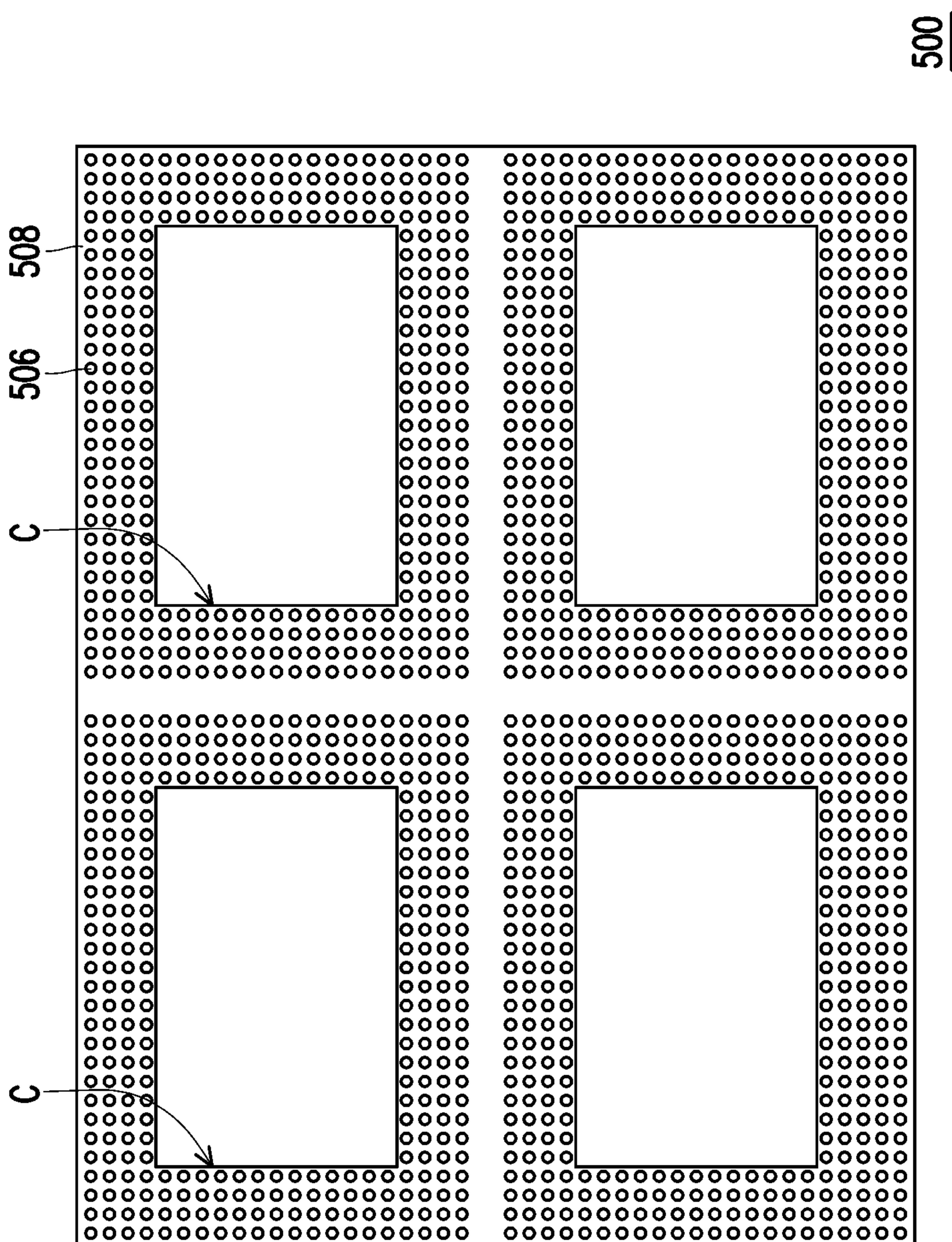


【圖2B】



500

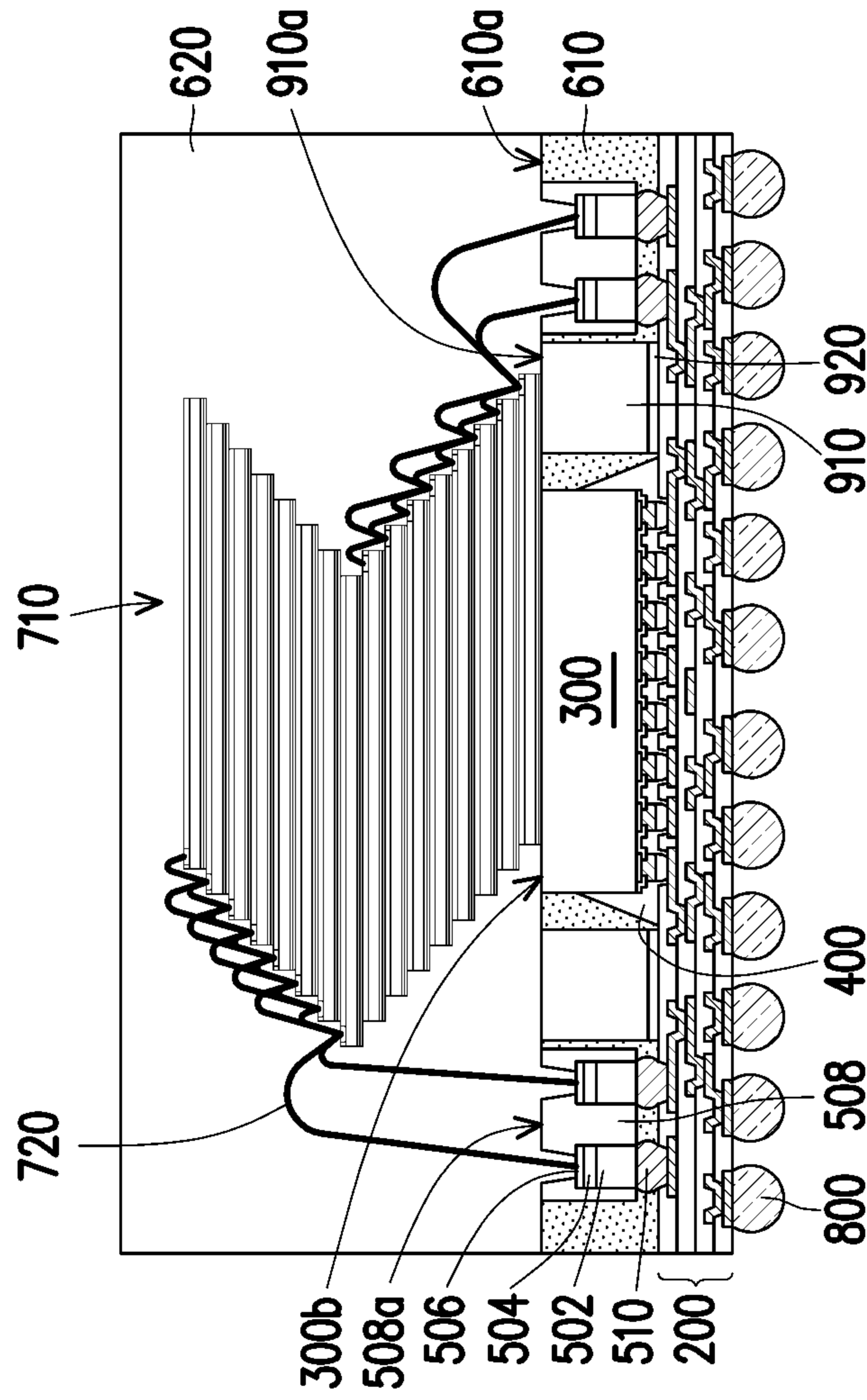
【圖2C】



【圖2D】



{ 502  
 504  
 506  
 508  
 510 }  
 500



20

【圖3】