

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-503994  
(P2004-503994A)

(43) 公表日 平成16年2月5日(2004.2.5)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H04B 7/005	H04B 7/005	5CO21
H03H 17/00	H03H 17/00 601P	5KO46
H03H 17/06	H03H 17/06 633Z	
H04B 3/06	H04B 3/06 C	
H04B 3/10	H04B 3/10 C	

審査請求 未請求 予備審査請求 未請求 (全 44 頁) 最終頁に続く

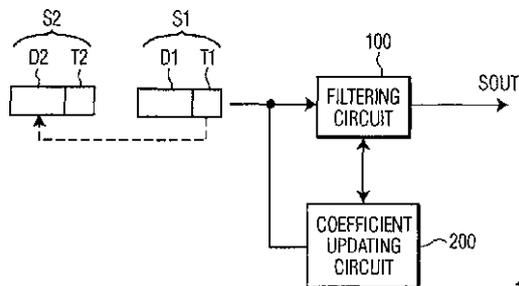
(21) 出願番号	特願2002-511549 (P2002-511549)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ Koninklijke Philips Electronics N. V. オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(86) (22) 出願日	平成13年5月21日 (2001.5.21)	(74) 代理人	100070150 弁理士 伊東 忠彦
(85) 翻訳文提出日	平成14年2月8日 (2002.2.8)		
(86) 国際出願番号	PCT/EP2001/005804		
(87) 国際公開番号	W02001/097475		
(87) 国際公開日	平成13年12月20日 (2001.12.20)		
(31) 優先権主張番号	09/591, 870		
(32) 優先日	平成12年6月12日 (2000.6.12)		
(33) 優先権主張国	米国 (US)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR		

最終頁に続く

(54) 【発明の名称】 チャネルイコライザ

(57) 【要約】

長い遅延マルチパス及び歪みを補償するための調節可能な係数を有する適応チャネルイコライザを提供する。トレーニング系列は、チャンネルにわたり周期的に送出される。イコライザの適応係数は、伝送されたトレーニング系列のイコライゼーションから周期的に更新される。トレーニング系列のイコライゼーションは、イコライザによる残りの伝送データのイコライゼーションに対して個別に及び並列に実行される。



**【特許請求の範囲】****【請求項 1】**

セットのうちのそれぞれ 1 つがデータ系列のそれぞれを含み、前記セットのうちの少なくとも最初の 1 つがトレーニング系列を含む連続するデータのセットを処理する方法であって、

調節可能なフィルタ係数を有するフィルタを使用して、前記最初のセットのデータ系列をフィルタリングするステップと、

前記データ系列をフィルタリングする一方で、前記トレーニング系列を処理して前記フィルタ係数のうちの特定の 1 つについて最適値を導出するステップと、

別のデータ系列のフィルタリングの前に、前記特定のフィルタ係数の前の値を前記導出された最適値で置き換えるステップと、

を備える方法。

**【請求項 2】**

調節可能なイコライジング係数を有するイコライザを使用して前記トレーニング系列をイコライズするステップをさらに備え、

前記最適値は、前記イコライゼーションの最後での、前記特定のフィルタ係数と同じ位置を有するイコライジング係数からなる値である、

請求項 1 記載の方法。

**【請求項 3】**

前記イコライジング係数は、前記トレーニング系列の第 1 の値と、前記イコライザによる前記トレーニング系列のフィルタリングから生じた信号と前記イコライザにより認識される参照トレーニング系列との間の不一致を表す誤差信号の第 2 の値との積である更新量を使用して調整される、

請求項 2 記載の方法。

**【請求項 4】**

少なくとも 1 つのフィルタ係数は、前記データ系列のブラインド・イコライゼーションから変更される、請求項 1 記載の方法。

**【請求項 5】**

セットのうちのそれぞれ 1 つがデータ系列のそれぞれを含み、前記セットのうちの少なくとも最初の 1 つがトレーニング系列を含む連続するデータのセットを処理するための装置であって、

調節可能なフィルタ係数を有するフィルタと、

前記フィルタが前記最初のセットのデータ系列をフィルタリングして、前記フィルタ係数のうちの少なくとも特定の 1 つの最適値を導出する一方で、前記最初のセットの前記トレーニング系列を処理し、別のデータ系列のフィルタリングの前に前記最適値を前記フィルタに供給するための更新回路と、

を備える装置。

**【請求項 6】**

前記フィルタは、フォワードイコライザ、デシジョンフィードバックイコライザを備える、請求項 5 記載の装置。

**【請求項 7】**

前記更新回路は、前記トレーニング系列をイコライズするために調節可能なイコライジング係数を有するイコライザをさらに備え、

前記最適値は、前記係数の最後での、前記特定のフィルタ係数と同じ位置を有するイコライジング係数からなる値である、請求項 5 記載の装置。

**【請求項 8】**

前記更新回路は、

前記トレーニング系列をイコライズするために調節可能なイコライジング係数を有し、イコライズされたトレーニング系列を生成するためのイコライザと、

前記トレーニング系列の値を記憶するための第 1 メモリユニットと、

10

20

30

40

50

前記イコライジング係数を記憶するための第2メモリユニットと、  
前記イコライズされたトレーニング系列と、前記更新回路に認識される参照トレーニング系列からの誤差系列を導出するためのエラーカリキュレータと、  
前記トレーニング系列の第1の値、適応パラメータの第2の値及び前記誤差系列の第3の値の積としての更新量を使用して、前記最適値を導出するためのカリキュレータと、  
を備える請求項5記載の装置。

【請求項9】

前記イコライザは、  
指定期間の間、前記イコライジング係数のそれぞれの値を前記トレーニング系列のそれぞれの値で乗算するための乗算器と、  
前記乗算器により導出された積の総和を累積するためのアキュムレータと、  
を備える請求項7記載の装置。

10

【請求項10】

前記フィルタは、前記データ系列のブラインド・イコライゼーションを実行することにより、前記係数のうちの少なくとも特定の1つを変更する、請求項5記載の装置。

【請求項11】

前記フィルタは、  
直列に接続される複数の有限インパルス応答フィルタと、  
2つの連続する有限インパルス応答フィルタの間にそれぞれ配置され、有限インパルス応答フィルタのそれぞれの間に遅延のそれぞれを導入する少なくとも1つの機器構成可能な遅延セルと、  
を備える請求項5記載の装置。

20

【請求項12】

前記更新回路は、  
前記フィルタ係数の最適値のそれぞれを導出するためのデジタル信号処理ユニットと、  
前記導出された最適値から遅延を決定するための遅延カリキュレータと、  
を備える、請求項11記載の装置。

【発明の詳細な説明】

【0001】

[発明の分野]

本発明は、セットのうちのそれぞれ1つがデータ系列のそれぞれを含み、該セットのうちの少なくとも最初の1つがトレーニング系列を含む連続するデータのセットを処理する方法に関する。

30

また、本発明は、かかる方法を実行するための対応するデータ処理装置に関する。

本発明は、通信チャネルを通しての伝送の間に歪んだデジタル形式で符号化されたオーディオ及びビデオデータの処理に関する。

【0002】

[発明の背景]

送信機から受信機へ、通信チャネルにわたり伝送されたデジタルビデオ又はオーディオデータは、歪み及びマルチパスエラーを受けやすい。受信機では、出力データを生成する前に受信された損壊データを適切にフィルタリングすることを通して、これらの影響の補償を達成することができる。

40

【0003】

“トレーニングモード (trained mode)” では、伝送されたデータは、データの一部として送信機側で送信されるトレーニング系列を含んでいる。受信機側では、受信データは歪みを受けており、受信されたトレーニング系列もまた歪みを受けている。受信されたトレーニング系列は処理され、出力トレーニング系列となる。

【0004】

この処理は、歪みが出力トレーニング系列において部分的に除去されるように実行され、処理後のトレーニング系列がオリジナルに送信されたトレーニング系列に匹敵するように実行される。当業者であれば、受信されたトレーニング系列の処理を使用して、受信デー

50

タを処理することにより受信データのチャンネル歪みを低減することができる。

【0005】

かかる処理は、イコライゼーションと呼ばれることがある。“トレイン・イコライゼーション (trained equalization)”では、トレーニング系列のイコライゼーションの結果は、受信データのイコライゼーションのために使用される。

【0006】

The Advanced Television Systems Committee (ATSC) は、デジタル高精細テレビジョン (HDTV) のための規格を提供している。1995年9月16日のATSC文書A53には、デジタルテレビジョンについての承認された規格が記載されており、1995年10月4日のATSC文書A54には、この規格の使用の指示が与えられている。

10

【0007】

この規格は、地上波のブロードキャスト、ケーブル又は衛星チャンネルにわたり伝送されたビデオ信号に組込まれる特定のトレーニング系列を規定している。ATSC文書A54は、イコライザのフィルタ応答を調節して、チャンネル歪みを十分に補償するための方法を開示している。この公知の手法では、イコライザがはじめに起動した時、イコライザの係数は、チャンネル補償について十分に補償するために通常設定されていない。

【0008】

イコライザの係数を強制的に集束させるために、知られているオリジナルのトレーニング系列が伝送される。誤差信号は、局部的に発生されたトレーニング系列のコピーを適応イコライザの出力から減じることにより形成される。係数は、誤差信号を最小にするために設定され、トレーニング信号によるイコライザの調節の後、次いで、イコライザは、ビデオ信号のフィルタリングのために使用される。

20

【0009】

[発明の概要]

本発明の目的は、データ信号から歪みを除去する有効な方法を提供することにある。本発明の別の目的は、かかる方法を実行する装置の安価な実現を提供することにある。

【0010】

上記目的のために、本発明は、連続するデータのセットを処理する方法を提供するものである。ここで、このセットのうちのそれぞれ1つは、データ系列のそれぞれを含んでおり、このセットのうちの少なくとも最初の1つは、トレーニング系列を含んでいる。本方法は、以下のステップを備えている。

30

調節可能なフィルタ係数を有するフィルタを使用して、該最初のセットのデータ系列をフィルタリングするステップ。

該データ系列をフィルタリングする一方で、該トレーニング系列を処理して該フィルタ係数のうちの特定の1つについて最適値を導出するステップ。

別のデータ系列のフィルタリングの前に、該特定のフィルタ係数の前の値を該導出された最適値で置き換えるステップ。

本発明の方法では、最初のセットのトレーニング系列は、次のデータ系列のフィルタリングのために使用される特定の係数の最適値の導出に基づくものとして使用される。

40

【0011】

「発明の背景」で説明された手法では、特定の係数の導出された最適値は、トレーニング系列が属する同じセットのデータ系列のフィルタリングのために使用される。トレーニング系列は、フィルタリングされ、続いてデータ系列が交互にフィルタリングされる。

【0012】

公知の手法と対照的に、本発明の方法では、データ系列のフィルタリングの一方で、トレーニング系列の処理が実行される。本発明の利点は、公知の方法に比較べて、トレーニング系列の処理のために非常に長い時間を利用することができる。ここで、トレーニング系列が実際に受信されている間にトレーニング系列が処理される。したがって、本発明の方法では、フィルタ係数の最適値の導出について、より多くの時間が許容される。

50

## 【0013】

また、本発明は、連続するデータのセットを処理するための装置に関する。ここで、このセットのうちのそれぞれ1つは、送信されたデータのそれぞれを含んでおり、このセットのうちの少なくとも最初の1つは、トレーニング系列を含んでいる。処理装置は、以下を備えている。

該最初のセットの伝送データをフィルタリングするための調節可能なフィルタ係数を有するフィルタ回路。

トレーニング系列を処理することによるフィルタ係数のうちの少なくとも1つの最適値を導出するために作用し、伝送データのフィルタリングの一方で、セットの別の1つの伝送データのフィルタリングの前に、フィルタ係数の前の値を導出された最適値で置き換えるように作用する更新回路。

10

## 【0014】

本発明の装置は、フィルタがデータ系列をフィルタリングしている一方で、少なくとも特定のフィルタ係数を更新するための更新回路を備えている。公知の装置では、イコライザは、はじめに、係数を調節するためにトレーニング系列の処理のみに専用され、十分なイコライゼーションが実行される。

## 【0015】

次いで、装置は、データ系列の処理に専用され、この間に、トレーニング系列の処理から得られた係数が保持される。特定のハードウェアがそれぞれの係数に関連付けられており、トレーニング系列のイコライゼーションの間に係数の更新が作り出される。かかるイコライザの実現は、比較的複雑である。

20

本発明の装置では、更新回路は、係数のいずれかの更新に専用される。したがって、本発明の装置の利点は、低減されたチップ領域の実現を可能にすることである。

## 【0016】

ATSC規格では、伝送データ「フレーム」は、2つのフィールドを構成しており、それぞれのフィールドは、313の「セグメント」をからなる。それぞれのセグメントは、832のデータシンボルを順次構成し、このデータシンボルは、周期的な同期パターンとして使用される。これら313のセグメントのうち、312のセグメントは、実際のMPEG-2符号化データを送信するために使用され、残りのセグメントは、700ビットのトレーニング系列を伝送するために使用される。

30

## 【0017】

結果的に、0.3%の伝送データがトレーニング系列のイコライゼーションに使用される。いわゆる“トレーニング”イコライゼーションモードでは、イコライザの適応は、トレーニング系列についてのみ実行される。これは、本発明において行われるように、トレーニング系列が記憶メモリに捕獲され、残りの伝送データに独立に処理される場合、より多くの時間がトレーニング系列を処理するために利用することができる。

## 【0018】

したがって、トレーニング系列の実際の到来の間に、適応が実時間で実行される場合よりも、チャンネル歪みについて最良に補償するイコライザの機器構成を決定するために、より多くの時間を利用することができる。

40

## 【0019】

したがって、本発明は、静的な歪み及びマルチパスが殆どのチャンネルの損傷を構成するデジタル伝送システムに関連している。これらの状況の下で、イコライザの適応機能は、これまでのイコライザに見られるアーキテクチャよりも、より簡単なアーキテクチャを使用して実現することができる。

## 【0020】

これは、トレーニング系列が伝送データのうちの非常に小さなパーセンテージであるためであり、静的なチャンネル特性が、トレーニング周期間でのインターバルにおける非常に僅かな量により変化するためである。これにより、より大きなインターバルにわたり実行される必要とされる計算量を許容することができ、これにより、より小さなハードウェアが

50

必要とされる。

【0021】

[発明の実施の形態]

本発明は、添付図面を参照して、例示により更に詳細に説明される。

図1では、本発明のデータ処理装置10が与えられている。本装置10は、連続するデータのセット $S_1, S_2, \dots, S_i$ を受信し、出力信号 $S_{out}$ を生成する。セット $S_i$ は、たとえば地上波ブロードキャスト、ケーブル又は衛星チャネルのような通信チャネルを通して、送信機又は基地局から受信機に伝送される。本装置は、かかる受信機の一部である場合がある。

【0022】

セット $S_i$ は、通信チャネルの特性が変化する場合に歪みを受けやすい。チャネルの歪みは、チャネルの特性が時不変であるときに静的な形式からなる。チャネル歪みは、チャネルの特性が緩やかに変化するとき準静的な形式であり、チャネル歪みは、チャネルの特性が急速に変化するとき動的な形式である。たとえば、地上波ブロードキャスト伝送では、静的及び動的な歪みの両者が典型的に存在する。

【0023】

それぞれ受信されたセット $S_i$ は、それぞれのデータ系列を $D_i$ 、及び場合によってはそれぞれのトレーニング系列 $T_i$ を含んでいる。好ましくは、トレーニング系列 $T_i$ は、非常に小さなパーセンテージの伝送されたデータ $S_i$ のセットを構成している。

【0024】

本実施の形態では、セット $S_1$ は、トレーニング系列 $T_1$ を含んでおり、データ系列 $D_1$ がこれに続く。セット $S_2$ は、トレーニング系列 $T_2$ を含んでおり、データ系列 $D_2$ がこれに続く。セット $S_1$ 及び $S_2$ は、連続するデータセットにおいて区分されるデータストリームの一部であってもよい。このセットは、同じ又は異なる長さであってもよい。

【0025】

装置10は、多数の調節可能な係数 $C_1, \dots, C_m$ を有しており、この係数の離散時間 $t$ での値は、 $C_1(t), \dots, C_m(t)$ である。

装置10は、少なくとも1つの係数 $C_1, \dots, C_m$ を調節するための係数更新回路200を更に備えている。この回路200は、以下に説明されるように、受信されたトレーニング系列 $T_i$ のイコライゼーションから所与の係数 $C_k$ を更新する。

【0026】

本装置10は、トレーニング系列 $T_1$ 及び後続するデータ系列 $D_1$ から構成されるセット $S_1$ を受信する。はじめに、トレーニング系列 $T_i$ は、回路100及び回路200に供給される。フィルタ100は、トレーニング系列 $T_i$ をフィルタリングする。回路200は、トレーニング系列 $T_i$ を受信したときに、系列 $T_i$ を内部メモリに記憶する。

【0027】

次いで、データ系列 $D_i$ は、フィルタ100に供給される。フィルタ100がデータ系列 $D_1$ をフィルタリングする一方で、回路200は、係数 $C_k$ のうちの少なくとも特定の1つについて、最適値を導出するためにトレーニング系列 $T_1$ を処理する。

【0028】

回路200は、トレーニング系列 $T_1$ をイコライズする。最適値が導出され、データ系列 $D_1$ のフィルタリングが終了したときに、導出された最適値は、回路200によりフィルタ100に供給され、この導出された最適値により係数 $C_k$ は更新される。次いで、次のセット $S_2$ は、フィルタ100に供給される。フィルタ100は、更新された係数 $C_k$ を使用して、トレーニング系列 $T_2$ 及びデータ系列 $D_2$ をフィルタリングする。

【0029】

図2は、本発明の処理方法のフローチャートである。ステップ1は、受信されたデータ系列をフィルタリングすることからなる。ステップ2は、現在フィルタリングされているデータ系列に関連して転送された受信されたトレーニング系列を使用して、係数のうちの少なくとも特定の1つについての最適値を導出することからなる。本発明の方法では、ステ

10

20

30

40

50

ップ1及びステップ2は時間的にオーバーラップしている。

【0030】

好ましくは、ステップ2を完了するために要する時間は、2つの連続するトレーニング系列間の転送周期よりも短い。さらに、トレーニング系列は、転送データの小さな部分のみであるので、ステップ2の完了するためにはステップ1を完了するよりも短い時間を要する。

【0031】

次のステップ3は、少なくとも特定の係数の値を、ステップ2で導出された最適値で更新することからなる。係数の更新が一旦実行されると、新たなデータ系列のフィルタリングが開始される場合がある。データ系列及びトレーニング系列は、連続するデジタルデータからそれぞれ構成されている。以下の説明では、「系列の値」は、「デジタルデータの系列の値」を言及する。

10

【0032】

図3は、装置10の第1の機能的な実施の形態を示している。本発明の装置10は、フィルタ回路100及び係数更新回路200を備えている。装置10は、連続するセット $S_i$ を受信し、出力信号 $S_{out}$ を生成する。この第1の実施の形態では、フィルタ100は、多数の $m$ 個のタップセル $TAP_1, TAP_2, \dots, TAP_m$ を備えている。

【0033】

それぞれのセル $TAP_k$ は、それぞれの係数 $C_k$ に関連付けられている。それぞれのセル $TAP_k$ は、係数 $C_k$ と現在関連付けられているデータ系列 $D_i$ のデータ値を記憶するための、それぞれのデータレジスタ $REGD_k$ を備えている。それぞれのセル $TAP_k$ は、それぞれの乗算器 $M_k$ を備えている。

20

【0034】

トレーニング系列 $T_i$ は、回路100により予めフィルタリングされる。トレーニング系列は、回路200の内部メモリに記憶されている。トレーニング系列 $T_i$ は、値 $T_i(1), T_i(2), \dots, T_i(N)$ を有する $N$ 個の連続するデータから構成される。データ系列 $D_i$ を受信したとき、フィルタ100は、時間 $t$ の瞬間で、データ系列 $D_i$ の値 $D_i(t)$ を受信する。デジタルデータ系列 $D_i$ は、フィルタ100に伝送され、データ系列 $D_i$ の値は、フィルタ100のセルに以下のように記憶される。

【0035】

時間 $t$ では、フィルタ100により値 $D_i(t)$ が受信され、最初のフィルタセルのレジスタ $REGD_1$ に記憶される。次の時間 $t+1$ で、値 $D_i(t)$ はレジスタ $REGD_1$ から第2のフィルタセルのレジスタ $REGD_2$ に伝送される。同時に、フィルタ100により次の値 $D_i(t+1)$ が受信され、最初のセルのレジスタ $REGD_1$ に記憶される。

30

【0036】

次の時間 $t+2$ では、値 $D_i(t)$ は、レジスタ $REGD_2$ から第3のフィルタセルのレジスタ $REGD_3$ に伝送される。値 $D_i(t+1)$ は、最初のセルにおけるレジスタ $REGD_1$ から第2のセルのレジスタ $REGD_2$ に伝送される。同時に、フィルタ100により次の値 $D_i(t+2)$ が受信され、レジスタ $REGD_1$ において記憶される等である。

【0037】

所与の時間 $t$ では、それぞれのセル $TAP_k$ のそれぞれにおいて、乗算器 $M_k$ は、レジスタ $REGC_k$ に記憶される係数 $C_k$ の値、及びレジスタ $REGD_k$ に記憶されているデータの値を受信する。それぞれの乗算器 $M_k$ は、2つの受信された値の積を計算して、この積を加算器150に供給する。加算器150は、乗算器 $M_1, \dots, M_m$ から受信された全ての積の総和を計算する。結果的に得られる総和は、時間 $k$ での出力信号 $S_{out}$ の値 $S_{out}(t)$ である。

40

【0038】

図3の回路200は、フィルタ係数 $C_1, \dots, C_m$ の値を記憶するための係数メモリ201を備えている。また、回路200は、受信されたトレーニング系列 $T_i$ の値 $T_i(1), \dots, T_i(N)$ を記憶するためのデータメモリ202を備えている。オリジナルのトレ

50

イニング系列は、トレーニング系列の送信機により送出されたオリジナルバージョンであり、ユニット200により前もって知られている。

【0039】

オリジナルのトレーニング系列は、トレーニング系列メモリ203に記憶されるユニット200は、受信されたトレーニング系列を処理して、フィルタ係数のうち特定の係数 $C_k$ についての最適値を導出するためのデジタル信号処理ユニットDSPを備えている。

【0040】

本発明の第1実施の形態では、ユニットDSPは、トレーニング系列 $T_i$ のイコライゼーションを実行する。系列 $T_i$ のイコライゼーションは、メモリ201に記憶されている係数 $C_1, \dots, C_m$ の値を使用して、DSPユニットにより系列 $T_i$ をフィルタリングすることを備えている。

10

【0041】

DSPユニットによる系列 $T_i$ のフィルタリングの間に、メモリ201に記憶されている係数 $C_1, \dots, C_m$ の値は、DSPユニットにより繰返し調節される。これにより、イコライゼーション後の受信されたトレーニング系列 $T_i$ がメモリ203に記憶されているオリジナルのトレーニング系列に匹敵するようになる。係数 $C_k$ の最適値は、イコライゼーションプロセスの最後で、メモリから201から検索することができる係数 $C_k$ の調節された値である。

【0042】

図4は、係数更新回路200の第2の機能的な実施の形態の図である。この第2の実施の形態では、回路200は、メモリ201、メモリ202及びメモリ203を備えている。回路200は、乗算器207、加算器208、乗算器211、マルチプレクサ209、マルチプレクサ210、レジスタ204、レジスタ205及びエラーカリキュレータ206をさらに備えている。

20

【0043】

回路200は、メモリ201に記憶されている係数 $C_1, \dots, C_m$ の値を使用して、メモリ202に記憶されている系列 $T_i$ をフィルタリングし、フィルタリングされたトレーニング系列 $FT_i$ を生成する。系列 $T_i$ のフィルタリングの間に、メモリ201における係数 $C_1, \dots, C_m$ は、後述されるように繰返し更新される。これにより、フィルタリングされたトレーニング系列 $FT_i$ は、メモリ203に記憶されたオリジナルのトレーニング系列に匹敵する。

30

【0044】

系列 $FT_i$ の値は、係数 $C_k$ のそれぞれとトレーニング系列 $T_i$ の値 $T_i(k)$ のそれぞれの積の値の総和として計算される。それぞれの積は、乗算器207により計算される。乗算器207は、マルチプレクサ209を通してメモリ201からの所与の係数 $C_k$ の現在の値を受ける。

【0045】

パラメータ $K$ の値は、内部設定されており、これにより、マルチプレクサ209は、乗算器207にメモリ201に記憶されている係数の値を供給するか、又は、乗算器207にレジスタ205に記憶されている値を供給することができる。パラメータ $K$ の値は、2つの異なる値を交互にとることができる。それぞれの値は、マルチプレクサ209の2つの可能な機器構成のうち1つとなる。

40

【0046】

同様に、パラメータ $K$ の値に関して、マルチプレクサ210は、加算器208にレジスタ204に記憶されている値を供給するか、又は、加算器208にメモリ201に記憶されている係数の値を供給する。系列 $FT_i$ の値の計算の間に、パラメータ $K$ が設定され、これにより、マルチプレクサ209は、乗算器207にメモリ201に記憶されている係数の値を供給することができ、マルチプレクサ210は、加算器208にレジスタ204に記憶されている値を供給することができる。

【0047】

50

また、マルチプレクサ207は、メモリ202からの値 $T_i(k)$ を受ける。結果的に得られる積は、乗算器211を通して加算器208に転送される。系列 $F T_i$ の値の計算の間に、乗算器211は、乗算器207により供給された積に関して影響を有さない。加算器208は、導出された積を、レジスタ204に記憶されマルチプレクサ210を通して受けた値に加算する。この加算の結果は、レジスタ204に記憶され、レジスタ204に前に記憶されていた値を置き換える。

【0048】

信号 $F T_i$ の値の計算の開始では、レジスタ204には零値が記憶される。これらの計算は、全ての係数 $C_1, \dots, C_m$ について行われる。また、それぞれの係数 $C_1, \dots, C_m$ の全ての積、及びトレーニング系列 $T_i$ のそれぞれの値が導出されて総和がなされたときに、レジスタ204に記憶されている一時的な値は、系列 $F T_i$ の値である。10  
たとえば、系列 $F T_i$ の最初の値の計算では、所与の係数 $C_j$ は系列 $T_i$ の値 $T_i(j)$ により乗算される。次いで、系列 $F T_i$ の値の次の計算では、係数 $C_j$ は、系列 $T_i$ の値 $T_i(j+1)$ により乗算される。

【0049】

次いで、系列 $F T_i$ の値は、エラーカリキュレータ206に供給される。カリキュレータ206は、フィルタリングされたトレーニング系列 $F T_i$ と、オリジナルのトレーニング系列とから誤差信号 $E$ を導出する。本発明のこの第2実施の形態では、誤差信号 $E$ の値は、メモリ203に記憶されているオリジナルのトレーニング系列と、系列 $F T_i$ の導出された値との間の差として導出される。次いで、誤差信号 $E$ の値は、レジスタ205に記憶20  
される。

【0050】

係数を更新するための一般的なアルゴリズムは、最小二乗(LMS)アルゴリズムである。このアルゴリズムは、誤差信号 $E$ を最小化することを目的とする。LMSアルゴリズムによれば、係数 $C_k$ は、トレーニング系列 $T_i$ 、誤差信号 $E$ の値及びステップゲインパラメータ $\mu$ の積の値として導出された更新量により更新される。

【0051】

係数 $C_k$ の更新の間に、パラメータ $K$ が設定され、これにより、マルチプレクサ209は、乗算器207にレジスタ205に記憶されている誤差信号 $E$ の値を供給することができ、マルチプレクサ210は、加算器208にメモリ201に記憶されている係数 $C_k$ の現30  
在の値を供給することができる。

【0052】

また、乗算器207は、メモリ202に記憶されている系列 $T_i$ の値を受ける。本実施の形態では、乗算器207は、系列 $F T_i$ の値の計算において $C_k$ により乗算される系列 $T_i$ の値を受ける。乗算器207は、2つの受けた値の積を実行し、更新量を導出するために、結果的に得られた積を乗算器211に供給する。

【0053】

乗算器211は、受けた積をステップゲインパラメータ $\mu$ で乗算する。個のパラメータ $\mu$ は、一般に小さな値である。好適な実施の形態では、ステップゲイン $\mu$ は、 $n$ を正の整数として $(1/2)^n$ の形式を有しており、したがって、乗算器211は、バレルシフタ40  
を備えることができる。次いで、メモリ201に現在記憶されている係数 $C_k$ の値は、マルチプレクサ210を通して加算器208に供給される。

【0054】

また、加算器208は、乗算器211から更新量を受ける。加算器208は、更新量を係数 $C_k$ の現在の値に加算することにより、係数 $C_k$ の調節された値を導出する。次いで、この調節された値は、係数 $C_k$ の現在の値を置き換えるために、メモリ201にロードされる。

【0055】

したがって、乗算器207、マルチプレクサ209及び210、並びに加算器208は、フィルタリングされたトレーニング系列 $F T_i$ の導出、及び少なくとも1つの係数 $C_k$ の50

更新のために交互に使用される。これにより、処理資源の有効な使用が可能となる。

【0056】

好適な実施の形態では、フィルタリングされたトレーニング系列  $F T_i$  の値が導出されたとき、及び結果的に、誤差信号  $E$  の値が導出されたとき、系列  $F T_i$  の別の値及び誤差信号  $E$  の別の値を計算する前に、係数  $C_1, \dots, C_m$  は1つずつ全て更新される。

【0057】

図5は、更新回路200の第3の機能的な実施の形態を示している。この実施の形態では、回路200は、乗算器207、加算器208、レジスタ204、エラーカリキュレータ206、レジスタ205及び乗算器211を備えている。回路200は、遅延セル212、乗算器213及び加算器214を更に備えている。

10

【0058】

乗算器207、加算器208及びレジスタ204は、先のパラグラフで説明したように、フィルタリングされたトレーニング系列  $F T_i$  の値の導出を可能にするものである。エラーカリキュレータ206は、誤差信号  $E$  の値を導出する。この値は、レジスタ205に記憶される。

【0059】

遅延セル212、乗算器213、乗算器211及び加算器214は、係数  $C_k$  の導出のために、更新量の導出を可能にするものである。この更新量の導出は、フィルタリングされたトレーニング系列  $F T_i$  の値の導出に並行して行われる。乗算器213は、遅延セル212を通して、メモリ202に記憶されている系列  $T_i$  の値を受け、乗算器213は、レジスタ205に記憶されている誤差信号  $E$  の値を受ける。

20

【0060】

遅延セル212は、系列  $F T_i$  の値の計算についての乗算器207の出力と、 $C_k$  に関連付けられている更新量の導出についての乗算器213への入力との間に遅延を導入する。導入された遅延は、フィルタリングされたトレーニング系列  $F T_i$  の値の導出と、一方で誤差信号  $E$  と、他方でトレーニング系列の  $F T_i$  の導出に使用される係数についての更新量の導出との間でのタイムラグを補償するためのものである。乗算器213は、2つの受けた値の積を計算し、更新量の導出のために、この積を乗算器211に供給する。

【0061】

メモリ201に現在記憶されている係数  $C_k$  の現在の値は、加算器214に供給され、この加算器もまた、乗算器211からの更新量を受け、加算器214は、この更新量を係数  $C_k$  の現在の値に加算することにより、係数  $C_k$  の調節された値を導出する。次いで、調節された値は、係数  $C_k$  の現在の値を置き換えるために、メモリにロードされる。

30

【0062】

回路200のこの第3実施の形態は、フィルタリングされたトレーニング系列の導出と同時に、係数  $C_k$  を更新することを可能にするものである。回路200のこの実施の形態では、前の図において示される実施の形態よりも、トレーニング系列  $T_i$  のより高速な処理が可能となる。

【0063】

回路200の第4の機能的な実施の形態では、更新量は、誤差信号  $E$  についての依存は、信号  $E$  の符号のみに依存する。更新量は、この第4実施の形態では、誤差信号  $E$  の振幅には依存しない。この実施の形態では、図5の第3実施の形態の乗算器213は、系列  $T_i$  の値をレジスタ205に記憶されている誤差信号  $E$  の値の極性を表すバイナリ信号により倍数にするユニットにより置き換えられてもよい。

40

【0064】

たとえば、このユニットは、信号  $E$  の値が正又は零であるときに、系列  $T_i$  のデジタル値を+1倍する。このユニットは、信号  $E$  の値が負であるときに、系列  $T_i$  のデジタル値を-1倍する。したがって、図5の実施の形態は、トレーニング系列  $T_i$  の高速処理を可能にする。

【0065】

50

図6は、装置10の別の実施の形態を示している。本発明のこの実施の形態では、装置10は、かなり動的なチャネル減損及び静的なチャネル減損の両者を補償するものである。この実施の形態では、動的な減損の最大のマルチパス遅延は、装置10が補償されなければならない静的な減損よりも実質的に少ない。

【0066】

デジタルフィルタでは、第1のセルが短い遅延の減損を補償する。したがって、装置10のフィルタ100は、後に動的タップセルとして言及される動的な歪みについて補償する数個の第1タップセル $TAP_1, \dots, TAP_{j-1}$ を備えている。また、フィルタ100は、後に静的タップセルとして言及される静的な歪みについて補償するタップセル $TAP_j, \dots, TAP_m$ を備えている。

10

【0067】

静的セル $TAP_j, \dots, TAP_m$ は、長い遅延での減損を補償する。動的なチャネル歪みは、2つの連続するトレーニング系列の伝送の間で実質的に変動する恐れがある。したがって、トレーニングされたイコライゼーションを使用して動的タップセル $TAP_1, \dots, TAP_{j-1}$ の係数を更新することは、これら動的な歪みについて補償するために十分ではない。動的な係数 $C_1, \dots, C_{j-1}$ は、実時間で更新される必要がある。

【0068】

セット $S_i$ は、トレーニング系列 $T_i$ 及び後続するデータ系列 $D_i$ から構成されており、装置10に供給される。このセット $S_i$ は、装置10に伝送される間に、動的及び静的な歪みを受けやすい。フィルタ100は、セット $S_i$ をフィルタリングして、出力信号 $S_{out}$ を生成する。

20

【0069】

動的な係数 $C_1, \dots, C_{j-1}$ の適応は、データ系列 $D_i$ から実時間で実行されなければならない。この係数 $C_1, \dots, C_{j-1}$ は、「ブラインドモード」に従い更新されてもよい。「ブラインドモード」では、フィルタ誤差信号 $E_f$ は、信号 $S_{out}$ の統計的特性から導出され、係数 $TAP_1, \dots, TAP_{j-1}$ は、この誤差信号 $E_f$ を最小にするために繰返し更新される。

【0070】

図6では、信号 $S_{out}$ からの信号 $E_f$ の導出は図示されていない。動的セル $TAP_1, \dots, TAP_{j-1}$ のそれぞれは、係数適応ユニット $UD_1, \dots, UD_{j-1}$ のそれぞれを備えている。それぞれのユニット $UD_1, \dots, UD_{j-1}$ のそれぞれは、フィルタ誤差信号 $E_f$ の値と、レジスタ $REGD_1, \dots, REGD_{j-1}$ のそれぞれに現在記憶されている系列 $D_i$ の値とから、対応する係数 $C_1, \dots, C_{j-1}$ の調節された値の計算を可能にするものである。動的係数の更新は、系列 $D_i$ のフィルタリングの間に連続的に実行される。

30

【0071】

静的な係数 $C_j, \dots, C_m$ の適応は、前のパラグラフにおいて記載されたように、係数更新回路200において実行される。係数 $C_1, \dots, C_m$ の全体のセットは、メモリ201に記憶されている。系列 $T_i$ を一旦受けると、フィルタ100のレジスタ $REGD_1, \dots, REGD_{j-1}$ に現在記憶されている動的な係数の値は、メモリ201に記憶される。回路200による系列 $T_i$ の処理の間に、メモリ201に記憶される動的係数 $C_1, \dots, C_{j-1}$ の値は変更されず、トレーニング系列 $T_i$ の処理の開始で記憶されたように保持される。

40

【0072】

しかし、メモリ201に記憶されている静的な係数 $C_j, \dots, C_m$ の値は、上述されたように回路200による系列 $T_i$ の処理の間に調節される。トレーニング系列の処理の終わりで得られた更新された静的な係数の値は、系列 $D_i$ のフィルタリングが終了したとき、及び次のデータ系列のフィルタリングの前に、フィルタ100に伝送される。

【0073】

本発明の別の実施の形態では、静的及び動的な係数 $C_1, \dots, C_m$ の全体のセットは、第

50

1ステージでは、回路200により全体的に更新される。これにより、静的な歪みについて、全ての係数が補償される。次いで、第2ステージでは、動的な係数 $C_1, \dots, C_{j-1}$ が実時間で更新され、動的歪みについて補償される。

また、フォワードモードで動作する有限インパルスFEフィルタ、及びフィードバックモードで動作するDFEフィルタから構成されているフィルタリング回路100を備える装置10を考慮することは、本発明の範囲内である。

【0074】

図7は、かかる装置10の機能的な実施の形態である。FEフィルタは、セット $S_i$ を受信し、出力信号 $S_{out1}$ を生成する。DFEフィルタは、入力信号 $S_{in2}$ を受信して、出力信号 $S_{out2}$ を生成する。フィルタリング回路100の出力信号 $S_{out}$ は、DFEフィルタの出力信号 $S_{out2}$ とFEフィルタの出力信号 $S_{out1}$ との総和である。この総和は、加算器110で計算される。

10

【0075】

フィルタリング回路100は、信号 $S_{out}$ から信号 $S_{in1}$ を生成するためのレベルスライサ120を備えている。スライサ120では、信号 $S_{out}$ が量子化され、結果的に信号 $S_{in1}$ となる。この信号は、離散値からなる有限数をとることができる。

【0076】

また、回路200は、オリジナルのトレーニング系列を記憶するためのメモリ140を備えている。マルチプレクサ130は、DFEフィルタに信号 $S_{in2}$ を供給する。この信号 $S_{in2}$ は、メモリ140に記憶されているトレーニング系列であるか、又は信号 $S_{in1}$ であるかのいずれかである。

20

【0077】

セット $S_i$ を受けたとき、FEフィルタは、トレーニング系列 $T_i$ をはじめに受け、続いてデータ系列 $D_i$ を受ける。FEがトレーニング系列 $T_i$ をフィルタリングしているとき、メモリ140に記憶されているオリジナルのトレーニング系列は、マルチプレクサ130を通してDFEフィルタに供給される。

【0078】

確かに、フィルタリング回路100は、系列 $S_i$ から全ての歪みを理想的には除去する。回路100がトレーニング系列 $T_i$ から全体的に歪みを除余する場合、フィルタリングの結果は、オリジナルのトレーニング系列である。FEフィルタがデータ系列 $D_i$ のフィルタリングを実際に開始するとき、マルチプレクサ130は、DFEフィルタに信号 $S_{in1}$ を供給する。

30

【0079】

また、図7の装置は、係数更新回路200を備えている。回路200は、上述したように、係数メモリ201、データメモリ202、乗算器207、加算器208、レジスタ204、エラーカリキュレータ206、レジスタ205、遅延セル212、乗算器211及び加算器214を備えている。

【0080】

係数メモリ201は、FEフィルタの係数及びDFEフィルタの係数の値を記憶する。回路200は、信号 $S_{in2}$ の値を記憶するためのDFEフィルタ入力データメモリ218を更に備える。回路200は、レジスタ204に記憶されている出力信号 $S_{out}$ の値から入力信号 $S_{in1}$ の値を生成するためのスライサ217を備えている。

40

【0081】

信号 $S_{in1}$ のこれらの値は、マルチプレクサ216を通してメモリ218に供給される。また、メモリ218は、マルチプレクサ216を通してメモリ203から供給されたオリジナルのトレーニング系列の値を記憶する。マルチプレクサ219は、乗算器207及び遅延セル212の両者に、メモリ202に記憶されているトレーニング系列 $T_i$ の値、及びメモリ218に記憶されている信号 $S_{in2}$ の値を供給する。

【0082】

出力信号 $S_{out}$ の値は、出力信号 $S_{out1n}$ と出力信号 $S_{out2}$ の値の総和である

50

。信号  $S_{out1}$  の値は、メモリ 201 に記憶されている FE フィルタの係数の値、及びメモリ 202 に記憶されている系列  $T_i$  の値から計算される。信号  $S_{out1}$  のこの値は、前のパラグラフで乗算器 207、加算器 208 及びレジスタ 204 により計算される。

【0083】

次いで、信号  $S_{out2}$  の値は、メモリ 201 に記憶されている DFE フィルタの係数の値、メモリ 218 に記憶されている信号  $S_{in2}$  の値から計算される。信号  $S_{out2}$  の値は、上述したようなやり方で乗算器 207、加算器 208 及びレジスタ 204 により導出される。レジスタ 204 には、信号  $S_{out1}$  の導出された値が初期的にロードされている。次いで、計算の最後で、出力信号  $S_{out}$  の値はレジスタ 204 から検索される場合がある。

10

【0084】

誤差信号  $E$  は、エラーカリキュレータ 206 により導出され、レジスタ 205 に記憶される。メモリ 201 に記憶されているフィルタ回路 100 の係数は、前のパラグラフで説明されたようなやり方で、遅延セル 212、乗算器 213、乗算器 21 及び加算器 214 により更新される。

【0085】

DFE フィルタの特定の係数が更新されたとき、マルチプレクサ 219 は、遅延セル 212 にメモリ 218 に記憶されている信号  $S_{in2}$  の値を供給する。FE フィルタの特定の係数が更新されたとき、マルチプレクサ 219 は、遅延セル 212 にメモリ 202 に記憶されている系列  $T_i$  の値を供給する。

20

【0086】

図 8 は、本発明の装置 10 の好適な実施の形態を示している。この好適な実施の形態では、装置 10 は、それ自身が数個の有限長インパルス応答 (FIR) フィルタのグループを有しているフィルタ 100 を備えている。図 8 では、3 つのフィルタ 160、162 及び 164 が示されている。これらのフィルタ 160、162 及び 164 は、直列に配置されている。

【0087】

また、フィルタ 100 は、2 つの連続する FIR フィルタ 160、162 及び 164 の間に配置されている機器構成可能なデータ遅延セル 166 及び 168 を備えている。したがって、セル 166 は、FIR フィルタ 160 及び 162 の間に配置されている。

30

【0088】

セル 168 は、FIR フィルタ 162 と次の連続する FIR フィルタの間に配置されている。フィルタ 100 のかかる実施の形態は、米国特許第 4,782,458 号に記載されている。かかるフィルタ 100 は、通信チャネルの静的又は準静的なマルチパスエコーについて補償するために使用される。

【0089】

フィルタ 160、162 及び 164 は、異なるマルチパスエコーについて補償するものであり、エコーのそれぞれは、それぞれの遅延を有している。遅延セル 166 及び 168 は、FIR フィルタ 160、162 及び 164 の間のフィルタリング経路においてそれぞれの遅延 (遅延 1 及び遅延 2) を導入する。

40

【0090】

前に示されたようなフルレンジの適応フィルタを使用するよりむしろ、予期しうるエコー遅延の全体のレンジについて、フィルタ 10 は、2 つの連続する FIR フィルタの間に、機器構成可能なデータ遅延セル 166 及び 168 を有する FIR フィルタ 160、162 及び 164 を備えている。

【0091】

図 8 の装置 10 は、係数更新回路 200 を更に備えている。この実施の形態では、回路 200 は、上述したようなフィルタ係数の最適値を導出するための DSP ユニットを備えている。また、回路 200 は、係数メモリ 201、入力データメモリ 202 を備えており、この両者は、前の実施の形態で記載されている。

50

## 【0092】

図8の実施の形態の回路200は、図3の実施の形態の回路200に加えて、データ遅延カリキュレータ220を備えている。係数メモリ201は、あたかもフィルタ100がフルレンジフィルタであり、一連のFIRフィルタでないかのようにフィルタ100の係数の値を記憶する。したがって、メモリ201に記憶される係数は、フィルタ100のトータルレンジをカバーする。

## 【0093】

通信チャネルのエコーの性質のために、メモリ201に記憶されている係数の中には、非常に小さな値であるか、又は零であるものがある。遅延カリキュレータ220は、それぞれの遅延セル166及び168により導入されたそれぞれの遅延（遅延1及び遅延2）を計算することを可能にする。カリキュレータ220は、メモリ201に記憶されている係数の値から、これらの遅延を導出する。

10

## 【0094】

メモリ201に記憶されている係数、これは、関心のある長い遅延のエコーに対応し、FIRフィルタ160、162及び164の係数であり、最小閾値を超える非零の値を有する係数である。これらの係数は、カリキュレータ220により容易に識別することができ、それらの位置を即座に知ることができる。

## 【0095】

次いで、それらの位置を使用して、セル166及び168のフィルタの遅延を決定することができる。遅延は、2つの連続するFIRフィルタ160、162又は164の決定された係数のセット間での閾値よりも下の値を有する係数の数をカウントすることにより決定される場合がある。

20

## 【0096】

なお、記載された方法に関して、本発明の範囲から逸脱することなく、変更又は改造が提案されても良い。たとえば、配線された電子回路により、又は代替的にコンピュータ読み取り可能なメディアに記憶されている命令のセットにより、本処理方法が様々なやり方で実現されてもよい。かかる命令は、上記回路の少なくとも1部を置き換えるものであり、コンピュータ又はデジタルプロセッサの制御下で実行可能であり、置き換えられた回路で達成される機能と同じ機能が実行される。

## 【図面の簡単な説明】

30

【図1】本発明の装置のブロック図である。

【図2】本発明の処理方法のフローチャートである。

【図3】本発明の装置の機能的な実施の形態を示す図である。

【図4】本発明の係数更新回路の機能的な実施の形態を示す図である。

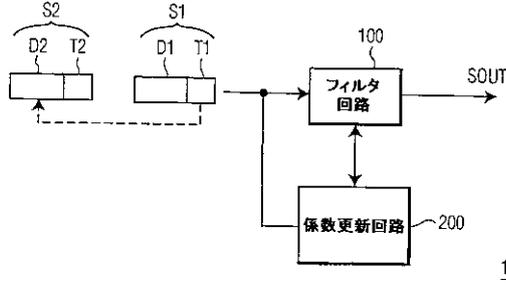
【図5】本発明の係数更新回路の機能的な実施の形態を示す図である。

【図6】本発明の装置の機能的な実施の形態を示す図である。

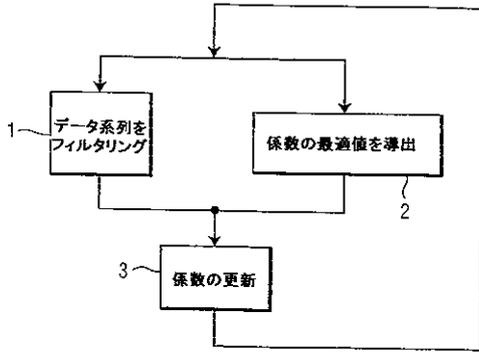
【図7】本発明の装置の機能的な実施の形態を示す図である。

【図8】

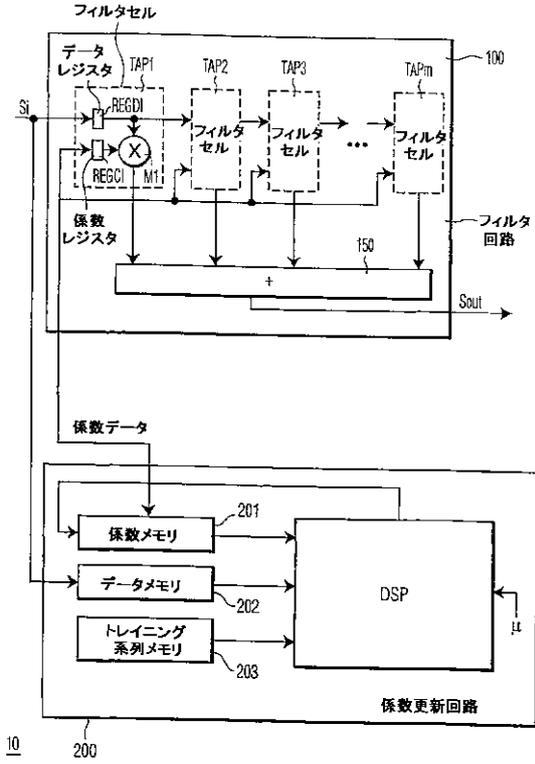
【 図 1 】



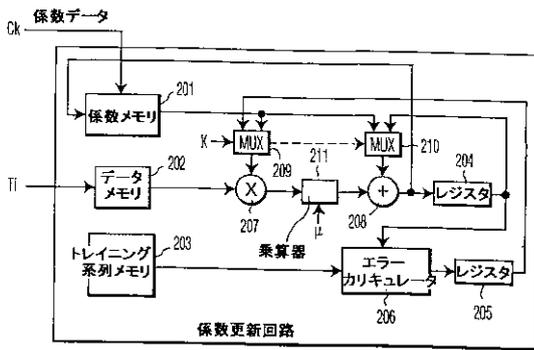
【 図 2 】



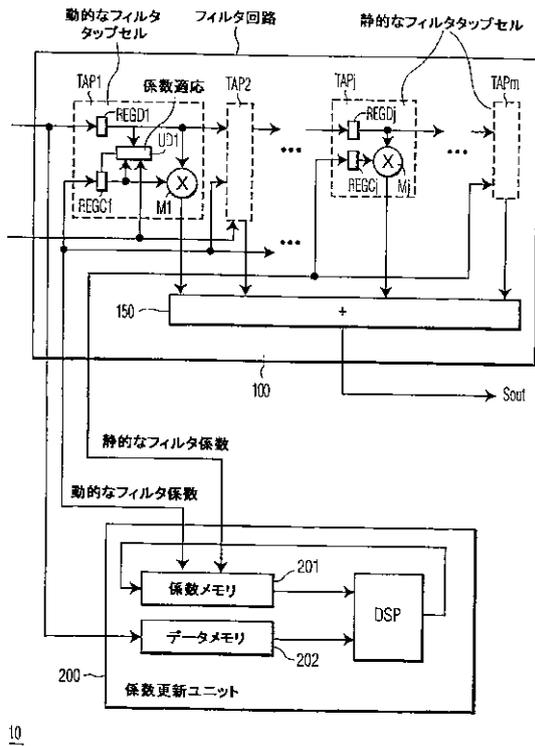
【 図 3 】



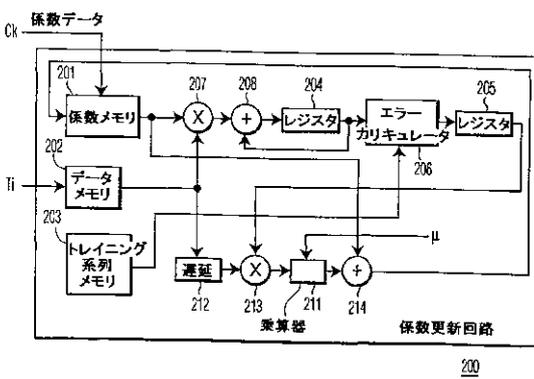
【 図 4 】



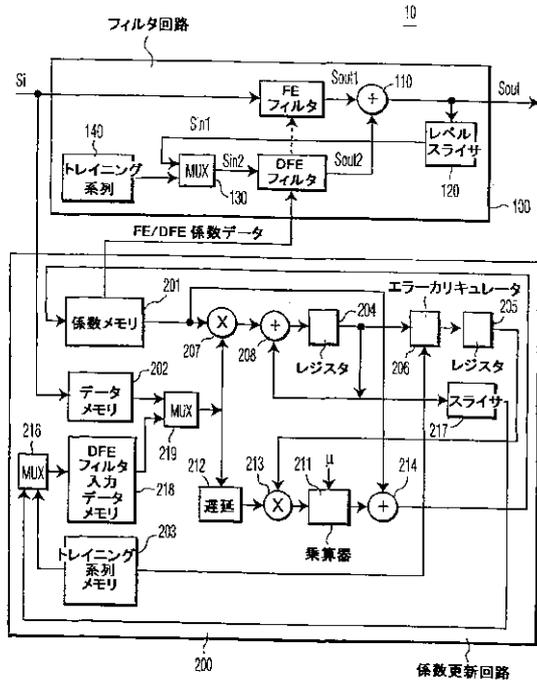
【 図 6 】



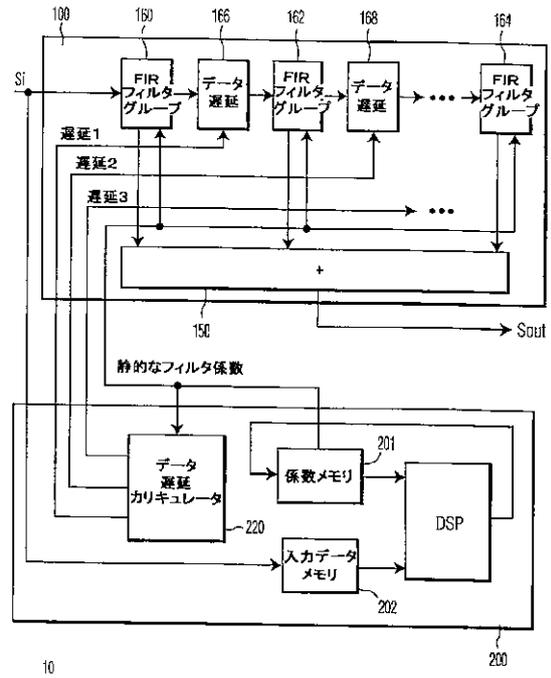
【 図 5 】



【 図 7 】



【 図 8 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
20 December 2001 (20.12.2001)

PCT

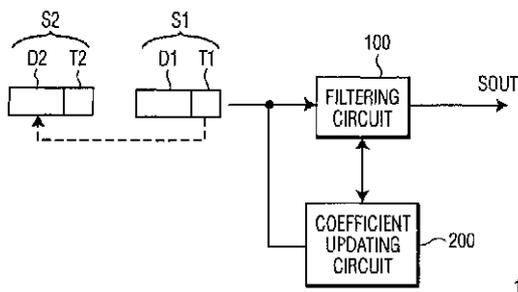
(10) International Publication Number  
WO 01/97475 A1

- (51) International Patent Classification: H04L 25/03, H04N 5/21
- (74) Agent: GROENENDAAL, Antonius, W., M., International Octrooibureau B.V., Prof. Holsdlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/05804
- (81) Designated States (national): CN, JP, KR.
- (22) International Filing Date: 21 May 2001 (21.05.2001)
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/591,870 12 June 2000 (12.06.2000) US
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. (NL/NL); Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventor: WITTMIG, Karl, Prof., Holsdlaan 6, NL-5656 AA Eindhoven (NL).

Published:  
with international search report  
before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments  
entirely in electronic form (except for this front page) and available upon request from the International Bureau

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette

(54) Title: CHANNEL EQUALIZER



(57) Abstract: An adaptive channel equalizer with adaptive coefficients for compensating for long delays multipaths and distortions. A training sequence is periodically sent over the channel and the adaptive coefficients of the equalizer are periodically updated from the equalization of the transmitted training sequence. The equalization of the training sequence is performed separately and in parallel to the equalization of the remaining transmitted data by the equalizer.

WO 01/97475 A1

WO 01/97475

PCT/EP01/05804

## Channel Equalizer

The invention relates to a method of processing subsequent sets of data, each respective one of the sets comprising a respective data sequence, and at least a first one of the sets comprising a training sequence.

It also relates to a corresponding data processing device for carrying out such a  
5 method.

The invention is relevant to the processing of digitally encoded audio and video data that is distorted during transmission over a communication channel.

10 Digital video or audio data transmitted over a communication channel, from a sender to a receiver, is subjected to distortion and multipath errors. At the receiver, compensation of these effects can be achieved through properly filtering the received corrupted data before creating output data therefrom.

In a "trained mode" process, the transmitted data comprises a training  
15 sequence, which is transmitted, on the sender side as a part of the data. On the receiver side, the received data is distorted and the received training sequence is also distorted. The received training sequence is processed and results in an output training sequence. The processing is performed so that distortions are partly removed in the output training sequence and so that the training sequence after processing emulates the training sequence as originally  
20 transmitted. One skilled in the art can then reduce channel distortions of the received data by processing the received data using the process of the received training sequence.

Such a process is often called an equalization. In a "trained equalization", the result of the equalization of the training sequence is used for the equalization of the received data.

25 The Advanced Television Systems Committee (ATSC) provides standards for digital High Definition Television (HDTV). The ATSC document A53 of September, 16<sup>th</sup> 1995 describes an approved standard for digital television and the ATSC document A54 of October, 4<sup>th</sup> 1995 gives indications on the use of this standard. The standard specifies specific training sequences that are incorporated in video signals transmitted over a terrestrial

WO 01/97475

PCT/EP01/05864

2

broadcast, cable or satellite channel. The ATSC document A54 discloses a method for adapting an equalizer's filter response to adequately compensate for channel distortions. In this known method, when the equalizer is first started, the equalizer's coefficients are usually not set to adequately compensate for the channel distortions. In order to force convergence of the equalizer coefficients, a known original training sequence is transmitted. An error signal is formed by subtracting a locally generated copy of the training sequence from the output of the adaptive equalizer. The coefficients are set so as to minimize the error signal and, after adaptation of the equalizer with the training signal, the equalizer is then used for filtering of the video signal.

10

It is an object of the invention to provide an efficient method of reducing distortions from a data signal. Another object of the invention is to provide a low-cost implementation of a device that carries out such a method.

To this end, the invention provides a method of processing subsequent sets of data, each respective one of the sets comprising a respective data sequence, and at least a first one of the sets also comprising a training sequence, the method comprising:

- filtering the data sequence of the first set using a filter having adjustable filtering coefficients;
- while filtering the data sequence, processing the training sequence for deriving an optimum value for a specific one of the filtering coefficients;
- replacing a previous value of the specific filtering coefficient with the derived optimum value before filtering of another sequence of data.

In a method of the invention, the training sequence of the first set is used as a basis for the derivation of the optimum value of the specific coefficient that is used for the filtering of a next data sequence. In a method disclosed in the background art section, the derived optimum value of the specific coefficient is used for the filtering of the data sequence of the same set as to which the training sequence belongs. The training sequence is filtered and subsequently, the data sequence is in turn filtered. In contradistinction with a known method, in a method of the invention processing of a training sequence is carried out while filtering a data sequence. An advantage of the invention is that a greater length of time is available for the processing of the training sequence compared to a known method, wherein the training sequence is processed while the training sequence is actually being received.

25  
30

WO 01/97475

PCT/EP01/05864

3

Therefore, in a method of the invention, more time is allowed for the derivation of optimum values of the filtering coefficients.

The invention also relates to a device for processing subsequent sets of data, each respective one of the sets comprising respective transmitted data, and at least a first one of the sets also comprising a training sequence, the processing device comprising:

- a filtering circuit having adjustable filtering coefficients for filtering the transmitted data of the first set;
- an updating circuit operative to derive an optimum value of at least one of the filtering coefficients by processing the training sequence, while filtering the transmitted data, and operative to replace a previous value of the filtering coefficient with the derived optimum value before filtering of the transmitted data of another one of the sets.

A device of the invention comprises the updating circuit for updating at least the specific filter coefficient while the filter is filtering a data sequence. In a known device, the equalizer is first only dedicated to the processing of the training sequence for adjusting coefficients so that an adequate equalization is performed. Then the device is dedicated to the processing of the data sequence, during which the coefficients obtained from the process of the training sequence are maintained. Specific hardware is associated with each coefficient to create updates of the coefficients during the equalization of the training sequence. An implementation of such an equalizer is relatively complex. In a device of the invention, the updating circuit is dedicated to the update of any of the coefficients. An advantage of a device of the invention is therefore to allow a reduced chip area implementation.

In the ATSC standard, the transmitted data "frame" constitutes of two fields, each of which consists of 313 "segments". Each segment in turn consists of 832 data symbols, of which a are used as a periodic synchronization pattern. Of these 313 segments, 312 are used to transmit actual MPEG-2 coded data, and the remaining segment is used to transmit the 700-bit training sequence. Consequently, less than 0.3% of the transmitted data is used for the equalizer training sequence. In so-called "trained" equalization modes, adaptation of the equalizer is performed only for the training sequence. This means that, if the training sequence is "captured" in storage memory and processed independently of the remaining transmitted data, as done in the invention, much more time is available to process the training sequence. Thus, a longer time is available to determine the equalizer configuration that best compensates for the channel distortions than if the adaptation were performed in real-time during the actual arrival of the training sequence.

WO 01/97475

PCT/EP01/05864

4

The invention is therefore relevant to digital transmission systems in which static distortions and multipaths constitute most of the channel impairments. Under these circumstances, the adaptation functions of the equalizer can be implemented using a much simpler architecture than is found in conventional equalizers. This is because the training sequence is a small percentage of the transmitted data and because the static channel characteristics change by at most a very small amount in the interval between training periods. This allows the required computations to be performed over this larger interval, thereby using much less hardware than would otherwise be needed.

The invention is explained in further detail, by way of example, and with reference to the accompanying drawing, wherein:

Fig. 1 is a block diagram of a device of the invention;

Fig. 2 is a flowchart of a method of processing of the invention;

Fig. 3 is a diagram of a functional embodiment of a device of the invention;

Fig. 4 is a diagram of a functional embodiment of a coefficient updating circuit of the invention;

Fig. 5 is a diagram of a functional embodiment of a coefficient updating circuit of the invention;

Fig. 6 is a diagram of a functional embodiment of a device of the invention;

and

Fig. 7 is a functional embodiment of a device of the invention.

A data processing device 10 of the invention is given in Fig. 1. The device 10 receives subsequent sets  $S_1, S_2, \dots, S_i, \dots$  of data and creates an output signal  $S_{out}$ . The sets  $S_i$  are possibly transmitted from a sender or a base station to a receiver over a communication channel, such as for example, terrestrial broadcast, cable or satellite channel. The device 10 may be part of such a receiver. The sets  $S_i$  are subjected to distortions when the characteristics of the communication channel vary. Channel distortion is of a static form when the characteristics of the channel are time-invariant. Channel distortion is of a quasi-static form when the characteristics of the channel are slowly varying and the channel distortion is of a dynamic form when the characteristics of the channel are rapidly varying.

WO 01/97475

PCT/EP01/05864

5

For example, in terrestrial broadcast transmission, both static and dynamic distortions are typically present.

A respective received set  $S_i$  comprises a respective data sequence  $D_i$  and possibly a respective training sequence  $T_i$ . Preferably, the training sequence  $T_i$  constitutes a very small percentage of the transmitted set of data  $S_i$ . In this embodiment of the invention, a set  $S_1$  comprises a training sequence  $T_1$ , followed by a data sequence  $D_1$ . A set  $S_2$  comprises a training sequence  $T_2$ , followed by a data sequence  $D_2$ . The sets  $S_1$  and  $S_2$  may be parts of a data stream that has been partitioned in successive sets of data. The sets may be of same or different lengths.

The device 10 comprises a filter 100 having a number of  $m$  adjustable coefficients  $C_1, \dots, C_m$ , whose values at discrete time  $t$  are  $C_1(t), \dots, C_m(t)$ .

The device 10 further comprises a coefficient updating circuit 200 for adjusting at least one of the coefficients  $C_1, \dots, C_m$ . The circuit 200 updates a given coefficient  $C_k$  from an equalization of a received training sequence  $T_i$  as explained hereinafter.

The device 10 receives the set  $S_1$  composed of the training sequence  $T_1$  and the subsequent data sequence  $D_1$ . First, the training sequence  $T_1$  is supplied to the circuit 100 and to the circuit 200. The filter 100 filters the training sequence  $T_1$ . The circuit 200, when receiving the training sequence  $T_1$ , stores the sequence  $T_1$  in an internal memory. The data sequence  $D_1$  is then supplied to the filter 100. While the filter 100 is filtering the data sequence  $D_1$ , the circuit 200 processes the training sequence  $T_1$  for deriving an optimum value for at least a specific one of the coefficients  $C_k$ . The circuit 200 equalizes the training sequence  $T_1$ . When the optimum value is derived and when the filtering of the data sequence  $D_1$  is terminated, the derived optimum value is supplied by the circuit 200 to the filter 100 and the coefficient  $C_k$  is updated with the derived optimum value. The next set  $S_2$  is then supplied to the filter 100 that filters the training sequence  $T_2$  and the data sequence  $D_2$  using the updated coefficient  $C_k$ .

Fig. 2 is a flowchart of a method of processing of the invention. A step 1 consists of filtering a received data sequence. A step 2 consists of deriving an optimum value for at least a specific one of the coefficients using a received training sequence that was transmitted in association with the data sequence that is currently being filtered. In a method of the invention, step 1 and step 2 overlap in time. Preferably, the time it takes to complete step 2 is shorter than a transmission period between two successive training sequences. Furthermore, since a training sequence is only a small part of the transmitted data,

WO 01/97475

PCT/EP01/05864

6

completing step 2 takes a shorter time than completing step 1. A next step 3 consists of updating at least the value of the specific coefficient with the optimum value derived in step 2. Once the update of the coefficients is performed, filtering of a new data sequence may be started.

5 A data sequence and a training sequence are each composed of successive digital data. In the following paragraphs, the expression "a value of the sequence" refers to "a value of a digital data of the sequence".

Fig. 3 is a diagram of a first functional embodiment of a device 10. The device 10 of the invention comprises the filtering circuit 100 and the coefficient updating circuit 10 200. The device 10 receives the successive sets  $S_i$  and creates the output signal  $S_{out}$ .

In this first embodiment, the filter 100 comprises a number of  $m$  tap cells  $TAP_1, TAP_2, \dots, TAP_m$ . Each respective cell  $TAP_k$  is associated with a respective coefficient  $C_k$ . Each respective cell  $TAP_k$  comprises a respective data register  $REGD_k$  for storing a value of a data of the data sequence  $D_i$  currently associated with the coefficient  $C_k$ . Each 15 respective cell  $TAP_k$  also comprises a respective coefficient register  $REGC_k$  for storing a current value of the coefficient  $C_k$ . Each respective cell  $TAP_k$  comprises a respective multiplier  $M_k$ .

The training sequence  $T_i$  has been previously filtered by the circuit 100 and the training sequence has been stored in an internal memory of the circuit 200. The training 20 sequence  $T_i$  is composed of  $N$  successive data having values  $T_i(1), T_i(2), \dots, T_i(N)$ .

When receiving a data sequence  $D_i$ , the filter 100 receives, at a moment in time  $t$ , a value  $D_i(t)$  of the data sequence  $D_i$ . The digital data sequence  $D_i$  is transmitted to the filter 100 and the values of the data sequence  $D_i$  are stored in the cells of the filter 100 as follows. At a time  $t$ , the value  $D_i(t)$  is received by the filter 100 and stored in the register 25  $REGD_1$  of a first filter cell. At a next time  $t+1$ , the value  $D_i(t)$  is transferred from the register  $REGD_1$  to the register  $REGD_2$  of the second filter cell. Simultaneously, a next value  $D_i(t+1)$  is received by the filter 100 and stored in the register  $REGD_1$  of the first cell. At a next time  $t+2$ , the value  $D_i(t)$  is transferred from the register  $REGD_2$  to the register  $REGD_3$  of the third filter cell, the value  $D_i(t+1)$  is transferred from the register  $REGD_1$  in the first cell to the 30 register  $REGD_2$  of the second cell. At the same time, a next value  $D_i(t+2)$  is received by the filter 100 and stored in the register  $REGD_1$ , and so on.

At a given time  $t$ , in each cell  $TAP_k$ , the multiplier  $M_k$  receives the value of the coefficient  $C_k$  stored in the register  $REGC_k$  and the value of the data stored in the register  $REGD_k$ . Each multiplier  $M_k$  calculates a product of the two received values and provides

WO 01/97475

PCT/EP01/05864

7

this product to an adder 150. The adder 150 calculates a sum of all the products received from the multipliers  $M_1, \dots, M_m$ . The resulting sum is the value  $S_{out}(t)$  of the output signal  $S_{out}$  at the time  $t$ .

The circuit 200 of Fig. 3 comprises a coefficient memory 201 for storing values of the filter coefficients  $C_1, \dots, C_m$ . The circuit 200 also comprises a data memory 202 for storing the values  $T_i(1), \dots, T_i(N)$  of the received training sequence  $T_i$ . An original training sequence, which is the version originally sent by the transmitter of the training sequence, is known in advance by the unit 200. The original training sequence is stored in a training sequence memory 203. The unit 200 further comprises a digital signal processing unit DSP for processing the received training sequence  $T_i$  and deriving an optimum value for a specific one  $C_k$  of the filtering coefficients.

In this first embodiment of the invention, the unit DSP performs an equalization of the training sequence  $T_i$ . The equalization of the sequence  $T_i$  comprises filtering the sequence  $T_i$  by means of the DSP unit using the values of the coefficients  $C_1, \dots, C_m$  stored in the memory 201. During the filtering of the sequence  $T_i$  by the DSP unit, the values of the coefficients  $C_1, \dots, C_m$  stored in the memory 201 are repeatedly adjusted by the DSP unit so that the received training sequence  $T_i$  after equalization emulates the original training sequence stored in the memory 203. The optimum value of the coefficient  $C_k$  is the adjusted value of the coefficient  $C_k$  that can be retrieved from the memory 201 at the end of the equalization process.

Fig. 4 is a diagram of a second functional embodiment of a coefficient updating circuit 200. In this second embodiment, the circuit 200 comprises the memory 201, the memory 202, the memory 203. The circuit 200 further comprises a multiplier 207, an adder 208, a multiplier 211, a multiplexer 209, a multiplexer 210, a register 204, a register 205 and an error calculator 206.

The circuit 200 filters the sequence  $T_i$  stored in the memory 202 using values of the coefficients  $C_1, \dots, C_m$  stored in the memory 201 and creates a filtered training sequence  $FT_i$  therefrom. During filtering of the sequence  $T_i$ , the coefficients  $C_1, \dots, C_m$  in the memory 201 are repeatedly updated, as will be explained hereinafter, so that the filtered training sequence  $FT_i$  emulates the original training sequence stored in the memory 203.

A value of the sequence  $FT_i$  is calculated as a sum of products of a value of each respective coefficient  $C_k$  with a respective value  $T_i(k)$  of the training sequence  $T_i$ , as follows. Each product is calculated by the multiplier 207. The multiplier 207 receives the current value of a given coefficient  $C_k$  from the memory 201 through the multiplexer 209. A

WO 01/97475

PCT/EP01/05864

8

value of a parameter  $K$  is internally set so that the multiplexer 209 either provides the multiplier 207 with a value of a coefficient stored in the memory 201 or provides the multiplier 207 with a value stored in the register 205. The value of the parameter  $K$  can alternately take two different values and each value respectively results in one of the two possible configurations of the multiplexer 209. Similarly, regarding the value of the parameter  $K$ , the multiplexer 210 either provides the adder 208 with a value stored in the register 204 or provides the adder 208 with a value of a coefficient stored in memory 201. During calculation of a value of the sequence  $FT_i$ , the parameter  $K$  is set so that the multiplexer 209 provides the multiplier 207 with a value of a coefficient stored in the memory 201 and so that the multiplexer 210 provides the adder 208 with the value stored in the register 204. The multiplier 207 also receives the value  $T_i(k)$  from the memory 202. The resulting product is transmitted to the adder 208 through the multiplier 211. During the calculation of a value of the sequence  $FT_i$ , the multiplier 211 has no effect on a product provided by the multiplier 207. The adder 208 adds the derived product to a value stored in the register 204 and received through the multiplexer 210. The result of this addition is stored in the register 204 and replaces the value previously stored in the register 204. At the beginning of the calculation of the value of the signal  $FT_i$ , a null value is stored in the register 204. These calculations are done for all the coefficients  $C_1, \dots, C_m$  and when all the products of each respective coefficient  $C_1, \dots, C_m$  and a respective value of the training sequence  $T_i$  have been derived and summed, the temporary value stored in the register 204 is the value of the sequence  $FT_i$ .

For example, in the calculation of a first value of the sequence  $FT_i$ , a given coefficient  $C_j$  is multiplied by a value  $T_i(j)$  of the sequence  $T_i$ . Then, in the next calculation of a value of the sequence  $FT_i$ , the coefficient  $C_j$  is multiplied by the value  $T_i(j+1)$  of the sequence  $T_i$ .

The value of the sequence  $FT_i$  is then supplied to the error calculator 206. The calculator 206 derives an error signal  $E$  from the filtered training sequence  $FT_i$  and the original training sequence stored in the memory 203. In this second embodiment of the invention, a value of the error signal  $E$  is derived as a difference between a value of the original training sequence stored in the memory 203 and the derived value of the sequence  $FT_i$ . The value of the error signal  $E$  is then stored in the register 205.

A common algorithm for updating a coefficient is the Least Mean Square (LMS) algorithm which aims at minimizing the error signal  $E$ . According to the LMS

WO 01/97475

PCT/EP01/05864

9

algorithm, a coefficient  $C_k$  is updated with an updating amount derived as a product of a value of the training sequence  $T_i$ , a value of the error signal  $E$  and a step gain parameter  $\mu$ .

During the update of the coefficient  $C_k$ , the parameter  $K$  is set so that the multiplexer 209 provides the multiplier 207 with the value of the error signal  $E$  stored in the register 205 and so that the multiplexer 210 provides the adder 208 with the current value of the coefficient  $C_k$  stored in the memory 201. The multiplier 207 also receives a value of the sequence  $T_i$  stored in the memory 202. In this embodiment, the multiplier 207 receives the value of the sequence  $T_i$  that was multiplied by  $C_k$  in the calculation of the value of the sequence  $FT_i$ . The multiplier 207 performs a product of the two received values and supplies the resulting product to the multiplier 211 for deriving the updating amount. The multiplier 211 multiplies the received product by the step gain parameter  $\mu$ , which has generally a small value. In a preferred embodiment, the step gain  $\mu$  is of the form  $(\frac{1}{2})^n$  with  $n$  being a positive integer and the multiplier 211 can therefore comprise a barrel shifter. The value of the coefficient  $C_k$  currently stored in the memory 201 is, then, supplied through the multiplexer 210 to the adder 208. The adder 208 also receives the updating amount from the multiplier 211. The adder 208 derives an adjusted value of the coefficient  $C_k$  by adding the updating amount to the current value of the coefficient  $C_k$ . The adjusted value is then loaded in the memory 201 for replacing the current value of the coefficient  $C_k$ .

Thus, the multiplier 207, the multiplexers 209 and 210 and the adder 208 are used alternately for the derivation of a value of the filtered training sequence  $FT_i$  and for the update of at least one coefficient  $C_k$ , therefore allowing an efficient use of the process resources.

In a preferred embodiment, when a value of the filtered training sequence  $FT_i$  is derived and as a consequence when a value of the error signal  $E$  is derived, the coefficients  $C_1, \dots, C_m$  are all updated one by one, before calculation of another value of the sequence  $FT_i$  and of another value of the error signal  $E$ .

Fig. 5 is a diagram of a third functional embodiment of an updating circuit 200. In this embodiment, the circuit 200 comprises the multiplier 207, the adder 208, the register 204, the error calculator 206, the register 205 and the multiplier 211. The circuit 200 further comprises a delay cell 212, a multiplier 213 and an adder 214. The multiplier 207, the adder 208 and the register 204 allow the derivation of a value of the filtered training sequence  $FT_i$  as explained in a previous paragraph. The error calculator 206 derives a value of the error signal  $E$ , which is stored in the register 205. The delay cell 212, the multiplier 213, the multiplier 211 and the adder 214 allow the derivation of the updating amount for the

WO 01/97475

PCT/EP01/05864

10

derivation of the coefficient  $C_k$ . This derivation of the updating amount is done in parallel to the derivation of the value of the filtered training sequence  $FT_i$ . The multiplier 213 receives a value of the sequence  $T_i$  stored in the memory 202 through the delay cell 212 and the multiplier 213 receives the value of the error signal  $E$  stored in the register 205. The delay cell 212 introduces a delay between the output of the multiplier 207 for the calculation of the value of the sequence  $FT_i$  and the input to the multiplier 213 for the derivation of the updating amount associated to  $C_k$ . The introduced delay is to compensate for the time-lag between the derivation of the values of the filtered training sequence  $FT_i$  and the error signal  $E$  on the one hand, and the derivation of the updating amounts for the coefficients used for the derivation of the training sequence  $FT_i$  on the other hand. The multiplier 213 calculates the product of the two received values and supplies the product to the multiplier 211 for deriving the updating amount. The current value of the coefficient  $C_k$  currently stored in the memory 201 is supplied to the adder 214, which also receives the updating amount from the multiplier 211. The adder 214 derives the adjusted value of the coefficient  $C_k$  by adding the updating amount to the current value of the coefficient  $C_k$ . The adjusted value is then loaded in the memory 201 for replacing the current value of the coefficient  $C_k$ . This third embodiment of the circuit 200 allows to derive simultaneously a value of the filtered training sequence and to update a coefficient  $C_k$ . This embodiment of the circuit 200 allows a faster process of the training sequence  $T_i$  than the embodiments shown in the previous Figures.

In a fourth functional embodiment of the circuit 200, the updating amount, regarding its dependency on the error signal  $E$ , only depends on the sign of the signal  $E$ . The updating amount, in this fourth embodiment, does not depend on the magnitude of the error signal  $E$ . In this embodiment, the multiplier 213 of the third embodiment of Fig. 5 may be replaced by a unit that multiplies the value of the sequence  $T_i$  by a binary signal representing the polarity of the value of the error signal  $E$  stored in the register 205. For example, this unit multiplies the digitized value of the sequence  $T_i$  by +1 when the value of the signal  $E$  is positive or null. The unit multiplies the digitized value of the sequence  $T_i$  by -1 when the value of the signal  $E$  is negative. Thus, the embodiment of Fig. 5 allows a fast processing of the training sequence  $T_i$ .

Fig. 6 is a diagram of another embodiment of the device 10. In this embodiment of the invention, the device 10 compensates for both highly dynamic channel impairments and static impairments. In this embodiment, the maximum multipath delay of dynamic impairments is substantially less than that of the static impairments for which the device 10 must compensate. In a digital filter, the first cells compensate for short delays

WO 01/97475

PCT/EP01/05864

11

impairments. Thus, a filter 100 of the device 10 comprises several first tap cells TAP1, ..., TAPj-1 that compensate for dynamic distortions, hereafter referred to as dynamic tap cells. The filter 100 also comprises tap cells TAPj, ..., TAPm that compensate for static distortions, hereafter referred to as static tap cells. The static cells TAPj, ..., TAPm compensate for  
5 impairments with longer delays. Dynamic channel distortions can vary substantially between transmissions of two successive training sequences. Updating the coefficients of the dynamic tap cells TAP1, ..., TAPj-1 using a trained equalization is therefore not adequate to compensate for these dynamic distortions. The dynamic coefficients C1, ..., Cj-1 need to be updated in real time.

10 A set Si, composed of a training sequence Ti and a subsequent data sequence Di, is supplied to the device 10. This set Si has been subjected, while transmitted to the device 10, to dynamic and static distortions. The filter 100 filters the set Si and creates the output signal Sout.

Adaptation of the dynamic coefficients C1, ..., Cj-1 must be performed from  
15 the data sequence Di in real time. The coefficients C1, ..., Cj-1 may be updated according to a "blind mode". In "blind mode", a filter error signal Ef is derived from statistical properties of the signal Sout and the coefficients TAP1, ..., TAPj-1 are iteratively updated in order to minimize this error signal Ef. The derivation of the signal Ef from the signal Sout is not shown in Fig. 6. Each respective one of the dynamic cells TAP1, ..., TAPj-1 comprises a  
20 respective coefficient adaptation unit UD1, ..., UDj-1. Each respective unit UD1, ..., UDj-1 allows the calculation of an adjusted value of the corresponding coefficient C1, ..., Cj-1 from the value of the filter error signal Ef and the value of the sequence Di currently stored in the respective register REGD1, ..., REGDj-1. Updating of the dynamic coefficients is performed continuously during filtering of the sequence Di.

25 Adaptation of the static coefficients Cj, ..., Cm is performed in the coefficient updating circuit 200 as described in a previous paragraph. The entire set of coefficients C1, ..., Cm is stored in the memory 201. Once the sequence Ti is received, values of the dynamic coefficients currently stored in the registers REGC1, ..., REGCj-1 of the filter 100 are stored in the memory 201. During processing of the sequence Ti by the circuit 200, the  
30 values of the dynamic coefficients C1, ..., Cj-1 stored in the memory 201 are not modified and kept as stored at the starting of the process of the training sequence Ti. However, the values of the static coefficients Cj, ..., Cm stored in the memory 201 are adjusted during the processing of the sequence Ti by the circuit 200 as explained previously. The values of the updated static coefficients obtained at the end of the processing of the training sequence may

WO 01/97475

PCT/EP01/05864

12

be transmitted to the filter 100 when filtering of the sequence  $D_i$  is terminated and before filtering of a next data sequence.

In another embodiment of the invention, the entire set of static and dynamic coefficients  $C_1, \dots, C_n$  is in a first stage entirely updated by means of the circuit 200 so that  
5 all the coefficients are compensated for static distortions. Then in a second stage, the dynamic coefficients  $C_1, \dots, C_{j-1}$  are updated in real time to compensate for dynamic distortions.

It is also within the scope of the invention to consider a device 10 comprising a filtering circuit 100 composed of a finite impulse FE filter operating in forward mode and a  
10 DFE filter operating in feedback mode. Fig. 7 is a functional embodiment of such a device 10. The FE filter receives the set  $S_i$  and creates an output signal  $S_{out1}$ . The DFE filter receives an input signal  $S_{in2}$  and creates an output signal  $S_{out2}$ . The output signal  $S_{out}$  of the filtering circuit 100 is the sum of the output signal  $S_{out2}$  of the DFE filter and of the output signal  $S_{out1}$  of the FE filter. The sum is calculated in an adder 110. The filtering  
15 circuit 100 comprises a level slicer 120 for creating a signal  $S_{in1}$  from the signal  $S_{out}$ . In the slicer 120, the signal  $S_{out}$  is quantized, resulting in the signal  $S_{in1}$ , which can take a finite number of discrete values. The circuit 200 also comprises a memory 140 for storing the original training sequence. A multiplexer 130 supplies the DFE filter with the signal  $S_{in2}$ , which is either the training sequence stored in the memory 140 or the signal  $S_{in1}$ .

20 When receiving the set  $S_i$ , the FE filter first receives the training sequence  $T_i$ , followed by the data sequence  $D_i$ . While the FE is filtering the training sequence  $T_i$ , the original training sequence stored in the memory 140 is supplied through the multiplexer 130 to the DFE filter. Indeed, a filtering circuit 100 ideally removes all distortions from the sequence  $S_i$ . If the circuit 100 totally removes distortions from the training sequence  $T_i$ , the result of filtering is the original training sequence. When the FE filter actually starts filtering  
25 the data sequence  $D_i$ , the multiplexer 130 supplies the DFE filter with the signal  $S_{in1}$ .

The device 10 of Fig. 7 also comprises a coefficient updating circuit 200. The circuit 200 comprises the coefficient memory 201, the data memory 202, the multiplier 207, the adder 208, the register 204, the error calculator 206, the register 205, the delay cell 212,  
30 the multiplier 211 and the adder 214 as previously described. The coefficient memory 201 stores values of the coefficients of the FE filter and values of the coefficients of the DFE filter.

The circuit 200 further comprises a DFE filter input data memory 218 for storing values of the signal  $S_{in2}$ . The circuit 200 comprises a slicer 217 for creating values of

WO 01/97475

PCT/EP01/05864

13

the input signal Sin1 from values of the output signal Sout stored in the register 204. These values of the signal Sin1 are supplied to the memory 218 through a multiplexer 216. The memory 218 also stores values of the original training sequence supplied from the memory 203 through the multiplexer 216. A multiplexer 219 provides both the multiplier 207 and the delay cell 212 with a value of the training sequence Ti stored in the memory 202 or with a value of the signal Sin2 stored in the memory 218.

A value of the output signal Sout is a sum of a value of the output signal Sout1 and the output signal Sout2. A value of the signal Sout1 is calculated from the values of the coefficients of the FE filter stored in the memory 201 and from values of the sequence Ti stored in the memory 202. This value of the signal Sout1 is calculated by means of the multiplier 207, the adder 208 and the register 204 as explained in a previous paragraph. Then, a value of the signal Sout2 is calculated from the values of the coefficients of the DFE filter stored in the memory 201 and values of the signal Sin2 stored in the memory 218. The value of the signal Sout2 is derived by means of the multiplier 207, the adder 208 and the register 204 in a similar manner as explained before and with the register 204 initially loaded with the derived value of the signal Sout1. Then at the end of the calculations, the value of the output signal Sout may be retrieved from the register 204.

The error signal E is derived by the error calculator 206 and stored in the register 205.

The coefficients of the filtering circuit 100 stored in the memory 201 are updated by means of the delay cell 212, the multiplier 213, the multiplier 211 and the adder 214 in a similar manner as explained in a previous paragraph. When a specific coefficient of the DFE filter is updated, the multiplexer 219 provides the delay cell 212 with a value of the signal Sin2 stored in the memory 218. When a specific coefficient of the FE filter is updated, the multiplexer 219 provides the delay cell 212 with a value of the sequence Ti stored in the memory 202.

Fig. 8 is a preferred embodiment of a device 10 of the invention. In this preferred embodiment, the device 10 comprises a filter 100 that, itself, comprises several finite impulse response (FIR) filter groups. In Fig. 8 three filters 160, 162 and 164 are shown. These filters 160, 162 and 164 are placed in series. The filter 100 also comprises configurable data delay cells 166 and 168 that are placed between two consecutive FIR filters 160, 162, 164. Thus, the cell 166 is located between the FIR filters 160 and 162. The cell 168 is located between the FIR filters 162 and the next consecutive FIR filter. Such an embodiment of the filter 100 is described in the US patent 4,782,458. Such a filter 10 is used to compensate for

WO 01/97475

PCT/EP01/05864

14

static and quasi-static multipath echoes of the communication channel. The filters 160, 162 and 164 compensate for different multipath echoes, each of the echoes having a respective delay. The delay cells 166 and 168 introduce the respective delays delay1 and delay 2 in the filtering path between the FIR filters 160, 162 and 164. Rather than using a full length  
5 adaptive filter as shown previously, for the entire range of echo delays that can be expected, the filter 10 comprises the FIR filters 160, 162 and 164 with configurable data delay cells 166 and 168 between two successive FIR filters.

The device 10 of Fig. 8 further comprises a coefficient updating circuit 200. In this embodiment, the circuit 200 comprises a DSP unit for deriving the optimum values of the  
10 filtering coefficients as explained before. The circuit 200 also comprises the coefficient memory 201 and the input data memory 202, both described in previous embodiments. The circuit 200 of the embodiment of Fig. 8 comprises in addition to the circuit 200 of the embodiment of Fig. 3, a data delay calculator 220. The coefficient memory 201 stores values of coefficients of the filter 100 as if the filter 100 was a full length filter and not a series of  
15 FIR filters. Thus the coefficients stored in the memory 201 cover the total length of the filter 100. Because of the nature of the echoes in the communication channel, some coefficients stored in the memory 201 will have a very small value or will be zero. The delay calculator 220 allows to calculate the respective delays delay1, delay2 introduced by the respective  
20 delay cells 166 and 168. The calculator 220 derives these delays from the values of the coefficients stored in the memory 201. The coefficients stored in the memory 201 that correspond to the long-delays echoes of interest, which are the coefficients of the FIR filters 160, 162 and 164, are those having nonzero values above a minimum threshold. These coefficients are easily identified by the calculator 220 and their positions are immediately known. Their positions can then be used to determine the filters delays of the cells 166 and  
25 168. The delays may be determined by counting the number of coefficients having values beneath the threshold between the sets of determined coefficients of two successive FIR filters 160, 162 or 164.

It is to be noted that, with respect to the described method, modifications or improvements may be proposed without departing from the scope of the invention. For  
30 instance, it is clear that this processing method may be implemented in several manners, such as by means of wired electronic circuits or, alternatively, by means of a set of instructions stored in a computer-readable medium, said instructions replacing at least a part of said circuits and being executable under the control of a computer or a digital processor in order to carry out the same functions as fulfilled in said replaced circuits.

## CLAIMS:

1. A method of processing subsequent sets of data (Si), each respective one of the sets comprising a respective data sequence (Di), and at least a first one of the sets also comprising a training sequence (T1), the method comprising:
- filtering the data sequence (D1) of the first set (S1) using a filter (100) having adjustable filtering coefficients (Ci);
  - while filtering the data sequence (D1), processing the training sequence (T1) for deriving an optimum value for a specific one of the filtering coefficients;
  - replacing a previous value of the specific filtering coefficient with the derived optimum value before filtering of another sequence of data (D2).
2. A method of processing of Claim 1 comprising equalizing the training sequence (T1) using an equalizer having adjustable equalizing coefficients (Ci), the optimum value being a value, at the end of the equalization, of an equalizing coefficient with a same position as the specific filtering coefficient.
3. A method of processing of Claim 2, wherein an equalizing coefficient is adjusted using an update amount being a product of a first value of the training sequence and a second value of an error signal, the error signal representing a discrepancy between a signal resulting from the filtering of the training sequence by the equalizer and a reference training sequence known by the equalizer.
4. The method of Claim 1, wherein at least one filtering coefficient is modified from a blind equalization of the data sequence.
5. A processing device (10) for processing subsequent sets of data, each respective one of the sets comprising a respective data sequence, and at least a first one of the sets comprising a training sequence, the processing device comprising:
- a filter (100) having adjustable filtering coefficients;
  - an updating circuit (200)

WO 01/97475

PCT/EP01/05864

16

for processing the training sequence (T1) of the first set (S1), while the filtering circuit (100) filters the data sequence (D1) of the first set, and deriving an optimum value of at least a specific one of the filtering coefficients (Ci),

5 for supplying the filter (100) with the optimum value before filtering of another data sequence (D2).

6. A processing device of Claim 5, wherein the filter comprises:

- a forward equalizer (FE);
- a decision feedback equalizer (DFE).

10

7. The processing device of Claim 5, wherein the updating circuit (200) comprises an equalizer having adjustable equalizing coefficients for equalizing the training sequence, the optimum value being a value, at the end of the coefficient, of an equalizing coefficient with same position as the specific coefficient.

15

8. The processing device of Claim 5, wherein the updating circuit comprises:

- an equalizer having adjustable equalizing coefficients for equalizing the training sequence resulting in a equalized training sequence;
- a first memory unit (202) for storing values of the training sequence;
- 20 • a second memory (201) for storing values of the equalizing coefficients;
- an error calculator (206) for deriving an error sequence from the equalized training sequence and a reference training sequence known to the updating circuit;
- a calculator for deriving the optimum value using an updating amount as a product of a first value of the training sequence, a second value of an adaptation parameter and a third
- 25 value of the error sequence.

9. The Processing device of Claim 7, wherein the equalizer comprises:

- a multiplier (207) for multiplying, during the prescribed period, each respective value of the equalization coefficients with a respective value of the training sequence;
- 30 • an accumulator for accumulating a sum of the products derived by the multiplier.

10. The processing device of Claim 5, wherein the filter modifies at least a specific one of the coefficient by performing a blind equalization of the data sequence.

WO 01/97475

PCT/EP01/05864

17

11. The processing device of Claim 5, wherein the filter comprises:

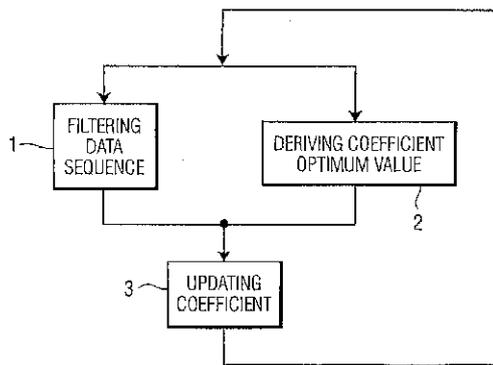
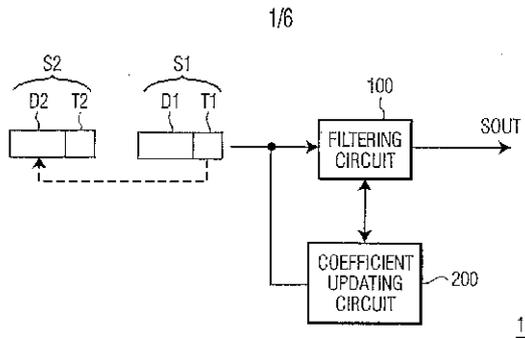
- a plurality of finite impulse response filters (160, 162, 164) connected in series;
  - at least one configurable delay cell (166) respectively located between two respective
- 5 successive finite impulse response filters for introducing a respective delay between the respective finite impulse response filters.

12. The processing device of Claim 11, wherein the updating circuit comprises:

- a digital signal processing unit (DSP) for deriving respective optimum values of the
- 10 filtering coefficients;
- a delay calculator (220) for determining the delays from the derived optimum values.

WO 01/97475

PCT/EP01/05864



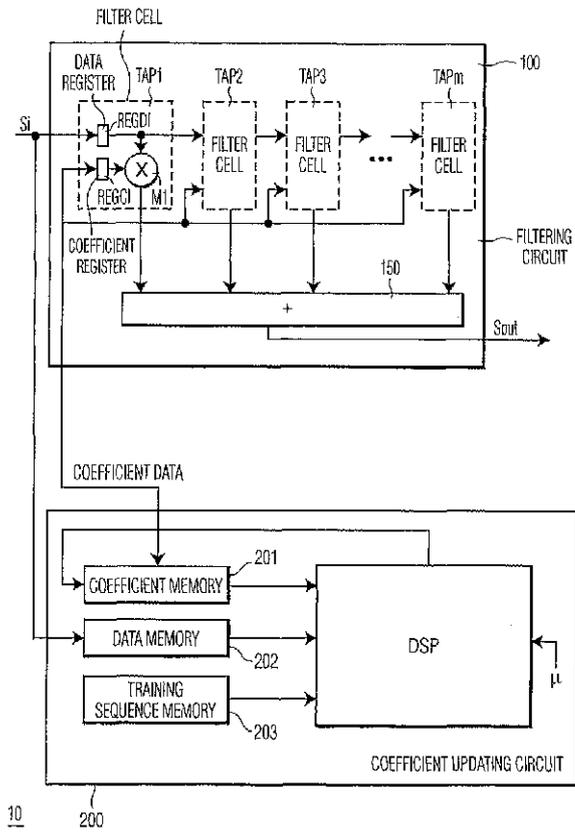


FIG. 3

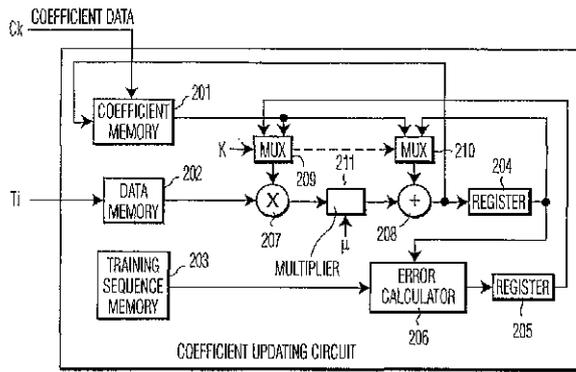


FIG. 4

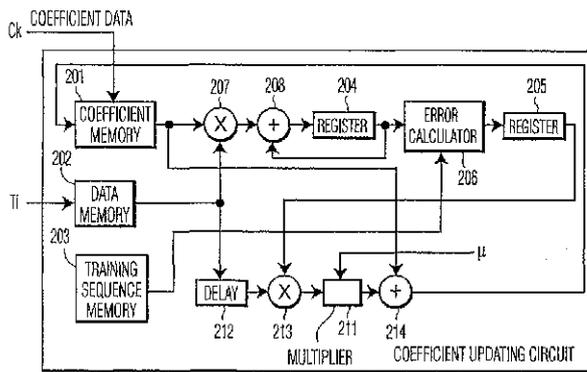


FIG. 5

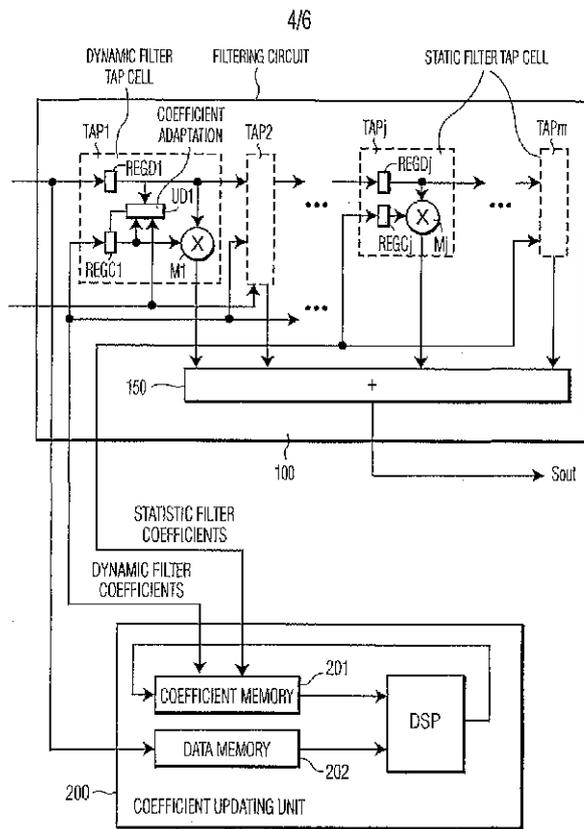


FIG. 6

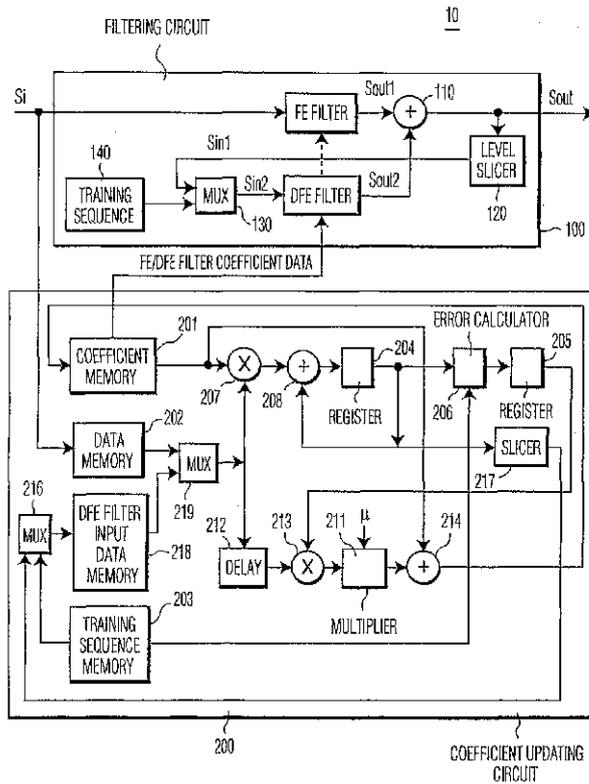


FIG. 7

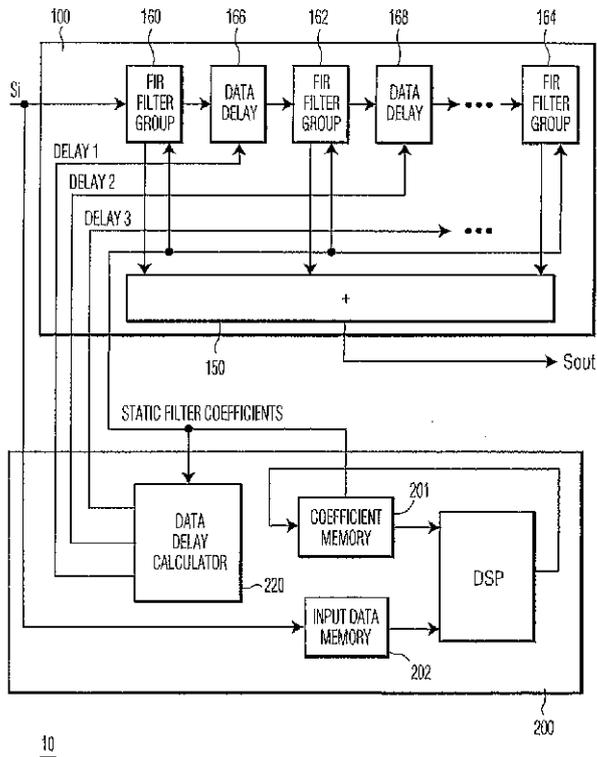


FIG. 8

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP 01/05804
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H04L25/03 H04N5/21		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the international search (name of data base and, where pertinent, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category	Citation of document, with indications, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 297 166 A (BATRUNI ROY G) 22 March 1994 (1994-03-22) abstract; claim 1; figure 6 column 2, line 89 - column 3, line 22 column 3, line 57 - column 4, line 49 column 5, line 49 - line 67 column 7, line 31 - line 34 column 8, line 10 - line 44	1-10
X	US 5 602 602 A (HULYALKAR SAMIR N) 11 February 1997 (1997-02-11) abstract; figure 8 column 5, line 8 - line 25 column 7, line 24 - line 42 column 7, line 61 - column 8, line 6 column 8, line 27 - line 67	1-10
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
*A* document defining the general state of the art which is not considered to be of particular relevance		
*B* earlier document not published on or after the international filing date		
*C* document which may throw doubts on priority claims or which is cited to establish the publication date of another claim or other special reason (as specified)		
*D* document referring to an oral disclosure, use, exhibition or other means		
*E* document published prior to the international filing date but after the priority date claimed		
*F* later document published after the international filing date or priority date and not in compliance with the requirements set forth to understand the principle or theory underlying the invention		
*G* document of particular relevance, the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
*H* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
*I* document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
27 November 2001	04/12/2001	
Name and mailing address of the ISA European Patent Office, P.O. Box 5618 Patentplan 2 DK - 3200 HV Højvang Tel. (+45) 793 0400-2040, Tx. 31 651 epe at Fax: (+45) 793 0400-3316	Authorized officer  Binger, B	

Form PCT/ISA/210 (second revised) July 1999

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP 01/05804
C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Date of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	EP 1 014 635 A (THOMSON CONSUMER ELECTRONICS) 28 June 2000 (2000-06-28) abstract paragraphs '0005!', '0006!', '0024!'-'0027!', '0030!', '0033!'	1-10
X	US 5 841 484 A (HULYALKAR SAMIR N ET AL) 24 November 1998 (1998-11-24) abstract; claims 1,5	1-10

Form C/P 862 (10) (continuation of Form 862) July 1992

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/EP 01/05804

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5297166	A	22-03-1994	NONE
US 5602602	A	11-02-1997	US 5512957 A 30-04-1996 US 5452015 A 19-09-1995 US 5745187 A 28-04-1998 US 5841484 A 24-11-1998 DE 69519770 D1 08-02-2001 DE 69519770 T2 30-08-2001 EP 0693243 A1 24-01-1996 WO 9522864 A2 24-08-1995 JP 8509113 T 24-09-1996
EP 1014635	A	28-06-2000	CN 1258166 A 28-06-2000 EP 1014635 A2 28-06-2000 JP 2000228641 A 15-08-2000
US 5841484	A	24-11-1998	US 5512957 A 30-04-1996 US 5452015 A 19-09-1995 US 5602602 A 11-02-1997 US 5745187 A 28-04-1998 DE 69519770 D1 08-02-2001 DE 69519770 T2 30-08-2001 EP 0693243 A1 24-01-1996 WO 9522864 A2 24-08-1995 JP 8509113 T 24-09-1996

Form PCTA/02/2 (patent family search only) (1995)

## フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 4 N 5/21 H 0 4 N 5/21 A

(72)発明者 ウィティッグ, カール

オランダ国, 5 6 5 6 アーアー アインドーフェン, プロフ・ホルストラーン 6

Fターム(参考) 5C021 PA36 PA42 PA66 PA67 PA78 SA04 SA21 XB12 YA34  
5K046 AA05 BB03 EE06 EE19 EE50 EF06 EF11 EF21