



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월06일
(11) 등록번호 10-0810615
(24) 등록일자 2008년02월28일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2006-0091370
(22) 출원일자 2006년09월20일
심사청구일자 2006년09월20일
(56) 선행기술조사문헌
KR1020060061745 A
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

안동호

경기 수원시 영통구 망포동 517-9 삼일빌라 5동 203호

호리이 히데기

서울특별시 강남구 개포3동 주공아파트 708-701

배준수

경기도 화성시 태안읍 반월리 신영통현대1차아파트 112-1404

(74) 대리인

박상수

전체 청구항 수 : 총 39 항

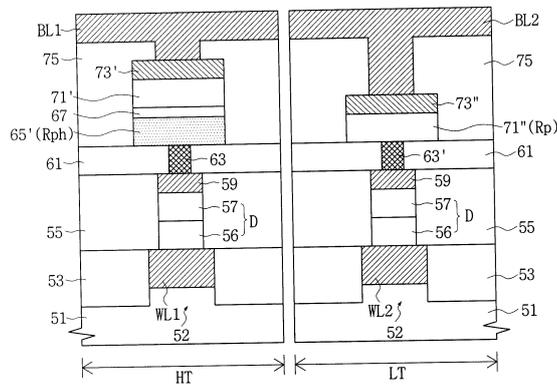
심사관 : 정병홍

(54) 고온 상전이 패턴을 구비한 상전이 메모리소자 및 그제조방법

(57) 요약

고온 상전이 패턴을 구비한 상전이 메모리소자를 제공한다. 이 소자는 고온 상전이 영역 및 저온 상전이 영역을 갖는 기관을 구비한다. 상기 고온 상전이 영역은 롬(ROM) 영역일 수 있으며, 상기 저온 상전이 영역은 램(RAM) 영역일 수 있다. 상기 고온 상전이 영역에 제 1 전극 및 제 2 전극이 제공된다. 상기 제 1 전극 및 상기 제 2 전극 사이에 고온 상전이 패턴이 개재된다. 상기 저온 상전이 영역에 제 3 전극 및 제 4 전극이 제공된다. 상기 제 3 전극 및 상기 제 4 전극 사이에 제 1 저온 상전이 패턴이 개재된다. 상기 고온 상전이 패턴은 상기 제 1 저온 상전이 패턴보다 높은 결정화 온도를 갖는 물질막을 구비한다.

대표도 - 도3



- (56) 선행기술조사문헌
KR1020040076225 A
KR1020050011609 A
KR1020060016312 A
US06815704 B1
US06646297 B2
KR1020060051652 A
KR1020060099158 A
KR1020050110680 A
-

특허청구의 범위

청구항 1

고온 상전이 영역 및 저온 상전이 영역을 갖는 기관;
 상기 고온 상전이 영역에 제공된 제 1 전극 및 제 2 전극;
 상기 제 1 전극 및 상기 제 2 전극 사이에 개재된 고온 상전이 패턴;
 상기 저온 상전이 영역에 제공된 제 3 전극 및 제 4 전극; 및
 상기 제 3 전극 및 상기 제 4 전극 사이에 개재된 제 1 저온 상전이 패턴을 포함하되, 상기 고온 상전이 패턴은 상기 제 1 저온 상전이 패턴보다 높은 결정화 온도를 갖는 물질막을 구비하는 상전이 메모리소자.

청구항 2

제 1 항에 있어서,
 상기 고온 상전이 영역은 롬(ROM) 영역이고, 상기 저온 상전이 영역은 램(RAM) 영역인 것을 특징으로 하는 상전이 메모리소자.

청구항 3

제 1 항에 있어서,
 상기 고온 상전이 패턴은 250℃ 내지 400℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 4

제 1 항에 있어서,
 상기 고온 상전이 패턴은 GaSb 막 또는 GeSb 막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 5

제 1 항에 있어서,
 상기 제 1 저온 상전이 패턴은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 6

제 1 항에 있어서,
 상기 제 1 저온 상전이 패턴은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나를 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 7

제 1 항에 있어서,
 상기 고온 상전이 패턴 상에 배치된 제 2 저온 상전이 패턴을 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 8

제 7 항에 있어서,
 상기 고온 상전이 패턴 및 상기 제 2 저온 상전이 패턴 사이에 개재된 상호 반응 저지막을 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 9

제 8 항에 있어서,

상기 상호 반응 저지막은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나를 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 10

제 1 항에 있어서,

상기 기판 상에 배치되고 상기 제 1 전극에 전기적으로 접속된 제 1 워드라인; 및

상기 기판 상에 배치되고 상기 제 3 전극에 전기적으로 접속된 제 2 워드라인을 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 11

제 10 항에 있어서,

상기 워드라인들 및 상기 전극들 사이에 배치된 스위칭 소자를 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 12

제 1 항에 있어서,

상기 기판 상에 배치되고 상기 제 2 전극에 전기적으로 접속된 제 1 비트라인; 및

상기 기판 상에 배치되고 상기 제 4 전극에 전기적으로 접속된 제 2 비트라인을 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 13

기판 상에 제공된 제 1 전극 및 제 2 전극;

상기 제 1 전극 및 제 2 전극 사이에 개재된 고온 상전이 패턴;

상기 기판 상에 제공된 제 3 전극 및 제 4 전극; 및

상기 제 3 전극 및 상기 제 4 전극 사이에 개재된 제 1 저온 상전이 패턴을 포함하되, 상기 고온 상전이 패턴은 250℃ 내지 400℃의 결정화 온도를 갖는 물질막을 구비하며, 상기 제 1 저온 상전이 패턴은 상기 고온 상전이 패턴보다 낮은 온도에서 결정화되는 상전이 메모리소자.

청구항 14

제 13 항에 있어서,

상기 고온 상전이 패턴은 GaSb 막 또는 GeSb 막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 15

삭제

청구항 16

제 13 항에 있어서,

상기 제 1 저온 상전이 패턴은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 17

제 13 항에 있어서,

상기 제 1 저온 상전이 패턴은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서

선택된 하나를 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 18

제 13 항에 있어서,

상기 고온 상전이 패턴 및 상기 제 2 전극 사이에 개재된 제 2 저온 상전이 패턴을 더 포함하되, 상기 제 2 저온 상전이 패턴은 상기 제 1 저온 상전이 패턴과 동일한 물질막인 상전이 메모리소자.

청구항 19

제 18 항에 있어서,

상기 고온 상전이 패턴 및 상기 제 2 저온 상전이 패턴 사이에 개재된 상호 반응 저지막을 더 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 20

제 19 항에 있어서,

상기 상호 반응 저지막은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나를 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 21

제 13 항에 있어서,

상기 기판 상에 제공된 제 5 전극 및 제 6 전극; 및

상기 제 5 전극 및 상기 제 6 전극 사이에 개재된 또 다른 저온 상전이 패턴을 더 포함하되, 상기 또 다른 저온 상전이 패턴은 상기 고온 상전이 패턴보다 낮은 온도에서 결정화 되고, 상기 또 다른 저온 상전이 패턴은 상기 제 1 저온 상전이 패턴과 다른 온도에서 결정화 되는 상전이 메모리소자.

청구항 22

제 21 항에 있어서,

상기 또 다른 저온 상전이 패턴은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 23

제 22 항에 있어서,

상기 또 다른 저온 상전이 패턴은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나를 포함하는 것을 특징으로 하는 상전이 메모리소자.

청구항 24

마이크로프로세서, 상기 마이크로프로세서와 데이터 통신을 수행하는 입/출력 장치 및 상기 마이크로프로세서와 데이터 통신을 수행하는 상전이 메모리소자를 갖는 전자 시스템에 있어서, 상기 상전이 메모리소자는

고온 상전이 영역 및 저온 상전이 영역을 갖는 기판;

상기 고온 상전이 영역에 제공된 제 1 전극 및 제 2 전극;

상기 제 1 전극 및 상기 제 2 전극 사이에 개재된 고온 상전이 패턴;

상기 저온 상전이 영역에 제공된 제 3 전극 및 제 4 전극; 및

상기 제 3 전극 및 상기 제 4 전극 사이에 개재된 제 1 저온 상전이 패턴을 포함하되, 상기 고온 상전이 패턴은 상기 제 1 저온 상전이 패턴보다 높은 결정화 온도를 갖는 물질막을 구비하는 전자 시스템.

청구항 25

제 24 항에 있어서,

상기 고온 상전이 영역은 롬(ROM) 영역이고, 상기 저온 상전이 영역은 램(RAM) 영역인 것을 특징으로 하는 전자 시스템.

청구항 26

제 24 항에 있어서,

상기 고온 상전이 패턴은 250℃ 내지 400℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 전자 시스템.

청구항 27

제 24 항에 있어서,

상기 제 1 저온 상전이 패턴은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함하는 것을 특징으로 하는 전자 시스템.

청구항 28

제 24 항에 있어서,

상기 고온 상전이 패턴 상에 배치된 제 2 저온 상전이 패턴을 더 포함하는 것을 특징으로 하는 전자 시스템.

청구항 29

제 28 항에 있어서,

상기 고온 상전이 패턴 및 상기 제 2 저온 상전이 패턴 사이에 개재된 상호 반응 저지막을 더 포함하는 것을 특징으로 하는 전자 시스템.

청구항 30

제 24 항에 있어서,

상기 기판 상에 배치되고 상기 제 1 전극에 전기적으로 접속된 제 1 워드라인; 및

상기 기판 상에 배치되고 상기 제 3 전극에 전기적으로 접속된 제 2 워드라인을 더 포함하는 것을 특징으로 하는 전자 시스템.

청구항 31

제 24 항에 있어서,

상기 기판 상에 배치되고 상기 제 2 전극에 전기적으로 접속된 제 1 비트라인; 및

상기 기판 상에 배치되고 상기 제 4 전극에 전기적으로 접속된 제 2 비트라인을 더 포함하는 것을 특징으로 하는 전자 시스템.

청구항 32

고온 상전이 영역 및 저온 상전이 영역을 갖는 기판을 제공하고,

상기 고온 상전이 영역에 제 1 하부전극 및 상기 저온 상전이 영역에 제 2 하부전극을 형성하고,

상기 제 1 하부전극 상에 고온 상전이 막을 형성하고,

상기 제 2 하부전극 상에 상기 고온 상전이 막보다 낮은 결정화 온도를 갖는 저온 상전이 막을 형성하고,

상기 고온 상전이 막 및 상기 저온 상전이 막 상에 상부 도전막을 형성하고,

상기 상부 도전막, 상기 고온 상전이 막 및 상기 저온 상전이 막을 패터닝하여 제 1 및 제 2 상부전극들, 고온 상전이 패턴 및 저온 상전이 패턴을 형성하는 것을 포함하는 상전이 메모리소자의 제조방법.

청구항 33

제 32 항에 있어서,

상기 고온 상전이 영역은 롬(ROM) 영역이고, 상기 저온 상전이 영역은 램(RAM) 영역인 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 34

제 32 항에 있어서,

상기 고온 상전이 막은 250℃ 내지 400℃ 의 결정화 온도를 갖는 물질막으로 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 35

제 32 항에 있어서,

상기 고온 상전이 막은 GaSb 막 또는 GeSb 막으로 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 36

제 32 항에 있어서,

상기 저온 상전이 막은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막으로 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 37

제 32 항에 있어서,

상기 저온 상전이 막은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나로 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 38

제 32 항에 있어서,

상기 저온 상전이 막은 상기 고온 상전이 막을 덮도록 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

청구항 39

제 38 항에 있어서,

상기 저온 상전이 막을 형성하기 전에,

상기 고온 상전이 막을 덮는 상호 반응 저지막을 형성하는 것을 더 포함하는 상전이 메모리소자의 제조방법.

청구항 40

제 39 항에 있어서,

상기 상호 반응 저지막은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나로 형성하는 것을 특징으로 하는 상전이 메모리소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <35> 본 발명은 반도체소자에 관한 것으로, 특히 고온 상전이 패턴을 구비한 상전이 메모리소자 및 그 제조방법에 관한 것이다.
- <36> 전자 시스템의 경-박-단-소화 및 다기능화에 따라 다양한 기능을 수행할 수 있는 반도체소자들이 이용되고 있다. 예를 들면, 상기 반도체소자들에는 마이크로프로세서(microprocessor), 입/출력 장치, 및 메모리소자들이 있다. 상기 메모리소자들은 롬(read only memory; ROM) 및 램(random access memory; RAM)으로 분류할 수 있다.
- <37> 최근 상기 롬(ROM) 및 상기 램(RAM)을 단일 칩에 내장하는 기술이 연구되고 있다. 상기 단일 칩에 상기 롬(ROM) 및 상기 램(RAM)을 한꺼번에 내장하는 기술을 이용하여 고속 동작, 높은 신뢰성 및 낮은 전력소모 특성을 갖는 상기 전자 시스템을 구현할 수 있다.
- <38> 상기 단일 칩에 상기 롬(ROM) 및 상기 램(RAM)을 내장하는 기술에 비휘발성 메모리소자(nonvolatile memory device)인 상전이 메모리소자(phase change memory device)가 응용되고 있다. 상기 상전이 메모리소자는 반도체 기판에 형성된 다수의 상전이 메모리 셀들(phase change memory cells)을 구비한다. 상기 상전이 메모리 셀은 스위칭 소자 및 상기 스위칭 소자에 직렬 연결된(serially connected) 데이터 저장요소(data storage element)를 포함한다. 상기 데이터 저장요소는 상/하부 전극들(top/bottom electrodes) 및 이들 사이의 상전이 물질막을 구비하고, 상기 하부전극은 상기 스위칭 소자에 전기적으로 연결된다.
- <39> 일반적으로, 상기 하부전극은 히터로서 작용한다. 상기 스위칭 소자 및 상기 하부전극을 통하여 쓰기 전류가 흐르는 경우에, 상기 상전이 물질막 및 상기 하부전극 사이의 계면에서 주울 열(joule heat)이 생성된다. 이러한 주울 열은 상기 상전이 물질막을 비정질 상태(amorphous state; 리셋 상태) 또는 결정질 상태(crystalline state; 셋 상태)로 변환시킨다. 상기 비정질 상태를 갖는 상전이 물질막은 상기 결정질 상태를 갖는 상전이 물질막보다 높은 저항을 보인다.
- <40> 상기 스위칭 소자는 상기 쓰기 전류를 제공하기에 충분한 전류 구동능력(current drivability)을 갖도록 설계되어야 한다. 또한, 상기 상전이 물질막으로서는 게르마늄(Ge), 스티비움(Sb) 및 텔루리움(Te)의 합금막(이하 "GeSbTe막"이라 한다)이 널리 사용되고 있다. 상기 GeSbTe막은 130℃ 내지 160℃의 결정화 온도(crystallization temperature)를 보인다.
- <41> 한편, 상기 다수의 상전이 메모리 셀들(phase change memory cells) 중 선택된 일부는 상기 롬(ROM)으로 사용될 수 있다. 상기 선택된 상전이 메모리 셀들은 그 제조과정 상 웨이퍼 레벨(wafer level)에서 프로그래밍 될 수 있다. 상기 프로그래밍 된 상전이 메모리 셀들을 갖는 웨이퍼는 패키지(package) 공정 및 칩 마운트(chip mount) 공정과 같은 후속 공정들을 통하여 상기 전자 시스템 내에 장착된다.
- <42> 상기 후속 공정들을 진행하는 동안 상기 프로그래밍 된 상전이 메모리 셀들은 고온에 노출될 수 있다. 예를 들면, 상기 칩 마운트(chip mount) 공정은 200℃ 내지 220℃의 온도에서 수행될 수 있다. 즉, 상기 칩 마운트(chip mount) 공정에 의하여 상기 GeSbTe막은 상기 결정화 온도 보다 높은 온도에 노출될 수 있다. 이 경우에, 상기 프로그래밍 된 상전이 메모리 셀들은 그들의 데이터를 잃어버릴 수 있다.
- <43> 다른 한편, 미국특허 US6,507,061 B1호는 상전이 물질막의 변환에 소요되는 프로그램 전류를 감소시킬 수 있는 상전이 메모리 셀을 제공한다.

발명이 이루고자 하는 기술적 과제

- <44> 본 발명이 이루고자 하는 기술적 과제는 상술한 종래기술의 문제점을 개선하기 위한 것으로서, 고온에 노출될지라도 저장된 데이터가 보존되는 영역을 갖는 상전이 메모리소자를 제공하는 데 있다.
- <45> 본 발명이 이루고자 하는 다른 기술적 과제는, 고온에 노출될지라도 저장된 데이터가 보존되는 영역을 갖는 상전이 메모리소자를 채택하는 전자 시스템을 제공하는 데 있다.
- <46> 본 발명이 이루고자 하는 또 다른 기술적 과제는, 고온에 노출될지라도 저장된 데이터가 보존되는 영역을 갖는 상전이 메모리소자의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- <47> 상기 기술적 과제를 달성하기 위하여 본 발명은, 상전이 메모리소자를 제공한다. 이 소자는 고온 상전이 영역 및 저온 상전이 영역을 갖는 기판을 구비한다. 상기 고온 상전이 영역에 제 1 전극 및 제 2 전극이 제공된다.

상기 제 1 전극 및 상기 제 2 전극 사이에 고온 상전이 패턴이 개재된다. 상기 저온 상전이 영역에 제 3 전극 및 제 4 전극이 제공된다. 상기 제 3 전극 및 상기 제 4 전극 사이에 제 1 저온 상전이 패턴이 개재된다. 상기 고온 상전이 패턴은 상기 제 1 저온 상전이 패턴보다 높은 결정화 온도를 갖는 물질막을 구비한다.

- <48> 본 발명의 몇몇 실시 예에 있어서, 상기 고온 상전이 영역은 롬(ROM) 영역일 수 있으며, 상기 저온 상전이 영역은 램(RAM) 영역일 수 있다.
- <49> 다른 실시 예에 있어서, 상기 고온 상전이 패턴은 250℃ 내지 400℃ 의 결정화 온도를 갖는 물질막을 포함할 수 있다. 이 경우에, 상기 고온 상전이 패턴은 GaSb 막 또는 GeSb 막일 수 있다.
- <50> 또 다른 실시 예에 있어서, 상기 제 1 저온 상전이 패턴은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함할 수 있다. 이 경우에, 상기 제 1 저온 상전이 패턴은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <51> 또 다른 실시 예에 있어서, 상기 고온 상전이 패턴 상에 제 2 저온 상전이 패턴이 제공될 수 있다. 이 경우에, 상기 고온 상전이 패턴 및 상기 제 2 저온 상전이 패턴 사이에 상호 반응 저지막이 개재될 수 있다. 상기 상호 반응 저지막은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <52> 또 다른 실시 예에 있어서, 상기 기판 상에 상기 제 1 전극에 전기적으로 접속된 제 1 워드라인이 배치될 수 있다. 또한, 상기 기판 상에 상기 제 3 전극에 전기적으로 접속된 제 2 워드라인이 배치될 수 있다. 상기 워드라인들 및 상기 전극들 사이에 스위칭 소자들이 배치될 수 있다.
- <53> 또 다른 실시 예에 있어서, 상기 기판 상에 상기 제 2 전극에 전기적으로 접속된 제 1 비트라인이 배치될 수 있다. 또한, 상기 기판 상에 상기 제 4 전극에 전기적으로 접속된 제 2 비트라인이 배치될 수 있다.
- <54> 또한, 본 발명은, 마이크로프로세서, 상기 마이크로프로세서와 데이터 통신을 수행하는 입/출력 장치 및 상기 마이크로프로세서와 데이터 통신을 수행하는 상전이 메모리소자를 갖는 전자 시스템을 제공한다. 상기 상전이 메모리소자는 고온 상전이 영역 및 저온 상전이 영역을 갖는 기판을 구비한다. 상기 고온 상전이 영역에 제 1 전극 및 제 2 전극이 제공된다. 상기 제 1 전극 및 상기 제 2 전극 사이에 고온 상전이 패턴이 개재된다. 상기 저온 상전이 영역에 제 3 전극 및 제 4 전극이 제공된다. 상기 제 3 전극 및 상기 제 4 전극 사이에 제 1 저온 상전이 패턴이 개재된다. 상기 고온 상전이 패턴은 상기 제 1 저온 상전이 패턴보다 높은 결정화 온도를 갖는 물질막을 구비한다.
- <55> 몇몇 실시 예에 있어서, 상기 고온 상전이 패턴 상에 제 2 저온 상전이 패턴이 제공될 수 있다. 이 경우에, 상기 고온 상전이 패턴 및 상기 제 2 저온 상전이 패턴 사이에 상호 반응 저지막이 개재될 수 있다. 상기 상호 반응 저지막은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <56> 이에 더하여, 본 발명은, 상전이 메모리소자의 제조방법을 제공한다. 이 방법은 고온 상전이 영역 및 저온 상전이 영역을 갖는 기판을 제공하는 것을 포함한다. 상기 고온 상전이 영역에 제 1 하부전극 및 상기 저온 상전이 영역에 제 2 하부전극을 형성한다. 상기 제 1 하부전극 상에 고온 상전이 막을 형성한다. 상기 제 2 하부전극 상에 상기 고온 상전이 막보다 낮은 결정화 온도를 갖는 저온 상전이 막을 형성한다. 상기 고온 상전이 막 및 상기 저온 상전이 막 상에 상부 도전막을 형성한다. 상기 상부 도전막, 상기 고온 상전이 막 및 상기 저온 상전이 막을 패터닝하여 제 1 및 제 2 상부전극들, 고온 상전이 패턴 및 저온 상전이 패턴을 형성한다.
- <57> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되어지는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- <58> 도 1은 본 발명의 실시 예에 따른 고온 상전이 패턴을 구비한 상전이 메모리소자를 설명하기 위한 등가회로도이다.
- <59> 도 1을 참조하면, 본 발명의 실시 예에 따른 상전이 메모리소자는 고온 상전이 영역(HT) 및 저온 상전이 영역

(LT)을 구비할 수 있다. 상기 고온 상전이 영역(HT)은 롬(read only memory; ROM) 영역의 역할을 할 수 있으며, 상기 저온 상전이 영역(LT)은 램(random access memory; RAM) 영역의 역할을 할 수 있다.

- <60> 상기 롬(ROM) 영역은 쓰기(write) 동작을 통하여 저장된 데이터를 반복하여 읽어 낼 수 있는 기능을 수행할 수 있다. 이에 따라, 상기 롬(ROM) 영역은 저장된 데이터를 장시간 보존할 수 있는 성능이 요구된다. 이에 비하여, 상기 램(RAM) 영역은 쓰기(write), 읽기(read), 및 다시 쓰기(rewrite) 동작을 반복할 수 있는 기능을 수행할 수 있다. 그러므로 상기 램(RAM) 영역은 낮은 전력소모 특성을 갖는 소자가 요구된다.
- <61> 상기 고온 상전이 영역(HT)에 다수의 제 1 워드라인들(WL1), 다수의 제 1 비트라인들(BL1) 및 다수의 고온 상전이 메모리 셀들(100)이 제공될 수 있다. 상기 제 1 비트라인들(BL1)은 상기 제 1 워드라인들(WL1)에 교차하도록 배치될 수 있다. 상기 고온 상전이 메모리 셀들(100)은 각각 상기 제 1 워드라인들(WL1) 및 상기 제 1 비트라인들(BL1)의 교차점들에 배치될 수 있다.
- <62> 상기 고온 상전이 메모리 셀들(100)의 각각은 상기 제 1 비트라인들(BL1)중 어느 하나에 전기적으로 접속된 고온 상전이 패턴(Rph) 및 상기 고온 상전이 패턴(Rph)에 전기적으로 접속된 스위칭 소자를 포함할 수 있다. 상기 스위칭 소자는 다이오드(D)일 수 있다. 상기 다이오드(D)의 일단은 상기 제 1 워드라인들(WL1)중 어느 하나에 전기적으로 접속될 수 있다. 이와는 다르게, 상기 스위칭 소자는 모스 트랜지스터일 수도 있다.
- <63> 상기 저온 상전이 영역(LT)에 다수의 제 2 워드라인들(WL2), 다수의 제 2 비트라인들(BL2) 및 다수의 저온 상전이 메모리 셀들(200)이 제공될 수 있다. 상기 제 2 비트라인들(BL2)은 상기 제 2 워드라인들(WL2)에 교차하도록 배치될 수 있다. 상기 저온 상전이 메모리 셀들(200)은 각각 상기 제 2 워드라인들(WL2) 및 상기 제 2 비트라인들(BL2)의 교차점들에 배치될 수 있다.
- <64> 상기 저온 상전이 메모리 셀들(200)의 각각은 상기 제 2 비트라인들(BL2)중 어느 하나에 전기적으로 접속된 저온 상전이 패턴(Rp) 및 상기 저온 상전이 패턴(Rp)에 전기적으로 접속된 스위칭 소자를 포함할 수 있다. 상기 스위칭 소자는 다이오드(D)일 수 있다. 상기 다이오드(D)의 일단은 상기 제 2 워드라인들(WL2)중 어느 하나에 전기적으로 접속될 수 있다.
- <65> 도 2 및 도 3을 참조하여, 본 발명의 제 1 실시 예에 따른 고온 상전이 패턴을 구비한 상전이 메모리소자를 설명하기로 한다.
- <66> 도 2 및 도 3을 참조하면, 본 발명의 제 1 실시 예에 따른 상전이 메모리소자는 고온 상전이 영역(HT) 및 저온 상전이 영역(LT)을 갖는 기판(51)을 구비할 수 있다. 상기 기판(51)은 실리콘웨이퍼와 같은 반도체기판일 수 있다.
- <67> 상기 기판(51)의 소정영역에 소자분리막(53)이 제공되어 라인형의 활성영역(52)을 한정할 수 있다. 상기 활성영역(52)에 워드라인들(WL1, WL2)이 배치될 수 있다. 상기 워드라인들(WL1, WL2)은 상기 고온 상전이 영역(HT)에 배치된 제 1 워드라인(WL1) 및 상기 저온 상전이 영역(LT)에 배치된 제 2 워드라인(WL2)으로 구분될 수 있다.
- <68> 상기 워드라인들(WL1, WL2)은 고농도 불순물 이온주입 영역일 수 있다. 이와는 달리, 상기 워드라인들(WL1, WL2)은 상기 기판(51) 상에 적층된 도전성 배선일 수 있다. 상기 도전성 배선은 금속배선 또는 에피택시얼 반도체 패턴일 수 있다.
- <69> 상기 워드라인들(WL1, WL2) 및 상기 소자분리막(53) 상에 하부 절연막(55)이 제공될 수 있다. 상기 하부 절연막(55)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막일 수 있다. 상기 하부 절연막(55) 내에 다이오드들(D)이 배치될 수 있다. 상기 다이오드(D)는 n형 반도체(56) 및 p형 반도체(57)를 구비할 수 있다.
- <70> 상기 n형 반도체(56) 및 상기 p형 반도체(57)는 상기 워드라인들(WL1, WL2)의 소정영역 상에 차례로 적층될 수 있다. 이 경우에, 상기 n형 반도체(56)는 상기 워드라인들(WL1, WL2)에 접촉될 수 있다. 상기 p형 반도체(57) 상에 다이오드 전극(59)이 배치될 수 있다. 상기 다이오드 전극(59)은 금속막, 또는 금속실리사이드막과 같은 도전막일 수 있다.
- <71> 상기 다이오드들(D) 및 상기 하부 절연막(55) 상에 제 1 층간절연막(61)이 제공될 수 있다. 상기 제 1 층간절연막(61)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막일 수 있다. 상기 제 1 층간절연막(61) 내에 하부전극들(63, 63')이 배치될 수 있다. 상기 하부전극들(63, 63')은 상기 고온 상전이 영역(HT)에 배치된 제 1 하부전극(63) 및 상기 저온 상전이 영역(LT)에 배치된 제 2 하부전극(63')으로 구분될 수 있다. 상기 하부전극들(63, 63')은 Ti 막, TiN 막, TiAlN 막, W 막, WN 막, Si 막, Ta 막, TaN 막, TaCN 막, 및 WCN 막

간절연막(61) 상에 제 2 층간절연막(75)이 제공될 수 있다. 상기 제 2 층간절연막(75)은 상기 상부전극들(73', 73'')을 덮을 수 있다. 상기 제 2 층간절연막(75)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막일 수 있다.

<94> 상기 제 2 층간절연막(75) 상에 비트라인들(BL1, BL2)이 제공될 수 있다. 상기 비트라인들(BL1, BL2)은 상기 제 2 층간절연막(75)을 관통하여 상기 제 1 상부전극(73')에 접촉되는 제 1 비트라인(BL1) 및 상기 제 2 상부전극(73'')에 접촉되는 제 2 비트라인(BL2)으로 구분될 수 있다. 상기 비트라인들(BL1, BL2)은 금속막과 같은 도전막일 수 있다.

<95> 상기 제 1 비트라인(BL1)은 상기 제 1 상부전극(73'), 상기 제 2 저온 상전이 패턴(71'), 상기 상호 반응 저지막(67), 상기 고온 상전이 패턴(65'), 상기 제 1 하부전극(63), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 1 워드라인(WL1)에 전기적으로 접속될 수 있다. 또한, 상기 제 2 비트라인(BL2)은 상기 제 2 상부전극(73''), 상기 제 1 저온 상전이 패턴(71''), 상기 제 2 하부전극(63'), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 2 워드라인(WL2)에 전기적으로 접속될 수 있다.

<96> 상기 제 1 저온 상전이 패턴(71')은 도 1의 등가회로에서 부호 Rp에 해당할 수 있으며, 상기 고온 상전이 패턴(65')은 도 1의 등가회로에서 부호 Rph에 해당할 수 있다. 또한, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73'')은 제 4 전극으로 지칭될 수 있다.

<97> 이제 도 1 내지 도 3을 다시 참조하여 본 발명의 제 1 실시 예에 따른 상전이 메모리소자의 동작을 설명하기로 한다.

<98> 도 1 내지 도 3을 다시 참조하면, 상기 상전이 메모리 셀들(100, 200) 중 어느 하나에 선택적으로 데이터를 저장시키기 위해서는 상기 워드라인들(WL1, WL2) 중 대응하는 하나와 상기 비트라인들(BL1, BL2) 중 대응하는 하나에 쓰기 전류(writing current)를 인가할 수 있다. 이 경우에, 상기 상전이 패턴들(Rph, Rp)의 전기적인 저항은 상기 쓰기 전류의 양에 따라서 변화될 수 있다.

<99> 구체적으로, 상기 상전이 패턴들(Rph, Rp)이 상기 쓰기 전류에 의해 그것의 결정화 온도(crystallization temperature) 및 용융점(melting point) 사이의 온도로 가열된 후, 상기 가열된 상전이 패턴들(Rph, Rp)이 냉각되는 경우에, 상기 상전이 패턴들(Rph, Rp)은 결정질 상태(crystalline state)로 변할 수 있다. 이에 반하여, 상기 상전이 패턴들(Rph, Rp)이 상기 쓰기 전류에 의해 상기 용융점보다 높은 온도로 가열된 후, 상기 용융된 상전이 패턴들(Rph, Rp)이 급속 냉각되는(abruptly quenched) 경우에, 상기 상전이 패턴들(Rph, Rp)은 비정질 상태(amorphous state)로 변할 수 있다.

<100> 상기 결정질 상태를 갖는 상전이 패턴들(Rph, Rp)의 비저항은 상기 비정질 상태를 갖는 상전이 패턴들(Rph, Rp)의 비저항과 서로 다를 수 있다. 예를 들면, 상기 결정질 상태를 갖는 상전이 패턴들(Rph, Rp)의 비저항은 상기 비정질 상태를 갖는 상전이 패턴들(Rph, Rp)의 비저항보다 낮을 수 있다. 이에 따라, 읽기 모드에서 상기 상전이 패턴들(Rph, Rp)을 통하여 흐르는 전류를 감지함으로써 상기 상전이 패턴들(Rph, Rp) 내에 저장된 정보가 논리 "1"인지 또는 논리 "0"인지를 판독할 수 있다.

<101> 보다 상세하게, 상기 제 1 워드라인들(WL1) 중 선택된 하나와 상기 제 1 비트라인들(BL1) 중 대응하는 하나에 쓰기 전류(writing current)를 인가할 수 있다. 이 경우에, 상기 고온 상전이 패턴들(Rph) 중 선택된 하나는 상기 쓰기 전류에 의해 그것의 결정화 온도(crystallization temperature) 및 용융점(melting point) 사이의 온도로 가열된 후 냉각될 수 있다. 그 결과, 상기 선택된 고온 상전이 패턴(Rph)은 결정질 상태(crystalline state)로 변할 수 있다. 또한, 상기 쓰기 전류를 제어하여 상기 고온 상전이 패턴들(Rph) 중 다른 몇몇은 비정질 상태(amorphous state)로 변화시킬 수 있다. 결과적으로, 상기 고온 상전이 영역(HT)에 배치된 상기 고온 상전이 패턴들(Rph)은 논리 "1" 또는 논리 "0"의 데이터를 저장할 수 있다.

<102> 그런데 상기 고온 상전이 패턴들(Rph)은 상기 저온 상전이 패턴들(Rp)보다 높은 결정화 온도(crystallization temperature)를 갖는 물질막일 수 있다. 이에 따라, 상기 고온 상전이 패턴들(Rph)의 데이터 보존 가능 온도는 상기 저온 상전이 패턴들(Rp)보다 높을 수 있다.

<103> 상기 고온 상전이 패턴들(Rph)은 250℃ 내지 400℃ 의 결정화 온도(crystallization temperature)를 갖는 물질막일 수 있다. 이 경우에, 250℃ 미만의 온도 분위기에서 상기 고온 상전이 패턴들(Rph)에 저장된 데이터는 안전하게 보존될 수 있다. 예를 들면, 웨이퍼 또는 칩 상에서 상기 고온 상전이 패턴들(Rph)에 논리 "1" 또는 논리 "0"의 데이터를 저장할 수 있다. 이어서, 칩 마운트(chip mount) 공정과 같은 후속 공정에서 200℃ 내지 220

℃의 온도에 노출될지라도 상기 고온 상전이 패턴들(Rph)에 저장된 데이터는 안전하게 보존될 수 있다. 즉, 상기 고온 상전이 메모리 셀들(100)은 높은 온도에 노출되어도 저장된 데이터가 보존되는 특성을 보일 수 있다.

- <104> 한편, 상기 제 2 워드라인들(WL2) 및 상기 제 2 비트라인들(BL2)을 이용하여 상기 저온 상전이 패턴들(Rp)에도 논리 "1" 또는 논리 "0"의 데이터를 저장할 수 있다. 상기 저온 상전이 패턴들(Rp)은 상기 고온 상전이 패턴들(Rph)보다 낮은 결정화 온도(crystallization temperature)를 갖는 물질막일 수 있다.
- <105> 상기 저온 상전이 패턴들(Rp)은 100℃ 내지 250℃의 결정화 온도를 갖는 물질막일 수 있다. 이 경우에, 상기 저온 상전이 패턴들(Rp)을 변환하는데 필요한 상기 쓰기 전류(writing current)는 상기 고온 상전이 패턴들(Rph)보다 작을 수 있다. 즉, 상기 저온 상전이 메모리 셀(200)은 상기 고온 상전이 메모리 셀(100)보다 낮은 전력소모 특성을 보일 수 있다.
- <106> 상술한 바와 같이, 상기 고온 상전이 영역(HT)은 상기 롬(ROM) 영역의 역할을 할 수 있으며, 상기 저온 상전이 영역(LT)은 상기 램(RAM) 영역의 역할을 할 수 있다. 상기 롬(ROM) 영역은 쓰기(write) 동작을 통하여 저장된 데이터를 반복하여 읽어 낼 수 있는 기능을 수행할 수 있다. 이에 따라, 상기 롬(ROM) 영역은 저장된 데이터를 장시간 보존할 수 있는 성능이 요구된다. 이에 비하여, 상기 램(RAM) 영역은 쓰기(write), 읽기(read), 및 다시 쓰기(rewrite) 동작을 반복할 수 있는 기능을 수행할 수 있다. 그러므로 상기 램(RAM) 영역은 낮은 전력소모 특성을 갖는 소자가 요구된다.
- <107> 본 발명의 실시 예에 따르면, 높은 온도에서도 저장된 데이터가 보존되는 특성을 갖는 상기 고온 상전이 메모리 셀들(100)은 상기 롬(ROM) 영역에 배치될 수 있으며, 낮은 전력소모 특성을 갖는 상기 저온 상전이 메모리 셀들(200)은 상기 램(RAM) 영역에 배치될 수 있다. 결론적으로, 단일 칩 내에 상기 고온 상전이 메모리 셀들(100) 및 상기 저온 상전이 메모리 셀들(200)을 구비하는 상전이 메모리소자를 구현할 수 있다.
- <108> 이제 도 2, 및 도 4 내지 도 8을 참조하여, 본 발명의 제 1 실시 예에 따른 상전이 메모리소자의 제조방법을 설명하기로 한다.
- <109> 도 2 및 도 4를 참조하면, 고온 상전이 영역(HT) 및 저온 상전이 영역(LT)을 갖는 기판(51)을 제공할 수 있다. 상기 기판(51)은 실리콘웨이퍼와 같은 반도체기판일 수 있다.
- <110> 상기 기판(51)의 소정영역에 소자분리막(53)을 형성할 수 있다. 상기 소자분리막(53)에 의하여 라인형의 활성영역들(52)이 한정될 수 있다. 상기 활성영역(52)에 워드라인들(WL1, WL2)을 형성할 수 있다. 상기 워드라인들(WL1, WL2)은 상기 고온 상전이 영역(HT)에 형성된 제 1 워드라인(WL1) 및 상기 저온 상전이 영역(LT)에 형성된 제 2 워드라인(WL2)으로 구분될 수 있다. 상기 워드라인들(WL1, WL2)은 고농도 불순물 이온주입 영역으로 형성할 수 있다.
- <111> 이와는 달리, 상기 워드라인들(WL1, WL2)은 상기 기판(51) 상에 도전성 배선을 적층하여 형성할 수 있다. 상기 도전성 배선은 금속배선 또는 에피택시얼 반도체 패턴으로 형성할 수 있다.
- <112> 상기 워드라인들(WL1, WL2) 및 상기 소자분리막(53) 상에 하부 절연막(55)을 형성할 수 있다. 상기 하부 절연막(55)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막으로 형성할 수 있다. 상기 하부 절연막(55) 내에 다이오드들(D)을 형성할 수 있다. 상기 다이오드(D)는 n형 반도체(56) 및 p형 반도체(57)를 차례로 적층하여 형성할 수 있다. 상기 n형 반도체(56)는 상기 워드라인들(WL1, WL2)에 접촉될 수 있다. 상기 p형 반도체(57) 상에 다이오드 전극(59)을 형성할 수 있다. 상기 다이오드 전극(59)은 금속막, 또는 금속실리사이드막과 같은 도전막으로 형성할 수 있다.
- <113> 상기 다이오드들(D) 및 상기 하부 절연막(55) 상에 제 1 층간절연막(61)을 형성할 수 있다. 상기 제 1 층간절연막(61)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막으로 형성할 수 있다.
- <114> 상기 제 1 층간절연막(61) 내에 하부전극들(63, 63')을 형성할 수 있다. 상기 하부전극들(63, 63')은 상기 고온 상전이 영역(HT)에 형성된 제 1 하부전극(63) 및 상기 저온 상전이 영역(LT)에 형성된 제 2 하부전극(63')으로 구분될 수 있다. 상기 하부전극들(63, 63')은 Ti 막, TiN 막, TiAlN 막, W 막, WN 막, Si 막, Ta 막, TaN 막, TaCN 막, 및 WCN 막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다. 상기 하부전극들(63, 63')은 상기 제 1 층간절연막(61)을 관통하여 상기 다이오드 전극(59)에 접촉하도록 형성할 수 있다.
- <115> 도 2 및 도 5를 참조하면, 상기 고온 상전이 영역(HT) 상에 고온 상전이 막(65) 및 상호 반응 저지막(67)을 차례로 적층할 수 있다. 상기 고온 상전이 막(65)은 상기 제 1 하부전극(63)에 접촉하도록 형성할 수 있다.

- <116> 상기 고온 상전이 막(65)은 250℃ 내지 400℃ 의 결정화 온도(crystallization temperature)를 갖는 물질막으로 형성할 수 있다. 상기 고온 상전이 막(65)은 GaSb 막 또는 GeSb 막으로 형성할 수 있다. 상기 상호 반응 저지막(67)은 금속산화막, 금속질화막, 금속실리사이드막, 실리콘막, 질화막, 및 산화막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다.
- <117> 도 2 및 도 6을 참조하면, 상기 저온 상전이 영역(LT) 상에 저온 상전이 막(71)을 형성할 수 있다. 상기 저온 상전이 막(71)은 상기 제 2 하부전극(63')에 접촉하도록 형성할 수 있다.
- <118> 상기 저온 상전이 막(71)은 상기 고온 상전이 막(65)보다 낮은 결정화 온도를 갖는 물질막인 것이 바람직하다. 상기 저온 상전이 막(71)은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막으로 형성할 수 있다. 상기 저온 상전이 막(71)은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다.
- <119> 상기 저온 상전이 막(71)은 상기 저온 상전이 영역(LT) 및 상기 고온 상전이 영역(HT)을 모두 덮도록 형성할 수 있다. 이 경우에, 상기 저온 상전이 막(71)은 상기 고온 상전이 막(65) 및 상기 상호 반응 저지막(67) 상에도 형성될 수 있다.
- <120> 상기 고온 상전이 막(65) 및 상기 저온 상전이 막(71)을 갖는 기판(51) 상에 상부 도전막(73)을 형성할 수 있다. 상기 상부 도전막(73)은 Ti 막, TiN 막, TiAlN 막, W 막, WN 막, Si 막, Ta 막, TaN 막, TaCN 막, 및 WCN 막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다.
- <121> 도 2 및 도 7을 참조하면, 상기 상부 도전막(73), 상기 저온 상전이 막(71) 및 상기 고온 상전이 막(65)을 연속적으로 패터닝하여 제 1 및 제 2 상부전극들(73', 73"), 제 1 및 제 2 저온 상전이 패턴들(71', 71"), 및 고온 상전이 패턴(65')을 형성할 수 있다. 상기 저온 상전이 막(71) 및 상기 고온 상전이 막(65)을 패터닝하는 동안 상기 상호 반응 저지막(67)은 부분적으로 제거되어 상기 고온 상전이 패턴(65') 및 상기 제 2 저온 상전이 패턴(71') 사이에 잔존할 수 있다.
- <122> 그 결과, 상기 제 1 하부전극(63) 상에 상기 고온 상전이 패턴(65'), 상기 상호 반응 저지막(67), 상기 제 2 저온 상전이 패턴(71') 및 상기 제 1 상부전극(73')이 차례로 적층될 수 있다. 상기 제 2 하부전극(63') 상에 상기 제 1 저온 상전이 패턴(71") 및 상기 제 2 상부전극(73")이 차례로 적층될 수 있다.
- <123> 도 2 및 도 8을 참조하면, 상기 고온 상전이 패턴(65'), 상기 저온 상전이 패턴들(71', 71"), 상기 상부전극들(73', 73") 및 상기 제 1 층간절연막(61) 상에 제 2 층간절연막(75)을 형성할 수 있다. 상기 제 2 층간절연막(75)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막으로 형성할 수 있다.
- <124> 상기 제 2 층간절연막(75) 상에 비트라인들(BL1, BL2)을 형성할 수 있다. 상기 비트라인들(BL1, BL2)은 상기 제 2 층간절연막(75)을 관통하여 상기 제 1 상부전극(73')에 접촉되는 제 1 비트라인(BL1) 및 상기 제 2 상부전극(73")에 접촉되는 제 2 비트라인(BL2)으로 구분될 수 있다. 상기 비트라인들(BL1, BL2)은 금속막과 같은 도전막으로 형성할 수 있다.
- <125> 상기 제 1 비트라인(BL1)은 상기 제 1 상부전극(73'), 상기 제 2 저온 상전이 패턴(71'), 상기 상호 반응 저지막(67), 상기 고온 상전이 패턴(65'), 상기 제 1 하부전극(63), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 1 워드라인(WL1)에 전기적으로 접속될 수 있다. 또한, 상기 제 2 비트라인(BL2)은 상기 제 2 상부전극(73"), 상기 제 1 저온 상전이 패턴(71"), 상기 제 2 하부전극(63'), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 2 워드라인(WL2)에 전기적으로 접속될 수 있다.
- <126> 상기 제 1 저온 상전이 패턴(71")은 도 1의 등가회로에서 부호 Rp에 해당할 수 있으며, 상기 고온 상전이 패턴(65')은 도 1의 등가회로에서 부호 Rph에 해당할 수 있다.
- <127> 상기 비트라인들(BL1, BL2) 및 상기 제 2 층간절연막(75) 상에 상부 절연막(77)을 형성할 수 있다. 상기 상부 절연막(77)은 실리콘산화막, 실리콘질화막, 또는 이들의 조합막과 같은 절연막으로 형성할 수 있다.
- <128> 상기 제 1 저온 상전이 패턴(71")은 도 1의 등가회로에서 부호 Rp에 해당할 수 있으며, 상기 고온 상전이 패턴(65')은 도 1의 등가회로에서 부호 Rph에 해당할 수 있다. 또한, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73")은 제 4 전극으로 지칭될 수 있다.
- <129> 도 9는 본 발명의 제 2 실시 예에 따른 상전이 메모리소자 및 그 제조방법을 설명하기 위하여 도 2의 절단선 I-

I'를 따라 취해진 단면도이다.

- <130> 도 2 및 도 9를 참조하면, 본 발명의 제 2 실시 예에 따른 상전이 메모리소자는 상기 상호 반응 저지막(67) 및 상기 제 2 저온 상전이 패턴(71')이 모두 생략된 구조를 특징으로 한다. 즉, 상기 제 1 하부전극(63) 상에 상기 고온 상전이 패턴(65') 및 상기 제 1 상부전극(73')이 차례로 적층된 구조를 갖는다.
- <131> 본 발명의 제 2 실시 예에 따른 상전이 메모리소자는 상기 상호 반응 저지막(67)을 형성하는 것을 생략하고, 상기 저온 상전이 영역(LT)에 상기 저온 상전이 막(71)을 국부적으로 형성하여 제조할 수 있다.
- <132> 이 경우에, 상기 제 1 비트라인(BL1)은 상기 제 1 상부전극(73'), 상기 고온 상전이 패턴(65'), 상기 제 1 하부전극(63), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 1 워드라인(WL1)에 전기적으로 접속될 수 있다. 또한, 상기 제 2 비트라인(BL2)은 상기 제 2 상부전극(73"), 상기 제 1 저온 상전이 패턴(71"), 상기 제 2 하부전극(63'), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 2 워드라인(WL2)에 전기적으로 접속될 수 있다.
- <133> 상기 제 1 저온 상전이 패턴(71")은 도 1의 등가회로에서 부호 Rp에 해당할 수 있으며, 상기 고온 상전이 패턴(65")은 도 1의 등가회로에서 부호 Rph에 해당할 수 있다. 또한, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73")은 제 4 전극으로 지칭될 수 있다.
- <134> 도 10은 본 발명의 제 3 실시 예에 따른 상전이 메모리소자를 설명하기 위한 단면도이다.
- <135> 도 10을 참조하면, 본 발명의 제 3 실시 예에 따른 상전이 메모리소자는 도 9를 참조하여 설명한바 있는 본 발명의 제 2 실시 예에 따른 상전이 메모리소자를 포함할 수 있다. 이하에서는 차이점만 간략하게 설명하기로 한다.
- <136> 상기 저온 상전이 영역(LT)에 상기 제 2 하부전극(63')과 이격되도록 배치된 제 3 하부전극(63")이 제공될 수 있다. 상기 제 3 하부전극(63") 상에 또 다른 저온 상전이 패턴(81")이 배치될 수 있다. 상기 또 다른 저온 상전이 패턴(81") 상에 제 3 상부전극(83)이 배치될 수 있다.
- <137> 상기 제 3 하부전극(63")은 상기 제 1 층간절연막(61)을 관통하여 다이오드 전극(59)에 접촉될 수 있다. 즉, 상기 제 3 하부전극(63")은 상기 다이오드 전극(59), p형 반도체(57) 및 n형 반도체(56)를 통하여 제 2 워드라인(WL2)에 전기적으로 접속될 수 있다. 상기 고온 상전이 패턴(65'), 상기 저온 상전이 패턴들(71", 81"), 상기 상부전극들(73', 73", 83) 및 상기 제 1 층간절연막(61) 상에 제 2 층간절연막(75)이 제공될 수 있다. 상기 제 2 층간절연막(75)은 상기 상부전극들(73', 73", 83)을 덮을 수 있다.
- <138> 상기 제 2 층간절연막(75) 상에 비트라인들(BL1, BL2)이 제공될 수 있다. 상기 비트라인들(BL1, BL2)은 상기 제 2 층간절연막(75)을 관통하여 상기 제 1 상부전극(73')에 접촉되는 제 1 비트라인(BL1) 및 상기 제 2 상부전극(73")에 접촉되는 제 2 비트라인(BL2)으로 구분될 수 있다. 또한, 상기 제 2 비트라인(BL2)은 상기 제 2 층간절연막(75)을 관통하여 제 3 상부전극(83)에 접촉될 수 있다. 상기 비트라인들(BL1, BL2)은 금속막과 같은 도전막일 수 있다.
- <139> 상기 제 2 비트라인(BL2)은 상기 제 3 상부전극(83), 상기 또 다른 저온 상전이 패턴(81"), 상기 제 3 하부전극(63"), 상기 다이오드 전극(59) 및 상기 다이오드(D)를 통하여 상기 제 2 워드라인(WL2)에 전기적으로 접속될 수 있다. 여기서, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73")은 제 4 전극, 상기 제 3 하부전극(63")은 제 5 전극, 상기 제 3 상부전극(83)은 제 6 전극으로 지칭될 수 있다.
- <140> 상기 제 3 하부전극(63")은 Ti 막, TiN 막, TiAlN 막, W 막, WN 막, Si 막, Ta 막, TaN 막, TaCN 막, 및 WCN 막으로 이루어진 일군에서 선택된 하나를 포함할 수 있다. 상기 또 다른 저온 상전이 패턴(81")은 상기 제 3 하부전극(63")과 접촉될 수 있다.
- <141> 상기 또 다른 저온 상전이 패턴(81")은 상기 고온 상전이 패턴(65')보다 낮은 온도에서 결정화 되고 상기 제 1 저온 상전이 패턴(71")과는 다른 온도에서 결정화 되는 물질막일 수 있다. 상기 또 다른 저온 상전이 패턴(81")은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함할 수 있다. 상기 또 다른 저온 상전이 패턴(81")은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <142> 도 11은 본 발명의 제 4 실시 예에 따른 상전이 메모리소자를 설명하기 위한 단면도이다.

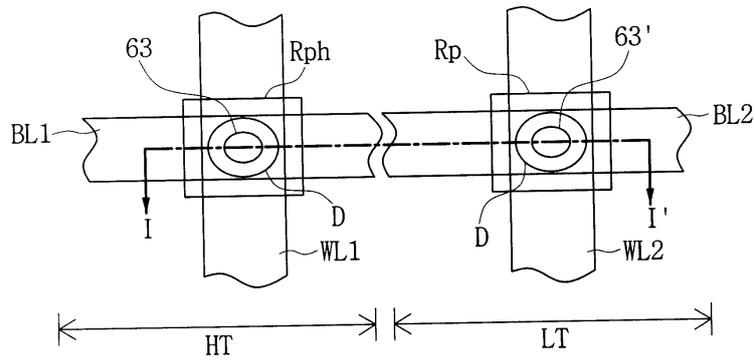
- <143> 도 11을 참조하면, 본 발명의 제 4 실시 예에 따른 상전이 메모리소자는 도 3을 참조하여 설명한바 있는 본 발명의 제 1 실시 예에 따른 상전이 메모리소자 및 도 10을 참조하여 설명한바 있는 본 발명의 제 3 실시 예에 따른 상전이 메모리소자를 포함할 수 있다. 이하에서는 차이점만 간략하게 설명하기로 한다.
- <144> 상기 고온 상전이 영역(HT)의 상기 제 2 저온 상전이 패턴(71')상에 다른 상호 반응 저지막(87) 및 또 다른 저온 상전이 패턴(81')이 차례로 적층될 수 있다. 즉, 상기 제 1 하부전극(63) 및 상기 제 1 상부전극(73') 사이에 상기 고온 상전이 패턴(65'), 상기 상호 반응 저지막(67), 상기 제 2 저온 상전이 패턴(71'), 상기 다른 상호 반응 저지막(87), 및 상기 또 다른 저온 상전이 패턴(81')이 차례로 적층될 수 있다.
- <145> 상기 저온 상전이 영역(LT)의 상기 제 1 저온 상전이 패턴(71")상에 다른 상호 반응 저지막(87) 및 또 다른 저온 상전이 패턴(81')이 차례로 적층될 수 있다.
- <146> 상기 또 다른 저온 상전이 패턴(81')은 상기 고온 상전이 패턴(65')보다 낮은 온도에서 결정화 되고 상기 제 1 저온 상전이 패턴(71")과는 다른 온도에서 결정화 되는 물질막일 수 있다. 상기 또 다른 저온 상전이 패턴(81')은 100℃ 내지 250℃ 의 결정화 온도를 갖는 물질막을 포함할 수 있다. 상기 또 다른 저온 상전이 패턴(81')은 GeSbTe 막, InSb 막, InGaSb 막, GeTe 막, 및 SbTe 막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <147> 여기서, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73")은 제 4 전극, 상기 제 3 하부전극(63")은 제 5 전극, 상기 제 3 상부전극(83)은 제 6 전극으로 지칭될 수 있다.
- <148> 도 12는 본 발명의 제 5 실시 예에 따른 고온 상전이 패턴을 구비한 상전이 메모리소자를 설명하기 위한 등가회로도이다.
- <149> 도 12를 참조하면, 본 발명의 제 5 실시 예에 따른 상전이 메모리소자는 고온 상전이 영역(HT) 및 저온 상전이 영역(LT)을 구비할 수 있다. 상기 고온 상전이 영역(HT)은 롬(read only memory; ROM) 영역의 역할을 할 수 있으며, 상기 저온 상전이 영역(LT)은 램(random access memory; RAM) 영역의 역할을 할 수 있다.
- <150> 상기 고온 상전이 영역(HT)에 다수의 제 1 워드라인들(WL1), 다수의 제 1 비트라인들(BL1) 및 다수의 고온 상전이 메모리 셀들(100')이 제공될 수 있다. 상기 제 1 비트라인들(BL1)은 상기 제 1 워드라인들(WL1)에 교차하도록 배치될 수 있다. 상기 고온 상전이 메모리 셀들(100')은 각각 상기 제 1 워드라인들(WL1) 및 상기 제 1 비트라인들(BL1)의 교차점들에 배치될 수 있다.
- <151> 상기 고온 상전이 메모리 셀들(100')의 각각은 상기 제 1 비트라인들(BL1)중 어느 하나에 전기적으로 접속된 고온 상전이 패턴(Rph) 및 상기 고온 상전이 패턴(Rph)에 전기적으로 접속된 스위칭 소자를 포함할 수 있다. 상기 스위칭 소자는 모스 트랜지스터(Ta)일 수 있다. 상기 모스 트랜지스터(Ta)의 드레인 영역은 상기 고온 상전이 패턴(Rph)의 일단에 전기적으로 접속될 수 있으며, 상기 모스 트랜지스터(Ta)의 게이트전극은 상기 제 1 워드라인들(WL1)중 어느 하나에 전기적으로 접속될 수 있다.
- <152> 상기 저온 상전이 영역(LT)에 다수의 제 2 워드라인들(WL2), 다수의 제 2 비트라인들(BL2) 및 다수의 저온 상전이 메모리 셀들(200')이 제공될 수 있다. 상기 제 2 비트라인들(BL2)은 상기 제 2 워드라인들(WL2)에 교차하도록 배치될 수 있다. 상기 저온 상전이 메모리 셀들(200')은 각각 상기 제 2 워드라인들(WL2) 및 상기 제 2 비트라인들(BL2)의 교차점들에 배치될 수 있다.
- <153> 상기 저온 상전이 메모리 셀들(200')의 각각은 상기 제 2 비트라인들(BL2)중 어느 하나에 전기적으로 접속된 저온 상전이 패턴(Rp) 및 상기 저온 상전이 패턴(Rp)에 전기적으로 접속된 스위칭 소자를 포함할 수 있다. 상기 스위칭 소자는 모스 트랜지스터(Ta)일 수 있다. 상기 모스 트랜지스터(Ta)의 드레인 영역은 상기 저온 상전이 패턴(Rp)의 일단에 전기적으로 접속될 수 있으며, 상기 모스 트랜지스터(Ta)의 게이트전극은 상기 제 2 워드라인들(WL2)중 어느 하나에 전기적으로 접속될 수 있다.
- <154> 도 13은 본 발명의 제 5 실시 예에 따른 상전이 메모리소자를 설명하기 위한 단면도이다.
- <155> 도 13을 참조하면, 본 발명의 제 5 실시 예에 따른 상전이 메모리소자는 도 3을 참조하여 설명한바 있는 본 발명의 제 1 실시 예에 따른 상전이 메모리소자와 부분적으로 동일한 구성요소를 포함할 수 있다. 이하에서는 차이점만 간략하게 설명하기로 한다.
- <156> 상기 기판(51)의 소정영역에 소자분리막(53)이 제공되어 활성영역(52)을 한정할 수 있다. 상기 활성영역(52) 상을 가로지르는 게이트전극들(95, 95')이 제공될 수 있다. 상기 게이트전극들(95, 95') 양측에 인접한 상기 활성

영역(52)에 소스/드레인 영역들(91, 91', 93, 93')이 배치될 수 있다.

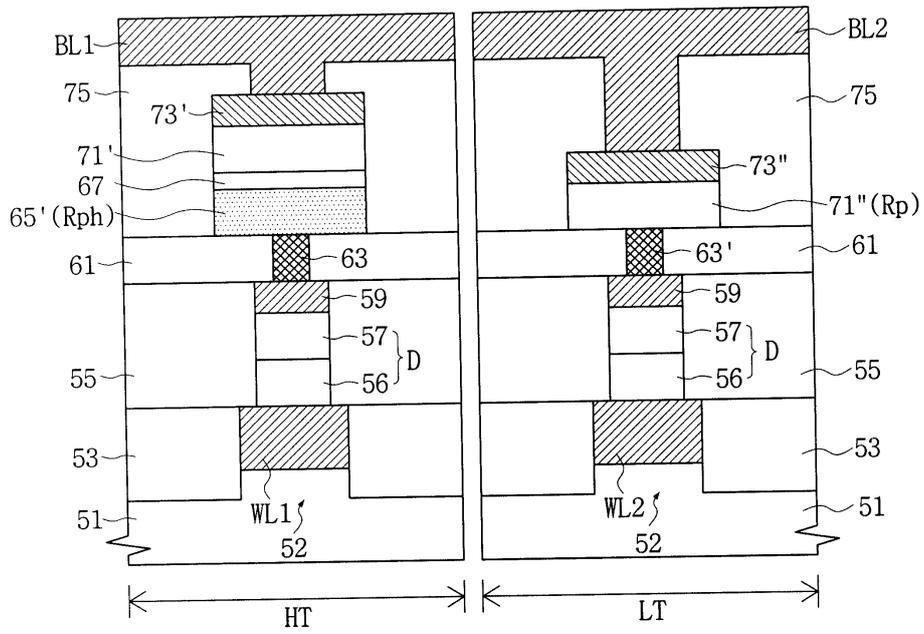
- <157> 구체적으로, 상기 고온 상전이 영역(HT)의 상기 활성영역(52) 상에 제 1 게이트전극(95)이 배치될 수 있다. 상기 제 1 게이트전극(95)의 한쪽에 인접한 상기 활성영역(52)에 제 1 드레인 영역(91)이 배치될 수 있으며, 상기 제 1 게이트전극(95)의 다른 쪽에 인접한 상기 활성영역(52)에 제 1 소스 영역(93)이 배치될 수 있다. 상기 제 1 게이트전극(95)은 연장되어 제 1 워드라인(WL1)의 역할을 할 수 있다. 상기 제 1 게이트전극(95), 상기 활성영역(52), 상기 제 1 드레인 영역(91) 및 상기 제 1 소스 영역(93)은 상기 모스 트랜지스터(도 12의 Ta)를 구성할 수 있다.
- <158> 상기 저온 상전이 영역(LT)의 상기 활성영역(52) 상에 제 2 게이트전극(95')이 배치될 수 있다. 상기 제 2 게이트전극(95')의 한쪽에 인접한 상기 활성영역(52)에 제 2 드레인 영역(91')이 배치될 수 있으며, 상기 제 2 게이트전극(95')의 다른 쪽에 인접한 상기 활성영역(52)에 제 2 소스 영역(93')이 배치될 수 있다. 상기 제 2 게이트전극(95')은 연장되어 제 2 워드라인(WL2)의 역할을 할 수 있다. 상기 제 2 게이트전극(95'), 상기 활성영역(52), 상기 제 2 드레인 영역(91') 및 상기 제 2 소스 영역(93') 또한 상기 모스 트랜지스터(도 12의 Ta)를 구성할 수 있다.
- <159> 상기 게이트전극들(95, 95') 및 상기 소자분리막(53)을 갖는 상기 기판(51)은 하부절연막(55)으로 덮일 수 있다. 상기 하부절연막(55) 내에 제 1 및 제 2 드레인 플러그들(96, 96'), 제 1 및 제 2 드레인 패드들(97, 97'), 제 1 및 제 2 소스 플러그들(98, 98'), 및 제 1 및 제 2 소스 라인들(99, 99')이 제공될 수 있다.
- <160> 상기 제 1 드레인 패드(97)상에 상기 제 1 하부전극(63)이 배치될 수 있다. 상기 제 2 드레인 패드(97')상에 상기 제 2 하부전극(63')이 배치될 수 있다.
- <161> 결과적으로, 상기 제 1 비트라인(BL1)은 상기 제 1 상부전극(73'), 상기 제 2 저온 상전이 패턴(71'), 상기 상호 반응 저지막(67), 상기 고온 상전이 패턴(65'), 상기 제 1 하부전극(63), 상기 제 1 드레인 패드(97) 및 상기 제 1 드레인 플러그(96)를 통하여 상기 제 1 드레인 영역(91)에 전기적으로 접속될 수 있다. 또한, 상기 제 2 비트라인(BL2)은 상기 제 2 상부전극(73"), 상기 제 1 저온 상전이 패턴(71"), 상기 제 2 하부전극(63'), 상기 제 2 드레인 패드(97') 및 상기 제 2 드레인 플러그(96')를 통하여 상기 제 2 드레인 영역(91')에 전기적으로 접속될 수 있다.
- <162> 상기 제 1 저온 상전이 패턴(71")은 도 12의 등가회로에서 부호 Rp에 해당할 수 있으며, 상기 고온 상전이 패턴(65')은 도 12의 등가회로에서 부호 Rph에 해당할 수 있다. 또한, 상기 제 1 하부전극(63)은 제 1 전극, 상기 제 1 상부전극(73')은 제 2 전극, 상기 제 2 하부전극(63')은 제 3 전극, 상기 제 2 상부전극(73")은 제 4 전극으로 지칭될 수 있다.
- <163> 도 14는 본 발명의 실시 예들에 따른 상전이 메모리소자들을 채택하는 전자 시스템(electronic system; 300)의 개략적인 블록도이다.
- <164> 도 14를 참조하면, 상기 전자 시스템(300)은 상전이 메모리소자(303) 및 상기 상전이 메모리소자(303)에 전기적으로 접속된 마이크로프로세서(305)를 포함할 수 있다. 여기서, 상기 상전이 메모리소자(303)는 도 1 내지 도 13을 참조하여 설명된 상기 상전이 메모리 셀들(100, 100', 200, 200')을 포함할 수 있다. 즉, 상전이 메모리소자(303)는 상기 저온 상전이 영역(LT) 및 상기 고온 상전이 영역(HT)을 구비할 수 있다. 상기 고온 상전이 영역(HT)에 상기 고온 상전이 메모리 셀들(100, 100')이 배치될 수 있으며, 상기 저온 상전이 영역(LT)에 상기 저온 상전이 메모리 셀들(200, 200')이 배치될 수 있다.
- <165> 상기 전자 시스템(300)은 노트북 컴퓨터, 디지털 카메라 또는 휴대용 전화기의 일부에 해당할 수 있다. 이 경우에, 상기 마이크로프로세서(305) 및 상기 상전이 메모리소자(303)는 보드(board) 상에 설치될 수 있으며, 상기 상전이 메모리소자(303)는 상기 마이크로프로세서(305)의 실행을 위한 데이터 저장 매체(data storage media)의 역할을 할 수 있다.
- <166> 상기 전자 시스템(300)은 입/출력 장치(307)를 통하여 개인용 컴퓨터 또는 컴퓨터의 네트워크와 같은 다른 전자 시스템과 데이터를 교환할 수 있다. 상기 입/출력 장치(307)는 컴퓨터의 주변 버스라인(bus line), 고속 디지털 전송 라인, 또는 무선 송/수신용 안테나로 데이터를 제공할 수 있다. 상기 마이크로프로세서(305) 및 상기 상전이 메모리소자(303) 사이의 데이터 통신과 아울러서 상기 마이크로프로세서(305) 및 상기 입/출력 장치(307) 사이의 데이터 통신은 통상의 버스 구조체들(bus architectures)을 사용하여 이루어질 수 있다.

발명의 효과

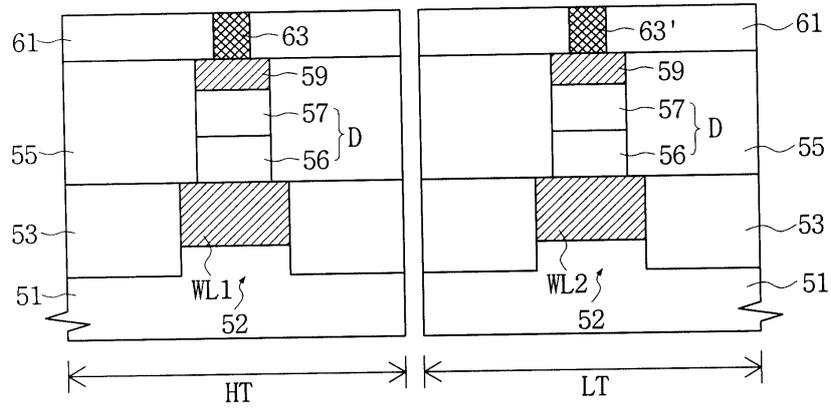
도면2



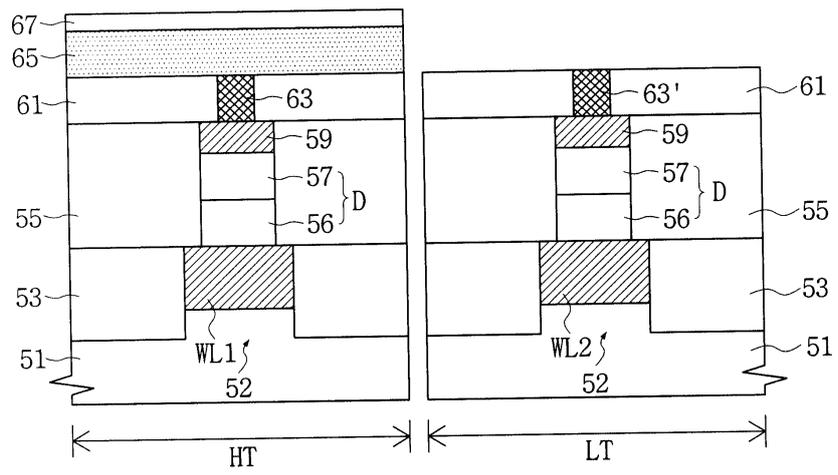
도면3



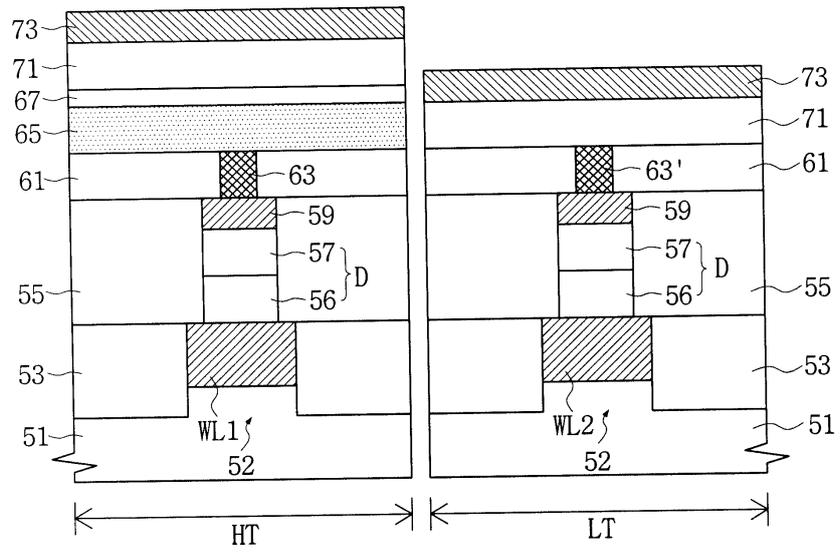
도면4



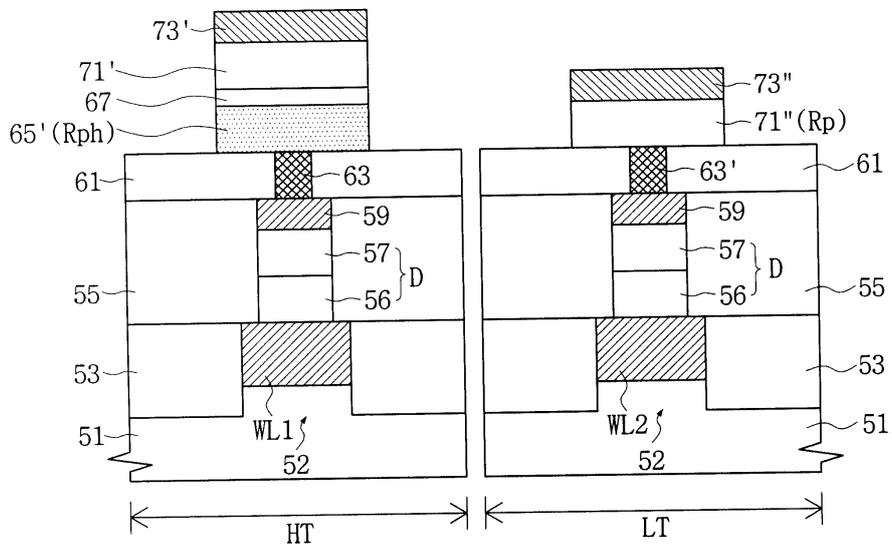
도면5



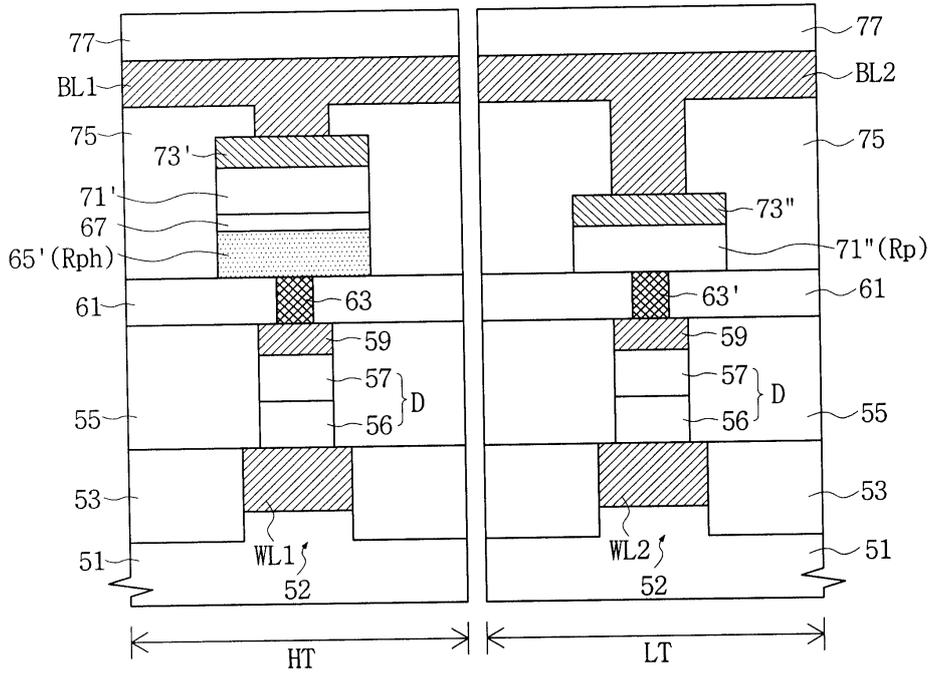
도면6



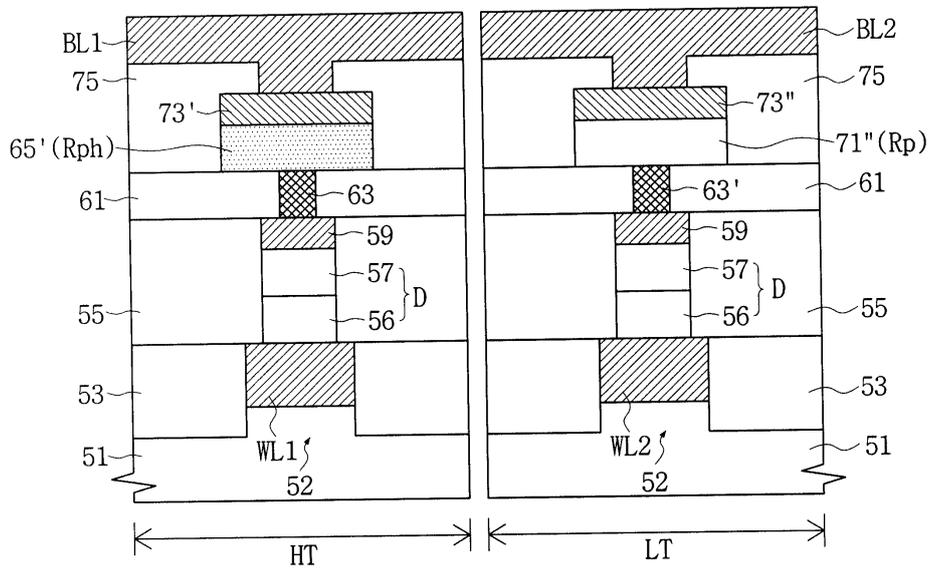
도면7



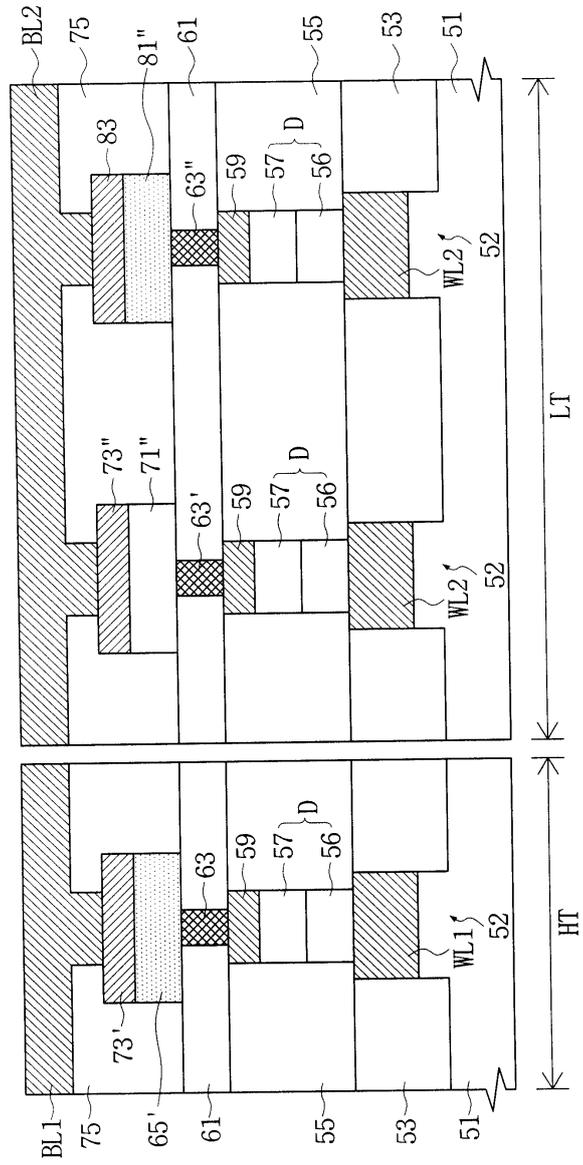
도면8



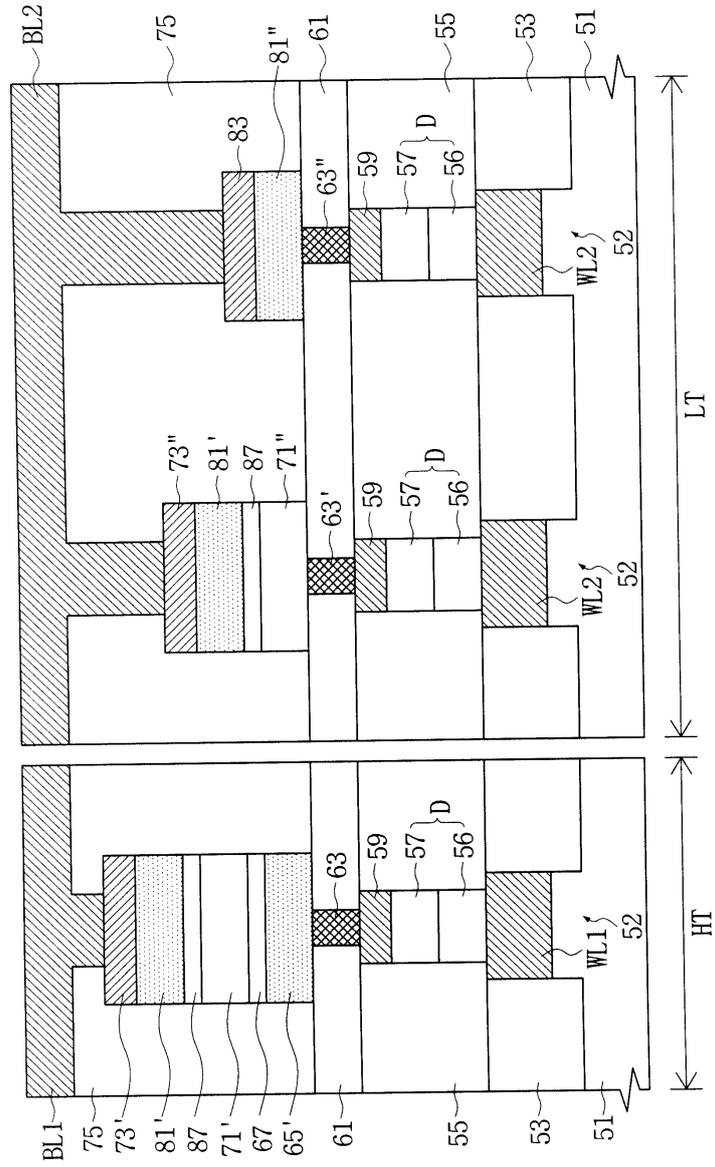
도면9



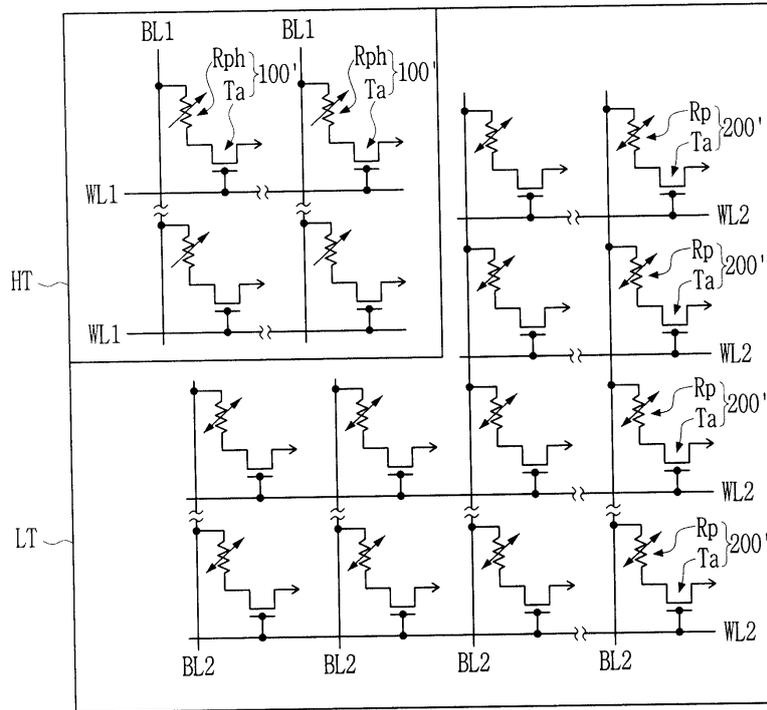
도면10



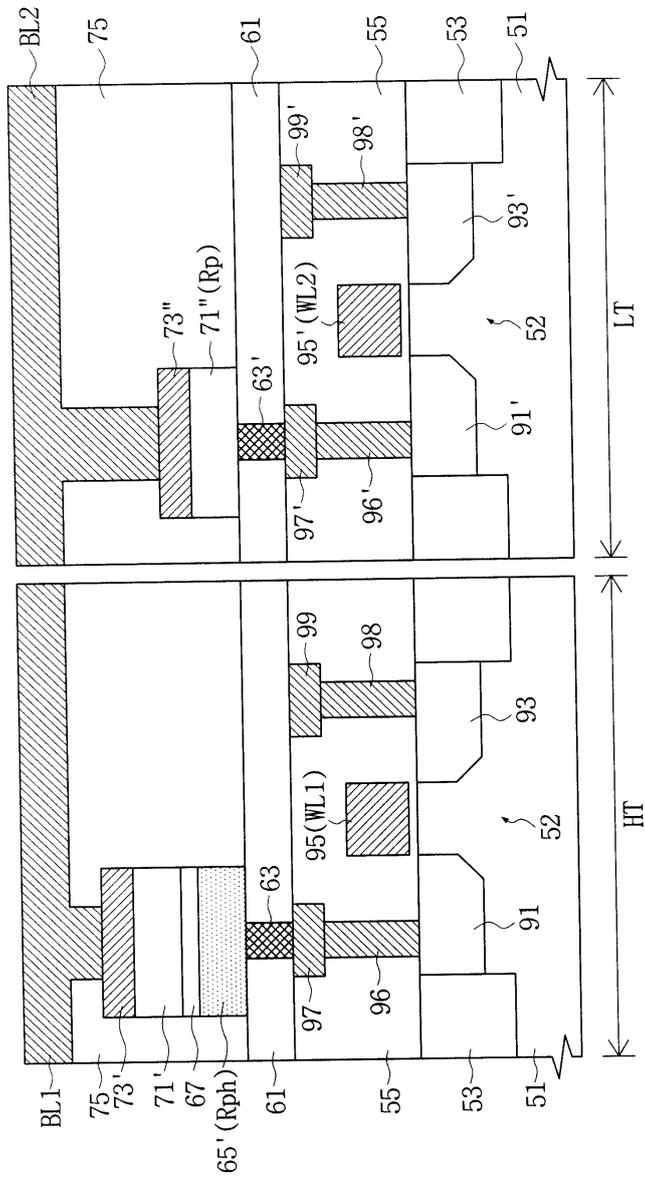
도면11



도면12



도면13



도면14

