

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4346322号
(P4346322)

(45) 発行日 平成21年10月21日(2009.10.21)

(24) 登録日 平成21年7月24日(2009.7.24)

(51) Int. Cl. F I
 HO 1 L 21/8234 (2006.01) HO 1 L 27/08 I O 2 B
 HO 1 L 27/088 (2006.01) HO 1 L 21/82 D
 HO 1 L 21/82 (2006.01)

請求項の数 5 (全 18 頁)

(21) 出願番号	特願2003-31185 (P2003-31185)	(73) 特許権者	503121103
(22) 出願日	平成15年2月7日(2003.2.7)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-241710 (P2004-241710A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年8月26日(2004.8.26)	(74) 代理人	100064746
審査請求日	平成18年1月26日(2006.1.26)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の主表面に形成された第1導電型の第1不純物領域と、
 前記第1不純物領域の表面に形成された第1分離絶縁膜と、
 前記第1分離絶縁膜の直下に位置する前記第1不純物領域の部分に形成された第2導電型の第2不純物領域と、
 前記第1不純物領域の部分の表面に前記第1分離絶縁膜と距離を隔てて形成された第2導電型の第3不純物領域と、
 前記第1分離絶縁膜を挟んで前記第3不純物領域が位置する側とは反対側の前記第1不純物領域の部分の表面に、前記第1分離絶縁膜と距離を隔てて形成された第2導電型の第4不純物領域と、
 前記第2不純物領域と前記第3不純物領域とによって挟まれた前記第1不純物領域の部分上に形成された第1ゲート電極部と、
 前記第2不純物領域と前記第4不純物領域とによって挟まれた前記第1不純物領域の部分上に形成された第2ゲート電極部と
 を備え、
 前記第1ゲート電極部と前記第2ゲート電極部とはそれぞれ独立に電圧が印加される、
 半導体装置。

【請求項2】

前記第1分離絶縁膜に対して前記第3不純物領域が位置する側の前記第1不純物領域の

部分の表面に前記第 1 分離絶縁膜と距離を隔てて形成された第 2 分離絶縁膜と、

前記第 1 分離絶縁膜に対して前記第 4 不純物領域が位置する側の前記第 1 不純物領域の部分の表面に前記第 1 分離絶縁膜と距離を隔てて形成された第 3 分離絶縁膜とを備え、

前記第 3 不純物領域は、

前記第 2 分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された所定の不純物濃度を有する第 1 濃度領域と、

前記第 1 濃度領域と電氣的に接続されて前記第 2 分離絶縁膜に対して前記第 1 分離絶縁膜とは遠ざかる方向に向かって形成され、前記第 1 濃度領域よりも高い不純物濃度を有する第 2 濃度領域と

10

を含み、

前記第 4 不純物領域は、

前記第 3 分離絶縁膜の直下に位置する前記第 1 不純物領域の部分に形成された所定の不純物濃度を有する第 3 濃度領域と、

前記第 3 濃度領域と電氣的に接続されて前記第 3 分離絶縁膜に対して前記第 1 分離絶縁膜とは遠ざかる方向に向かって形成され、前記第 3 濃度領域よりも高い不純物濃度を有する第 4 濃度領域と

を含む、請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 不純物領域、前記第 3 不純物領域および前記第 4 不純物領域はウェルとしてそれぞれ形成された、請求項 1 または 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 ゲート電極部および前記第 2 ゲート電極部は、前記第 1 不純物領域の表面を横切るようにそれぞれ形成され、

前記第 1 ゲート電極部の直下に位置する第 1 チャネル領域における、前記第 1 ゲート電極部が前記第 1 不純物領域の表面を横切る部分の長さに対応するチャネル幅は、前記第 2 ゲート電極部の直下に位置する第 2 チャネル領域における、前記第 2 ゲート電極部が前記第 1 不純物領域の表面を横切る長さに対応するチャネル幅よりも短く設定され、前記第 2 不純物領域では、前記第 2 不純物領域における前記第 1 ゲート電極部および前記第 2 ゲート電極部が延在する方向に沿った幅が、前記第 1 チャネル領域の側に位置する部分から前記第 2 チャネル領域の側に位置する部分にかけて滑らかに変化している、請求項 1 または 2 に記載の半導体装置。

30

【請求項 5】

前記第 1 ゲート電極部および前記第 2 ゲート電極部は、前記第 1 不純物領域の表面を横切るようにそれぞれ形成され、

前記第 1 ゲート電極部が前記第 1 不純物領域の表面を横切る部分の長さに対応する前記第 1 チャネル領域のチャネル幅は、前記第 2 ゲート電極部が前記第 1 不純物領域の表面を横切る長さに対応する前記第 2 チャネル領域のチャネル幅よりも短く設定され、

前記第 2 不純物領域では、前記第 2 不純物領域における前記第 1 ゲート電極部および前記第 2 ゲート電極部が延在する方向に沿った幅が、前記第 1 チャネル領域の側に位置する部分と前記第 2 チャネル領域の側に位置する部分との間において急峻に変化する部分が設けられ、

40

前記第 2 ゲート電極部は、前記第 2 不純物領域における前記急峻に変化する部分を覆うように形成された、請求項 1 または 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、高耐圧 MOS トランジスタを備えた半導体装置に関するものである。

【0002】

50

【従来の技術】

ロジック回路やアナログ回路に高耐圧MOS (Metal Oxide Semiconductor) トランジスタが適用されている半導体装置がある。そのような半導体装置の一例として特開2001-94103号公報に記載された半導体装置について説明する。

【0003】

同公報に記載された半導体装置では、半導体基板上の所定の領域に一つのnチャネル型の高耐圧MOSトランジスタが形成されている。

【0004】

まず、P型半導体基板中にP型ウェルが形成されている。P型ウェルは高耐圧MOSトランジスタ用のウェル拡散層である。このP型ウェルの上にゲート酸化膜を介在させてゲート電極が形成されている。

10

【0005】

ゲート電極とドレイン拡散層との間およびゲート電極とソース拡散層との間には、LOCOS (Local Oxidation of Silicon) 酸化膜が形成されている。LOCOS酸化膜により、ゲート電極とドレイン拡散層とが表面上で電氣的に分離されるとともに、ゲート電極とソース拡散層とが表面上で電氣的に分離される。

【0006】

ゲート電極両端部下のLOCOS酸化膜の直下には、ドレイン側オフセット領域とソース側オフセット領域がそれぞれ形成されている。ドレイン拡散層の下方にドレイン側ウェルオフセット領域が形成されている。ソース拡散層の下方にソース側ウェルオフセット領域が形成されている。

20

【0007】

ゲート、ドレインおよびソースは、N型分離拡散層、P型分離拡散層、LOCOS酸化膜によって、P型ウェル拡散層の電位を取るための拡散層となるチャンネルストップと電氣的に分離されている。そのチャンネルストップは高耐圧MOSトランジスタを取囲むように形成されている。

【0008】

従来の高耐圧MOSトランジスタを備えた半導体装置は、上記のように構成されている。

【0009】**【特許文献1】**

特開2001-94103号公報

30

【0010】**【発明が解決しようとする課題】**

しかしながら、上述した従来の半導体装置では、次のような問題点があった。高耐圧MOSトランジスタをNAND回路およびNOR回路等のロジック回路に適用する場合やアナログ回路に適する場合においては、高耐圧MOSトランジスタを直列に接続する必要がある。

【0011】

上述した高耐圧MOSトランジスタを直列に接続させるには、一のチャンネルストップ内に形成された高耐圧MOSトランジスタのソース・ドレインと他のチャンネルストップ内に形成された高耐圧MOSトランジスタのソース・ドレインとを、たとえばアルミウム配線によって接続することになる。

40

【0012】

このとき、チャンネルストップを含む高耐圧MOSトランジスタが形成された領域(パターン)を繰り返して配置することで、高耐圧MOSトランジスタが直列に接続される。

【0013】

このようにして当該パターンが繰り返して配置されることで、半導体基板上に占める当該パターンの占有面積が大きくなり、半導体装置全体としてパターンレイアウトの面積が大きくなるという問題が生じた。

【0014】

50

また、高耐圧MOSトランジスタに抵抗素子が接続される回路の場合には、抵抗素子が高耐圧MOSトランジスタに接続されることから、抵抗素子にも高い耐圧が要求される。

【0015】

高い耐圧を確保するために抵抗素子として、たとえばLOCOS酸化膜上にポリシリコン膜からなる抵抗素子が形成される場合がある。このようにして形成された抵抗素子は、たとえばアルミニウム配線を介して高耐圧MOSトランジスタのソース・ドレインに接続されることになる。

【0016】

抵抗素子が高耐圧MOSトランジスタに直列接続される場合においても、LOCOS酸化膜上にポリシリコン膜からなる抵抗素子を形成するための領域を確保しなければならず、半導体装置全体としてパターンレイアウトの面積が大きくなるという問題が生じた。

10

【0017】

本発明は上記問題点を解決するためになされたものであり、その目的は、高耐圧MOSトランジスタ同志の直列接続や高耐圧MOSトランジスタと抵抗素子との直列接続のように、高耐圧MOSトランジスタを含む素子の直列接続において、パターンレイアウトの面積の増大が抑制される半導体装置を提供することである。

【0018】

【課題を解決するための手段】

本発明に係る半導体装置は、第1導電型の第1不純物領域と第1分離絶縁膜と第2導電型の第2不純物領域と第2導電型の第3不純物領域と第2導電型の第4不純物領域と第1ゲート電極部と第2ゲート電極部とを備えている。第1導電型の第1不純物領域は、半導体基板の主表面に形成されている。第1分離絶縁膜は第1不純物領域の表面に形成されている。第2導電型の第2不純物領域は、第1分離絶縁膜の直下に位置する第1不純物領域の部分に形成されている。第2導電型の第3不純物領域は、第1不純物領域の部分の表面に第1分離絶縁膜と距離を隔てて形成されている。第2導電型の第4不純物領域は、第1分離絶縁膜を挟んで第3不純物領域が位置する側とは反対側の第1不純物領域の部分の表面に、第1分離絶縁膜と距離を隔てて形成されている。第1ゲート電極部は、第2不純物領域と第3不純物領域とによって挟まれた第1不純物領域の部分上に形成されている。第2ゲート電極部は、第2不純物領域と第4不純物領域とによって挟まれた第1不純物領域の部分上に形成されている。その第1ゲート電極部と第2ゲート電極部とはそれぞれ独立に電圧が印加される。

20

30

【0020】

【発明の実施の形態】

実施の形態1

本発明の実施の形態1に係る高耐圧MOSトランジスタを備えた半導体装置について説明する。図1および図2に示すように、半導体基板1上に第1不純物領域としてのウェル2が形成されている。そのウェル2の表面の所定の領域に、素子分離絶縁膜3a~3eがそれぞれ形成されている。

【0021】

素子分離絶縁膜3a, 3bによって挟まれたウェル2の表面には、第4不純物領域としてのドレイン領域4aが形成されている。その素子分離絶縁膜3a, 3bの直下のウェル2の領域には、ドレインの電界を緩和するための第4不純物領域としてのドレイン電界緩和層5cが形成されている。

40

【0022】

一方、素子分離絶縁膜3d, 3eによって挟まれたウェル2の表面には、第3不純物領域としてのソース領域4bが形成されている。その素子分離絶縁膜3d, 3eの直下のウェル2の領域には、ソースの電界を緩和するための第3不純物領域としてのソース電界緩和層5bが形成されている。

【0023】

そして、素子分離絶縁膜3cの直下のウェル2の領域には、第2不純物領域としてのソー

50

ス・ドレイン領域 5 a が形成されている。素子分離絶縁膜 3 b , 3 c によって挟まれたウェル 2 の表面上には、ゲート絶縁膜 6 b を介在させて第 2 電極部としてのゲート電極 7 b が形成されている。

【 0 0 2 4 】

また、素子分離絶縁膜 3 c , 3 d によって挟まれたウェル 2 の表面上には、ゲート絶縁膜 6 a を介在させて第 1 電極部としてのゲート電極 7 a が形成されている。

【 0 0 2 5 】

ゲート電極 7 a , 7 b を覆うように半導体基板 1 上にシリコン酸化膜 8 が形成されている。そのシリコン酸化膜にドレイン領域 4 a、ソース 4 b の表面をそれぞれ露出するコンタクトホール 8 b , 8 a がそれぞれ形成されている。

10

【 0 0 2 6 】

シリコン酸化膜 8 上には、アルミニウム配線 9 , 1 0 , 1 2 , 1 3 が形成されている。ドレイン領域 4 a はコンタクト部 1 0 a を介してアルミニウム配線 1 0 と電氣的に接続されている。一方、ソース領域 4 b はコンタクト部 9 a を介してアルミニウム配線 9 と電氣的に接続されている。

【 0 0 2 7 】

また、ゲート電極 7 a はアルミニウム配線 1 2 とコンタクト部 1 2 a を介して電氣的に接続されている。ゲート電極 7 b はアルミニウム配線 1 3 とコンタクト部 1 3 a を介して電氣的に接続されている。

【 0 0 2 8 】

20

一の MOS トランジスタ T 1 は、ゲート電極 7 a、ソース領域 4 b、ソース電界緩和層 5 b およびソース・ドレイン領域 5 a を含んで構成される。他の MOS トランジスタ T 2 は、ゲート電極 7 b、ドレイン領域 4 a、ドレイン電界緩和層 5 c およびソース・ドレイン領域 5 a を含んで構成される。

【 0 0 2 9 】

上述した半導体装置では、素子分離絶縁膜 3 c の直下のウェル 2 の領域に形成されたソース・ドレイン領域 5 a は、一の MOS トランジスタ T 1 に対してはドレイン領域となり、他の MOS トランジスタ T 2 に対してはソース領域となる。そのソース・ドレイン領域 5 a を介して、図 3 および図 4 に示すように、一の MOS トランジスタ T 1 と他の MOS トランジスタ T 2 が直列に接続されている。

30

【 0 0 3 0 】

なお、図 3 では、MOS トランジスタ T 1 , T 2 が n チャネル型 MOS トランジスタの場合の等価回路が示され、図 4 では、MOS トランジスタ T 1 , T 2 が p チャネル型 MOS トランジスタの場合の等価回路が示されている。

【 0 0 3 1 】

このように、本半導体装置では、一の MOS トランジスタ T 1 と他の MOS トランジスタ T 2 とに共通のソース・ドレイン領域 5 a を介して、一の MOS トランジスタ T 1 と他の MOS トランジスタ T 2 が直列に接続されている。

【 0 0 3 2 】

これにより、個々の MOS トランジスタを直列に接続させた半導体装置と比べると、本半導体装置では、MOS トランジスタ T 1 , T 2 の占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

40

【 0 0 3 3 】

また、ソース電界緩和層 5 b , ドレイン電界緩和層 5 c およびソース・ドレイン領域 5 a のそれぞれの不純物濃度は、ドレイン領域 4 a およびソース領域 4 b の不純物濃度よりも低く設定されていることによって、これらの領域とウェル 2 との接合に対して高い接合耐圧をもたせることができる。

【 0 0 3 4 】

実施の形態 2

前述した半導体装置では、素子分離絶縁膜 3 a ~ 3 e のそれぞれの直下に位置するウェル

50

2の領域の部分に、ドレイン電界緩和層5c、ソース・ドレイン領域5aおよびソース電界緩和層5bが形成される場合を例に挙げて説明した。

【0035】

ここでは、ドレイン電界緩和層、ソース・ドレイン領域およびソース電界緩和層がウェルとして形成される場合を例に挙げて説明する。

【0036】

図5および図6に示すように、素子分離絶縁膜3a, 3bおよびドレイン領域4aの直下の領域には、半導体基板1の表面に達するウェル55cが形成されている。

【0037】

また、素子分離絶縁膜3cの直下の領域には、半導体基板1の表面に達するウェル55aが形成されている。さらに、素子分離絶縁膜3d, 3eおよびソース領域4bの直下の領域には、半導体基板1の表面に達するウェル55bが形成されている。半導体基板1は、ウェル55a~55cの導電型とは反対の導電型に設定されている。

10

【0038】

したがって、図7に示される半導体装置の等価回路においては、直列に接続された一のMOSトランジスタT1と他のMOSトランジスタT2におけるバックゲートは半導体基板1の電位と同じ電位になる。

【0039】

また、ウェル55a~55cの不純物濃度は、ドレイン領域4aおよびソース領域4bの不純物濃度よりも低く設定されている。

20

【0040】

なお、これ以外の構成については図1に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0041】

上述した半導体装置では、実施の形態1において説明した効果に加えて次のような効果が得られる。

【0042】

すなわち、たとえば半導体基板1としてp型の半導体基板を用いてnチャネル型のMOSトランジスタを形成する場合には、n型のウェル55a~55cを形成することで、n型の電界緩和層を形成する必要がなくなって、工程の簡略化を図ることができる。

30

【0043】

実施の形態3

ここでは、ゲート幅(チャネル幅)が互いに異なる2つのMOSトランジスタを直列に接続させた半導体装置を例に挙げて説明する。

【0044】

図8に示すように、MOSトランジスタT1におけるチャネルW1は、MOSトランジスタT2におけるチャネル幅W2よりも短く設定されている。ソース・ドレイン領域5aにおける各ゲート電極7a, 7bが延在する方向に沿った幅においては、点線枠Aに示すように、チャネル領域11bの側に位置する部分からチャネル領域11aの側に位置する部分にかけて滑らかに変化する部分がある。

40

【0045】

なお、これ以外の構成については図1に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【0046】

上述した半導体装置では、実施の形態1において説明した効果に加えて次のような効果が得られる。

【0047】

まず、MOSトランジスタT1, T2におけるチャネル幅W1, W2が互いに異なることで、ソース・ドレイン領域5aにおいては、チャネル領域11bの側に位置する部分におけるゲート電極7bが延在する方向に沿った幅と、チャネル領域11aの側に位置する部

50

分におけるゲート電極 7 a が延在する方向に沿った幅とが異なることになる。

【 0 0 4 8 】

このとき、図 9 における点線枠 B に示すように、ソース・ドレイン領域 5 a において滑らかに変化する部分がなく約 270° の角度をもって急峻に変化する半導体装置の場合では、この急峻に変化する部分においてソース・ドレイン領域 5 a とウェル 2 との接合耐圧が著しく低下することになる。

【 0 0 4 9 】

これに対して、本半導体装置では、ソース・ドレイン領域 5 a において、チャンネル領域 11 b の側に位置する部分からチャンネル領域 11 a の側に位置する部分にかけて滑らかに変化する部分がある。

10

【 0 0 5 0 】

これにより、ソース・ドレイン領域 5 a とウェル 2 との間において電界が集中する部分がなくなると、ソース・ドレイン領域 5 a とウェル 2 との接合耐圧を向上することができる。

【 0 0 5 1 】

実施の形態 4

実施の形態 3 では、ゲート幅（チャンネル幅）が互いに異なる 2 つの MOS トランジスタを直列に接続させた半導体装置の場合において、一方のチャンネル領域の側に位置する部分から他方のチャンネル領域の側に位置する部分にかけてソース・ドレイン領域の幅が急峻に変化する部分があると、その部分においてソース・ドレイン領域とウェルとの接合耐圧が著しく低下することを述べた。

20

【 0 0 5 2 】

ここでは、そのようなソース・ドレイン領域の幅が急峻に変化する部分を有していても、電界が緩和される半導体装置について説明する。

【 0 0 5 3 】

図 10 に示すように、MOS トランジスタ T1 におけるチャンネル幅 W1 は、MOS トランジスタ T2 におけるチャンネル幅 W2 よりも短く設定されている。ソース・ドレイン領域 5 a においては、点線枠 B に示すように、チャンネル領域 11 b の側に位置する部分からチャンネル領域 11 a の側に位置する部分にかけて、その幅が急峻に変化する部分が設けられている。

30

【 0 0 5 4 】

ゲート電極 7 b は、チャンネル領域 11 b に加えてその急峻に変化する部分も覆うように形成されている。なお、これ以外の構成については図 1 に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 0 5 5 】

上述した半導体装置では、実施の形態 1 において説明した効果に加えて次のような効果が得られる。

【 0 0 5 6 】

まず、図 11 は、n チャンネル型の MOS トランジスタ T1, T2 を直列に接続させた場合の等価回路を示し、図 12 は、p チャンネル型の MOS トランジスタ T1, T2 を直列に接続させた場合の等価回路を示す。

40

【 0 0 5 7 】

図 11 および図 12 において、点線枠 B に対応する部分は、2 つの MOS トランジスタ T1, T2 に共通のソース・ドレイン領域 5 a の部分である。

【 0 0 5 8 】

たとえば、図 11 に示す場合では、ソース・ドレイン領域 5 a に逆バイアス電圧が印加されるのは、ドレイン領域 4 a（アルミニウム配線 10）に逆バイアス電圧が印加される状態で MOS トランジスタ T2 がオンする場合のみである。

【 0 0 5 9 】

n チャンネル型 MOS トランジスタ T1, T2 の場合では、ドレイン領域 4 a の電圧が Vd

50

dのときにnチャネル型のMOSトランジスタT2がオン状態(ゲート電極77bの電圧=Vdd)となる。

【0060】

これにより、ソース・ドレイン領域5aの電圧は、ドレイン領域4aと同じ電圧Vddとなる。このとき、ソース・ドレイン領域5aとPN接合を形成するウェル2は、ソース領域4bと同じ電圧(GND)になり、逆バイアス電圧(Vdd)が印加された状態になる。

【0061】

つまり、ソース・ドレイン領域5aに逆バイアス電圧が印加されるときに、ゲート電極77bの電圧とソース・ドレイン領域5aの電圧とが同じ電圧になる。

10

【0062】

本半導体装置では、図10に示すように、ソース・ドレイン領域5aとウェル2との接合耐圧が小さくなる急峻な部分を覆うようにゲート電極77bが形成されている。

【0063】

ソース・ドレイン領域5aに逆バイアス電圧が印加される場合には、このゲート電極7bにもソース・ドレイン領域5aと同じ電圧が印加されることになる。ゲート電圧77bに当該電圧が印加されることによって、半導体基板1のウェル2の側に向かって電界が生じる。

【0064】

そして、その電界によってソース・ドレイン領域5aとウェル2との界面から延びる空乏層がより広げられることになる。上述した作用は、図12に示す場合についても同様にあてはまる。

20

【0065】

これにより、ソース・ドレイン領域5aにおいて急峻な部分が形成されていても、MOSトランジスタにおける耐圧を確保することができる。

【0066】

実施の形態5

本発明の実施の形態5に係る半導体装置として、MOSトランジスタと抵抗素子とが直列に接続された半導体装置を例に挙げて説明する。

【0067】

図13および図14に示すように、半導体基板1上に第1不純物領域としてのウェル2が形成されている。そのウェル2の表面の所定の領域に、素子分離絶縁膜3a~3dがそれぞれ形成されている。

30

【0068】

素子分離絶縁膜3a, 3bによって挟まれたウェル2の表面には、第4不純物領域としてのソース・ドレイン領域4cが形成されている。その素子分離絶縁膜3a, 3bの直下のウェル2の領域には、ソース・ドレインの電界を緩和するための第4不純物領域としてのソース・ドレイン電界緩和層5eが形成されている。

【0069】

一方、素子分離絶縁膜3c, 3dによって挟まれたウェル2の表面には、第3不純物領域としてのソース・ドレイン領域4dが形成されている。その素子分離絶縁膜3c, 3dの直下のウェル2の領域には、ソース・ドレインの電界を緩和するための第2不純物領域としてのソース・ドレイン電界緩和層5dが形成されている。

40

【0070】

素子分離絶縁膜3b, 3cによって挟まれたウェル2の表面上に、ゲート絶縁膜6cを介在させてゲート電極7cが形成されている。

【0071】

ゲート電極7cを覆うように半導体基板1上にシリコン酸化膜8が形成されている。そのシリコン酸化膜8にソース・ドレイン領域4c, 4dの表面をそれぞれ露出するコンタクトホール8d, 8cがそれぞれ形成されている。

50

【 0 0 7 2 】

シリコン酸化膜 8 上には、アルミニウム配線 1 5 , 1 4 , 1 6 が形成されている。ソース・ドレイン領域 4 c は、コンタクト部 1 5 a を介してアルミニウム配線 1 5 と電氣的に接続されている。

【 0 0 7 3 】

一方、ソース・ドレイン領域 4 d はコンタクト部 1 4 a を介してアルミニウム配線 1 4 と電氣的に接続されている。また、ゲート電極 7 c はコンタクト部 1 6 a を介してアルミニウム配線 1 6 と電氣的に接続されている。

【 0 0 7 4 】

M O S トランジスタ T は、ゲート電極 7 a、ソース・ドレイン領域 4 c , 4 d およびソース・ドレイン電界緩和層 5 e , 5 d を含んで構成される。

10

【 0 0 7 5 】

通常、M O S トランジスタを形成する場合には、トランジスタとしての能力が向上するようにソース・ドレイン領域 4 c , 4 d はチャンネル領域に近づけて形成される。

【 0 0 7 6 】

上述した半導体装置では、1 対のソース・ドレイン領域 4 c , 4 d のうちの一方のソース・ドレイン領域 4 d が、チャンネル領域 1 1 c から所定の距離を隔てて形成されている。このとき、この所定の距離は、ソース・ドレイン領域 4 c , 4 d よりも不純物濃度の低いソース・ドレイン電界緩和層 5 d において電流が流れる方向に沿った長さに対応することになる。

20

【 0 0 7 7 】

不純物濃度のより低いソース・ドレイン電界緩和層 5 d の長さがより長くなることで、ソース・ドレイン電界緩和層 5 d が抵抗素子 R としての機能を果たすことになる。

【 0 0 7 8 】

特に、図 1 4 に示すように、ソース・ドレイン電界緩和層 5 d においてチャンネル領域 1 1 c からソース・ドレイン領域 4 d に向かう方向と略直交する方向の長さ(幅)がより狭められることで、抵抗素子 R の抵抗値をより高くすることができる。

【 0 0 7 9 】

このように、本半導体装置では、1 つの M O S トランジスタ T におけるソース・ドレイン電界緩和層 5 d が抵抗素子 R としての機能を有して、M O S トランジスタ T と抵抗素子 R とが直列に接続されていることになる。

30

【 0 0 8 0 】

これにより、1 つの M O S トランジスタと抵抗素子とをアルミニウム配線により直列に接続させた半導体装置や、直列に接続された 2 つの M O S トランジスタのうちの一方の M O S トランジスタを常時 O N 状態とさせて、この O N 状態とされた M O S トランジスタをオン抵抗とした半導体装置の場合と比べると、本半導体装置では、M O S トランジスタ T と抵抗素子 R の占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

【 0 0 8 1 】

なお、上述した半導体装置では、1 対のソース・ドレイン電界緩和層 5 d , 5 e のうちの一方のソース・ドレイン領域 5 d について抵抗素子 R を形成する場合を例に挙げて説明したが、双方のソース・ドレイン領域 5 d , 5 e について抵抗素子を形成するようにしてもよい。

40

【 0 0 8 2 】

実施の形態 6

ここでは、実施の形態 5 において説明した半導体装置の接合耐圧をさらに向上させる半導体装置の一例について説明する。

【 0 0 8 3 】

図 1 5 中の点線枠 A に示すように、抵抗素子 R としての機能を有するソース・ドレイン電界緩和層 5 d において、幅の狭い部分から幅の広い部分にかけて滑らかに変化する部分が

50

形成されている。

【0084】

なお、これ以外の構成については図13および図14に示す構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【0085】

上述した半導体装置では、実施の形態5において説明した効果に加えて次のような効果が得られる。

【0086】

すなわち、ソース・ドレイン電界緩和層5dにおいてその幅が滑らかに変化する部分が形成されていることによって、幅が急峻に変化する場合と比べて、ソース・ドレイン電界緩和層5dとウェル2との間において電界が集中する部分がなくなる。その結果、ソース・ドレイン電界緩和層5dとウェル2との接合耐圧を向上することができる。

10

【0087】

実施の形態7

ここでは、実施の形態5において説明した半導体装置の接合耐圧をさらに向上させる半導体装置の他の例について説明する。

【0088】

図16に示すように、抵抗素子Rとしての機能を有するソース・ドレイン電界緩和層5dにおいては、図14に示された半導体装置の場合と同様に、その幅が急峻に変化する部分が設けられている。

20

【0089】

ゲート電極7dは、その急峻に変化する部分を覆うように形成されている。なお、これ以外の構成については図13および図14に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【0090】

上述した半導体装置では、実施の形態5において説明した効果に加えて次のような効果が得られる。

【0091】

まず、図17は、nチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示し、図18は、pチャネル型のMOSトランジスタTと抵抗素子Rを直列に接続させた場合の等価回路を示す。

30

【0092】

図17および図18における抵抗素子Rは、図16におけるソース・ドレイン電界緩和層5dに対応する。抵抗素子Rのチャネル領域側の部分(点C)に高い逆バイアス電圧が印加されるのは、ソース・ドレイン領域4cに逆バイアス電圧が印加された状態でMOSトランジスタTがオンする場合のみである。

【0093】

たとえば、図17に示されたnチャネル型MOSトランジスタTの場合において、ソース・ドレイン領域4cに電圧V_{dd}が印加され、ゲート電極7dに電圧V_{dd}が印加される場合を考える。

40

【0094】

この場合では、nチャネル型MOSトランジスタTはオン状態となり、抵抗素子Rの点Cの部分の電圧もほぼV_{dd}となる。

【0095】

一方、抵抗素子RとPN接合を形成するウェル2の電圧はGND電圧である。そのため、抵抗素子Rの点Cには逆バイアス電圧が印加されることになる。つまり、抵抗素子Rのチャネル領域側の部分に逆バイアス電圧が印加されるときには、ゲート電極7dに印加される電圧もこの逆バイアス電圧とほぼ同じになる。

【0096】

本半導体装置では、図16に示すように、抵抗素子Rにおける幅が急峻に変化する部分を

50

覆うようにゲート電極 7 d が形成されている。

【 0 0 9 7 】

抵抗素子 R のチャネル領域側 (点 C) の部分に逆バイアス電圧が印加されるときには、ゲート電極 7 d にもこの逆バイアス電圧とほぼ同じ電圧が印加されることになる。

【 0 0 9 8 】

ゲート電極 7 d に当該電圧が印加されることによって、半導体基板 1 のウェル 2 の側に向かって電界が生じる。その電界によって、抵抗素子 R をなすソース・ドレイン電界緩和層 5 d とウェル 2 との界面から延びる空乏層がより広げられることになる。

【 0 0 9 9 】

これにより、抵抗素子 R をなすソース・ドレイン領域 5 d において急峻な部分が形成されていても、抵抗素子 R および MOS トランジスタにおける耐圧を確保することができる。

10

【 0 1 0 0 】

なお、図 1 8 に示す p チャネル型 MOS トランジスタ T の場合には、抵抗素子のチャネル領域側 (点 C) の部分に逆バイアス電圧が印加されるのは、ソース・ドレイン領域 4 c にたとえば GND 電圧などの逆バイアス電圧が印加された状態で、p チャネル型 MOS トランジスタ T がオンする場合である。

【 0 1 0 1 】

この状態のときには、n チャネル型 MOS トランジスタの場合と同様に、ゲート電極 7 d に逆バイアス電圧と同じ電圧が印加されることになる。これにより、空乏層が広げられて、抵抗素子 R および MOS トランジスタにおける耐圧を確保することができる。

20

【 0 1 0 2 】

また、ソース・ドレイン電界緩和層 5 d ではウェル 2 との接合耐圧の向上を図るために、その不純物濃度はできるだけ低く抑えられている。特に、不純物濃度が低い抵抗素子 R の幅がより狭い部分に高い逆バイアス電圧が印加されると、その抵抗素子 R の部分が空乏化されてしまうことがある。

【 0 1 0 3 】

本半導体装置では、ゲート電極 7 d に印加される電圧により生じた電界によって、ソース・ドレイン電界緩和層 5 d (抵抗素子 R) が空乏化するのが抑制されることになる。これにより、抵抗素子 R の電界依存性が低減されて安定した抵抗値を保持することができる。

【 0 1 0 4 】

30

実施の形態 8

ここでは、実施の形態 5 において説明した半導体装置の接合耐圧をさらに向上させる半導体装置のさらに他の例について説明する。

【 0 1 0 5 】

まず、図 1 9 に示すように、抵抗素子 R としての機能を有するソース・ドレイン電界緩和層 5 d においては、図 1 4 に示された半導体装置の場合と同様に、その幅が急峻に変化する部分が設けられている。

【 0 1 0 6 】

その急峻に変化する部分を覆うように電極 7 e が形成されている。その電極 7 e は、ソース・ドレイン領域 4 d に接続されたアルミニウム配線 1 4 と電氣的に接続されている。

40

【 0 1 0 7 】

なお、これ以外の構成については図 1 3 および図 1 4 に示す半導体装置の構成と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 1 0 8 】

上述した半導体装置では、実施の形態 5 において説明した効果に加えて次のような効果が得られる。

【 0 1 0 9 】

まず、図 2 0 は、n チャネル型の MOS トランジスタ T と抵抗素子 R を直列に接続させた場合の等価回路を示し、図 2 1 は、p チャネル型の MOS トランジスタ T と抵抗素子 R を直列に接続させた場合の等価回路を示す。

50

【 0 1 1 0 】

図 1 3 に示す場合では、コンタクト部 1 4 a を介してソース・ドレイン領域 4 d に高い逆バイアス電圧が印加され、nチャネル型MOSトランジスタまたはpチャネル型MOSトランジスタがオフ状態であれば、抵抗素子Rの全体に高い逆バイアス電圧が印加されることになる。

【 0 1 1 1 】

本半導体装置では、図 1 9 に示すように、抵抗素子R（ソース・ドレイン電界緩和層 5 d）を覆うように電極 7 e が形成されている。その電極 7 e にはアルミニウム配線 1 4 と電氣的に接続されて、電極 7 e はソース・ドレイン領域 4 d の電圧と同じ電圧になる。

【 0 1 1 2 】

電極 7 e に印加される電圧によって、ウェル 2 の側に向かって電界が生じる。その電界によって、抵抗素子Rをなすソース・ドレイン電界緩和層 5 d とウェル 2 との界面から延びる空乏層がより広げられることになる。

【 0 1 1 3 】

これにより、抵抗素子Rをなすソース・ドレイン領域 5 d において急峻な部分が形成されていても、抵抗素子RおよびMOSトランジスタにおける耐圧を確保することができる。

【 0 1 1 4 】

なお、ソース・ドレイン領域 4 d に高い逆バイアス電圧が印加され、nチャネル型MOSトランジスタまたはpチャネル型MOSトランジスタがオン状態の場合には、抵抗素子Rにおけるチャンネル領域 1 1 c 側の部分では、抵抗素子Rによる電圧降下によって逆バイアス電圧は緩和されることになる。

【 0 1 1 5 】

そのため、抵抗素子Rとウェル 2 との耐圧は、主に抵抗素子Rのソース・ドレイン領域 1 4 a 側の部分に印加される逆バイアス電圧に依存することになる。このとき、電極 7 e に印加される電圧により生じる電界によって空乏層がより広げられるため、MOSトランジスタがオン状態でも耐圧を向上することができる。上述した作用効果は、図 2 1 に示す場合についても同様にあてはまる。

【 0 1 1 6 】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 1 7 】

【発明の効果】

本発明に係る半導体装置によれば、まず、第 2 不純物領域、第 3 不純物領域および第 1 ゲート電極部を含む一のMOSトランジスタが構成され、第 2 不純物領域、第 4 不純物領域および第 2 ゲート電極部を含む他のMOSトランジスタが構成される。一のMOSトランジスタと他のMOSトランジスタは、両MOSトランジスタに共通の第 2 不純物領域を介して直列に接続されている。これにより、個々のMOSトランジスタを直列に接続させた場合と比較すると、MOSトランジスタの占有面積を低減することができて、半導体装置におけるパターンレイアウトの面積の増大を抑制することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の図 2 に示す断面線 I - I における断面図である。

【図 2】 同実施の形態において、図 1 に示す半導体装置の平面図である。

【図 3】 同実施の形態において、図 1 および図 2 に示す半導体装置の他の等価回路を示す図である。

【図 4】 同実施の形態において、図 1 および図 2 に示す半導体装置の他の等価回路を示す図である。

【図 5】 本発明の実施の形態 2 に係る半導体装置の図 6 に示す断面線 V - V における断面図である。

10

20

30

40

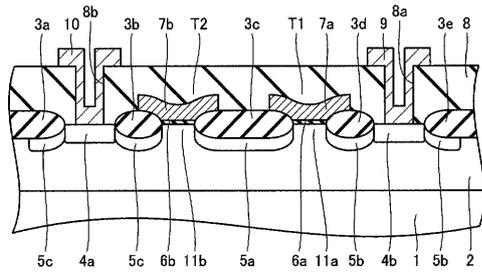
50

- 【図 6】 同実施の形態において、図 5 に示す半導体装置の平面図である。
- 【図 7】 同実施の形態において、図 5 および図 6 に示す半導体装置の等価回路を示す図である。
- 【図 8】 本発明の実施の形態 3 に係る半導体装置の平面図である。
- 【図 9】 同実施の形態において、図 8 に示す半導体装置の効果を説明するための一平面図である。
- 【図 10】 本発明の実施の形態 4 に係る半導体装置の平面図である。
- 【図 11】 同実施の形態において、図 10 に示す半導体装置の一の等価回路を示す図である。
- 【図 12】 同実施の形態において、図 10 に示す半導体装置の他の等価回路を示す図である。 10
- 【図 13】 本発明の実施の形態 5 に係る半導体装置の図 14 に示す断面線 X I I I - X I I I における断面図である。
- 【図 14】 同実施の形態において、図 13 に示す半導体装置の平面図である。
- 【図 15】 本発明の実施の形態 6 に係る半導体装置の平面図である。
- 【図 16】 本発明の実施の形態 7 に係る半導体装置の平面図である。
- 【図 17】 同実施の形態において、図 16 に示す半導体装置の一の等価回路を示す図である。
- 【図 18】 同実施の形態において、図 16 に示す半導体装置の他の等価回路を示す図である。 20
- 【図 19】 本発明の実施の形態 8 に係る半導体装置の平面図である。
- 【図 20】 同実施の形態において、図 19 に示す半導体装置の一の等価回路を示す図である。
- 【図 21】 同実施の形態において、図 19 に示す半導体装置の他の等価回路を示す図である。

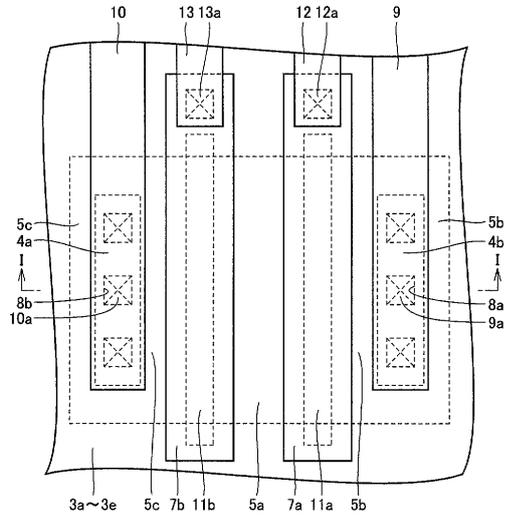
【符号の説明】

- 1 半導体基板、2 ウェル、3 a ~ 3 e 素子分離絶縁膜、4 a ドレイン領域、4 b ソース領域、4 c , 4 d ソース・ドレイン領域、5 a ソース・ドレイン領域、5 b ソース電界緩和層、5 c ドレイン電界緩和層、5 d , 5 e ソース・ドレイン電界緩和層、6 a , 6 b , 6 c ゲート絶縁膜、7 a ~ 7 d ゲート電極、7 e 電極、8 シリコン酸化膜、8 a ~ 8 d コンタクトホール、9 , 10 , 12 , 13 , 14 , 15 , 16 アルミニウム配線、9 a , 10 a , 12 a , 13 a , 14 a , 15 a , 16 a コンタクト部、11 a , 11 b , 11 c チャンネル領域。 30

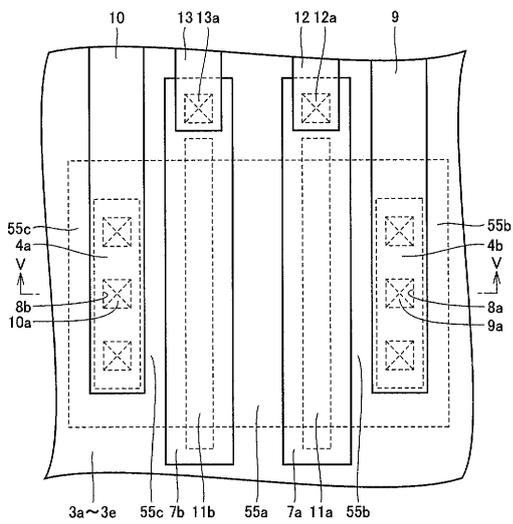
【図1】



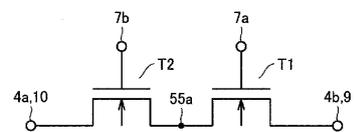
【図2】



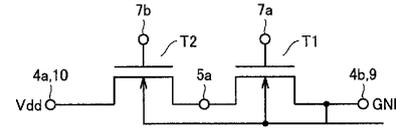
【図6】



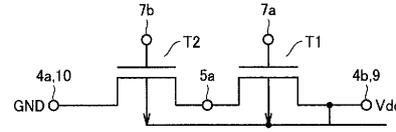
【図7】



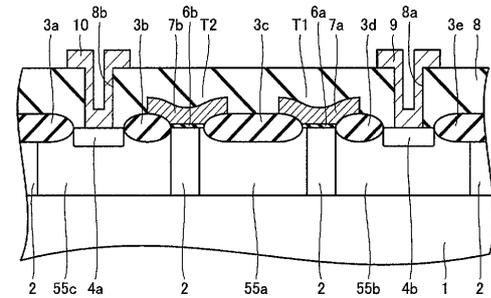
【図3】



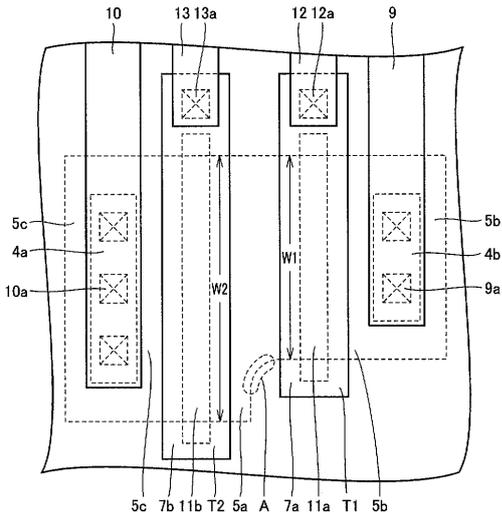
【図4】



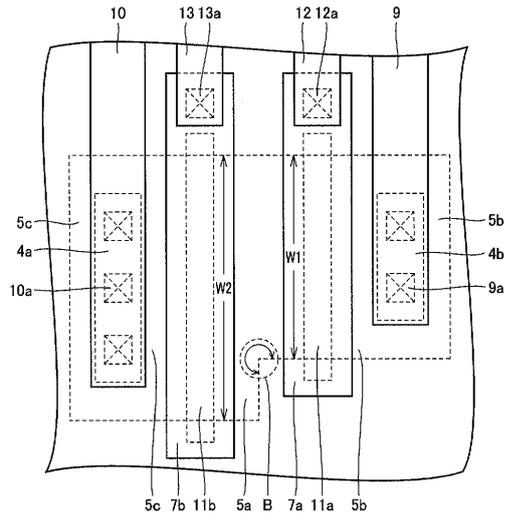
【図5】



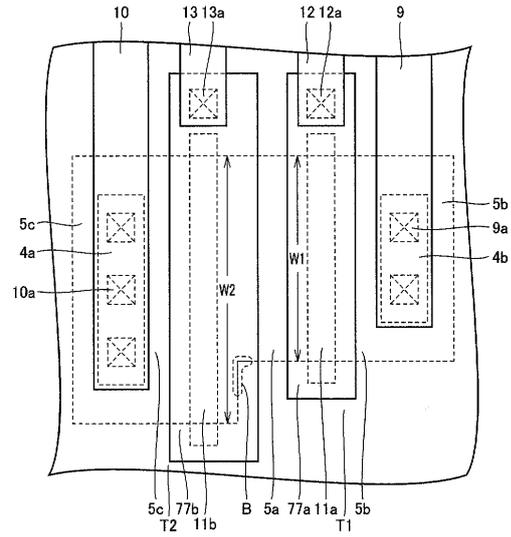
【図8】



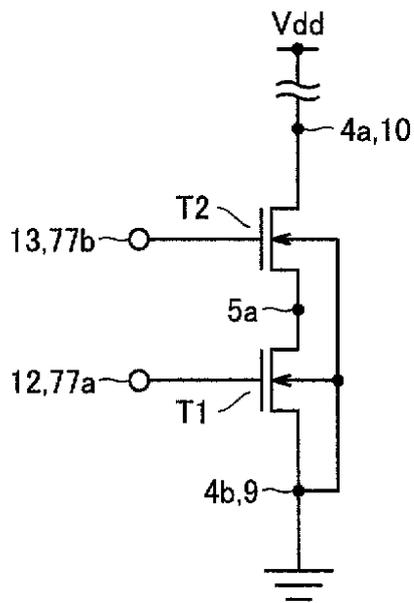
【図 9】



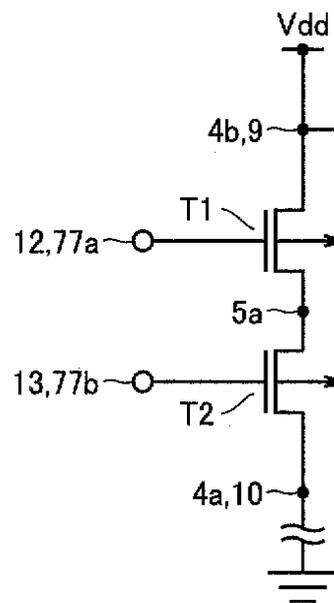
【図 10】



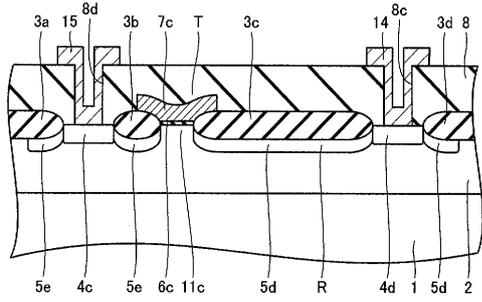
【図 11】



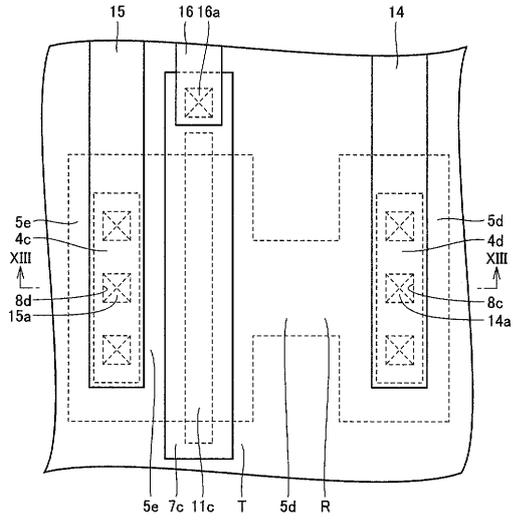
【図 12】



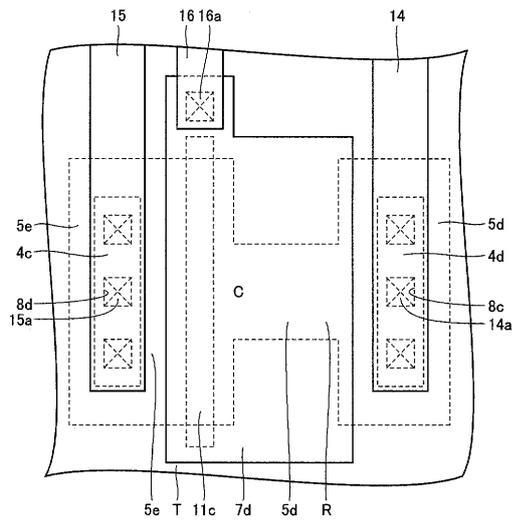
【 図 13 】



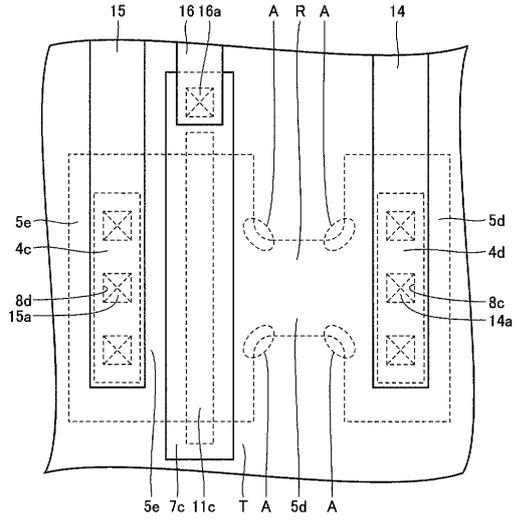
【 図 14 】



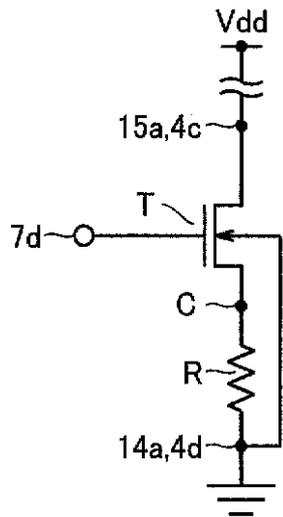
【 図 16 】



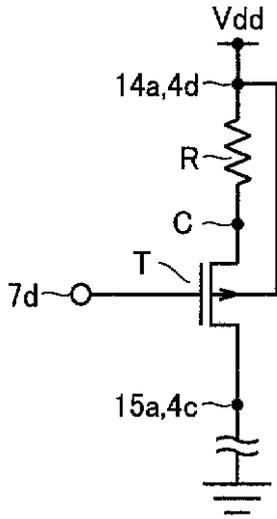
【 図 15 】



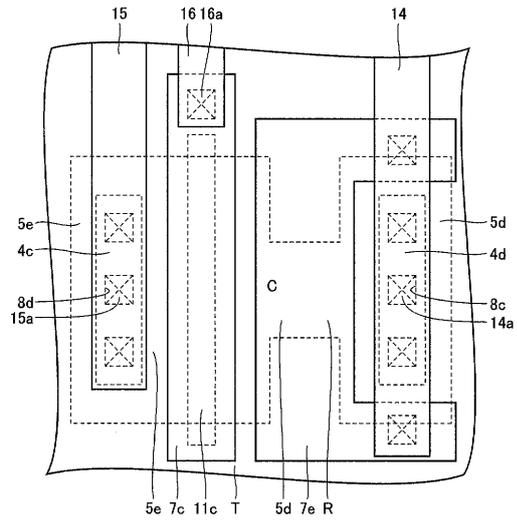
【 図 17 】



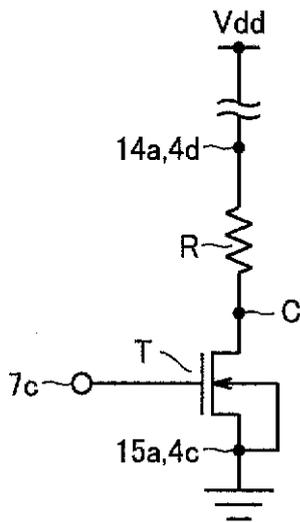
【 図 18 】



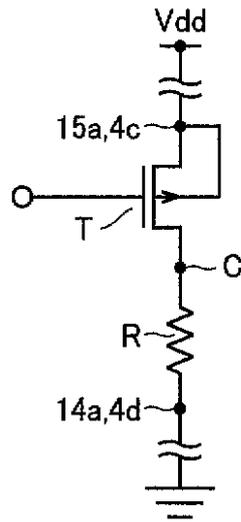
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

(72)発明者 田矢 真敏
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宇多川 勉

(56)参考文献 特開平08-070055(JP,A)
特開平10-027903(JP,A)
特開平04-048655(JP,A)
特開昭53-001478(JP,A)
特開2002-158290(JP,A)
特開平02-264477(JP,A)
特開平05-326949(JP,A)
特開昭64-028963(JP,A)
特開昭57-031180(JP,A)
特開2002-134744(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234
H01L 21/82
H01L 27/088
H01L 29/78
H01L 27/04
H01L 27/06