



(12) 发明专利申请

(10) 申请公布号 CN 102760759 A

(43) 申请公布日 2012. 10. 31

(21) 申请号 201210073789. 4

(22) 申请日 2012. 03. 20

(66) 本国优先权数据

201110110252. 6 2011. 04. 29 CN

(71) 申请人 比亚迪股份有限公司

地址 518118 广东省深圳市坪山新区比亚迪路 3009 号

(72) 发明人 肖秀光 王军鹤

(51) Int. Cl.

H01L 29/739 (2006. 01)

H01L 29/06 (2006. 01)

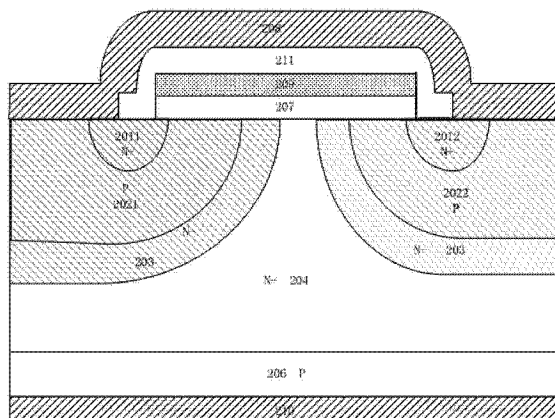
权利要求书 1 页 说明书 5 页 附图 6 页

(54) 发明名称

一种半导体功率器件

(57) 摘要

本发明提供了一种半导体功率器件, 包括第一导电类型第一半导体层及其表面的第一导电类型第二半导体层, 设置于第一导电类型第二半导体层中的第二导电类型第一阱区和第二阱区; 分别设置于第一、第二阱区部分区域中的第一导电类型第一源区和第二源区; 部分覆盖了源区和阱区的第一绝缘层, 设置于第一绝缘层上的多晶硅层, 覆盖了多晶硅层和部分源区的第二绝缘层, 覆盖了源区、阱区和第二绝缘层的第一金属层, 设置于第一导电类型第一半导体层背面的第二导电类型第三半导体层及其背面的第二金属层, 所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度。本发明的半导体功率器件, 能够有效抑制通态损耗和耐压之间的矛盾。



1. 一种半导体功率器件,其特征在于,包括第一导电类型第一半导体层,位于第一导电类型第一半导体层表面的第一导电类型第二半导体层,设置于第一导电类型第二半导体层中的第二导电类型第一阱区,以及与所述第二导电类型第一阱区隔开的第二导电类型第二阱区;设置于所述第二导电类型第一阱区部分区域中的第一导电类型第一源区,以及设置于所述第二导电类型第二阱区部分区域中的第一导电类型第二源区;设置于第一导电类型第二半导体层上且部分覆盖了第一源区、第二源区、第一阱区和第二阱区的第一绝缘层,设置于第一绝缘层上的多晶硅层,设置于第一导电类型第二半导体层上且覆盖了多晶硅层和部分第一源区和第二源区的第二绝缘层,设置于第一导电类型第二半导体层上且覆盖了第一源区、第二源区、第一阱区、第二阱区和第二绝缘层的第一金属层,设置于第一导电类型第一半导体层背面的第二导电类型第三半导体层,以及覆盖在第二导电类型第三半导体层背面的第二金属层,所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度。

2. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层环绕于第一阱区和第二阱区,且使第一导电类型第一半导体层与第一绝缘层接触。

3. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层环绕于第一阱区和第二阱区,且将第一导电类型第一半导体层与第一绝缘层隔开。

4. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层的掺杂浓度小于等于第一导电类型第一半导体层的掺杂浓度。

5. 根据权利要求4所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层的掺杂浓度为  $5e12/cm^3-1e15/cm^3$ ,所述第一导电类型第一半导体层的掺杂浓度为  $5e12/cm^3-1e15/cm^3$ 。

6. 根据权利要求4所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层的电子亲和能小于第一导电类型第一半导体层的电子亲和能。

7. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层的禁带宽度为  $1-5eV$ ,所述第一导电类型第一半导体层的禁带宽度为  $0.1-3eV$ 。

8. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第二半导体层的材料选自硅、碳化硅、磷化铝、磷化铟、砷化铝中的一种。

9. 根据权利要求1所述的半导体功率器件,其特征在于,所述第一导电类型第一半导体层的材料选自锗、锗化硅、碳锗化硅中的一种。

10. 根据权利要求1-9中任一项所述的半导体功率器件,其特征在于,所述第一导电类型为N型,第二导电类型为P型;或者所述第一导电类型为P型,第二导电类型为N型。

## 一种半导体功率器件

### 技术领域

[0001] 本发明属于半导体领域,尤其涉及一种半导体功率器件。

### 背景技术

[0002] 高频、高耐压、低损耗一直是半导体功率器件的重要性能追求,半导体功率器件结合了双极型和 MOS 型功率器件的优点,在频率、耐压、损耗等方面之间取得了很好的折衷。电力电子行业的不断发展,对半导体功率器件的性能要求也越来越高。为了降低半导体功率器件的通态压降,从而降低通态损耗,引入一种叫阻挡层的结构,如图 1 所示的 n 沟道 IGBT,包括阻挡层 103,漂移区 104,阱区 102 和 112,所述阻挡层 103 的掺杂浓度高于漂移区 104 的掺杂浓度,由于掺杂浓度的差别,在阻挡层 103 与漂移区 104 之间的多子扩散形成一个势垒,该势垒对阻挡层 103 内存储的少子有阻挡作用,从而少子不容易被反偏阱—漂移区结收集,提高了器件表面附近的载流子浓度,增强了表面附近的电导调制作用,有效的减小了通态压降,从而减小通态损耗。该少子阻挡层的做法一般是在整个器件表面或者有选择的区域扩散与漂移层相同的杂质,形成一定厚度的较高浓度的掺杂区。

[0003] 然而,这种传统制作阻挡层的方法存在缺陷。具体地,由于该阻挡层是利用表面附近相对较高的掺杂区域形成,当器件处于截止状态,反偏的阱—漂移区结耗尽层延伸,根据 pn 结理论,掺杂浓度越高,越不利于耗尽层的延伸,从而降低了器件的耐压。一种现有的解决办法为采用缩小元包的间距,从而缩小阱区的距离来保证耐压,则对整个器件来说,势必会增加元包的数量,从而带来两个方面的负面影响:一方面,元包数量增加,意味着阱区面积占的比例增加,从而收集少数载流子的面积增加,降低了电导调制作用,削弱了阻挡层的作用;另一方面,元包数量的增加引起沟道密度增加,沟道密度的大小与短路电流大小成正比,增大沟道密度意味着短路电流增加,这样器件的自我限流能力削弱,降低了器件的鲁棒性。

### 发明内容

[0004] 本发明为解决现有技术中器件通态损耗和器件耐压之间矛盾的技术问题,提供一种新型半导体功率器件。

[0005] 本发明的目的是通过以下技术方案实现的:

一种半导体功率器件,包括第一导电类型第一半导体层,位于第一导电类型第一半导体层表面的第一导电类型第二半导体层,设置于第一导电类型第二半导体层中的第二导电类型第一阱区,以及与所述第二导电类型第一阱区隔开的第二导电类型第二阱区;设置于所述第二导电类型第一阱区部分区域中的第一导电类型第一源区,以及设置于所述第二导电类型第二阱区部分区域中的第一导电类型第二源区;设置于第一导电类型第二半导体层上且部分覆盖了第一源区、第二源区、第一阱区和第二阱区的第一绝缘层,设置于第一绝缘层上的多晶硅层,设置于第一导电类型第二半导体层上且覆盖了多晶硅层和部分第一源区和第二源区的第二绝缘层,设置于第一导电类型第二半导体层上且覆盖了第一源区、第二

源区、第一阱区、第二阱区和第二绝缘层的第一金属层, 设置于第一导电类型第一半导体层背面的第二导电类型第三半导体层, 以及覆盖在第二导电类型第三半导体层背面的第二金属层, 所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度。

[0006] 本发明提供的半导体功率器件, 所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度, 这样, 在掺杂浓度相同或者第二半导体层掺杂浓度略小时, 多子的能级几乎持平, 而少子的能级存在弯曲, 这一弯曲形成一个少子的势垒, 在半导体功率器件导通时, 该势垒对从漂移区向阱附近扩散的少子具有阻碍作用, 从而能够有效地抑制阱—漂移区结对少子的收集, 提高了半导体功率器件表面附近的载流子浓度, 降低了通态损耗, 同时又保证了器件的耐压不受影响。

### 附图说明

[0007] 图 1 是现有技术提供的 n 沟道 IGBT 结构示意图。

[0008] 图 2 是本发明第一实施例提供的 n 沟道 IGBT 结构示意图。

[0009] 图 3 是本发明第二实施例提供的 n 沟道 IGBT 结构示意图。

[0010] 图 4 是本发明实施例中 n 沟道 IGBT 阻挡层与漂移区第一能带结构示意图。

[0011] 图 5 是本发明实施例中 n 沟道 IGBT 阻挡层与漂移区第二能带结构示意图。

[0012] 图 6 是本发明实施例中 p 沟道 IGBT 阻挡层与漂移区第一能带结构示意图。

[0013] 图 7 是本发明实施例中 p 沟道 IGBT 阻挡层与漂移区第二能带结构示意图。

### 具体实施方式

[0014] 为了使本发明所解决的技术问题、技术方案及有益效果更加清楚明白, 以下结合附图及实施例, 对本发明进行进一步详细说明。应当理解, 此处所描述的具体实施例仅仅用以解释本发明, 并不用于限定本发明。

[0015] 一种半导体功率器件, 包括第一导电类型第一半导体层, 位于第一导电类型第一半导体层表面的第一导电类型第二半导体层, 设置于第一导电类型第二半导体层中的第二导电类型第一阱区, 以及与所述第二导电类型第一阱区隔开的第二导电类型第二阱区; 设置于所述第二导电类型第一阱区部分区域中的第一导电类型第一源区, 以及设置于所述第二导电类型第二阱区部分区域中的第一导电类型第二源区; 设置于第一导电类型第二半导体层上且部分覆盖了第一源区、第二源区、第一阱区和第二阱区的第一绝缘层, 设置于第一绝缘层上的多晶硅层, 设置于第一导电类型第二半导体层上且覆盖了多晶硅层和部分第一源区和第二源区的第二绝缘层, 设置于第一导电类型第二半导体层上且覆盖了第一源区、第二源区、第一阱区、第二阱区和第二绝缘层的第一金属层, 设置于第一导电类型第一半导体层背面的第二导电类型第三半导体层, 以及覆盖在第二导电类型第三半导体层背面的第二金属层, 所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度。

[0016] 本发明提供的半导体功率器件, 所述第一导电类型第二半导体层的禁带宽度大于第一导电类型第一半导体层的禁带宽度, 这样, 在掺杂浓度相同或者第二半导体层掺杂浓度略小时, 多子的能级几乎持平, 而少子的能级存在弯曲, 这一弯曲形成一个少子的势垒,

在半导体功率器件导通时,该势垒对从漂移区向阱附近扩散的少子具有阻碍作用,从而能够有效地抑制阱—漂移区结对少子的收集,提高了半导体功率器件表面附近的载流子浓度,降低了通态损耗,同时又保证了器件的耐压不受影响。

[0017] 作为第一种具体的半导体功率器件实施例,请参考图 2 所示,该半导体功率器件包括第一导电类型第一半导体层 204,位于第一导电类型第一半导体层 204 表面的第一导电类型第二半导体层 203,设置于第一导电类型第二半导体层 203 中的第二导电类型第一阱区 2021,以及与所述第二导电类型第一阱区 2021 隔开的第二导电类型第二阱区 2022;设置于所述第二导电类型第一阱区 2021 部分区域中的第一导电类型第一源区 2011,以及设置于所述第二导电类型第二阱区 2022 部分区域中的第一导电类型第二源区 2012;设置于第一导电类型第二半导体层 203 上且部分覆盖了第一源区 2011、第二源区 2012、第一阱区 2021 和第二阱区 2022 的第一绝缘层 207,所述第一导电类型第二半导体层 203 环绕于第一阱区 2021 和第二阱区 2022,且使第一导电类型第一半导体层 204 与第一绝缘层 207 接触,即第一导电类型第一半导体层 204 将第一导电类型第二半导体层 203 分隔成两部分,第一阱区 2021 位于第一导电类型第二半导体层 203 中的一个部分,第二阱区 2022 位于第一导电类型第二半导体层 203 中的另一个部分;设置于第一绝缘层 207 上的多晶硅层 209,设置于第一导电类型第二半导体层 203 上且覆盖了多晶硅层 209 和部分第一源区 2011 和第二源区 2012 的第二绝缘层 211,设置于第一导电类型第二半导体层 203 上且覆盖了第一源区 2011、第二源区 2012、第一阱区 2021、第二阱区 2022 和第二绝缘层 211 的第一金属层 208,设置于第一导电类型第一半导体层 204 背面的第二导电类型第三半导体层 206,以及覆盖在第二导电类型第三半导体层 206 背面的第二金属层 210,所述第一导电类型第二半导体层 203 的禁带宽度大于第一导电类型第一半导体层 204 的禁带宽度。其中,所述第二导电类型第三半导体层 206 作为本实施例中半导体功率器件的集电极,所述第一导电类型第一半导体层 204 作为漂移区,所述第一导电类型第二半导体层 203 作为阻挡层,所述第一金属层 208 作为发射极,所述多晶硅层 209 作为门极。

[0018] 作为第二种具体的半导体功率器件实施例,请参考图 3 所示,该半导体功率器件包括第一导电类型第一半导体层 304,位于第一导电类型第一半导体层 304 表面的第一导电类型第二半导体层 303,设置于第一导电类型第二半导体层 303 中的第二导电类型第一阱区 3021,以及与所述第二导电类型第一阱区 3021 隔开的第二导电类型第二阱区 3022;设置于所述第二导电类型第一阱区 3021 部分区域中的第一导电类型第一源区 3011,以及设置于所述第二导电类型第二阱区 3022 部分区域中的第一导电类型第二源区 3012;设置于第一导电类型第二半导体层 303 上且部分覆盖了第一源区 3011、第二源区 3012、第一阱区 3021 和第二阱区 3022 的第一绝缘层 307,所述第一导电类型第二半导体层 303 环绕于第一阱区 3021 和第二阱区 3022,且将第一导电类型第一半导体层 304 与第一绝缘层 307 隔开;设置于第一绝缘层 307 上的多晶硅层 309,设置于第一导电类型第二半导体层 303 上且覆盖了多晶硅层 309 和部分第一源区 3011 和第二源区 3012 的第二绝缘层 311,设置于第一导电类型第二半导体层 303 上且覆盖了第一源区 3011、第二源区 3012、第一阱区 3021、第二阱区 3022 和第二绝缘层 311 的第一金属层 308,设置于第一导电类型第一半导体层 304 背面的第二导电类型第三半导体层 306,以及覆盖在第二导电类型第三半导体层 306 背面的第二金属层 310,所述第一导电类型第二半导体层 303 的禁带宽度大于第一导电类型第一半导

体层 304 的禁带宽度。其中,所述第二导电类型第三半导体层 306 作为本实施例中半导体功率器件的集电极,所述第一导电类型第一半导体层 304 作为漂移区,所述第一导电类型第二半导体层 303 作为阻挡层,所述第一金属层 308 作为发射极,所述多晶硅层 309 作为门极。

[0019] 作为具体的实施方式,所述第一导电类型第二半导体层的掺杂浓度小于等于第一导电类型第一半导体层的掺杂浓度;作为具体的实施例,所述掺杂的材料为磷。具体地,在第一导电类型第二半导体层(阻挡层)和第一导电类型第一半导体层(漂移区)两边掺杂浓度相同的情况下:

对于 n 沟道 IGBT,请参考形成如图 4 和图 5 所示的能带结构示意图;其中,所述  $E_v$  为价带, $E_f$  为费米能级, $E_c$  为导带。在图 4 所示的情形中,所述阻挡层和漂移区的导带几乎持平,而阻挡层的价带顶则低于漂移区,这样,导带的电子可以很容易地从阻挡层流向漂移区,而漂移区的少子空穴必须越过一个势垒才能进入阻挡层内,故该空穴阻挡层能够阻挡空穴从第一导电类型第一半导体层(漂移区)流向第一导电类型第二半导体层(阻挡层),从而有效地抑制了少子空穴被阱区—漂移区结收集,增强了 IGBT 表面附近的少子浓度,降低了导通压降,从而降低了半导体功率器件的通态损耗。对于图 5 所示的情形,阻挡层的导带底高于漂移区导带底,费米能级持平,但电子仍有趋向于向漂移区扩散的趋势,导通时有利于增强电子电流;同时,阻挡层的价带顶同样低于漂移区,形成空穴的势垒,抑制少子空穴从漂移区向阻挡层扩散被阱区—漂移区结收集,有效地提高了 IGBT 表面附近的少子浓度,降低了导通压降,从而降低了半导体功率器件的通态损耗。由于空穴的这一势垒是由于禁带宽度不一致、能级本身存在的差异引起的,并不是由于浓度掺杂引起的载流子扩散产生的,因此,不需要空穴阻挡层的掺杂浓度高于漂移区,从而不会降低器件的耐压;反而,由于该空穴阻挡层的半导体材料禁带宽度比漂移区的半导体材料禁带宽度大,其击穿电场相应也大,从而耐压反而更高。对于图 5 所示的情形,空穴阻挡层的掺杂浓度也可以比漂移区低,从而也有利于提高器件的耐压。

[0020] 对于 p 沟道 IGBT,请参考形成如图 6 和图 7 所示的能带结构示意图;其中,所述  $E_v$  为价带, $E_f$  为费米能级, $E_c$  为导带。与 n 沟道 IGBT 一样,在图 6 所示的情形中,由于阻挡层和漂移区两边的价带相对持平,空穴可以很容易从少子阻挡层运动到漂移区。对于电子,少子阻挡层的导带底高于漂移区,因此漂移区的电子必须越过一定的势垒才能进入少子阻挡层,即所述第一导电类型第二半导体层的电子亲和能小于第一导电类型第一半导体层的电子亲和能,电子不容易地从第一导电类型第一半导体层(漂移区)流向第一导电类型第二半导体层(阻挡层),这样有效的增强了器件表面的载流子浓度,从而降低了器件的正向压降和损耗。对于图 7 所示的情形,少子阻挡层的价带顶低于漂移区价带顶,导带底高于漂移区导带底,但空穴仍有从少子阻挡层扩散到漂移区的趋势,更利于空穴电流的流过,而电子从漂移区流到少子阻挡层需要越过一定的势垒,有效的增强了 IGBT 表面附近的载流子浓度,降低了通态压降和损耗。同样,由于少子阻挡层的禁带宽度大于漂移区的禁带宽度或者掺杂浓度可以更低,从而保证器件的耐压不会下降。

[0021] 作为具体的实施方式,所述第一导电类型第二半导体层的掺杂浓度为  $5e12/cm^3-1e15/cm^3$ ,所述第一导电类型第一半导体层的掺杂浓度为  $5e12/cm^3-1e15/cm^3$ 。具体地,在第一种具体的半导体功率器件实施例中,所述第一导电类型第二半导体层 203 的掺杂浓

度为  $1e14/cm^3$ , 所述第一导电类型第一半导体层 204 的掺杂浓度为  $1e14/cm^3$ ; 同时, 所述第一源区 2011 和第二源区 2012 的掺杂浓度为  $2e19/cm^3$ , 所述第一阱区 2021 和第二源区 2022 的掺杂浓度为  $1e18/cm^3$ , 所述第二导电类型第三半导体层 206 的掺杂浓度为  $5e17/cm^3$ 。具体地, 在第二种具体的半导体功率器件实施例中, 所述第一导电类型第二半导体层 303 的掺杂浓度为  $6e13/cm^3$ , 所述第一导电类型第一半导体层 304 的掺杂浓度为  $8e13/cm^3$ ; 同时, 所述第一源区 3011 和第二源区 3012 的掺杂浓度为  $2e19/cm^3$ , 所述第一阱区 3021 和第二源区 3022 的掺杂浓度为  $1e18/cm^3$ , 所述第二导电类型第三半导体层 306 的掺杂浓度为  $5e17/cm^3$ 。

[0022] 作为具体的实施方式, 所述第一导电类型第二半导体层的禁带宽度为 1-5eV, 所述第一导电类型第一半导体层的禁带宽度为 0.1-3eV, 从而可以方便地选择合适的半导体材料, 保证阻挡层禁带宽度大于漂移区禁带宽度, 有效的阻挡少子被阱-漂移区结收集, 更好的实现本发明的技术效果。

[0023] 作为具体的实施方式, 所述第一导电类型第二半导体层的材料选自硅(Si)、碳化硅(SiC)、磷化铝(AlP)、磷化铟(InP)、砷化铝(AlAs)中的一种, 或者其它禁带宽度更大的半导体材料。

[0024] 作为具体的实施方式, 所述第一导电类型第一半导体层的材料选自锗(Ge)、锗化硅( $Si_{1-x}Ge_x$ )、碳锗化硅(SiGeC)中的一种, 或者其它禁带宽度较小的半导体材料。

[0025] 作为具体的实施例, 在第一种半导体功率器件中, 所述第一导电类型第一半导体层 204 和第二导电类型第三半导体层 206 的材料为  $Si_{1-x}Ge_x$ , 所述第一导电类型第二半导体层 203、第一阱区 3021、第二源区 3022、第一源区 3011 和第二源区 3012 的材料为 Si。

[0026] 作为具体的实施方式, 在本发明提供的半导体功率器件中, 所述第一导电类型为 N 型, 第二导电类型为 P 型, 具体请参考图 2 和图 3 所示的第一种半导体功率器件和第二种半导体功率器件; 当然, 本领域技术人员在前述 IGBT 结构的基础上, 还可以将第一导电类型和第二导电类型进行对调, 即所述第一导电类型为 P 型, 第二导电类型为 N 型。

[0027] 以上所述仅为本发明的较佳实施例而已, 并不用以限制本发明, 凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等, 均应包含在本发明的保护范围之内。

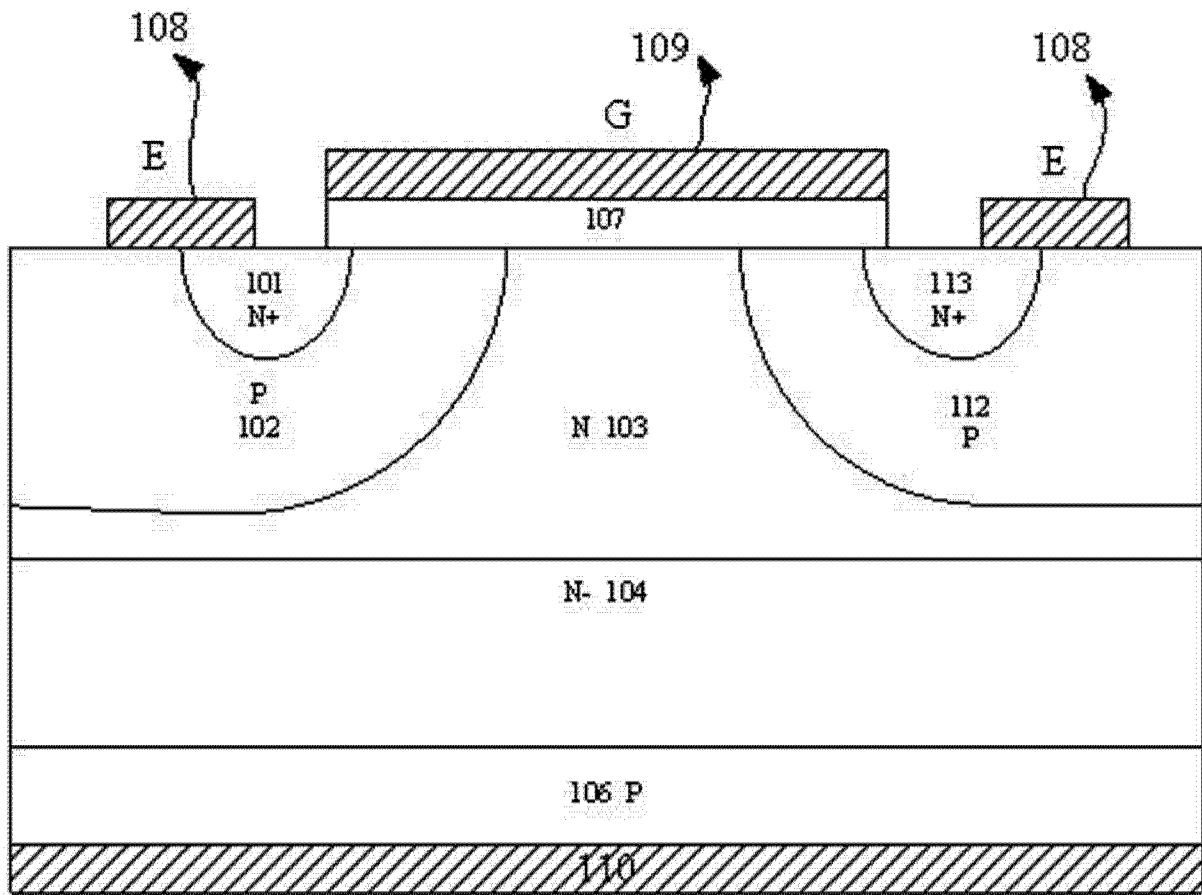


图 1



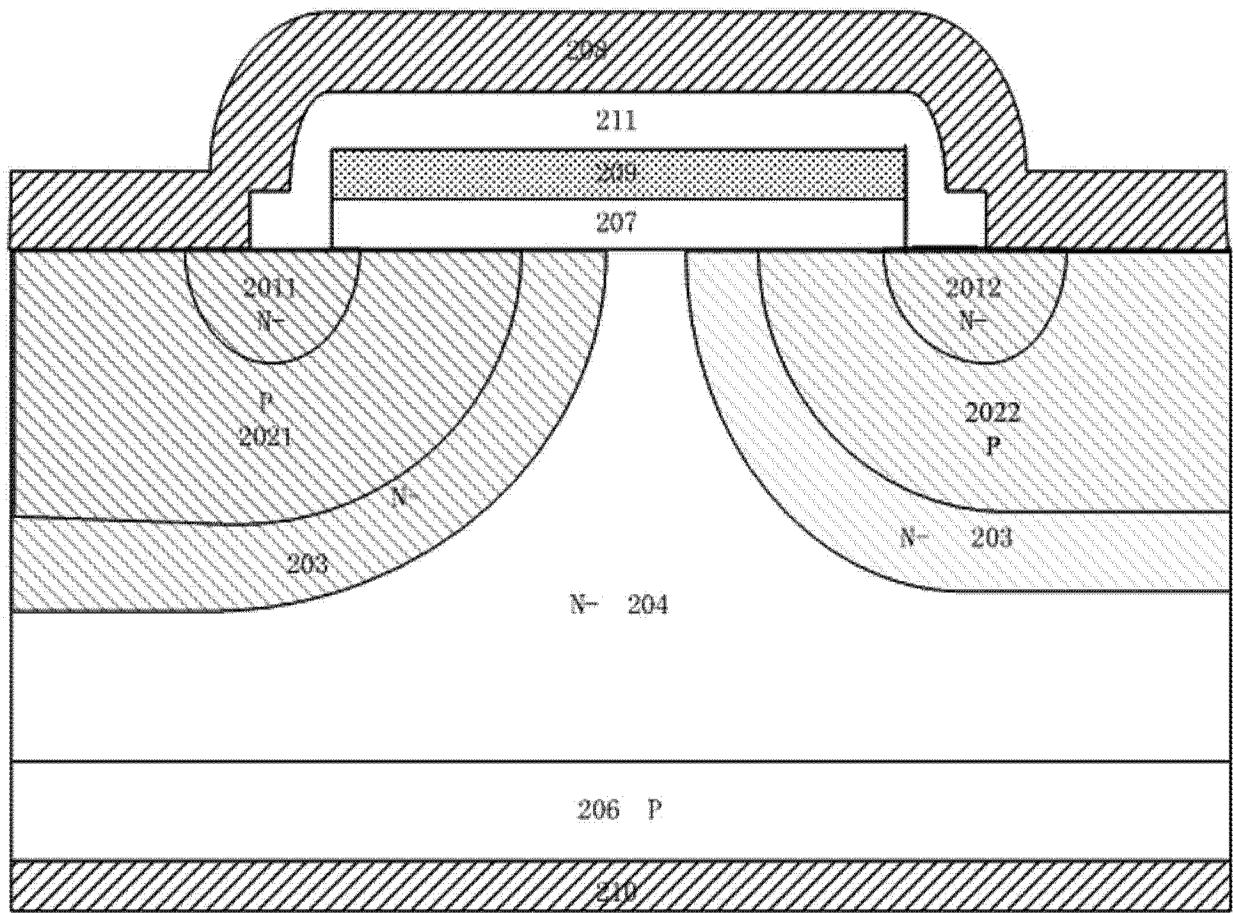


图 2

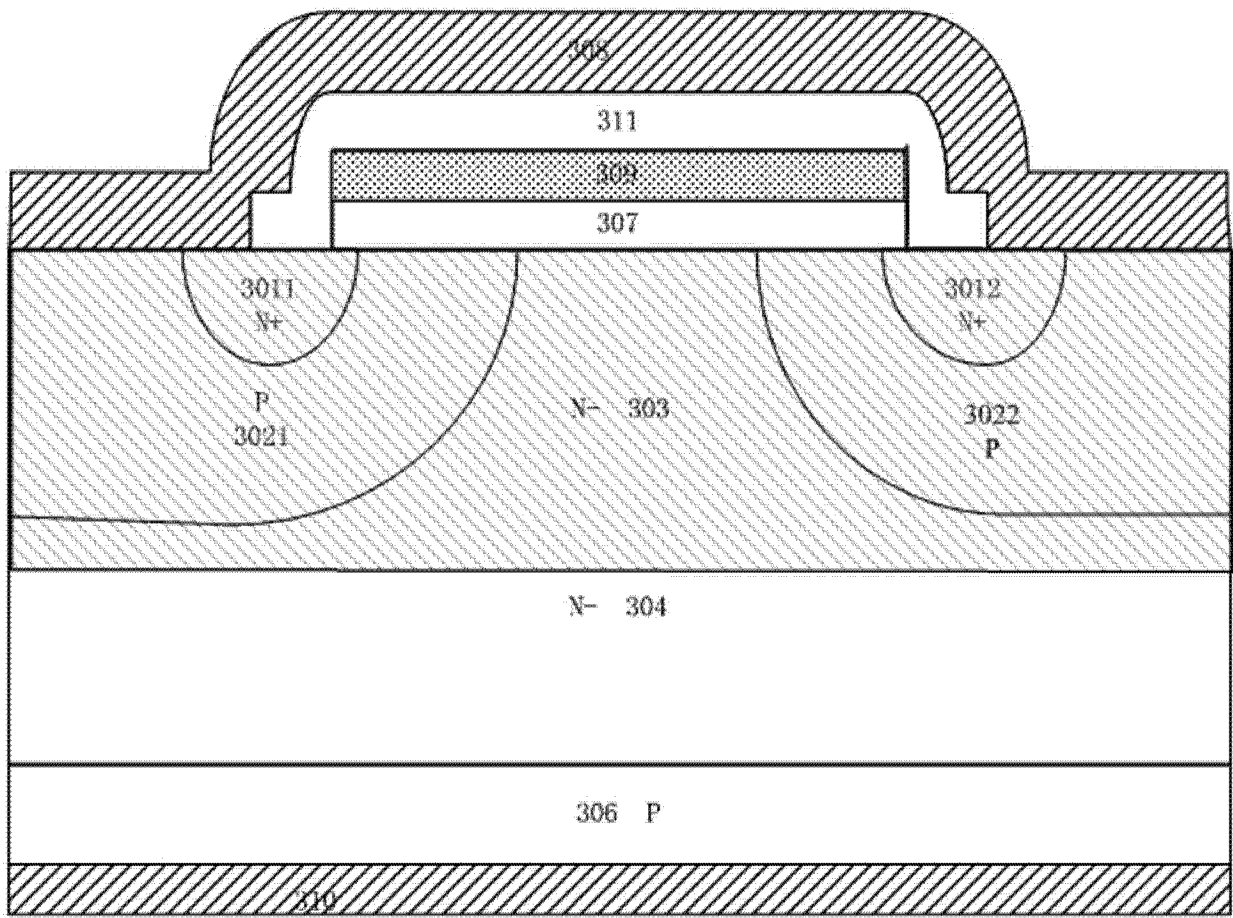


图 3

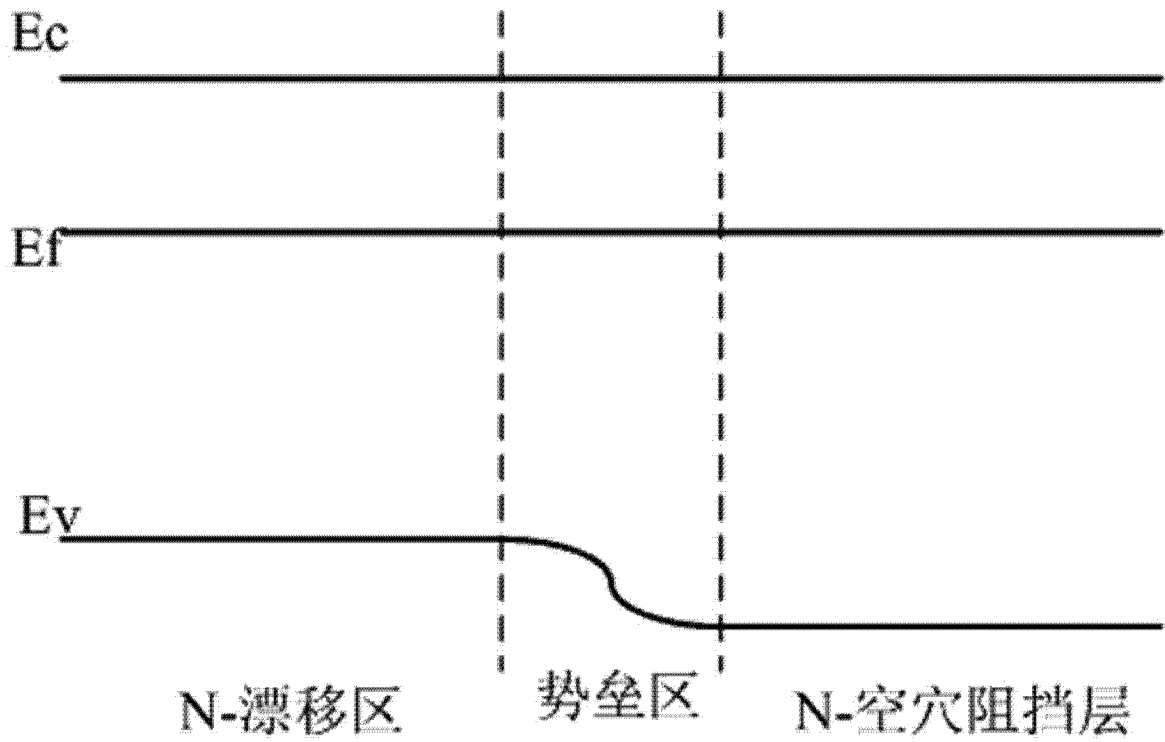


图 4

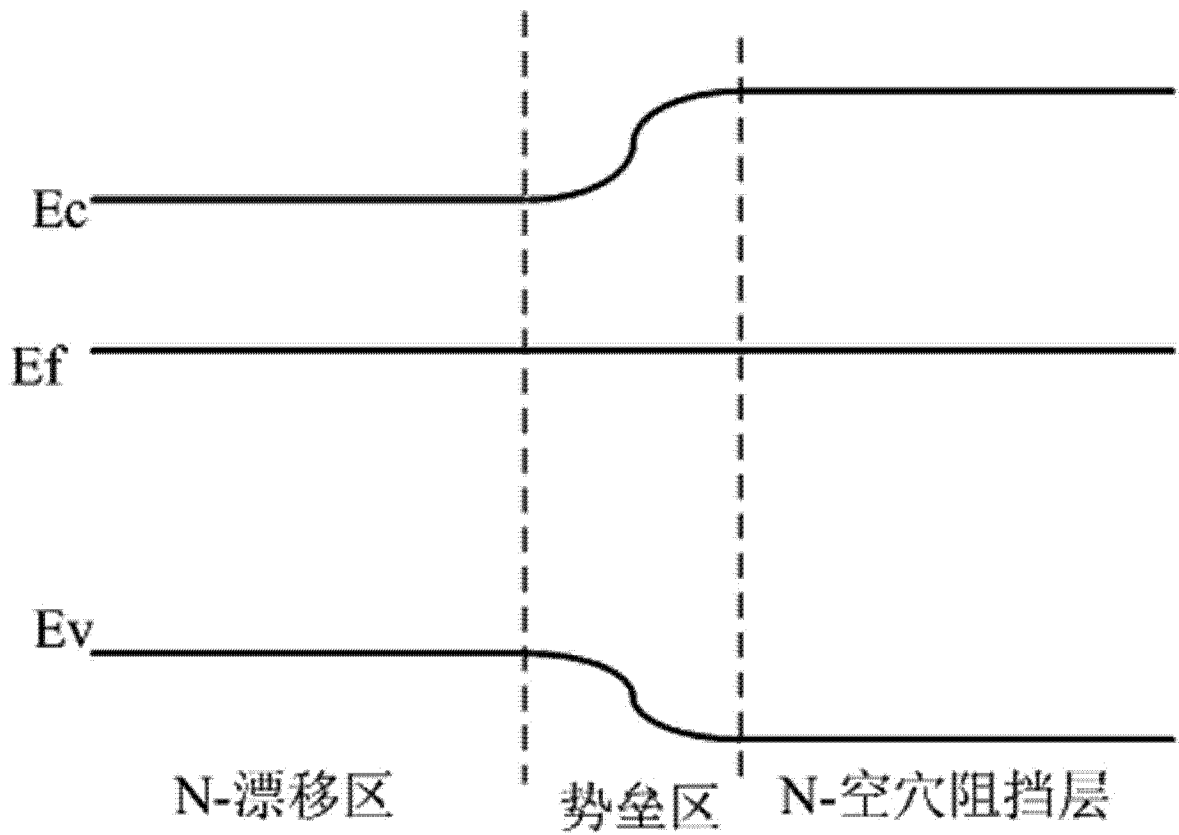


图 5

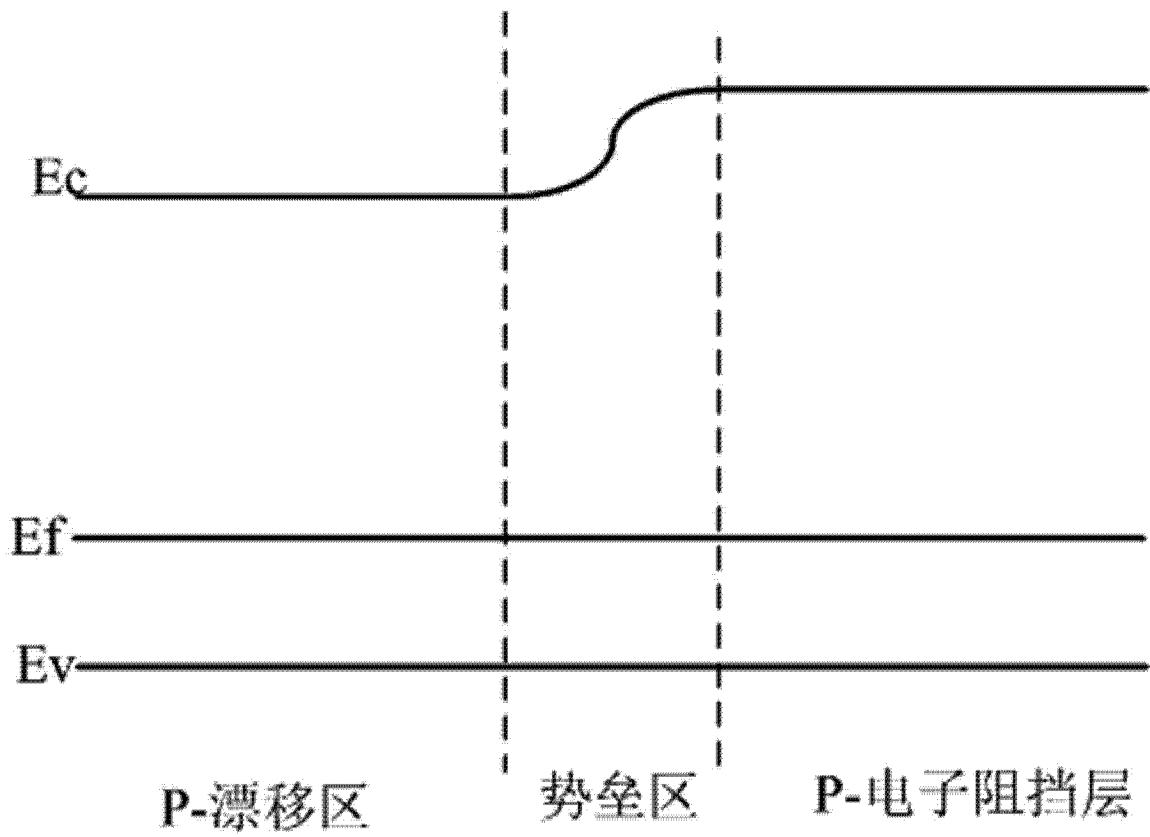


图 6

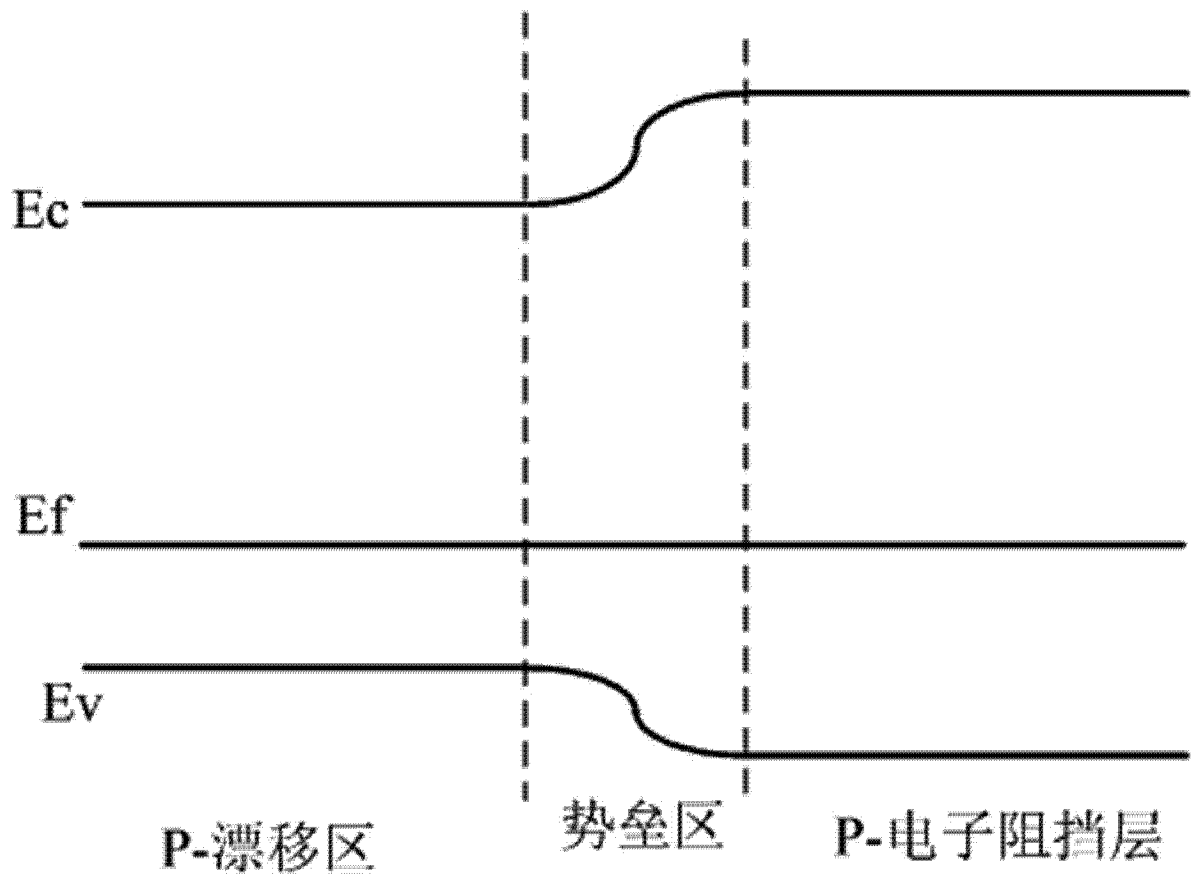


图 7