



(12)发明专利

(10)授权公告号 CN 104809996 B

(45)授权公告日 2017.06.16

(21)申请号 201510221619.X

H04N 7/015(2006.01)

(22)申请日 2015.04.30

审查员 高慧霞

(65)同一申请的已公布的文献号

申请公布号 CN 104809996 A

(43)申请公布日 2015.07.29

(73)专利权人 武汉精测电子技术股份有限公司

地址 430070 湖北省武汉市洪山区南湖大道53号洪山创业中心4楼

(72)发明人 彭骞 朱亚凡 欧昌东 许恩

郑增强 邓标华 沈亚非 陈凯

(74)专利代理机构 武汉开元知识产权代理有限公司

公司 42104

代理人 黄行军 刘琳

(51)Int.Cl.

G09G 3/36(2006.01)

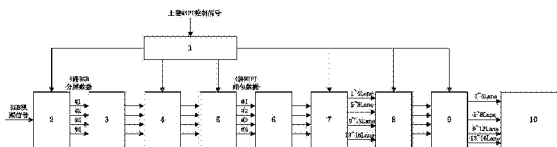
权利要求书2页 说明书5页 附图2页

(54)发明名称

基于FPGA实现MIPI多种LANE数的数据信号的方法和装置

(57)摘要

本发明公开了一种基于FPGA实现MIPI多种LANE数的数据信号的方法和装置,其方法包括1)从上层接收MIPI配置信息,进行配置操作,MIPI配置信息包括MIPI模组LANE数、模组分屏方式、RGB位宽、MIPI传输控制参数和MIPI输出电气配置;2)将输入的RGB视频信号转换为四路分屏视频数据;3)将四路分屏视频数据转换为四路字节数据;4)对四路字节数据进行组包,形成四路MIPI组包数据;5)将四路MIPI组包数据分配到每个数据LANE,形成MIPI信号;6)对每个数据LANE的MIPI信号进行MIPI传输操作;7)对每个数据LANE的MIPI信号进行输出电气和传输特性调整,然后将每个数据LANE的MIPI信号发送至模组。本发明通过FPGA芯片实现1到4、8、16LANE的MIPI信号的输出以点亮模组,其操作简单、可靠性高、成本较低。



CN 104809996 B

1. 一种基于FPGA实现MIPI多种LANE数的数据信号的方法,其特征在于:包括如下步骤:

1) 从上层接收MIPI配置信息,进行配置操作,所述MIPI配置信息包括MIPI模组LANE数、模组分屏方式、RGB位宽、MIPI传输控制参数和MIPI输出电气配置;

2) 根据所述MIPI配置信息中的MIPI模组LANE数和模组分屏方式将输入的RGB视频信号转换为四路分屏视频数据;当所述MIPI模组LANE数为1~4LANE时,将输入的RGB视频信号转换为四路全分屏视频数据输出;当所述MIPI模组LANE数为8LANE时,将输入的RGB视频信号转换为四路二分屏视频数据输出;当MIPI模组LANE数为16LANE时,将输入的RGB视频信号转换为四路四分屏视频数据输出;将所述四路分屏视频数据缓存;

3) 根据所述MIPI配置信息中的RGB位宽将四路分屏视频数据转换为四路字节数据;

4) 对所述四路字节数据进行组包,形成四路MIPI组包数据;

5) 根据所述MIPI配置信息中的MIPI模组LANE数,将所述四路MIPI组包数据分配到每个数据LANE上,形成MIPI信号;

6) 根据所述MIPI配置信息中的MIPI传输控制参数对所述每个数据LANE上的MIPI信号进行MIPI传输操作;

7) 根据所述MIPI配置信息中的MIPI输出电气配置对所述每个数据LANE上的MIPI信号进行输出电气和传输特性调整,然后将所述每个数据LANE上的MIPI信号发送至MIPI模组(10)显示。

2. 根据权利要求1所述的基于FPGA实现MIPI多种LANE数的数据信号的方法,其特征在于:所述步骤3)之后还包括对所述四路字节数据进行同步操作的步骤。

3. 根据权利要求2所述的基于FPGA实现MIPI多种LANE数的数据信号的方法,其特征在于:所述步骤6)中MIPI传输操作包括根据所述MIPI传输控制参数中的MIPI时钟的HS-LP时序输出控制所述每个数据LANE上的MIPI信号分别以HS状态和LP状态输出。

4. 根据权利要求3所述的基于FPGA实现MIPI多种LANE数的数据信号的方法,其特征在于:所述MIPI信号在HS状态以LVDS信号电气标准输出,在LP状态以LVCOMS信号电气标准输出。

5. 根据权利要求4所述的基于FPGA实现MIPI多种LANE数的数据信号的方法,其特征在于:所述MIPI输出电气配置包括电平范围、驱动强度、端接匹配、输出阻抗和传输高频加重。

6. 一种实现权利要求1所述基于FPGA实现MIPI多种LANE数的数据信号的方法的装置,其特征在于:包括MIPI控制模块(1)、RGB数据分屏模块(2)、RGB转MIPI模块(4)、MIPI组包模块(5)、MIPI数据LANE分配模块(7)、传输同步控制模块(8)和MIPI信号同步输出模块(9);

所述MIPI控制模块(1)分别与RGB数据分屏模块(2)、RGB转MIPI模块(4)、MIPI组包模块(5)、MIPI数据LANE分配模块(7)、传输同步控制模块(8)和MIPI信号同步输出模块(9)连接,所述RGB数据分屏模块(2)通过RGB转MIPI模块(4)与MIPI组包模块(5)连接,所述MIPI组包模块(5)与MIPI数据LANE分配模块(7)连接,所述MIPI数据LANE分配模块(7)通过传输同步控制模块(8)和MIPI信号同步输出模块(9)连接,所述MIPI信号同步输出模块(9)与MIPI模组(10)连接;

所述MIPI控制模块(1)用于MIPI配置信息,进行配置操作;

所述RGB数据分屏模块(2)用于将输入的RGB视频信号转换为四路分屏视频数据;

所述RGB转MIPI模块(4)用于将四路分屏视频数据转换为四路字节数据;

所述MIPI组包模块(5)用于对所述四路字节数据进行组包,形成四路MIPI组包数据;

所述MIPI数据LANE分配模块(7)将所述四路MIPI组包数据分配到每个数据LANE上,形成MIPI信号;

所述传输同步控制模块(8)用于对所述每个数据LANE上的MIPI信号进行MIPI传输操作;

所述MIPI信号同步输出模块(9)用于对所述每个数据LANE上的MIPI信号进行输出电气和传输特性调整,并将所述每个数据LANE上的MIPI信号发送至MIPI模组(10)。

7.根据权利要求6所述的基于FPGA实现MIPI多种LANE数的数据信号的方法的装置,其特征在于:还包括分别与RGB数据分屏模块(2)和RGB转MIPI模块(4)连接的RGB数据同步模块(3),所述RGB数据同步模块(3)用于将所述四路分屏视频数据缓存。

8.根据权利要求6或者7所述的基于FPGA实现MIPI多种LANE数的数据信号的方法的装置,其特征在于:还包括分别与MIPI组包模块(5)和MIPI数据LANE分配模块(7)连接的MIPI数据同步模块(6),所述MIPI数据同步模块(6)用于对所述四路字节数据进行同步操作。

## 基于FPGA实现MIPI多种LANE数的数据信号的方法和装置

### 技术领域

[0001] 本发明涉及MIPI液晶模组的显示和测试领域,具体地指一种基于FPGA实现MIPI多种LANE数的数据信号的方法和装置。

### 背景技术

[0002] MIPI显示模组(以下简称模组)是被广泛使用在各种便携显示设备和手机上的一种显示设备,此种模组及其所用的MIPI视频信号具有功耗低、可靠性高、传输率高、能适应不同大小分辨率的特点。

[0003] 当显示中小分辨率的视频图像时,视频信号会被分配到1到4个LANE的MIPI数据线上送给模组,视频分辨率越高数据量越大,其视频信号被分配到的MIPI数据线LANE数也越多。当显示超高清分辨率的视频图像时,视频数据量巨大,需要更多的LANE数传输和更高的传输率,但由于MIPI协议对单个标准化模组的LANE数限制(1到4个LANE数)以及每个LANE的传输率的限制,因此出现了8LANE或16LANE MIPI模组和传输方式。

[0004] 对8LANE或16LANE的MIPI模组的传输方式基本原理就是讲所要显示视频图像按某种方式进行分屏处理(如左右半分屏、奇偶像素分屏等),从而完整的视频图像被分为两个或四个分屏视频数据,相应的,8LANE或16LANE的MIPI模组也被分为两个或四个子模组,为确保最大的视频传输率,每个子模组自身则为4LANE的标准模组,因此分屏视频数据被对应的传输给各个子模组里,之后MIPI模组再将它们进行合并来显示出正常画面。

[0005] 然而目前在此类MIPI模组产品的生产、调试、检测过程中,仍然使用标准模组的MIPI图像发生设备,即需要多种设备同时产生不同分屏的图像数据送入模组来完整显示。这样不仅操作麻烦、每个分屏图像同步困难、易于出错、检测效果不理想、且生产率较低。

### 发明内容

[0006] 针对现有技术的不足,本发明的目的是提供一种通过一片FPGA芯片来输出多种MIPI数据LANE数的信号,可实现1到4LANE、8LANE、16LANE的MIPI信号的基于FPGA实现MIPI多种LANE数的数据信号的方法和装置。

[0007] 为实现上述目的,本发明所设计的一种基于FPGA实现MIPI多种LANE数的数据信号的方法,其特殊之处在于,包括如下步骤:

[0008] 1) 从上层接收MIPI配置信息,进行配置操作,所述MIPI配置信息包括MIPI模组LANE数、模组分屏方式、RGB位宽、MIPI传输控制参数和MIPI输出电气配置;

[0009] 2) 根据所述MIPI配置信息中的MIPI模组LANE数和模组分屏方式将输入的RGB视频信号转换为四路分屏视频数据;

[0010] 3) 根据所述MIPI配置信息中的RGB位宽将四路分屏视频数据转换为四路字节数据;

[0011] 4) 对所述四路字节数据进行组包,形成四路MIPI组包数据;

[0012] 5) 根据所述MIPI配置信息中的MIPI模组LANE数,将所述四路MIPI组包数据分配到

每个数据LANE上,形成MIPI信号;

[0013] 6) 根据所述MIPI配置信息中的MIPI传输控制参数对所述每个数据LANE上的MIPI信号进行MIPI传输操作;

[0014] 7) 根据所述MIPI配置信息中的MIPI输出电气配置对所述每个数据LANE上的MIPI信号进行输出电气和传输特性调整,然后将所述每个数据LANE上的MIPI信号发送至MIPI模组显示。

[0015] 优选地,所述步骤2)之后还包括将所述四路分屏视频数据缓存的步骤,以确保后续模块能同步进行操作。

[0016] 优选地,所述步骤2)中当所述MIPI模组LANE数为1~4LANE时,将输入的RGB视频信号转换为四路全分屏视频数据输出;当所述MIPI模组LANE数为8LANE时,将输入的RGB视频信号转换为四路二分屏视频数据输出;当MIPI模组LANE数为16LANE时,将输入的RGB视频信号转换为四路四分屏视频数据输出。本发明能实现包括LANE数为1、2、3、4、8、16的MIPI模组的数据信号。

[0017] 优选地,所述步骤3)之后还包括对所述四路字节数据进行同步操作的步骤,避免前序操作所产生的添加包相关参数引起的数据不同步。

[0018] 优选地,所述步骤6)中MIPI传输操作包括根据所述MIPI传输控制参数中的MIPI时钟的HS-LP时序输出控制所述每个数据LANE上的MIPI信号分别以HS状态和LP状态输出。根据MIPI DSI协议的规定,MIPI信号包括HS状态和LP状态两种传输模式。

[0019] 优选地,所述MIPI信号在HS状态以LVDS信号电气标准输出,在LP状态以LVCOMS信号电气标准输出。本发明基于FPGA实现,故对时钟、数据的HS状态信号使用LVDS信号电气标准、而LP状态信号采用LVCMOS信号电气标准,从而产生符合MIPI协议规范的HS状态、LP状态的传输信号。

[0020] 优选地,所述MIPI输出电气配置包括电平范围、驱动强度、端接匹配、输出阻抗和传输高频加重,以确保模组能同时接收到各个LANE的相同质量的MIPI信号,从而保证点屏效果。

[0021] 一种实现上述基于FPGA实现MIPI多种LANE数的数据信号的方法的装置,包括MIPI控制模块、RGB数据分屏模块、RGB转MIPI模块、MIPI组包模块、MIPI数据LANE分配模块、传输同步控制模块和MIPI信号同步输出模块;

[0022] 所述MIPI控制模块分别与RGB数据分屏模块、RGB转MIPI模块、MIPI组包模块、MIPI数据LANE分配模块、传输同步控制模块和MIPI信号同步输出模块连接,所述RGB数据分屏模块通过RGB转MIPI模块与MIPI组包模块连接,所述MIPI组包模块与MIPI数据LANE分配模块连接,所述MIPI数据LANE分配模块通过传输同步控制模块和MIPI信号同步输出模块连接,所述MIPI信号同步输出模块与MIPI模组连接;

[0023] 所述MIPI控制模块用于MIPI配置信息,进行配置操作;

[0024] 所述RGB数据分屏模块用于将输入的RGB视频信号转换为四路分屏视频数据;

[0025] 所述RGB转MIPI模块用于将四路分屏视频数据转换为四路字节数据;

[0026] 所述MIPI组包模块用于对所述四路字节数据进行组包,形成四路MIPI组包数据;

[0027] 所述MIPI数据LANE分配模块将所述四路MIPI组包数据分配到每个数据LANE上,形成MIPI信号;

[0028] 所述传输同步控制模块用于对所述每个数据LANE上的MIPI信号进行MIPI传输操作；

[0029] 所述MIPI信号同步输出模块用于对所述每个数据LANE上的MIPI信号进行输出电气和传输特性调整,并将所述每个数据LANE上的MIPI信号发送至MIPI模组。

[0030] 进一步地,还包括分别与RGB数据分屏模块和RGB转MIPI模块连接的RGB数据同步模块,所述RGB数据同步模块用于将所述四路分屏视频数据缓存。

[0031] 更进一步地,还包括分别与MIPI组包模块和MIPI数据LANE分配模块连接的MIPI数据同步模块,所述MIPI数据同步模块用于对所述四路字节数据进行同步操作。

[0032] 本发明的有益效果在于:

[0033] (1) 本发明可通过上层软件的操作配置来实现输出不同LANE数的MIPI信号,在使用中可直接应用到不同MIPI模组,无需其他信号转换设备。

[0034] (2) 本发明不仅支持1到4LANE的标准模组,还支持8LANE、16LANE超高清MIPI模组,可仅输入一路所要显示的完整画面的RGB信号,通过上层配置将其转换成所需的8LANE、16LANE分屏数据MIPI信号送出显示。

[0035] (3) 本发明通过内部同步控制从而确保在输出8LANE、16LANE分屏数据信号时各个LANE上的MIPI信号均能同时到达MIPI模组确保MIPI模组正确显示。

[0036] (4) 本发明通过用FPGA芯片来实现所述功能,不仅工作稳定、可靠性高、实现容易,而且成本较低,操作简便。

## 附图说明

[0037] 图1为本发明基于FPGA实现MIPI多种LANE数的数据信号的装置的框图。

[0038] 图2为本发明基于FPGA实现MIPI多种LANE数的数据信号的方法的流程图。

[0039] 图3为根据MIPI DSI协议规定数据LANE的分配方式示意图。

[0040] 图中:MIPI控制模块1,RGB数据分屏模块2,RGB数据同步模块3,RGB转MIPI模块4,MIPI组包模块5,MIPI数据同步模块6,MIPI数据LANE分配模块7,传输同步控制模块8,MIPI信号同步输出模块9,MIPI模组10。

## 具体实施方式

[0041] 以下结合附图和具体实施例对本发明作进一步的详细描述。

[0042] 如图1所示,本发明所提供的一种基于FPGA实现MIPI多种LANE数的数据信号的装置,包括MIPI控制模块1、RGB数据分屏模块2、RGB数据同步模块3、RGB转MIPI模块4、MIPI组包模块5、MIPI数据同步模块6、MIPI数据LANE分配模块7、传输同步控制模块8和MIPI信号同步输出模块9。

[0043] MIPI控制模块1分别与RGB数据分屏模块2、RGB转MIPI模块4、MIPI组包模块5、MIPI数据LANE分配模块7、传输同步控制模块8和MIPI信号同步输出模块9连接,RGB数据分屏模块2通过RGB数据同步模块3与RGB转MIPI模块4连接,RGB转MIPI模块4通过MIPI组包模块5与MIPI数据同步模块6连接,MIPI数据同步模块6与MIPI数据LANE分配模块7连接,MIPI数据LANE分配模块7通过传输同步控制模块8和MIPI信号同步输出模块9连接,MIPI信号同步输出模块9与MIPI模组10连接。

- [0044] MIPI控制模块1用于MIPI配置信息,进行配置操作。
- [0045] RGB数据分屏模块2用于将输入的RGB视频信号转换为四路分屏视频数据。
- [0046] RGB数据同步模块3用于将四路分屏视频数据缓存。
- [0047] RGB转MIPI模块4用于将四路分屏视频数据转换为四路字节数据。
- [0048] MIPI组包模块5用于对四路字节数据进行组包,形成四路MIPI组包数据。
- [0049] MIPI数据同步模块6用于对四路字节数据进行同步操作。
- [0050] MIPI数据LANE分配模块7将四路MIPI组包数据分配到每个数据LANE上,形成MIPI信号。
- [0051] 传输同步控制模块8用于对每个数据LANE上的MIPI信号进行MIPI传输操作。
- [0052] MIPI信号同步输出模块9用于对每个数据LANE上的MIPI信号进行输出电气和传输特性调整,并将每个数据LANE上的MIPI信号发送至MIPI模组10。
- [0053] 如图2所示,根据上述装置实现基于FPGA实现MIPI多种LANE数的数据信号的方法的具体步骤包括:
- [0054] 1) MIPI控制模块1从上层的上层MIPI控制信号接收MIPI配置信息,将MIPI配置信息送入RGB数据分屏模块2、RGB转MIPI模块4、MIPI组包模块5、MIPI数据LANE分配模块7、传输同步控制模块8和MIPI信号同步输出模块9进行配置操作。MIPI配置信息包括MIPI模组LANE数(LANE数可以为1、2、3、4、8、16)、模组分屏方式(如左右分半屏、奇偶像素分屏等)、RGB位宽(如6、8、10、12、16bit)、MIPI传输控制参数和MIPI输出电气配置。
- [0055] 2) 配置操作后,MIPI控制模块1启动RGB数据分屏模块2,RGB数据分屏模块2根据MIPI配置信息中的MIPI模组LANE数和MIPI模组的分屏方式将输入的RGB视频信号转换为四路分屏视频数据。
- [0056] 当所述MIPI模组LANE数为1~4LANE时,RGB数据分屏模块2将输入的RGB视频信号转换为四路全分屏视频数据输出,即将输入视频信号不分屏处理直接复制四路数据输出;当所述MIPI模组LANE数为8LANE时,RGB数据分屏模块2将输入的RGB视频信号转换为四路二分屏视频数据输出,即进行二分屏处理,然后复制两通道输出,如#1、#2为一通道的两个分屏视频数据,#3、#4为另一通道的两个分屏视频数据;当MIPI模组LANE数为16LANE时,RGB数据分屏模块2将输入的RGB视频信号转换为四路四分屏视频数据输出,即进行四分屏处理,则输出的1到4路分别对应四个分屏视频数据。
- [0057] 3) RGB数据分屏模块2将四路分屏视频数据送入RGB数据同步模块3进行缓存以确保后续模块能同步进行操作。为避免所输入的数据因传输抖动或操作延时,RGB数据同步模块3将其缓存一半分屏的帧数据后,RGB转MIPI模块4再将其取出。
- [0058] 4) RGB转MIPI模块4根据所述MIPI配置信息中的RGB位宽将四路分屏视频数据转换为四路字节数据。RGB转MIPI模块4根据RGB位宽配置,将输入的四路分屏视频数据的RGB数据转化成字节数据输出,当RGB比特位宽超过1个字节,则将其拆分成高低字节依次输出。同时RGB转MIPI模块4会根据分屏方式配置,对视频数据的开头、结束、分断等模组接收要求进行处理,如数据开头前加分屏同步信息、数据结束后加分屏像素位置等标识。
- [0059] 5) MIPI组包模块5对四路字节数据进行组包操作,形成四路MIPI组包数据,从而转换成MIPI数据后送入MIPI数据同步模块6进行同步处理,避免操作所产生的添加包相关参数引起的不同步。

[0060] 6) MIPI数据LANE分配模块7对同步输入的四路MIPI组包数据根据MIPI配置信息中的MIPI模组LANE数配置将其分配输出到每个数据LANE上形成MIPI信号(详见附图2)。当被配置为4LANE、8LANE、16LANE模组时,MIPI数据LANE分配模块7将输入的1、2、3、4路数据顺序依次分配到各自的1到4LANE、5到8LANE、9到12LANE、13到16LANE信号中;当被配置为1LANE、2LANE、3LANE模组时,则每一路输入被分配到各自对应的四个LANE其中的1、2、3LANE信号上。

[0061] 7) MIPI数据LANE分配模块7将分配好的每个数据LANE的MIPI信号送入传输同步控制模块8时,MIPI控制模块1则根据所要输出MIPI模组10的特性通过MIPI传输控制配置对传输同步控制模块8进行MIPI传输操作,如MIPI时钟的HS-LP时序输出、各个数据Lane信号的HS-LP时序输出和同步、MIPI时钟、数据信号相互同步。由于是FPGA实现,故对时钟、数据的HS状态信号使用LVDS信号电气标准、而LP状态信号采用LVCMOS信号电气标准。从而产生符合MIPI协议规范的HS、LP传输信号。

[0062] 8) 传输同步控制模块8将时钟、数据的HS状态、LP状态的MIPI信号分别送入MIPI信号同步输出模块9,MIPI信号同步输出模块9将每个数据LANE的HS状态、LP状态的MIPI信号合并成标准的MIPI LANE信号输出给MIPI模组10,MIPI模组10显示接收的MIPI信号。同时MIPI信号同步输出模块9根据MIPI输出电气配置对每个数据LANE信号进行输出电气和传输特性调整、即根据和MIPI模组10相连的各个连接件或连接线的特性,对包括电平范围、驱动强度、端接匹配、输出阻抗、传输高频加重在内的各种物理输出特性做出调整,同时、根据各个连接件或连接线的不同长度对每个数据LANE的输出信号做出不同的延时,以确保模组能同时接收到每个数据LANE的相同质量的MIPI信号,从而保证点屏效果。

[0063] 以上仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以设计出若干改进,这些改进也应视为本发明的保护范围。

[0064] 本说明书未作详细描述的内容属于本领域专业技术人员公知的现有技术。



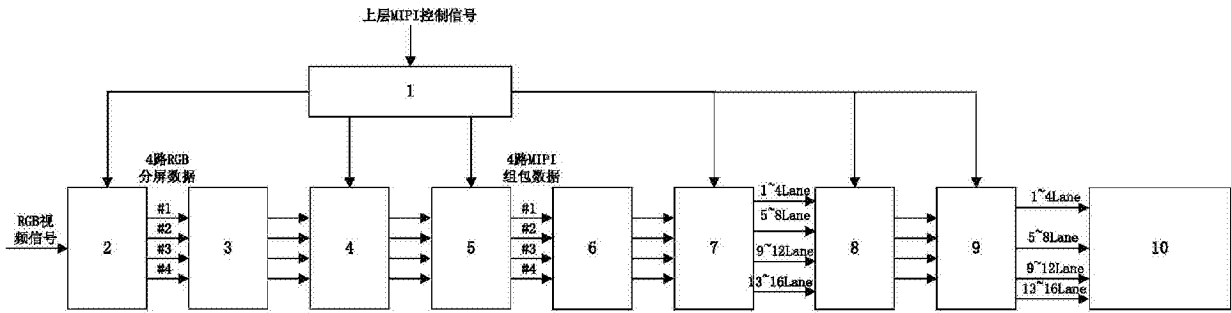


图1

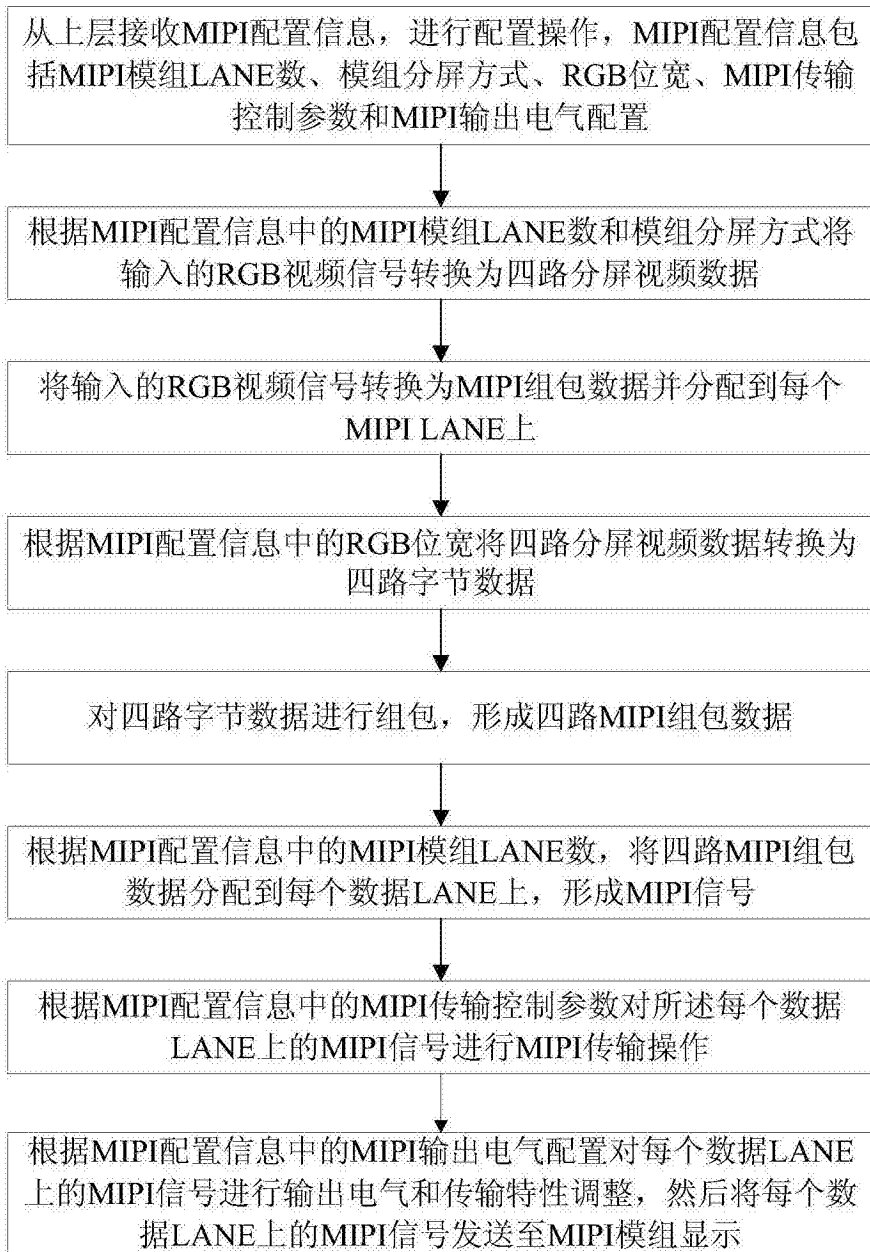


图2

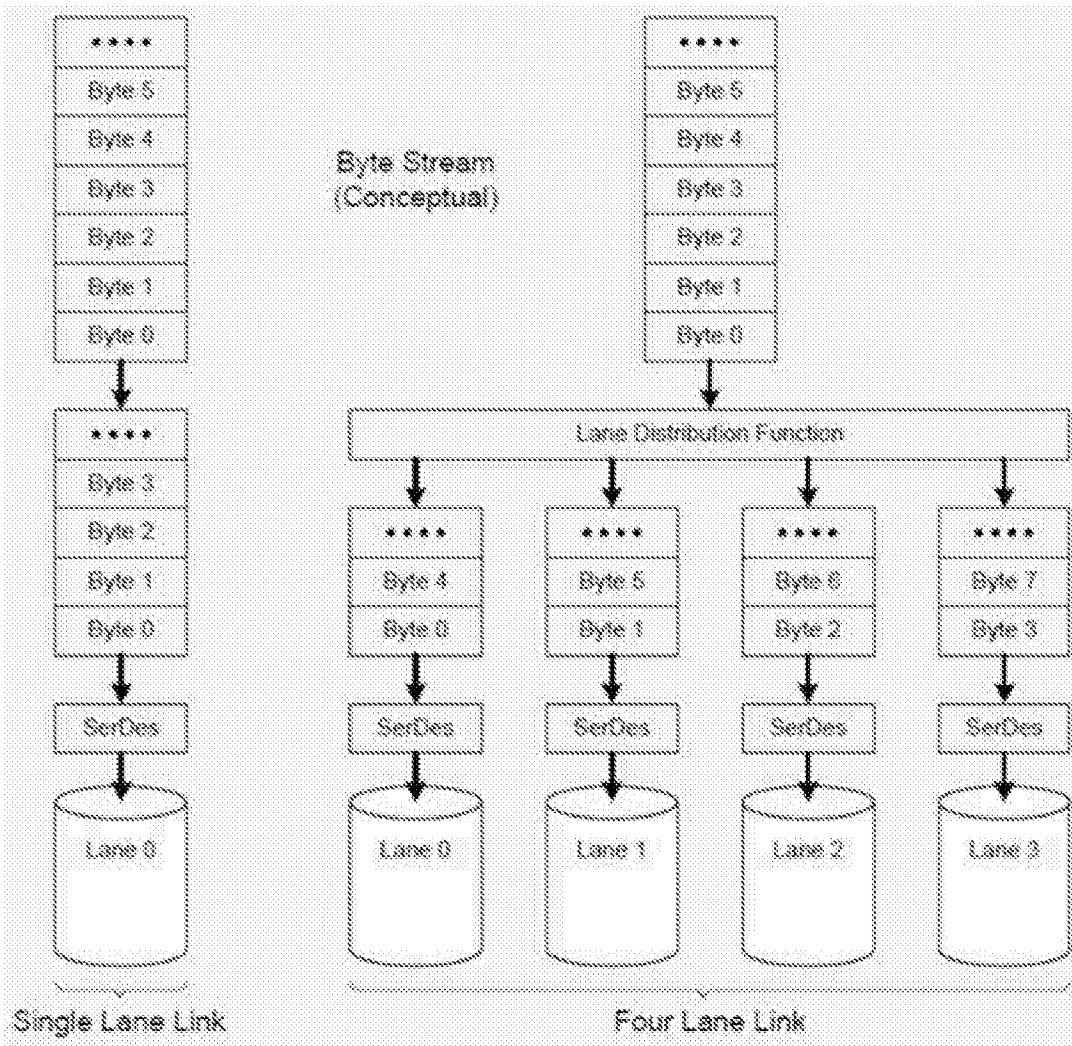


图3