



[12] 发明专利说明书

专利号 ZL 200610142513.1

[45] 授权公告日 2009年8月12日

[11] 授权公告号 CN 100527280C

[22] 申请日 2006.10.18

[21] 申请号 200610142513.1

[30] 优先权

[32] 2005.10.18 [33] US [31] 11/252,461

[73] 专利权人 克劳帕斯科技有限公司

地址 美国加利福尼亚州圣塔克莱拉市

[72] 发明人 约翰·M·凯兰汉

海曼苏·T·弗恩肯

迈克尔·D·凡斯尔

格伦·A·罗森达尔 哈利·S·伦

刘仲尚

[56] 参考文献

EP1583239A2 2005.10.5

US6266269B1 2001.7.24

CN1664955A 2005.9.7

US2005007855A1 2005.1.13

CN1434457A 2003.8.6

审查员 陈安安

[74] 专利代理机构 广州三环专利代理有限公司

代理人 戴建波

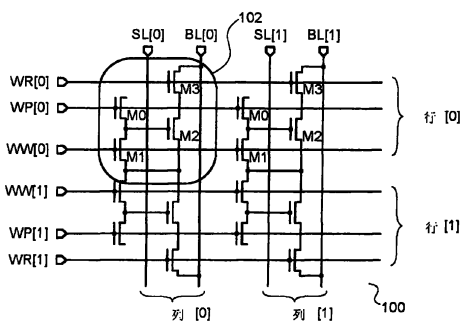
权利要求书 2 页 说明书 11 页 附图 10 页

[54] 发明名称

采用门电路可击穿的多晶体管非易失性存储单元

[57] 摘要

本发明提供了一种用于形成在存储器阵列中的可编程存储单元，该存储器阵列设有列位线与行字线。该存储单元包括一击穿晶体管，该击穿晶体管的门电路连接到一编程字线，以及一写晶体管，该写晶体管在一感测节点与击穿晶体管串联。该写晶体管的门电路连接到一写字线。进一步地，一第一感测晶体管的门电路连接到感测节点。一第二感测晶体管与第一感测晶体管串联，该第二感测晶体管的门电路连接到一读写线，该第二感测晶体管的源极连接到一列位线。



1、一种用于形成在存储器阵列中的可编程存储单元，该存储器阵列设有列位线与行字线，其包括：

一击穿晶体管，该击穿晶体管的门电路连接到一编程字线；

一写晶体管，该写晶体管在一感测节点与所述击穿晶体管串联，所述写晶体管的门电路连接到一写字线；

一第一感测晶体管，该第一感测晶体管的门电路连接到所述感测节点；以及

一第二感测晶体管，该第二感测晶体管与所述第一感测晶体管串联，该第二感测晶体管的门电路连接到一读字线，所述的第二感测晶体管的源极连接到一列位线。

2、如权利要求1所述的存储单元，其中，所述的写晶体管的源极连接到一列源线。

3、如权利要求2所述的存储单元，其中，所述的第一感测晶体管的源极连接到一列源线。

4、如权利要求1所述的存储单元，其中，所述的第一感测晶体管的漏极连接到所述第二感测晶体管的源极。

5、如权利要求 1 所述的存储单元，其中，所述的击穿晶体管被 MOS 电容器或者多晶硅-氧化物-半导体电容器替换，所述的编程字线连接到所述电容器的多晶硅或金属层。

6、如权利要求 1 所述的存储单元，其中，所述的存储单元是通过向所述编程字线施加编程电压并开启所述写晶体管以便允许编程电流流过所述击穿晶体管到达一系列源线而被编程的。

7、如权利要求 1 所述的存储单元，其中，所述的存储单元是通过关闭所述写晶体管，向所述编程字线施加读取电压，并向所述第二感测晶体管的门电路施加 VDD 而被读取的，其中，如果所述的存储单元被编程，所述列位线将具有减弱的电压，而如果所述的存储单元未被编程，则具有稳定的电压。

采用门电路可击穿的多晶体管非易失性存储单元

技术领域

本发明涉及一种非易失性的可编程半导体存储器，更具体地讲，本发明涉及一种采用 CMOS（互补型金属氧化半导体）逻辑工艺制造的 3.5 晶体管存储单元。

背景技术

断开电源时，非易失性存储器（non-volatile memory）仍可保留储存的数据，这是许多各类电子装置都希望能做到的。闪速存储器（flash memory）和熔丝存储器（fuse based memory）是非易失性存储器的两种类型。然而，非易失性存储单元一般需要特殊的制造工艺，这种工艺与 CMOS 逻辑工艺不兼容。

制备非易失性存储器的各种方法的改进往往要落后于像高级 CMOS 逻辑工艺这类的广泛应用的工艺方法的改进。例如，像电可擦可编程只读存储器（EEPROM）这样的装置的处理工艺比标准的高级 CMOS 逻辑处理工艺采用了更多的掩模步骤，这些步骤用于形成一般会设置在高电压发电电路（high voltage generation circuits）、三重阱（triple well）、漂浮门电路（floating gate）、ONO 层以及特殊的源极与漏极结中所需要的各种特殊区域和结构。因此，闪速装置的处理

工艺往往要落后于标准的高级 CMOS 逻辑处理工艺一代或两代。另外，非熔丝（antifuses）存储器的处理工艺必须适于构造各种非熔丝结构和高电压电路，因此也往往要落后于标准的高级 CMOS 处理工艺大约一代。

上述评测表明每种现有技术的存储器技术都仍然存在着缺点。

发明内容

本发明目的是提供一种可以采用高级 CMOS 处理工艺制造的非易失性存储器。

为了实现上述的发明目的，本发明提供了一种用于形成在存储器阵列中的可编程存储单元，该存储器阵列设有列位线（column wordline）与行字线（row wordline），其包括：

一击穿晶体管（breakdown transistor），该击穿晶体管的门电路连接到一编程字线（program wordline）；

一写晶体管（write transistor），该写晶体管在一感测节点（sense node）与击穿晶体管串联，写晶体管的门电路连接到一写字线（write wordline）；

一第一感测晶体管（sense transistor），该第一感测晶体管的门电路连接到感测节点；以及

一第二感测晶体管，该第二感测晶体管与第一感测晶体管串联，该第二感测晶体管的门电路连接到一读字线（read wordline），第二感测晶体管的源极连接到一系列位线（column bitline）。

上述存储单元中，写晶体管的源极可以连接到一系列源线（column sourceline）上；进一步地，第一感测晶体管的源极也可以连接到一系列源线上。

上述存储单元中，第一感测晶体管的漏极可以连接到第二感测晶体管的源极。

可供选择地，击穿晶体管可以被 MOS 电容器或者多晶硅-氧化物-半导体电容器替换，而且编程字线可以连接到电容器的多晶硅或金属层。

具体地，存储单元可以通过向编程字线施加编程电压 V_{PP} 并开启写晶体管以便允许编程电流流过击穿晶体管到达一系列源线而进行编程；存储单元可以通过关闭写晶体管、向编程字线施加读取电压 V_{RD} 并向第二感测晶体管的门电路施加 V_{DD} 而进行读取，其中，若存储单元被编程，则列位线将具有减弱电压，若存储单元未被编程，则具有稳定电压。

本发明的有益效果是：采用击穿晶体管作为存储器阵列的数据储藏元件，可以使用传统的高级 CMOS 工艺构造晶体管。

附图说明

图 1 是本发明的存储器阵列的一部分的电路示意图。

图 2 是图 1 中所示的存储器阵列的一部分的局部布线图。

图 3-图 10 显示了对于选择单元和非选择单元的编程与读出电压。

具体实施方式

在下面的描述中，提供了许多特定细节，以便对本发明的具体实施方式进行透彻的理解。但所属领域的熟练技术人员可以认识到，在没有这些具体细节中的一个或多个的情况下仍能实施本发明，或者采用其它方法、元件、材料、操作等的情况下仍能实施本发明。另外，为了清楚地描述本发明的各种实施方案，因而对众所周知的结构和操作没有示出或进行详细地描述。

在本发明的说明书中，提及“一实施方案”或“某一实施方案”时是指该实施方案所述的特定特征、结构或者特性至少包含在本发明的一个实施方案中。因而，在说明书各处所出现的“在一实施方案中”或“在某一实施方案中”并不一定指的是全部属于同一个实施方案；而且，特定的特征、结构或者特性可能以合适的方式结合到一个或多个的具体实施方案中。

本发明与同是本发明的受让人提出的基于非易失性存储器设计的其他类型的门电路氧化物击穿相关。例如，美国专利第 6,940,751 号、第 6,777,757 号以及第 6,667,902 号中。作为一个例子，这些专利中描述的门电路氧化物击穿结构 (gate oxide breakdown structures) 可以用于下面所述的击穿晶体管元件。

图 1 显示了按照本发明形成的存储器阵列 100 的一个例子。存储器阵列 100 是一个两列两行的阵列；然而，可以理解，该阵列可以是任意大小。存储器阵列 100 包括四个存储单元 102。每行存储单元有三条连接线 (connection lines)：读字线 (简称 WR)、编程字线 (简

称 WP) 以及写字线 (简称 WW)。每列存储单元有二条连接线: 列源线 (简称 SL) 与列位线 (简称 BL)。

请参照图 2, 每个存储单元 102 包括击穿晶体管 M0、写晶体管 M1、第一感测晶体管 M2 以及第二感测晶体管 M3。击穿晶体管 M0 是“半”晶体管, 其将通过门电路氧化物的击穿来“编程”。应当理解为, 在可供选择的实施方式中, 半晶体管可以被 MOS 电容器 (或者多晶硅-氧化物-半导体电容器) 替代或者甚至可以被具有漂浮源 (floating source) 的完整晶体管替代。因此, 这里以及权利要求中使用的术语“击穿晶体管”是指利用门电路氧化物击穿而被编程的器件。被编程的元件应当采用门电路氧化物的击穿来进行编程。

采用击穿晶体管 M0 作为图 1 所示的存储器阵列 100 的数据储藏元件是有利的, 因为使用许多传统的 CMOS 方法构造的晶体管, 其仅采用了一个多晶硅沉积步骤, 而没有为此增加任何的掩模步骤。这与“漂浮门电路”类型的闪速存储器相反, 其至少需要两个多晶硅层。此外, 随着现代科技的进步, 晶体管的尺寸可以非常小。例如, 目前通用的 0.13 微米、0.09 微米以及更小线宽的处理工艺将大幅地增大密度。

虽然显示的只是一个两行两列的存储器阵列 100, 而实际上这样的存储器阵列可以包含 32KB (kilobits) 到 1GB (gigabit) 之间任意数量级的存储单元, 或者, 当采用如先进的 0.09 μm 的 CMOS 逻辑处理工艺来构造时, 可以包含更多的存储单元。随着 CMOS 逻辑处理工艺的进一步改善, 将会获得更大的存储器。在实际中存储器阵列

100 被组编成字节 (bytes) 与页 (pages) 以及冗余行 (redundant rows) (图未示), 可采用任何希望的方式进行。许多适合的存储器组织方式是本领域中熟知的。

如图 2 所示, 写晶体管 M1 与击穿晶体管 M0 串联。击穿晶体管 M0 的门电路连接到编程字线 WP。写晶体管 M1 的门电路连接到写字线 WW。写晶体管 M1 的漏极连接到列源线 SL。

位于击穿晶体管 M0 与写晶体管 M1 之间的感测的节点 SN 被连接到第一感测晶体管 M2 的门电路。第一感测晶体管 M2 的源极被连接到列源线 SL, 并且第一感测晶体管 M2 的漏极被连接到第二感测晶体管 M3, 使得 M2 与 M3 串联。第二感测晶体管 M3 的门电路被连接到读字线 WR, 并且第二感测晶体管 M3 的漏极被连接到列位线 BL。

为了对存储单元 102 进行编程, 列信号线 (column signal line) SL 被设成低势。编程脉冲(高压, VPP)被施加于编程字线 WP。进而, 在一种实施方式中, 通过向写字线 WW 施加偏压, 写晶体管 M1 也被开启, 该偏压可为大约 $V_{PP}/2$ 。这造成击穿晶体管 M0 的门电路氧化物的击穿, 从而形成一条导电路径。编程还可以通过 VPP 编程脉冲的振幅和宽度来控制。进一步地, 流过击穿晶体管 M0 的编程电流可以被列信号线 SL 上的电流驱动晶体管 (图未示) 控制。需要指出的是, 在编程过程中, 读字线 WR 处于 0 伏特。

从下面的表 1 可以看出, 信号线按照如此的方法被施加偏压, 使得除了被编程的击穿晶体管以外, 没有晶体管在其端子间出现高于

VPP/2 的电压。

接下来描述读取操作。假定图 1 中坐标(0,0)处的存储单元被要读取。列位线 BL 被预先加压到 VDD。在读取操作期间，将被读取的存储单元的写字线 WW 被保持在 0 伏特。将被读取的存储单元的编程字线 WP 处在 VRD。在读取期间，将被读取的存储单元的读字线 WR 被施加偏压到 VDD。

如果坐标(0,0)处的将被读取的存储单元被编程，节点 SN 升高到一个足够高的值以开启第一感测晶体管 M2。此时，列位线 BL 经由感测晶体管 M3 和 M2 放电。当被读取的存储单元的列位线 BL 上的电压降低到低于预定参考电压时，感测放大器(图未示)发出信号。

然而，如果存储单元未进行编程，那么节点 SN 将保持在 0 伏特附近。因此，即使第二感测晶体管 M3 将开启，但第一感测晶体管 M2 将保持关闭，从而列位线 BL 上的电荷将被保留。

对于那些没有被读取的单元(未被选择的列和行)，下面的表 1 中提供了电压。

表 1

行偏压		选择行 (行[0])		未被选择行 (行[1])	
信号	描述	编程 M0	读取 M0	编程 M0	读取 M0
WP	编程字线	VPP	VRD	VPP/2	VRD
WW	写字线	VPP/2	0V	VPP/2	0V
WR	读字线	0V	VDD	VDD	0V

列偏压		选择列 (列[0])		未选择列 (列[1])	
信号	描述	编程 M0	读取 M0	编程 M0	读取 M0
SL	源线	0V	0V	VPP/2	0V
BL	位线	VDD	VDD (Pre-Q)	VDD	VDD

一般地，第一感测晶体管 M2 很小，使得击穿晶体管 M0 的编程电阻 (programmed resistance) 可以快速地驱动第一感测晶体管 M2 的门电路。

可以理解，所施加电压的精确量级取决于门电路氧化物的厚度和其它因素。因此，例如，对于 0.09 微米 CMOS 处理工艺，门电路氧化物一般较薄，因而只需要较低的编程电压 (programming voltage)。

而且，晶体管的尺寸还可以因为各种设计考虑的需要而变化。在一实施方式中，采用 0.13 微米 CMOS 逻辑处理工艺，晶体管可能具有如下的宽/长比：

晶体管	宽度(微米)	长度(微米)
M0	0.32	0.24
M1	0.32	0.18
M2	0.3	0.13
M3	0.3	0.13

此外，可以理解，其它的尺寸和比率也可以采用，但仍属于本发

明的精神和范围。

在一实施方案中，各种电压见图 3；图 3 显示了存储单元的编程。如图所示，在该实施方案中，VPP 是 6.5 伏特而 VDD 是 1.2 伏特。一种考虑是，被编程的击穿晶体管 M0（相当于半晶体管）的电阻（resistance）与写晶体管 M1 的阻抗（impedance）将导致一个比率，使得节点 SN 上的信号不会超过 VPP/2。

请参照图 4，其显示了处于选择行与选择列的存储单元的读取电压。施加于写字线为 0 伏特。1.8 伏特的读取电压 VRD 被施加于编程字线，1.2 伏特被施加于读字线与列位线。列源线在该实施方案中保持在 0 伏特。在这些电压偏压下，若存储单元已经被编程，电荷将流过击穿晶体管 M0 到达节点 SN 上。这使得列位线上的电荷通过第一感测晶体管 M2 与第二感测晶体管 M3 到达列源线上。列位线上的感测放大器（sense amplifier）将会感测到电压下降，这表明这是一个被编程的单元。若该单元未被编程，则击穿晶体管 M0 将不会把电荷置于节点 SN 上，并且列位线将不会电压下降。

如图 5 所示，当存储单元处在选择行而处在非选择列时，在编程处理过程中，未选择的列源线具有 3.25 伏特的供应电压。这将约 3 伏特的电荷放置于节点 SN 上，结果是没有足够的电压通过该击穿晶体管，击穿晶体管 M0 没有被编程。

如图 6 所示，在选择行与非选择列的读取操作过程中，施加的电压及效果与处于选择行及选择列的存储单元的读取是相同的。但是，由于感测放大器是沿着列位线的，并且列位线是未选择的，所以这是

一个“无关”（don't care）的状态。

接下来，请参照图 7，其显示了用于编程处于非选择行和选择列的存储单元的电压。此时，击穿晶体管 M0 在这些条件下不能被编程。

接下来，请参照图 8，其显示了读取处于非选择行和选择列的存储单元过程中施加的电压。此时，无论击穿晶体管 M0 被编程还是未被编程都没有关系。节点 SN 上的电压在这种情况下没有效果，因为读字线保持在 0 伏特。

请参照图 9，在非选择行和非选择列的存储单元的编程过程中，编程字线处于 3.25 伏特，写字线处于零伏特。若击穿晶体管 M0 预先已被编程，则节点 SN 将充电，但是这没有效果。若击穿晶体管 M0 没有被预先编程，则节点 SN 可以通过写晶体管 M1 并且还可能通过击穿晶体管聚集电荷，但这将在读取周期中进行处理。

具体地，请参照图 10，在非选择行与非选择存储单元的读取周期中，若击穿晶体管 M0 被编程，则节点 SN 将会充电。但这种情况下没有效果。若击穿晶体管 M0 未被编程，则节点 SN 可以接收一些可能通过击穿晶体管 M0 的电荷，但这将在选择行和选择列的读取周期被处理。

仍参照图 4，对于选择行和选择列的情形，在读字线被断定（asserted）之前，写字线上的信号可能有一个短期的正脉冲，用于清除位于感测节点 SN 上的所有泄漏电荷。这将会解决节点 SN 上的所有杂散电荷（stray charge）的问题。若击穿晶体管 M0 被编程，感测节点将被降压（pulled down）并且通过编程的击穿晶体管 M0 再次

充电。这一般是一个非常短的时间常数，因此写字线上的正脉冲可以是非常短。完成此后，读字线被断定。

这里所阐述的本发明的描述及其应用只是举例说明，而不是对本发明的范围的限制。可以在本发明所揭示的实施方案上进行各种变化和修改，而对于本领域的普通技术人员来说，根据实施方案的各种原理进行实际选择和等同替换是显而易见的。比如，在各个示例中所提出的各种电压仅仅是举例说明，因为具有一定判断力的人都能在一个电压范围内选出一个精确的电压，而且这些电压在任何情况下都取决于设备的特性。术语“行字线”与“列位线”被普遍用在存储器中来描述线路类型，但是一些存储器可能有些不同。另外，各种掺杂类型可以颠倒，比如上面描述的 n-沟道晶体管可以被 p-沟道晶体管替换。在本发明的具体实施方案的基础上进行的这些以及其它可能的变化和修改都没有脱离本发明的范围和精神。

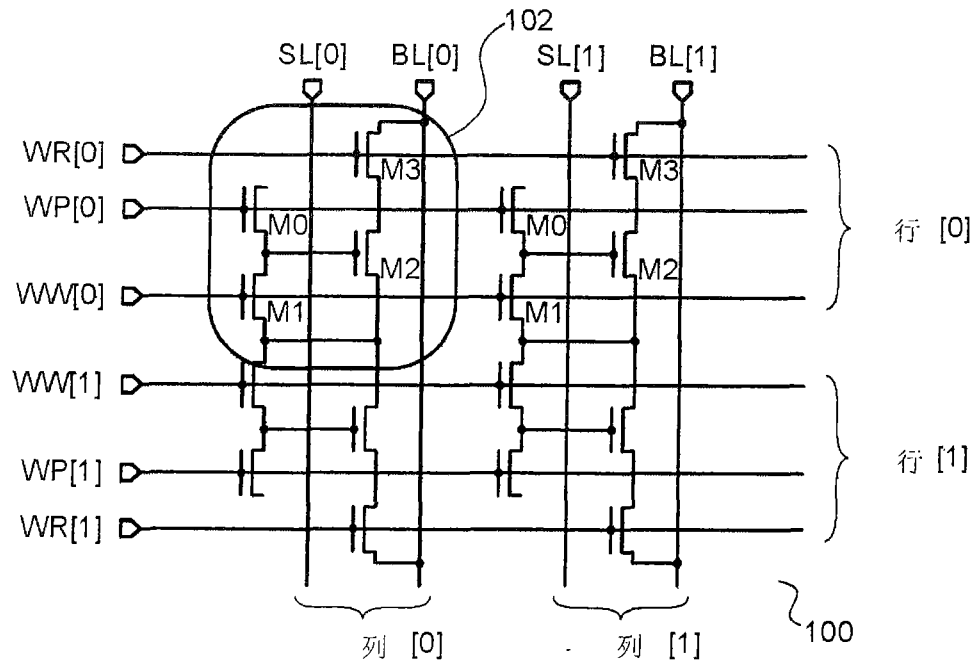


图 1

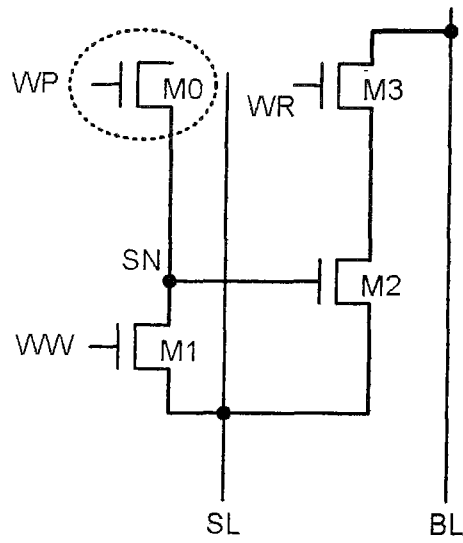


图 2

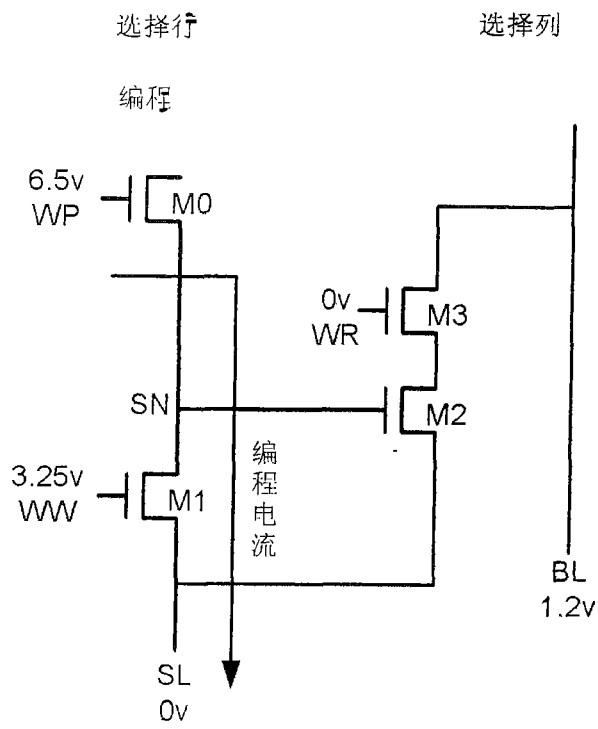


图 3

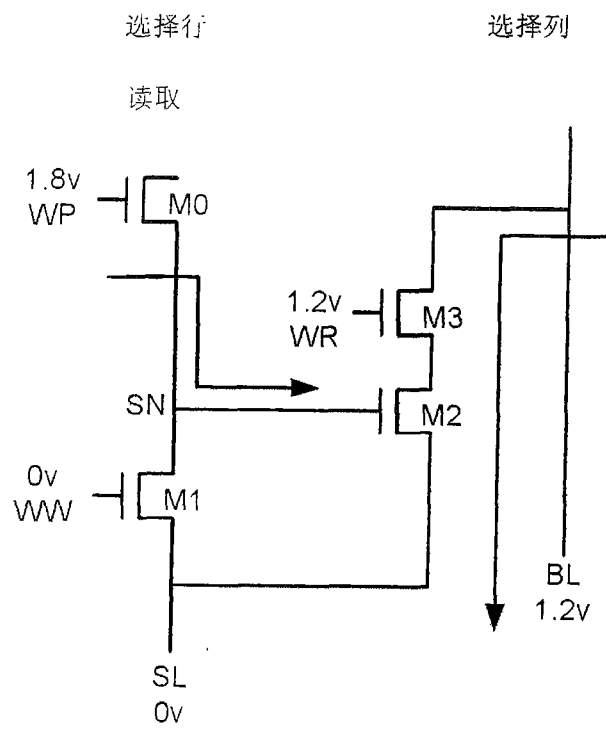


图 4

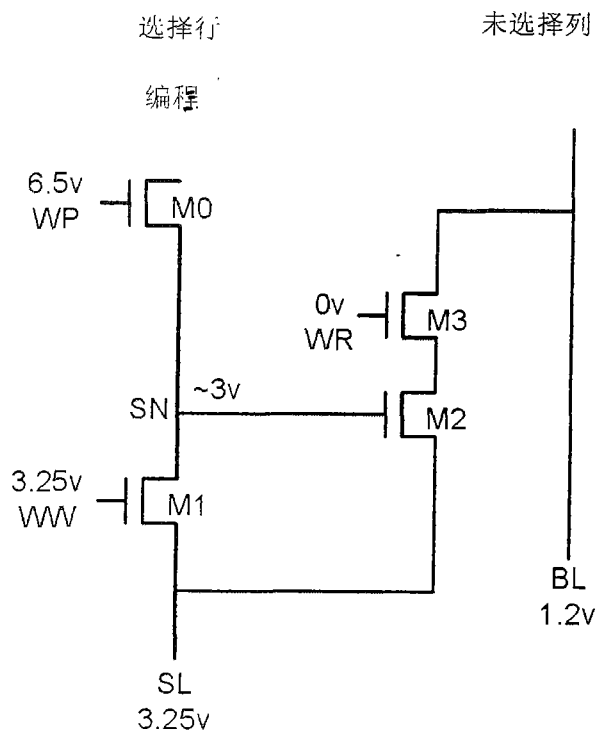


图 5

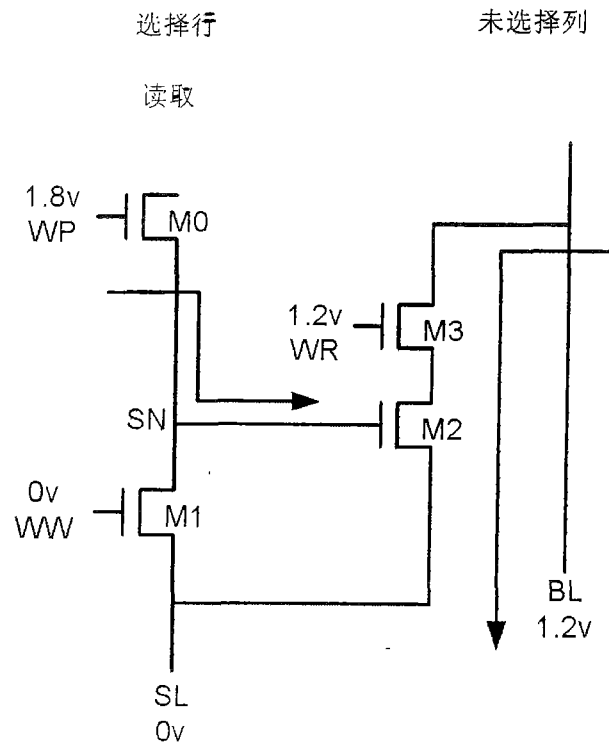


图 6

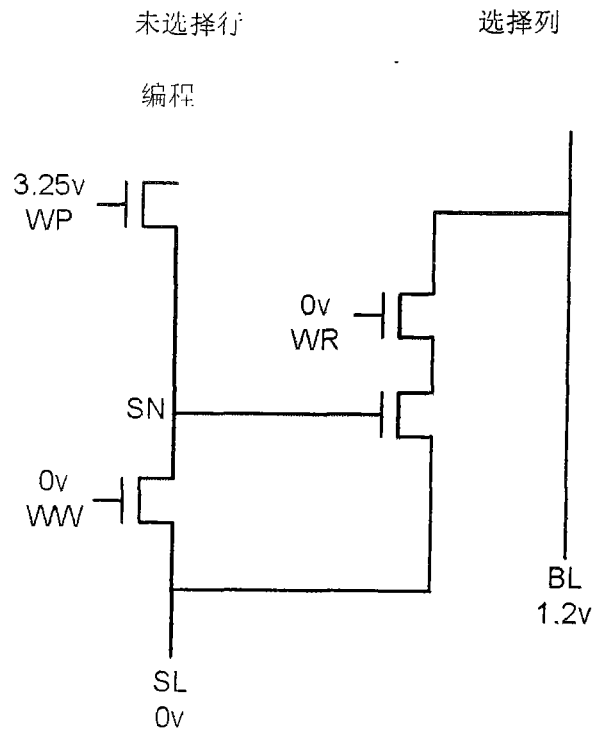


图 7

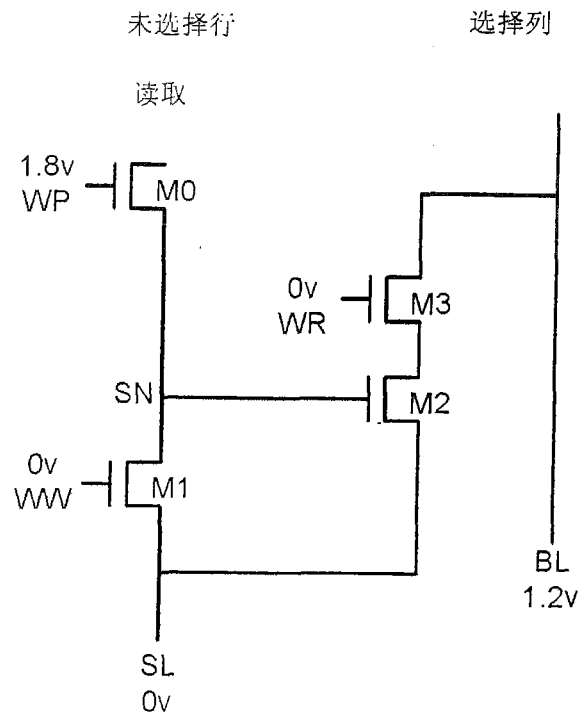


图 8

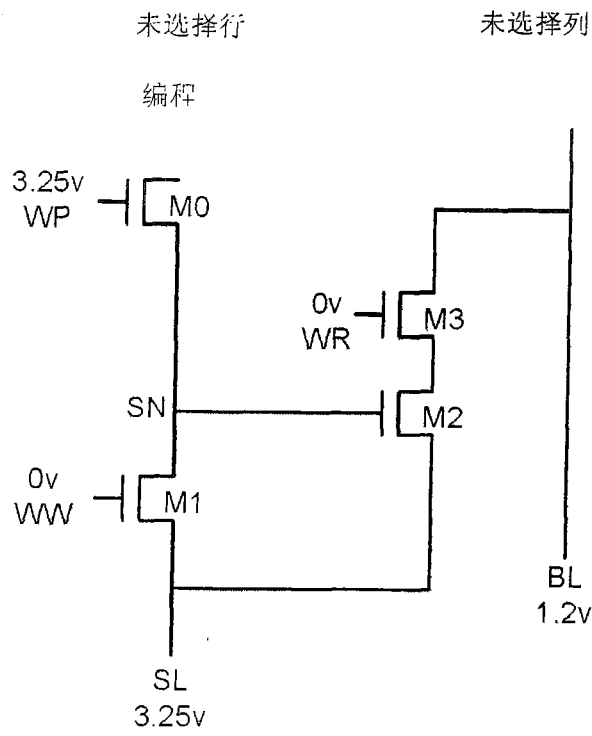


图 9

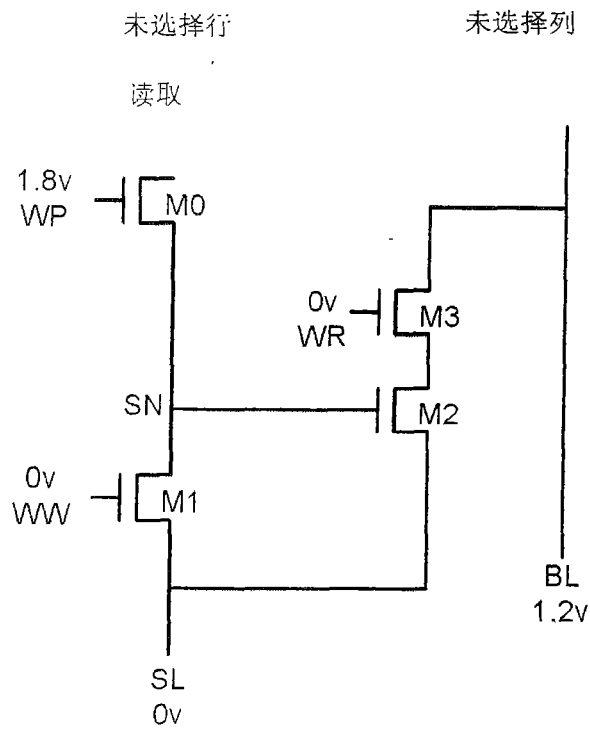


图 10