

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5230853号
(P5230853)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 621M
G02F 1/133 (2006.01)	G09G 3/20 680G
G11C 19/00 (2006.01)	G09G 3/20 622M
G11C 19/28 (2006.01)	G09G 3/20 622G
請求項の数 11 (全 21 頁) 最終頁に続く	

(21) 出願番号 特願2012-555991 (P2012-555991)
 (86) (22) 出願日 平成24年4月2日(2012.4.2)
 (86) 国際出願番号 PCT/JP2012/058918
 (87) 国際公開番号 W02012/137728
 (87) 国際公開日 平成24年10月11日(2012.10.11)
 審査請求日 平成24年12月12日(2012.12.12)
 (31) 優先権主張番号 特願2011-86401 (P2011-86401)
 (32) 優先日 平成23年4月8日(2011.4.8)
 (33) 優先権主張国 日本国(JP)

早期審査対象出願

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 山本 薫
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 走査信号線駆動回路およびそれを備えた表示装置

(57) 【特許請求の範囲】

【請求項1】

表示パネルを構成する基板上にモノリシックに形成され、前記基板上に配設された複数本の走査信号線を駆動する走査信号線駆動回路であって、

前記複数本の走査信号線のうちの奇数行目の走査信号線を駆動するための複数個の奇数ライン走査用回路と、

前記複数本の走査信号線のうちの偶数行目の走査信号線を駆動するための複数個の偶数ライン走査用回路と、

前記複数個の奇数ライン走査用回路および前記複数個の偶数ライン走査用回路の中からアクティブにすべき回路を選択する選択回路と

を備え、

前記選択回路、前記奇数ライン走査用回路、および前記偶数ライン走査用回路は、外部から入力されるクロック信号に基づき第1の状態または第2の状態のいずれかを示す状態信号を出力する複数の段からなるシフトレジスタで構成され、

前記シフトレジスタを構成する各段は、

前記状態信号を出力するための出力ノードと、

第2電極に前記クロック信号が与えられ、前記出力ノードに第3電極が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

前記出力ノードと前記第1ノードとの間に設けられた容量素子と、

開始指示信号または前段の出力ノードから出力される状態信号に基づいて前記第1ノードを充電するための第1ノード充電部と、

次段の出力ノードから出力される状態信号に基づいて前記第1ノードを放電するための第1ノード放電部と、

次段の出力ノードから出力される状態信号に基づいて前記出力ノードを放電するための出力ノード放電部と

を有し、

前記複数本の走査信号線は、連続する k 本(k は4以上の整数)の走査信号線が各ブロックに含まれるように、 z 個(z は2以上の整数)のブロックに区分され、

前記奇数ライン走査用回路および前記偶数ライン走査用回路は、ブロック毎に設けられ

10

、
前記選択回路は、1個目から z 個目までのブロックを1つずつ順次に選択しつつ、前記奇数ライン走査用回路と前記偶数ライン走査用回路とを交互に選択し、

各奇数ライン走査用回路は、対応するブロックに含まれる奇数行目の走査信号線を順次に選択的に駆動し、

各偶数ライン走査用回路は、対応するブロックに含まれる偶数行目の走査信号線を順次に選択的に駆動することを特徴とする、走査信号線駆動回路。

【請求項2】

前記シフトレジスタを構成する各段において、前記第1ノード充電部によって前記第1ノードが充電された後であって前記第1ノード放電部によって前記第1ノードが放電される前に、前記出力制御用スイッチング素子の第2電極に与えられているクロック信号がローレベルからハイレベルに変化することを特徴とする、請求項1に記載の走査信号線駆動回路。

20

【請求項3】

前記奇数ライン走査用回路を構成するシフトレジスタの一段目には、前記選択回路を構成するシフトレジスタの奇数段目から出力される状態信号が前記開始指示信号として与えられ、

前記偶数ライン走査用回路を構成するシフトレジスタの一段目には、前記選択回路を構成するシフトレジスタの偶数段目から出力される状態信号が前記開始指示信号として与えられ、

30

前記複数本の走査信号線のうちの奇数行目の走査信号線には、前記奇数ライン走査用回路を構成するシフトレジスタの各段から出力される状態信号が走査信号として与えられ、

前記複数本の走査信号線のうちの偶数行目の走査信号線には、前記偶数ライン走査用回路を構成するシフトレジスタの各段から出力される状態信号が走査信号として与えられることを特徴とする、請求項1または2に記載の走査信号線駆動回路。

【請求項4】

前記シフトレジスタを構成する各段において、

前記第1ノード充電部は、前段の出力ノードから出力される状態信号が第1電極および第2電極に与えられ、前記第1ノードに第3電極が接続された第1のスイッチング素子を含み、

40

前記第1ノード放電部は、次段の出力ノードから出力される状態信号が第1電極に与えられ、前記第1ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第2のスイッチング素子を含むことを特徴とする、請求項1に記載の走査信号線駆動回路。

【請求項5】

前記シフトレジスタを構成する各段において、

前記出力ノード放電部は、前段の出力ノードから出力される状態信号が第1電極に与えられ、前記出力ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第3のスイッチング素子を含むことを特徴とする、請求項1に記載の走査信号線駆動回路。

50

【請求項 6】

前記シフトレジスタを構成する各段は、外部から入力されるクリア信号が第 1 電極に与えられ、前記出力ノードに第 2 電極が接続され、ローレベルの電位が第 3 電極に与えられる第 4 のスイッチング素子を更に有することを特徴とする、請求項 1 に記載の走査信号線駆動回路。

【請求項 7】

前記シフトレジスタを構成する各段は、外部から入力されるクリア信号が第 1 電極に与えられ、前記第 1 ノードに第 2 電極が接続され、ローレベルの電位が第 3 電極に与えられる第 5 のスイッチング素子を更に有することを特徴とする、請求項 1 に記載の走査信号線駆動回路。

10

【請求項 8】

前記シフトレジスタを構成する各段に含まれるスイッチング素子は、アモルファスシリコンからなる薄膜トランジスタであることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の走査信号線駆動回路。

【請求項 9】

前記シフトレジスタを構成する各段に含まれるスイッチング素子は、インジウム、ガリウム、亜鉛、および酸素を主成分とする N 型の酸化物半導体からなる薄膜トランジスタであることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の走査信号線駆動回路。

【請求項 10】

表示装置であって、
請求項 1 から 9 までのいずれか 1 項に記載の走査信号線駆動回路と、
前記基板上に配設された複数本の映像信号線を駆動する映像信号線駆動回路とを備え、
前記映像信号線駆動回路は、各映像信号線に印加される映像信号に着目したとき、前記奇数ライン走査用回路が前記選択回路によって選択されている時の前記映像信号の極性と前記偶数ライン走査用回路が前記選択回路によって選択されている時の前記映像信号の極性とを異なる極性にすることを特徴とする、表示装置。

20

【請求項 11】

前記映像信号線駆動回路は、隣接する 2 本の映像信号線に印加される映像信号の極性を互いに異なる極性にすることを特徴とする、請求項 10 に記載の表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動回路に関し、詳しくは、表示装置の表示部に配設された走査信号線を駆動する走査信号線駆動回路（ゲートドライバ）に関する。

【背景技術】

【0002】

従来より、スイッチング素子として T F T（薄膜トランジスタ）を備えるアクティブマトリクス型の液晶表示装置が知られている。この液晶表示装置は、互いに対向する 2 枚の絶縁性の基板から構成される液晶パネルを備えている。液晶パネルの一方の基板には、ゲートバスライン（走査信号線）とソースバスライン（映像信号線）とが格子状に設けられ、ゲートバスラインとソースバスラインとの交差部近傍に T F T が設けられている。T F T は、ゲートバスラインに接続されたゲート端子、ソースバスラインに接続されたソース端子、およびドレイン端子から構成される。ドレイン端子は、画像を形成するために基板上にマトリクス状に配置された画素電極と接続されている。液晶パネルの他方の基板には、液晶を介して画素電極との間に電圧を印加するための共通電極（「対向電極」とも呼ばれている。）が設けられている。以上のような構成において、各 T F T のゲート端子がゲートバスラインからアクティブな走査信号を受けたときに当該 T F T のソース端子がソースバスラインから受ける映像信号に基づいて、画素電極 - 共通電極間に電圧が印加される

40

50

。これにより液晶が駆動され、画面上に所望の画像が表示される。

【0003】

ところで、液晶には、直流電圧が加わり続けると劣化するという性質がある。このため、液晶表示装置では、液晶には交流電圧が印加される。このような交流電圧の印加は、個々の画素形成部（画像を構成する最小単位である1つの画素を形成する領域）において画素電圧（共通電極の電位を基準とする画素電極の電位）の極性を1フレーム期間毎に反転させることによって実現されている。このような交流駆動を行いつつ高品位表示を実現する技術として、ライン反転駆動と呼ばれる駆動方式やドット反転駆動と呼ばれる駆動方式が知られている。

【0004】

ライン反転駆動とは、画素電圧の極性を1フレーム期間毎かつ1ゲートバスライン毎（1行毎）に反転させる駆動方式である。ライン反転駆動が採用されている場合、連続する2フレーム期間における画素電圧の極性は、例えば図12に示すようなものとなる。一方、ドット反転駆動とは、画素電圧の極性を1フレーム期間毎かつ1ゲートバスライン毎に反転させ、さらに、1フレーム期間内において横（水平）方向に隣接する画素形成部間の極性をも反転させる駆動方式である。ドット反転駆動が採用されている場合、連続する2フレーム期間における画素電圧の極性は、例えば図13に示すようなものとなる。なお、図12および図13には、16本のゲートバスラインGL1～GL16と8本のソースバスラインSL1～SL8との交差点に対応して設けられている（16×8）個の画素形成部における画素電圧の極性を示している。

【0005】

日本の特開平11-352938号公報には、ライン反転駆動あるいはドット反転駆動が採用されている表示装置に関し、低消費電力化を図る駆動方式が提案されている。この駆動方式においては、ゲートバスラインが複数個のブロックに区分された上で、複数個のブロックに対しては1つずつ順次に選択が行われ、かつ、各ブロックに含まれる複数本のゲートバスラインに対しては飛び越し走査が行われる。例えば、8本のゲートバスラインGL1～GL8が2個のブロックに区分された場合、図14に示すように、「GL1、GL3、GL2、GL4、GL5、GL7、GL6、GL8」という順序でゲートバスラインが選択される。これにより、図12あるいは図13に示したような画素電圧の極性を得るためには、映像信号の極性を1水平走査期間毎ではなく2水平走査期間毎に反転させれば足りることになる。その結果、消費電力が低減されている。

【0006】

なお、本説明においては、日本の特開平11-352938号公報に開示されている駆動方式のように次の（1）～（4）を満たす駆動方式のことを「ブロック反転駆動」という。

（1）ゲートバスラインが複数個のブロックに区分された上で、当該複数個のブロックに対しては1つずつ順次に選択が行われる。

（2）各ブロックに含まれる複数本のゲートバスラインに対しては飛び越し走査が行われる。これにより、各ブロックに関し、1フレーム期間中に2回の垂直走査（奇数行目を選択するための走査と偶数行目を選択するための走査）が行われる。

（3）1フレーム期間中における2回の垂直走査に関し、1回目の垂直走査の際と2回目の垂直走査の際とで、各ソースバスラインに印加される映像信号の極性が反転する。

（4）個々の画素形成部において、画素電圧の極性は1フレーム期間毎に反転する。

【0007】

また、本件発明に関連して、以下のような先行技術も知られている。日本の特開2006-154810号公報には、順次走査と飛び越し走査を選択的に行うことができるスクアンドライバ（ゲートドライバ）の発明が開示されている。日本の特開平8-320674号公報には、飛び越し走査に加えてデータライン（ソースバスライン）に供給する表示信号（映像信号）を所定期間毎に極性反転させることで良好な画質が得られるとともに低消費電力化を図ることができる旨、記載されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0008】

【特許文献1】日本の特開平11-352938号公報

【特許文献2】日本の特開2006-154810号公報

【特許文献3】日本の特開平8-320674号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、液晶表示装置に関し、近年、ゲートバスラインを駆動するためのゲートドライバ（走査信号線駆動回路）のモノリシック化が進んでいる。モノリシック化は、例えば液晶パネルの狭額縁化を図るために行われている。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にIC（Integrated Circuit）チップとして搭載されることが多かった。しかし、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。モノリシックゲートドライバを備えた液晶表示装置では、典型的には、アモルファスシリコンを用いたTFT（a-SiTFT）が駆動素子として採用されている。しかしながら、近年、多結晶シリコン、微結晶シリコン、酸化物半導体（例えばIGZO）などを用いたTFTを駆動素子として採用する構成も提案されている。

10

【0010】

ところが、上述したブロック反転駆動を行うことのできるモノリシックゲートドライバは存在していなかった。また、アモルファスシリコンについては、P型の移動度が低いため、CMOS構成を採用することができない。このため、例えば大型液晶パネルのようにアモルファスシリコンTFTを駆動素子として採用している表示装置においては、片チャンネルのTFTを用いて回路を構成する必要がある。従って、ブロック反転駆動のような複雑な駆動を可能にする回路構成の実現が困難であった。

20

【0011】

そこで本発明は、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことのできるモノリシックゲートドライバを提供することを目的とする。

【課題を解決するための手段】

30

【0012】

本発明の第1の局面は、表示パネルを構成する基板上にモノリシックに形成され、前記基板上に配設された複数本の走査信号線を駆動する走査信号線駆動回路であって、

前記複数本の走査信号線のうちの奇数行目の走査信号線を駆動するための複数個の奇数ライン走査用回路と、

前記複数本の走査信号線のうちの偶数行目の走査信号線を駆動するための複数個の偶数ライン走査用回路と、

前記複数個の奇数ライン走査用回路および前記複数個の偶数ライン走査用回路の中からアクティブにすべき回路を選択する選択回路と

を備え、

40

前記選択回路、前記奇数ライン走査用回路、および前記偶数ライン走査用回路は、外部から入力されるクロック信号に基づき第1の状態または第2の状態のいずれかを示す状態信号を出力する複数の段からなるシフトレジスタで構成され、

前記シフトレジスタを構成する各段は、

前記状態信号を出力するための出力ノードと、

第2電極に前記クロック信号が与えられ、前記出力ノードに第3電極が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の第1電極に接続された第1ノードと、

前記出力ノードと前記第1ノードとの間に設けられた容量素子と、

開始指示信号または前段の出力ノードから出力される状態信号に基づいて前記第1ノ

50

ードを充電するための第1ノード充電部と、

次段の出力ノードから出力される状態信号に基づいて前記第1ノードを放電するための第1ノード放電部と、

次段の出力ノードから出力される状態信号に基づいて前記出力ノードを放電するための出力ノード放電部と

を有し、

前記複数本の走査信号線は、連続する k 本(k は4以上の整数)の走査信号線が各ブロックに含まれるように、 z 個(z は2以上の整数)のブロックに区分され、

前記奇数ライン走査用回路および前記偶数ライン走査用回路は、ブロック毎に設けられ、

前記選択回路は、1個目から z 個目までのブロックを1つずつ順次に選択しつつ、前記奇数ライン走査用回路と前記偶数ライン走査用回路とを交互に選択し、

各奇数ライン走査用回路は、対応するブロックに含まれる奇数行目の走査信号線を順次に選択的に駆動し、

各偶数ライン走査用回路は、対応するブロックに含まれる偶数行目の走査信号線を順次に選択的に駆動することを特徴とする。

【0014】

本発明の第2の局面は、本発明の第1の局面において、

前記シフトレジスタを構成する各段において、前記第1ノード充電部によって前記第1ノードが充電された後であって前記第1ノード放電部によって前記第1ノードが放電される前に、前記出力制御用スイッチング素子の第2電極に与えられているクロック信号がローレベルからハイレベルに変化することを特徴とする。

【0015】

本発明の第3の局面は、本発明の第1または第2の局面において、

前記奇数ライン走査用回路を構成するシフトレジスタの一段目には、前記選択回路を構成するシフトレジスタの奇数段目から出力される状態信号が前記開始指示信号として与えられ、

前記偶数ライン走査用回路を構成するシフトレジスタの一段目には、前記選択回路を構成するシフトレジスタの偶数段目から出力される状態信号が前記開始指示信号として与えられ、

前記複数本の走査信号線のうちの奇数行目の走査信号線には、前記奇数ライン走査用回路を構成するシフトレジスタの各段から出力される状態信号が走査信号として与えられ、

前記複数本の走査信号線のうちの偶数行目の走査信号線には、前記偶数ライン走査用回路を構成するシフトレジスタの各段から出力される状態信号が走査信号として与えられることを特徴とする。

【0017】

本発明の第4の局面は、本発明の第1の局面において、

前記シフトレジスタを構成する各段において、

前記第1ノード充電部は、前段の出力ノードから出力される状態信号が第1電極および第2電極に与えられ、前記第1ノードに第3電極が接続された第1のスイッチング素子を含み、

前記第1ノード放電部は、次段の出力ノードから出力される状態信号が第1電極に与えられ、前記第1ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第2のスイッチング素子を含むことを特徴とする。

【0018】

本発明の第5の局面は、本発明の第1の局面において、

前記シフトレジスタを構成する各段において、

前記出力ノード放電部は、前段の出力ノードから出力される状態信号が第1電極に与えられ、前記出力ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第3のスイッチング素子を含むことを特徴とする。

10

20

30

40

50

【0019】

本発明の第6の局面は、本発明の第1の局面において、

前記シフトレジスタを構成する各段は、外部から入力されるクリア信号が第1電極に与えられ、前記出力ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第4のスイッチング素子を更に有することを特徴とする。

【0020】

本発明の第7の局面は、本発明の第1の局面において、

前記シフトレジスタを構成する各段は、外部から入力されるクリア信号が第1電極に与えられ、前記第1ノードに第2電極が接続され、ローレベルの電位が第3電極に与えられる第5のスイッチング素子を更に有することを特徴とする。

10

【0021】

本発明の第8の局面は、本発明の第1から第7までのいずれかの局面において、

前記シフトレジスタを構成する各段に含まれるスイッチング素子は、アモルファスシリコンからなる薄膜トランジスタであることを特徴とする。

【0022】

本発明の第9の局面は、本発明の第1から第7までのいずれかの局面において、

前記シフトレジスタを構成する各段に含まれるスイッチング素子は、インジウム、ガリウム、亜鉛、および酸素を主成分とするN型の酸化物半導体からなる薄膜トランジスタであることを特徴とする。

【0025】

本発明の第10の局面は、表示装置であって、

本発明の第1から第9までのいずれかの局面に係る走査信号線駆動回路と、

前記基板上に配設された複数本の映像信号線を駆動する映像信号線駆動回路とを備え、

20

前記映像信号線駆動回路は、各映像信号線に印加される映像信号に着目したとき、前記奇数ライン走査用回路が前記選択回路によって選択されている時の前記映像信号の極性と前記偶数ライン走査用回路が前記選択回路によって選択されている時の前記映像信号の極性とを異なる極性にすることを特徴とする。

【0026】

本発明の第11の局面は、本発明の第10の局面において、

前記映像信号線駆動回路は、隣接する2本の映像信号線に印加される映像信号の極性を互いに異なる極性にすることを特徴とする。

30

【発明の効果】

【0027】

本発明の第1の局面によれば、複数本の走査信号線は、1つのブロックに連続する4本以上のゲートバスラインが含まれるように、2個のブロックに区分される。選択回路は奇数ライン走査用回路と偶数ライン走査用回路とを交互に選択するので、各ブロックに関し、1回目の垂直走査で奇数行目の走査信号線が1本ずつ順次に選択され、その後2回目の垂直走査で偶数行目の走査信号線が1本ずつ順次に選択される。ここで、1回目の垂直走査の際と2回目の垂直走査の際とで各映像信号の極性を反転させ、かつ、1フレーム期間毎にも各映像信号の極性を反転させることによって、ブロック反転駆動が実現される。その際、1フレーム期間中における映像信号の極性反転の回数が少なくなるので、ライン反転駆動やドット反転駆動と比較して消費電力が低減される。以上のようにして、ブートストラップを利用したシフトレジスタを備えたモノリシック化された走査信号線駆動回路において、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことが可能となる。

40

【0029】

本発明の第2の局面によれば、シフトレジスタの各段において、好適なタイミングで第1ノードがブートストラップされる。

【0030】

50

本発明の第3の局面によれば、走査信号線駆動回路内の回路構成を複雑化させることなく、本発明の第1または第2の局面と同様の効果が得られる。

【0032】

本発明の第4の局面によれば、シフトレジスタの回路構成を複雑化させることなく、本発明の第1の局面と同様の効果が得られる。

【0033】

本発明の第5の局面によれば、シフトレジスタの回路構成を複雑化させることなく、本発明の第1の局面と同様の効果が得られる。

【0034】

本発明の第6の局面によれば、出力ノードの電位はクリア信号に基づいてローレベル（初期状態）にされる。このため、適宜のタイミングでクリア信号をオンレベルにすることにより、誤動作の発生が抑制される。

【0035】

本発明の第7の局面によれば、第1ノードの電位はクリア信号に基づいてローレベル（初期状態）にされる。このため、適宜のタイミングでクリア信号をオンレベルにすることにより、誤動作の発生が抑制される。

【0036】

本発明の第8の局面によれば、アモルファスシリコンTFTを駆動素子として採用する表示装置（例えば大型液晶パネル）用のモノリシック化された走査信号線駆動回路において、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことが可能となる。

【0037】

本発明の第9の局面によれば、IGZO-TFTを駆動素子として採用する表示装置用のモノリシック化された走査信号線駆動回路において、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことが可能となる。また、IGZOについては移動度が高いので、走査信号線駆動回路の駆動能力の向上やTFTサイズの縮小による狭額縁化を図ることが可能となる。さらに、負荷容量が低減されるので、消費電力が顕著に低減される。さらにまた、IGZO-TFTについてはリークが少ないので、例えば、ブートストラップを利用した回路において、フローティングノードの電荷のリークに起因する動作不良の発生が抑制され、動作マージンの拡大を図ることが可能となる。

【0040】

本発明の第10の局面によれば、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことのできるモノリシック化された走査信号線駆動回路を備えた表示装置が実現される。

【0041】

本発明の第11の局面によれば、横（水平）方向に隣接する画素間においても縦（垂直）方向に隣接する画素間においても画素電圧の極性が互いに異なる状態（反転した状態）となるので、より高品位な表示を行うことが可能となる。

【図面の簡単な説明】

【0042】

【図1】本発明の一実施形態に係る液晶表示装置において、ゲートドライバの詳細な構成を示すブロック図である。

【図2】上記実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図3】上記実施形態において、ゲートドライバの概略構成を示すブロック図である。

【図4】上記実施形態において、奇数ライン走査用回路および偶数ライン走査用回路に含まれる各シフトレジスタのn段目の段構成回路の入出力信号について説明するための図である。

【図5】上記実施形態において、段構成回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

10

20

30

40

50

【図6】上記実施形態において、段構成回路の動作について説明するための信号波形図である。

【図7】上記実施形態において、ゲートドライバ全体の動作について説明するための信号波形図である。

【図8】一般的な表示装置における走査信号・映像信号の波形図である。

【図9】上記実施形態における走査信号・映像信号の波形図である。

【図10】上記実施形態の第2の変形例において、段構成回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

【図11】上記実施形態の第2の変形例において、クロック信号CKからクロック信号clk, clk bを生成するための構成を示す回路図である。

10

【図12】ライン反転駆動が採用されている場合の連続する2フレーム期間における画素電圧の極性を示す図である。

【図13】ドット反転駆動が採用されている場合の連続する2フレーム期間における画素電圧の極性を示す図である。

【図14】ブロック反転駆動が採用されている場合の走査信号の波形図である。

【発明を実施するための形態】

【0043】

以下、添付図面を参照しつつ、本発明の一実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第1電極に相当し、ドレイン端子（ドレイン電極）は第2電極に相当し、ソース端子（ソース電極）は第3電極に相当する。

20

【0044】

< 1. 全体構成および動作 >

図2は、本発明の一実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図2に示すように、この液晶表示装置は、表示部100と、表示制御回路200と、ソースドライバ（映像信号線駆動回路）300と、ゲートドライバ（走査信号線駆動回路）400とを備えている。表示部100には、複数本（j本）のソースバスライン（映像信号線）SL1～SLjと、複数本（i本）のゲートバスライン（走査信号線）GL1～GLiと、ソースバスラインSL1～SLjとゲートバスラインGL1～GLiとの交差点にそれぞれ対応して設けられた複数個（i×j個）の画素形成部とが形成されている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）11と、その薄膜トランジスタ11のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される液晶容量により、画素容量Cpが構成される。なお、通常、画素容量Cpに確実に電荷を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

30

40

【0045】

表示制御回路200は、外部から送られるデータ信号DATとタイミング制御信号群（水平同期信号、垂直同期信号など）TGとを受け取り、デジタル映像信号DVと、ソースドライバ300の動作を制御するためのソース制御信号SCTLと、ゲートドライバ400の動作を制御するためのゲート制御信号GCTLとを出力する。ソース制御信号SCTLおよびゲート制御信号GCTLは、複数の信号からなっている。ソース制御信号SCTLには、例えば、ソースドライバ300内のシフトレジスタの動作を制御するためのスタートパルス信号、クロック信号などが含まれている。ゲート制御信号GCTLについての詳しい説明は後述する。

【0046】

50

ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号DV，ソース制御信号SCTLを受け取り、各ソースバスラインSL1～SLjに駆動用の映像信号を印加する。

【0047】

ゲートドライバ400は、表示制御回路200から出力されるゲート制御信号GCTLに基づいて、各ゲートバスラインGL1～GLiへのアクティブな走査信号の印加（走査パルスの出力）を1垂直走査期間を周期として繰り返す。このゲートドライバ400についての詳しい説明は後述する。なお、本実施形態においては、ゲートドライバ400は、表示部100を含む液晶パネルを構成する2枚の基板（ガラス基板）のうちの一方の基板上に形成されている。すなわち、本実施形態におけるゲートドライバ400は、モノリシ

10

【0048】

以上のようにして、各ソースバスラインSL1～SLjに駆動用の映像信号が印加され、各ゲートバスラインGL1～GLiに走査信号が印加されることにより、外部から送られた画像信号DATに基づく画像が表示部100に表示される。

【0049】

< 2 . ゲートドライバの構成 >

< 2 . 1 ゲートドライバの概略構成 >

図3は、本実施形態におけるゲートドライバ400の概略構成を示すブロック図である。本実施形態においては、ゲートバスラインGL1～GLiは、連続するk本（kは4以上の整数）のゲートバスラインが1つのブロックに含まれるように、複数個のブロック（グループ）に区分される。なお、本説明においては、各ブロックに8本のゲートバスラインが含まれるようゲートバスラインGL1～GLiはz個（ $z = i / 8$ ）のブロックBLK1～BLKzに区分されていると仮定する。

20

【0050】

ゲートドライバ400には、ブロック毎に、奇数行目のゲートバスラインを駆動するための奇数ライン走査用回路42と偶数行目のゲートバスラインを駆動するための偶数ライン走査用回路44とが設けられている。ゲートドライバ400には、また、奇数ライン走査用回路42と偶数ライン走査用回路44とを順次に選択するための、複数段からなるシフトレジスタで構成されたブロック走査用回路（選択回路）40が設けられている。なお、シフトレジスタの各段を符号SRで示している（図1も同様）。また、以下においては、奇数ライン走査用回路42に対応している段のことを「奇数ライン駆動用段」といい、偶数ライン走査用回路44に対応している段のことを「偶数ライン駆動用段」という。

30

【0051】

以上のような構成において、上記z個のブロックBLK1～BLKzに着目すると、1ブロック目BLK1からzブロック目BLKzまでのブロックが1つずつ順次に選択される。また、各ブロックに着目すると、まず、奇数ライン走査用回路42によって奇数行目のゲートバスラインが1本ずつ順次に走査され、その後、偶数ライン走査用回路44によって偶数行目のゲートバスラインが1本ずつ順次に走査される。

40

【0052】

< 2 . 2 ゲートドライバの詳細な構成 >

図1は、本実施形態におけるゲートドライバ400の詳細な構成を示すブロック図である。なお、図1には、1行目から16行目までのゲートバスラインGL1～GL16に対応する部分のみを示している。上述したように、ゲートドライバ400には、ブロック走査用回路40と、ブロック毎に設けられた奇数ライン走査用回路42および偶数ライン走査用回路44とが含まれている。ブロック走査用回路40，各奇数ライン走査用回路42，および各偶数ライン走査用回路44はそれぞれ複数段からなるシフトレジスタで構成されている。なお、本説明の例では、各奇数ライン走査用回路42および各偶数ライン走査用回路44は、4段からなるシフトレジスタで構成されている。シフトレジスタの各段は

50

、各時点において2つの状態（第1の状態および第2の状態）のうちのいずれか一方の状態となっていて、当該状態を示す信号（以下、「状態信号」という。）を出力する。また、以下においては、シフトレジスタの各段を構成する回路のことを「段構成回路」ともいう。

【0053】

図1に示すように、ゲートドライバ400には、ゲート制御信号GCTLとして、ブロック走査用回路40内のシフトレジスタの動作開始用のパルスを含むスタートパルス信号GSPと、ブロック走査用回路40内のシフトレジスタのシフト動作を制御するための2つのクロック信号BCK1, BCK2と、奇数ライン走査用回路42内のシフトレジスタのシフト動作を制御するための2つのクロック信号GCK1, GCK2と、奇数ライン走査用回路42内のシフトレジスタの状態を完全にクリアするためのパルスを含むクリア信号GCLR1と、偶数ライン走査用回路44内のシフトレジスタのシフト動作を制御するための2つのクロック信号GCK3, GCK4と、偶数ライン走査用回路44内のシフトレジスタの状態を完全にクリアするためのパルスを含むクリア信号GCLR2とが与えられる。

10

【0054】

ブロック走査用回路40は、スタートパルス信号GSPのパルスを受け取ると、2つのクロック信号BCK1, BCK2に基づいて、当該パルスをシフトレジスタの1段目から最終段目（2z段目）へと順次に転送する。このようなシフト動作に伴い、奇数段目からは、奇数ライン走査用回路42内のシフトレジスタの動作開始用のパルスを含むスタートパルス信号GSPOp（ $p = 1 \sim z$ ）が出力され、偶数段目からは、偶数ライン走査用回路44内のシフトレジスタの動作開始用のパルスを含むスタートパルス信号GSPEq（ $q = 1 \sim z$ ）が出力される。

20

【0055】

奇数ライン走査用回路42は、スタートパルス信号GSPOpのパルスを受け取ると、2つのクロック信号GCK1, GCK2に基づいて、当該パルスをシフトレジスタの1段目から最終段目（4段目）へと順次に転送する。このようなシフト動作に伴い、奇数行目のゲートバスラインを順次に選択的に駆動するための走査パルスが、奇数ライン走査用回路42を構成するシフトレジスタから順次に出力される。偶数ライン走査用回路44は、スタートパルス信号GSPEqのパルスを受け取ると、2つのクロック信号GCK3, GCK4に基づいて、当該パルスをシフトレジスタの1段目から最終段目（4段目）へと順次に転送する。このようなシフト動作に伴い、偶数行目のゲートバスラインを順次に選択的に駆動するための走査パルスが、偶数ライン走査用回路44を構成するシフトレジスタから順次に出力される。

30

【0056】

< 2.3 段構成回路の構成 >

図4は、奇数ライン走査用回路42および偶数ライン走査用回路44に含まれるシフトレジスタのn段目の段構成回路SRnの入出力信号について説明するための図である。各段構成回路には、クロック信号CKとクリア信号CLRとセット信号SETとリセット信号RESETとが与えられる。また、各段構成回路からは、各時点における状態を示す状態信号Zが出力される。クロック信号CKは、上記4つのクロック信号GCK1~GCK4のうちのいずれかである。クリア信号CLRは、上記2つのクリア信号GCLR1, GCLR2のうちのいずれかである。n段目の段構成回路SRnには、(n-1)段目の段構成回路SRn-1から出力される状態信号Zn-1がセット信号SETとして与えられ、(n+1)段目の段構成回路SRn+1から出力される状態信号Zn+1がリセット信号RESETとして与えられる。また、n段目の段構成回路SRnから出力される状態信号Znは、当該段構成回路SRnに対応するゲートバスラインGLに走査信号として印加されるのに加えて、(n-1)段目の段構成回路SRn-1にリセット信号RESETとして与えられ、(n+1)段目の段構成回路SRn+1にセット信号SETとして与えられる。

40

50

【 0 0 5 7 】

図5は、本実施形態における段構成回路の構成（シフトレジスタの一段分の構成）を示す回路図である。図5に示すように、この段構成回路は、6個の薄膜トランジスタTSおよびT1～T5と、1個のキャパシタ（容量素子）Capとを備えている。それら6個の薄膜トランジスタTSおよびT1～T5はすべてNチャンネル型である。また、この段構成回路は、ローレベルの直流電源電位VSS用の入力端子のほか、4個の入力端子51～54と1個の出力端子（出力ノード）59とを有している。ここで、セット信号SETを受け取る入力端子には符号51を付し、リセット信号RESETを受け取る入力端子には符号52を付し、クロック信号CKを受け取る入力端子には符号53を付し、クリア信号CLRを受け取る入力端子には符号54を付している。また、状態信号Zを出力する出力端子には符号59を付している。

10

【 0 0 5 8 】

薄膜トランジスタTSのゲート端子、薄膜トランジスタT1のソース端子、薄膜トランジスタT2のドレイン端子、薄膜トランジスタT5のドレイン端子、およびキャパシタCapの一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「net A」（第1ノード）という。

【 0 0 5 9 】

薄膜トランジスタTSについては、ゲート端子はnet Aに接続され、ドレイン端子は入力端子53に接続され、ソース端子は出力端子59に接続されている。薄膜トランジスタT1については、ゲート端子およびドレイン端子は入力端子51に接続され（すなわち、ダイオード接続となっている）、ソース端子はnet Aに接続されている。薄膜トランジスタT2については、ゲート端子は入力端子52に接続され、ドレイン端子はnet Aに接続され、ソース端子は直流電源電位VSS用の入力端子に接続されている。薄膜トランジスタT3については、ゲート端子は入力端子52に接続され、ドレイン端子は出力端子59に接続され、ソース端子は直流電源電位VSS用の入力端子に接続されている。薄膜トランジスタT4については、ゲート端子は入力端子54に接続され、ドレイン端子は出力端子59に接続され、ソース端子は直流電源電位VSS用の入力端子に接続されている。薄膜トランジスタT5については、ゲート端子は入力端子54に接続され、ドレイン端子はnet Aに接続され、ソース端子は直流電源電位VSS用の入力端子に接続されている。キャパシタCapについては、一端はnet Aに接続され、他端は出力端子59に接続されている。

20

30

【 0 0 6 0 】

なお、本実施形態においては、薄膜トランジスタTSによって出力制御用スイッチング素子が実現され、薄膜トランジスタT1によって第1のスイッチング素子が実現され、薄膜トランジスタT2によって第2のスイッチング素子が実現され、薄膜トランジスタT3によって第3のスイッチング素子が実現され、薄膜トランジスタT4によって第4のスイッチング素子が実現され、薄膜トランジスタT5によって第5のスイッチング素子が実現されている。また、本実施形態においては、図5で符号57で示す部分によって第1ノード充電部が実現され、図5で符号58aで示す部分によって第1ノード放電部が実現され、図5で符号58bで示す部分によって出力ノード放電部が実現されている。

40

【 0 0 6 1 】

< 3 . 駆動方法 >

< 3 . 1 段構成回路の動作 >

図5および図6を参照しつつ、本実施形態における段構成回路の動作について説明する。この液晶表示装置の動作中、図6に示すように所定の周期で所定の期間ハイレベルとなるクロック信号CKが入力端子53に与えられる。

【 0 0 6 2 】

時点t0以前の期間には、net Aの電位および状態信号Zの電位（出力端子59の電位）はローレベルとなっている。時点t0になると、入力端子51にセット信号SETのパルスが与えられる。薄膜トランジスタT1は図5に示すようにダイオード接続となって

50

いるので、このセット信号SETのパルスによって薄膜トランジスタT1はオン状態となり、キャパシタCapが充電される。これにより、net Aの電位はローレベルからハイレベルに変化し、薄膜トランジスタTSはオン状態となる。ところで、時点t0～時点t1の期間中、クロック信号CKはローレベルとなっている。このため、この期間中、状態信号Zはローレベルで維持される。

【0063】

時点t1になると、クロック信号CKがローレベルからハイレベルに変化する。このとき、薄膜トランジスタTSはオン状態となっているので、入力端子53の電位の上昇とともに出力端子59の電位は上昇する。ここで、図5に示すようにnet A - 出力端子59間にはキャパシタCapが設けられているので、出力端子59の電位の上昇とともにnet Aの電位も上昇する（net Aがブートストラップされる）。その結果、薄膜トランジスタTSには大きな電圧が印加され、状態信号Zの電位は、クロック信号CKのハイレベルの電位にまで上昇する。これにより、この段構成回路の出力端子59に接続されているゲートバスラインが選択状態となる。

10

【0064】

時点t2になると、クロック信号CKがハイレベルからローレベルに変化する。これにより、入力端子53の電位の低下とともに出力端子59の電位は低下し、キャパシタCapを介してnet Aの電位も低下する。但し、net Aの電位は、ほぼ出力端子59の電位の低下分だけ低下するので、ローレベルまでは低下せずハイレベルで維持される。

20

【0065】

時点t3になると、入力端子52にリセット信号RESETのパルスが与えられる。これにより、薄膜トランジスタT2および薄膜トランジスタT3がオン状態となる。薄膜トランジスタT2がオン状態となることによってnet Aの電位がハイレベルからローレベルに変化し、薄膜トランジスタT3がオン状態となることによって出力端子59の電位がローレベルの直流電源電位VSSへと引き込まれる。

【0066】

時点t4になると、入力端子54にクリア信号CLRのパルスが与えられる。これにより、薄膜トランジスタT4および薄膜トランジスタT5がオン状態となる。薄膜トランジスタT4がオン状態となることによって出力端子59の電位がローレベルの直流電源電位VSSへと引き込まれ、薄膜トランジスタT5がオン状態となることによってnet Aの電位がローレベルの直流電源電位VSSへと引き込まれる。

30

【0067】

< 3.2 ゲートドライバ全体の動作 >

次に、上述した段構成回路の動作を踏まえ、図7を参照しつつ、本実施形態におけるゲートドライバ400全体の動作について説明する。なお、ここでは、ブロックBLK1（図3参照）に着目するが、その他のブロックBLK2～BLKzについても同様の動作が行われる。

【0068】

まず、時点t10に、奇数ライン駆動用段にスタートパルス信号GSPのパルスが与えられる。奇数ライン駆動用段は、時点t10以降に最初にクロック信号BCK1のパルスを受け取ったタイミング（時点t11）で、スタートパルス信号GSP01のパルスを出力する。奇数ライン駆動用段から出力されたスタートパルス信号GSP01のパルスは、偶数ライン駆動用段に与えられるとともに、奇数ライン走査用回路42内のシフトレジスタの1段目に与えられる。偶数ライン駆動用段は、奇数ライン駆動用段から出力されたスタートパルス信号GSP01のパルスを受け取った後最初にクロック信号BCK2のパルスを受け取ったタイミング（時点t12）で、スタートパルス信号GSP E1のパルスを出力する。偶数ライン駆動用段から出力されたスタートパルス信号GSP E1のパルスは、奇数ライン駆動用段に与えられるとともに、偶数ライン走査用回路44内のシフトレジスタの1段目に与えられる。

40

【0069】

50

奇数ライン走査用回路42は、シフトレジスタの1段目にスタートパルス信号GSP01のパルスが与えられた後(時点t11後)、2つのクロック信号GCK1, GCK2に基づいて、奇数行目のゲートバスラインGL1, GL3, GL5, およびGL7に順次に走査パルスを出力する。偶数ライン走査用回路44は、シフトレジスタの1段目にスタートパルス信号GSP1のパルスが与えられた後(時点t12後)、2つのクロック信号GCK3, GCK4に基づいて、偶数行目のゲートバスラインGL2, GL4, GL6, およびGL8に順次に走査パルスを出力する。以上のようにして、1行目から8行目までのゲートバスラインGL1~GL8に着目すると、図7に示すように「GL1、GL3、GL5、GL7、GL2、GL4、GL6、GL8」という順序で走査パルスが与えられる。

10

【0070】

時点t14になるとクロック信号BCK1のパルスが立ち上がり、また、時点t16になるとクロック信号BCK2のパルスが立ち上がる。これにより、ブロックBLK2においてブロックBLK1と同様の動作が行われる。その後、さらにブロックBLK3~BLKzにおいてもブロックBLK1と同様の動作が行われる。

【0071】

なお、時点t13には、クリア信号GCLR1のパルスが立ち上がる。これにより、奇数ライン走査用回路42内のシフトレジスタを構成する全ての段構成回路が完全にクリアな状態にされる。また、時点t15には、クリア信号GCLR2のパルスが立ち上がる。これにより、偶数ライン走査用回路44内のシフトレジスタを構成する全ての段構成回路が完全にクリアな状態にされる。

20

【0072】

<4.効果>

本実施形態によれば、ゲートバスラインGL1~GLiは、1つのブロックに8本のゲートバスラインが含まれるように複数個のブロックに区分される。各ブロックに着目すると、8本のゲートバスラインに対して飛び越し走査が行われる。詳しくは、まず1回目の垂直走査で奇数行目の4本のゲートバスラインが1本ずつ順次に選択され、その後2回目の垂直走査で偶数行目の4本のゲートバスラインが1本ずつ順次に選択される。このため、1回目の垂直走査の際と2回目の垂直走査の際とで各映像信号の極性を反転させ、かつ、1フレーム期間毎にも各映像信号の極性を反転させることによって、連続する2フレーム期間における画素電圧の極性は図12に示したようなものとなる。さらに、隣接するソースバスラインに印加される映像信号の極性をも反転させることによって、連続する2フレーム期間における画素電圧の極性は図13に示したようなものとなる。以上のように、本実施形態においては、ブロック反転駆動が行われる。

30

【0073】

一般的な液晶表示装置でライン反転駆動やドット反転駆動が採用された場合、図8に示すように、ゲートバスラインは1本ずつ順次に選択され、映像信号については1水平走査期間毎に極性反転が行われる。これに対して、本実施形態においては、図9に示すように、各ブロックにおいて、奇数行目の4本のゲートバスラインが1本ずつ順次に選択された後、偶数行目の4本のゲートバスラインが1本ずつ順次に選択される。このため、図12あるいは図13に示したような画素電圧の極性を得るためには、図9に示すように4水平走査期間毎に映像信号の極性を反転させれば良い。従って、1フレーム期間中における映像信号の極性反転の回数が少なくなる。これにより、高品位表示を維持しつつ、消費電力が低減される。

40

【0074】

以上のように、本実施形態によれば、表示品位の低下や消費電力の増大を引き起こすことなくブロック反転駆動を行うことのできるモノリシックゲートドライバが実現される。

【0075】

ところで、アモルファスシリコンについては、P型の移動度が低いため、CMOS構成を採用することができない。この点、本実施形態におけるゲートドライバ400内のシフ

50

トレジスタに着目すると、スイッチング素子についてはNチャンネル型TFTのみを用いて構成されている。このため、例えば大型液晶パネルのようにアモルファスシリコンTFTを駆動素子として採用する表示装置においても、ブロック反転駆動が可能なモノリシックゲートドライバが実現される。また、本実施形態によれば、ゲートドライバ400内のシフトレジスタに関し、全ての段を同じ構成の回路にして実現することが可能となり、かつ、比較的簡易な構成の回路で実現することが可能となる。

【0076】

< 5 . 変形例 >

上記実施形態においては、駆動素子としてアモルファスシリコンTFTが採用されている例を挙げて説明したが、本発明はこれに限定されない。以下、駆動素子として採用されるTFTについての変形例を説明する。

10

【0077】

< 5 . 1 第1の変形例 >

まず、駆動素子としてアモルファス酸化物半導体の一種であるIGZOを用いたTFT（以下、「IGZO-TFT」という。）が採用される例について説明する。IGZOは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とするN型の酸化物半導体である。N型の酸化物半導体であるので、ゲートドライバ内のシフトレジスタの各段（段構成回路）の構成を上記実施形態と同様の構成（図5参照）にすることができる。

【0078】

20

IGZOの特徴として、移動度が高いという点が挙げられる。このため、IGZO-TFTを駆動素子として採用することによって、ゲートドライバ400の駆動能力の向上やTFTサイズの縮小による狭額縁化を図ることが可能となる。また、負荷容量の低減により、上記実施形態と比較して、更に消費電力を低減することが可能となる。さらに、IGZO-TFTについてはリークが少ないという特徴がある。このため、例えば、ブートストラップを利用した回路（図5参照）において、フローティングノード（電氣的に浮いた状態のノード、図6の時点t1から時点t2までの期間における図5中のnetA）の電荷のリークに起因する動作不良の発生が抑制され、動作マージンの拡大を図ることが可能となる。

【0079】

30

< 5 . 2 第2の変形例 >

次に、駆動素子として多結晶シリコンTFT（p-SiTFT）が採用される例について説明する。多結晶シリコンTFTについては、アモルファスシリコンTFTとは異なり、CMOS構成を採用することができる。そこで、本変形例においては、ゲートドライバ400内のシフトレジスタの各段（段構成回路）は、CMOS論理回路を用いた構成となっている。

【0080】

図10は、本変形例における段構成回路の構成（シフトレジスタの一段分の構成）を示す回路図である。図10に示すように、この段構成回路は、4個のクロックインバータ61～64と、2個のNOR回路65、66とを有している。これら4個のクロックインバータ61～64および2個のNOR回路65、66は、いずれもCMOSを用いた回路構成となっている。なお、それぞれの具体的な回路構成については、公知の構成を採用することができるので説明を省略する。

40

【0081】

クロックインバータ61、64については、クロック信号clkがローレベルかつクロック信号clkbがハイレベルの時にはインバータとして機能し、クロック信号clkがハイレベルかつクロック信号clkbがローレベルの時には入力端子 - 出力端子間が電氣的に切り離される。クロックインバータ62、63については、クロック信号clkがハイレベルかつクロック信号clkbローレベルの時にはインバータとして機能し、クロック信号clkがローレベルかつクロック信号clkbがハイレベルの時には入力端子

50

- 出力端子間が電氣的に切り離される。NOR回路65, 66は、2つの入力端子に与えられた信号の否定論理和を示す信号を出力する。NOR回路65については、一方の入力端子にはクロックインバータ61, 62からの出力信号が与えられ、他方の入力端子にはクリア信号CLRが与えられる。また、NOR回路65からの出力信号は、クロックインバータ62, 63に与えられる。NOR回路66については、一方の入力端子にはクロックインバータ63, 64からの出力信号が与えられ、他方の入力端子にはクリア信号CLRが与えられる。また、NOR回路66からの出力信号は、クロックインバータ64に与えられるとともに、この段構成回路から状態信号Zとして出力される。

【0082】

以上より、この段構成回路では、クリア信号CLRがローレベルになっている期間であってクロック信号clkがローレベルかつクロック信号clkbがハイレベルとなっている期間中にクロックインバータ61与えられる入力信号(入力データ)Dinの論理値が節点N1に一時的に保持される。そして、クロック信号clkがローレベルからハイレベルに変化し、かつ、クロック信号clkbがハイレベルからローレベルに変化するタイミングで、節点N1に一時的に保持されていたデータの論理値が状態信号Zの波形として現れる。このように、この段構成回路は、マスターフリップフロップ(図10で符号601で示す部分)とスレーブフリップフロップ(図10で符号602で示す部分)とからなるマスタースレーブ型のDフリップフロップとして動作する。

【0083】

なお、クロックインバータ61~64に与えられる2つのクロック信号clk, clkbは、2個のインバータ71, 72を用いて構成された図11に示す回路でクロック信号CKより生成される。クロック信号CKは、上記実施形態と同様、上記4つのクロック信号GCK1~GCK4のうちいずれかである。図11に示す構成により、クロック信号CKがハイレベルになっている時には、クロック信号clkはハイレベルとなり、クロック信号clkbはローレベルとなる。一方、クロック信号CKがローレベルになっている時には、クロック信号clkはローレベルとなり、クロック信号clkbはハイレベルとなる。

【0084】

以上のような構成において、スタートパルス信号または前段から出力される状態信号Zn-1が、入力信号Dinとしてクロックインバータ61に与えられる。例えば、1行目のゲートバスラインGL1の走査パルスが立ち上がると、当該走査パルスとクロック信号GCK2とに基づき、3行目のゲートバスラインGL3に対応する段構成回路において、論理値「1」を示すデータが節点N1に一時的に保持される。そして、1行目のゲートバスラインGL1の走査パルスの立ち上がり時点から1水平走査期間後にクロック信号GCK2がローレベルからハイレベルに変化することによって、3行目のゲートバスラインGL3に対応する段構成回路から出力される状態信号Zがハイレベルとなる。このようにして、1行目のゲートバスラインGL1の走査パルスが立ち上がってから1水平走査期間後に、3行目のゲートバスラインGL3の走査パルスが立ち上がる。

【0085】

以上より、シフトレジスタを構成する段構成回路を、CMOS論理回路を用いて図10に示すように構成にしても、ゲートドライバ400に上記実施形態と同様の動作をさせることができる。段構成回路がCMOS論理回路を用いて構成されているので、上記実施形態と比較して、消費電力が低減される。また、本変形例においても、ゲートドライバ400内のシフトレジスタに関し、全ての段を同じ構成の回路にして実現することが可能となり、かつ、比較的簡易な構成の回路で実現することが可能となる。

【0086】

<6. その他>

上記実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機EL(Electro Luminescence)等の他の表示装置にも本発明を適用することができる。

10

20

30

40

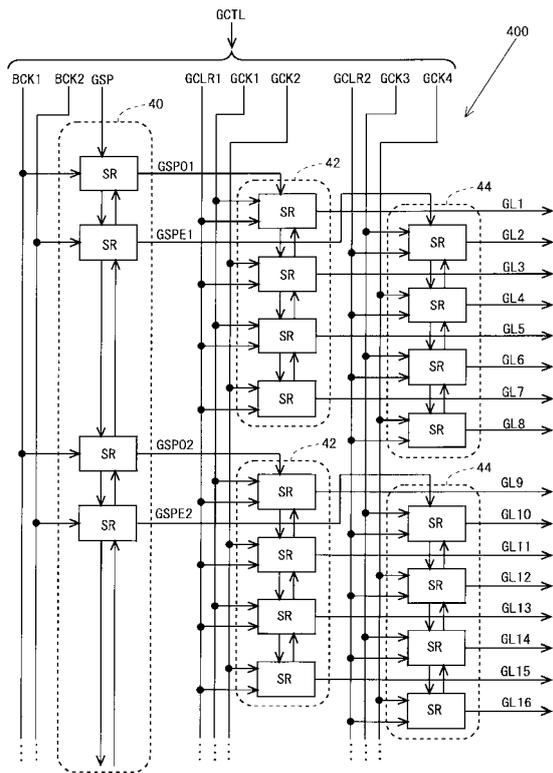
50

【符号の説明】

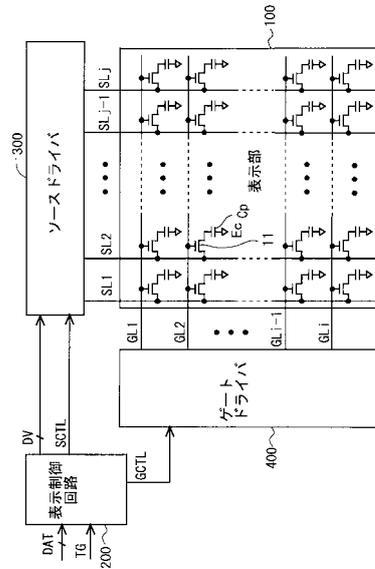
【0087】

- 40 ... ブロック走査用回路
- 42 ... 奇数ライン走査用回路
- 44 ... 偶数ライン走査用回路
- 51 ~ 54 ... (段構成回路の) 入力端子
- 59 ... (段構成回路の) 出力端子
- 100 ... 表示部
- 200 ... 表示制御回路
- 300 ... ソースドライバ (映像信号線駆動回路)
- 400 ... ゲートドライバ (走査信号線駆動回路)
- BLK1 ~ BLKz ... ブロック
- SR ... 段構成回路 (シフトレジスタの段)
- Cap ... キャパシタ (容量素子)
- TS, T1 ~ T5 ... 薄膜トランジスタ (TFT)
- GL1 ~ GLi ... ゲートバスライン
- SL1 ~ SLj ... ソースバスライン

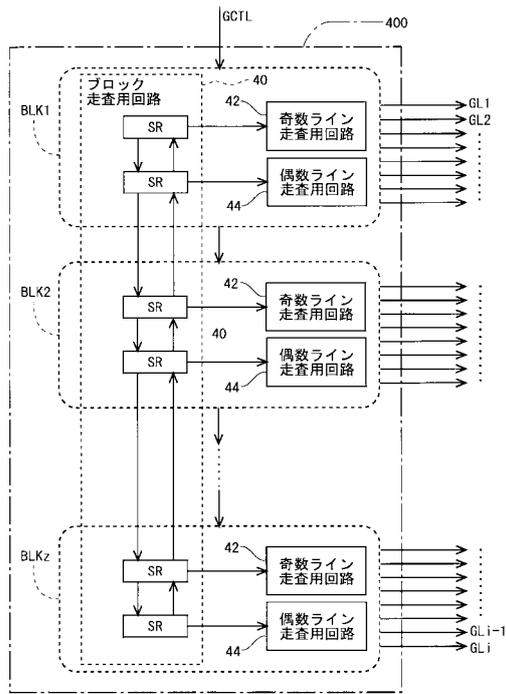
【図1】



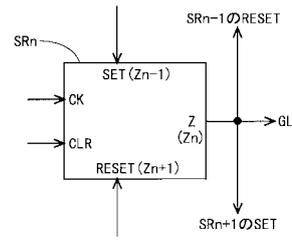
【図2】



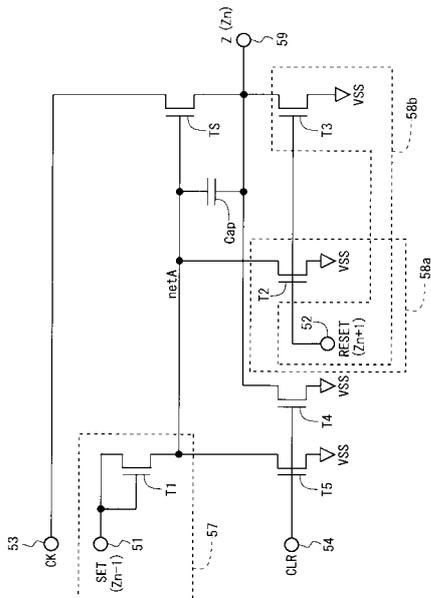
【図3】



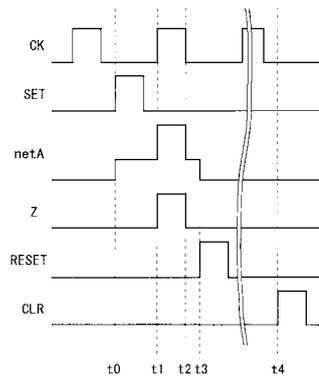
【図4】



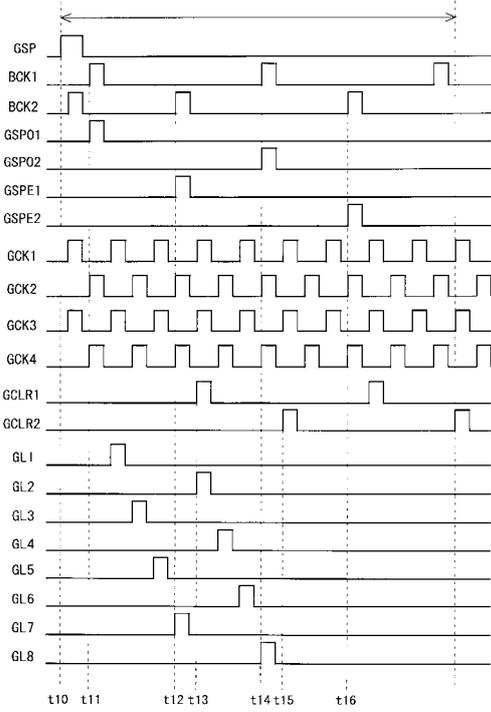
【図5】



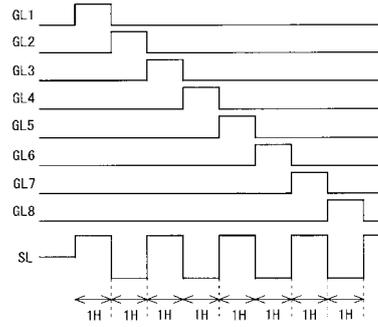
【図6】



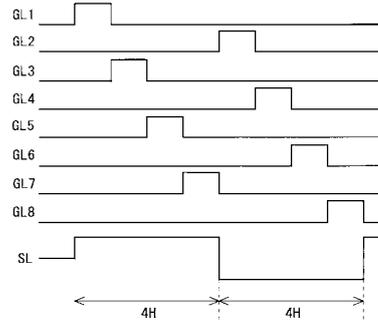
【図 7】



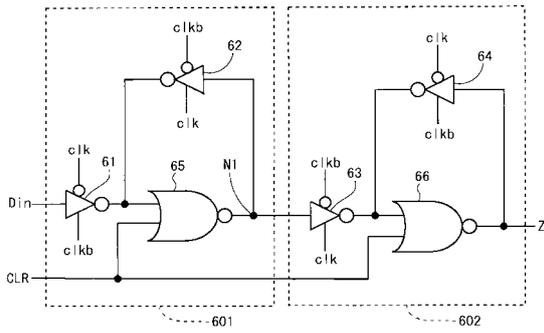
【図 8】



【図 9】



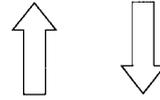
【図 10】



【図 12】

偶数フレーム

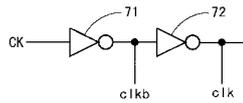
SL1	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL2	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL3	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL4	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL5	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL6	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL7	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL8	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL1	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL2	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL3	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL4	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL5	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL6	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL7	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL8	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL9	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL10	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL11	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL12	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL13	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL14	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL15	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL16	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+



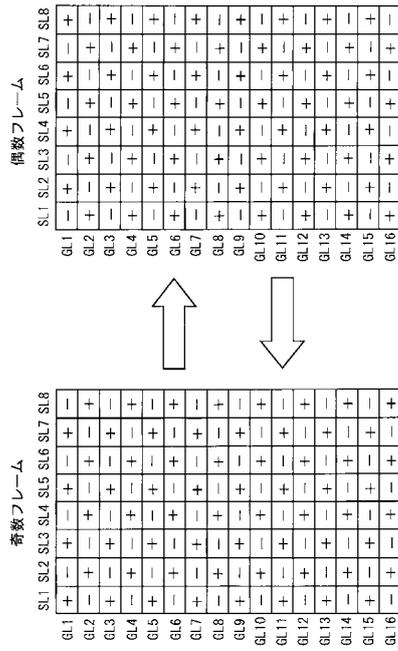
奇数フレーム

SL1	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL2	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL3	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL4	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL5	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL6	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
SL7	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
SL8	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL1	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL2	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL3	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL4	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL5	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL6	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL7	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL8	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL9	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL10	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL11	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL12	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL13	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL14	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-
GL15	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+
GL16	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-

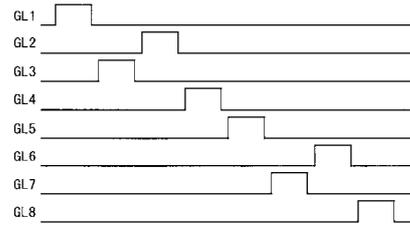
【図 11】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 5 0
G 1 1 C	19/00	J
G 1 1 C	19/28	D

(56)参考文献 特開2008-242114(JP,A)
特開2003-140624(JP,A)
特開平09-152574(JP,A)
特開2005-285168(JP,A)
特開2010-224531(JP,A)
特開2010-097170(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 1 1 C	1 9 / 0 0		
G 1 1 C	1 9 / 2 8		