



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0010622
(43) 공개일자 2022년01월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 29/786 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1218 (2013.01)
(21) 출원번호 10-2020-0087975
(22) 출원일자 2020년07월16일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김연홍
경기도 화성시 동탄순환대로12길 85, 3637동 502호(산척동, 그린힐 반도체유보라 아이비파크 10)
고은혜
경기도 용인시 기흥구 덕영대로2077번길 8, 102동 406호(영덕동, 두진아파트)
(74) 대리인
특허법인가산

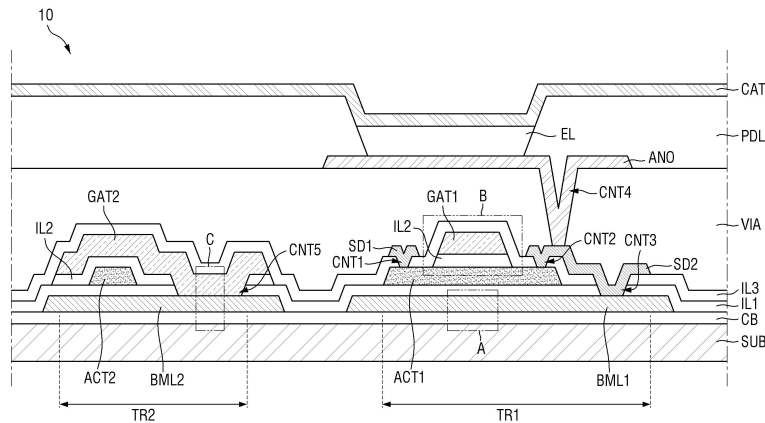
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치 및 표시 장치의 제조 방법이 제공된다. 표시 장치는 기관, 상기 기관 상에 배치되며, 무기물을 포함하는 부식 방지층, 상기 부식 방지층 상에 배치되며, 알루미늄 또는 알루미늄 합금을 포함하는 제1 도전층, 상기 제1 도전층 상에 배치되는 제1 절연막, 상기 제1 절연막 상에 배치되며, 트랜지스터의 채널 영역을 포함하는 반도체층, 상기 반도체층 상에 배치되는 제2 절연막, 및 상기 제2 절연막 상에 배치되며, 티타늄을 포함하는 배리어층, 및 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층을 포함하는 제2 도전층을 포함하되, 상기 반도체층은 산화물 반도체를 포함하고, 상기 배리어층은 상기 반도체층과 상기 메인 도전층 사이에 배치되며, 상기 트랜지스터의 상기 채널 영역과 중첩한다.

대표도



100: BML1, BML2
SCL: ACT1, ACT2
200: GAT1, GAT2
300: SD1, SD2

(52) CPC특허분류

H01L 27/1262 (2013.01)

H01L 29/7869 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

김은현

경기도 수원시 영통구 영통로 111(망포동, 엘지동
수원자이아파트)

이경원

서울특별시 강서구 강서로46길 79, 102동 306호(내
발산동, 길성그랑프리텔아파트)

이선희

서울특별시 강남구 언주로30길 21, 에이동 303호(
도곡동, 아카데미스위트)

임준형

서울특별시 서초구 방배중앙로 207-10, 25층
104-2501호(방배동, 아크로리버)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되며, 무기물을 포함하는 부식 방지층;

상기 부식 방지층 상에 배치되며, 알루미늄 또는 알루미늄 합금을 포함하는 제1 도전층;

상기 제1 도전층 상에 배치되는 제1 절연막;

상기 제1 절연막 상에 배치되며, 트랜지스터의 채널 영역을 포함하는 반도체층;

상기 반도체층 상에 배치되는 제2 절연막; 및

상기 제2 절연막 상에 배치되며, 티타늄을 포함하는 베리어층, 및 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층을 포함하는 제2 도전층을 포함하되,

상기 반도체층은 산화물 반도체를 포함하고,

상기 베리어층은 상기 반도체층과 상기 메인 도전층 사이에 배치되며, 상기 트랜지스터의 상기 채널 영역과 중첩하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제2 도전층은 상기 트랜지스터의 게이트 전극을 포함하는 표시 장치.

청구항 3

제2 항에 있어서,

상기 제2 도전층 상에 배치되는 제3 절연막, 및 상기 제3 절연막 상에 배치되는 제3 도전층을 더 포함하되,

상기 제3 도전층은 상기 트랜지스터의 소스 전극 및 드레인 전극을 포함하는 표시 장치.

청구항 4

제3 항에 있어서,

상기 트랜지스터의 상기 소스 전극은 상기 반도체층 및 상기 제1 도전층과 전기적으로 연결된 표시 장치.

청구항 5

제4 항에 있어서,

상기 제3 도전층은 제1 전원 전압 배선을 포함하는 표시 장치.

청구항 6

제1 항에 있어서,

상기 제2 도전층은 상기 제1 도전층을 노출하는 컨택홀을 통해 상기 제1 도전층과 전기적으로 연결되고, 상기 제2 도전층은 상기 제1 도전층과 직접 접촉하는 표시 장치.

청구항 7

제6 항에 있어서,

상기 제1 도전층 상에 배치되며, 티타늄을 포함하는 금속 패턴을 더 포함하되,

상기 금속 패턴과 상기 베리어층은 직접 접촉하는 표시 장치.

청구항 8

제1 항에 있어서,

상기 베리어층은 상기 메인 도전층과 평면상 동일한 형상을 갖는 표시 장치.

청구항 9

제8 항에 있어서,

상기 베리어층은 상기 제2 절연막과 평면상 동일한 평상을 갖는 표시 장치.

청구항 10

제9 항에 있어서,

상기 베리어층, 상기 메인 도전층 및 상기 제2 절연막의 측면은 상호 정렬된 표시 장치.

청구항 11

제1 항에 있어서,

상기 베리어층의 두께는 100Å 내지 300Å의 범위 내에 있는 표시 장치.

청구항 12

제11 항에 있어서,

상기 메인 도전층의 두께는 2500Å 내지 4000Å의 범위 내에 있는 표시 장치.

청구항 13

제12 항에 있어서,

상기 메인 도전층 상에 배치되며, 티타늄 및 티타늄 화합물 중 적어도 어느 하나를 포함하는 캡핑층을 더 포함하는 표시 장치.

청구항 14

기관;

상기 기관 상에 배치되며, 트랜지스터의 채널 영역을 포함하는 반도체층;

상기 반도체층 상에 배치되는 제1 절연막;

상기 제1 절연막 상에 배치되며, 티타늄을 포함하는 베리어층, 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층, 및 티타늄을 포함하는 캡핑층을 포함하는 제1 도전층;

상기 제1 도전층 상에 배치되는 제2 절연막; 및

상기 제2 절연막 상에 배치되며, 상기 트랜지스터의 소스 전극 및 드레인 전극을 포함하는 제2 도전층을 포함하
되,

상기 반도체층은 산화물 반도체를 포함하고,

상기 제1 도전층은 상기 트랜지스터의 게이트 전극을 포함하고,

상기 베리어층은 상기 반도체층과 상기 메인 도전층 사이에 배치되며, 상기 트랜지스터의 상기 채널 영역과 중
첩하는 표시 장치.

청구항 15

제14 항에 있어서,

상기 기관 상에 배치되고 무기물을 포함하는 부식 방지층, 상기 부식 방지층 상에 배치되고 알루미늄 또는 알루미늄 합금을 포함하는 제3 도전층, 및 상기 제3 도전층 상에 배치되는 제3 절연막을 더 포함하되, 상기 부식 방지층, 상기 제3 도전층 및 상기 제3 절연막은 상기 기관과 상기 반도체층 사이에 배치되는 표시 장치.

청구항 16

제15 항에 있어서,
상기 제3 도전층은 상기 트랜지스터의 상기 채널 영역과 중첩하는 하부 도전 패턴을 포함하는 표시 장치.

청구항 17

제16 항에 있어서,
상기 하부 도전 패턴은 상기 트랜지스터의 상기 게이트 전극과 전기적으로 연결된 표시 장치.

청구항 18

제14 항에 있어서,
상기 베리어층은 상기 메인 도전층과 평면상 동일한 형상을 갖는 표시 장치.

청구항 19

제18 항에 있어서,
상기 베리어층은 상기 제1 절연막과 평면상 동일한 평상을 갖는 표시 장치.

청구항 20

제19 항에 있어서,
상기 베리어층, 상기 메인 도전층 및 상기 제1 절연막의 측면은 상호 정렬된 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 표시 장치는 서로 다른 색을 표현하는 복수의 화소를 포함하여 색 표시를 구현할 수 있다. 표시 장치의 각 화소가 서로 독립적으로 동작하고 서로 다른 색을 표현하기 위해 표시 장치는 구동 신호를 전달하기 위한 구동 신호 배선 및 각 화소마다 배치된 다양한 기능성 전극들을 포함할 수 있다.

[0004] 예를 들어, 구동 신호 배선 등은 낮은 전기 저항, 높은 열적 안정성 및 쉬운 가공성 등이 요구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 고해상도를 구현하면서도, 신호 딜레이가 개선되어, 보다 향상된 표시 품질을 제공할 수 있는 표시 장치 및 표시 장치의 제조 방법을 제공하고자 하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기관, 상기 기관 상에 배치되며, 무기물을 포함하는 부식 방지층, 상기 부식 방지층 상에 배치되며, 알루미늄 또는 알루미늄 합금을 포함하는 제1 도전층, 상기 제1 도전층 상에 배치되는 제1 절연막, 상기 제1 절연막 상에 배치되며, 트랜지스터의 채널 영역을 포함하는 반도체층, 상기 반도체층 상에 배치되는 제2 절연막, 및 상기 제2 절연막 상에 배치되며, 티타늄을 포함하는 베리어층, 및 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층을 포함하는 제2 도전층을 포함하되, 상기 반도체층은 산화물 반도체를 포함하고, 상기 베리어층은 상기 반도체층과 상기 메인 도전층 사이에 배치되며, 상기 트랜지스터의 상기 채널 영역과 중첩한다.
- [0008] 상기 제2 도전층은 상기 트랜지스터의 게이트 전극을 포함할 수 있다.
- [0009] 상기 제2 도전층 상에 배치되는 제3 절연막, 및 상기 제3 절연막 상에 배치되는 제3 도전층을 더 포함하되, 상기 제3 도전층은 상기 트랜지스터의 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0010] 상기 트랜지스터의 상기 소스 전극은 상기 반도체층 및 상기 제1 도전층과 전기적으로 연결될 수 있다.
- [0011] 상기 제3 도전층은 제1 전원 전압 배선을 포함할 수 있다.
- [0012] 상기 제2 도전층은 상기 제1 도전층을 노출하는 컨택홀을 통해 상기 제1 도전층과 전기적으로 연결되고, 상기 제2 도전층은 상기 제1 도전층과 직접 접촉할 수 있다.
- [0013] 상기 제1 도전층 상에 배치되며, 티타늄을 포함하는 금속 패턴을 더 포함하되, 상기 금속 패턴과 상기 베리어층은 직접 접촉할 수 있다.
- [0014] 상기 베리어층은 상기 메인 도전층과 평면상 동일한 형상을 가질 수 있다.
- [0015] 상기 베리어층은 상기 제2 절연막과 평면상 동일한 평상을 가질 수 있다.
- [0016] 상기 베리어층, 상기 메인 도전층 및 상기 제2 절연막의 측면은 상호 정렬될 수 있다.
- [0017] 상기 베리어층의 두께는 100Å 내지 300Å의 범위 내에 있을 수 있다.
- [0018] 상기 메인 도전층의 두께는 2500Å 내지 4000Å의 범위 내에 있을 수 있다.
- [0019] 상기 메인 도전층 상에 배치되며, 티타늄 및 티타늄 화합물 중 적어도 어느 하나를 포함하는 캡핑층을 더 포함할 수 있다.
- [0020] 상기 과제 해결을 위한 일 실시예에 따른 표시 장치는 기관, 상기 기관 상에 배치되며, 트랜지스터의 채널 영역을 포함하는 반도체층, 상기 반도체층 상에 배치되는 제1 절연막, 상기 제1 절연막 상에 배치되며, 티타늄을 포함하는 베리어층, 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층, 및 티타늄을 포함하는 캡핑층을 포함하는 제1 도전층, 상기 제1 도전층 상에 배치되는 제2 절연막, 및 상기 제2 절연막 상에 배치되며, 상기 트랜지스터의 소스 전극 및 드레인 전극을 포함하는 제2 도전층을 포함하되, 상기 반도체층은 산화물 반도체를 포함하고, 상기 제1 도전층은 상기 트랜지스터의 게이트 전극을 포함하고, 상기 베리어층은 상기 반도체층과 상기 메인 도전층 사이에 배치되며, 상기 트랜지스터의 상기 채널 영역과 중첩한다.
- [0021] 상기 기관 상에 배치되고 무기물을 포함하는 부식 방지층, 상기 부식 방지층 상에 배치되고 알루미늄 또는 알루미늄 합금을 포함하는 제3 도전층, 및 상기 제3 도전층 상에 배치되는 제3 절연막을 더 포함하되, 상기 부식 방지층, 상기 제3 도전층 및 상기 제3 절연막은 상기 기관과 상기 반도체층 사이에 배치될 수 있다.
- [0022] 상기 제3 도전층은 상기 트랜지스터의 상기 채널 영역과 중첩하는 하부 도전 패턴을 포함할 수 있다.
- [0023] 상기 하부 도전 패턴은 상기 트랜지스터의 상기 게이트 전극과 전기적으로 연결될 수 있다.
- [0024] 상기 베리어층은 상기 메인 도전층과 평면상 동일한 형상을 가질 수 있다.
- [0025] 상기 베리어층은 상기 제1 절연막과 평면상 동일한 평상을 가질 수 있다.
- [0026] 상기 베리어층, 상기 메인 도전층 및 상기 제1 절연막의 측면은 상호 정렬될 수 있다.
- [0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0028] 일 실시예에 따른 표시 장치 및 표시 장치의 제조 방법에 의하면, 고해상도를 구현하면서도, 신호 딜레이가 개선되어, 보다 향상된 표시 품질을 제공할 수 있다.
- [0029] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0030] 도 1은 일 실시예에 따른 표시 장치의 평면도이다.
- 도 2는 일 실시예에 따른 표시 장치를 개략적으로 나타내는 블록도이다.
- 도 3은 일 실시예에 따른 표시 장치의 일 화소의 등가 회로도이다.
- 도 4는 일 실시예에 따른 표시 패널의 단면도이다.
- 도 5는 도 4의 A 영역을 확대한 확대도이다.
- 도 6은 도 4의 B 영역을 확대한 확대도이다.
- 도 7은 도 4의 C 영역을 확대한 확대도이다.
- 도 8은 일 실시예에 따른 베리어층에 의해 반도체층으로 수소의 확산이 방지되는 모습을 도시한 도면이다.
- 도 9는 일 실시예에 따른 베리어층의 유무에 따른 구동 전류의 변화를 나타낸 그래프들이다.
- 도 10 내지 도 12는 일 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다.
- 도 13은 다른 실시예에 따른 표시 장치의 단면도이다.
- 도 14는 또 다른 실시예에 따른 표시 장치의 단면도이다.
- 도 15는 또 다른 실시예에 따른 표시 장치의 단면도이다.
- 도 16은 또 다른 실시예에 따른 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0034] 이하, 첨부된 도면을 참고로 하여 구체적인 실시예들에 대해 설명한다.
- [0035] 도 1은 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 일 실시예에 따른 표시 장치를 개략적으로 나타내는 블록도이다.
- [0036] 표시 장치(1)는 동영상이나 정지영상을 표시하는 장치로서, 표시 장치(1)는 모바일 폰, 스마트 폰, 태블릿 PC(Personal Computer), 및 스마트 워치, 워치 폰, 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라 텔레비전,

노트북, 모니터, 광고판, 사물 인터넷 등의 다양한 제품의 표시 화면으로 사용될 수 있다.

- [0037] 일 실시예에 따른 표시 장치(1)는 평면상 실질적인 직사각형 형상으로 이루어질 수 있다. 표시 장치(1)는 평면상 모서리가 수직인 직사각형일 수 있다. 다만, 이에 제한되는 것은 아니며, 표시 장치(1)는 평면상 모서리가 둥근 직사각형 형상일 수 있다.
- [0038] 도면에서 제1 방향(DR1)은 평면도상 표시 장치(1)의 가로 방향을 나타내고, 제2 방향(DR2)은 평면도상 표시 장치(1)의 세로 방향을 나타낸다. 또한, 제3 방향(DR3)은 표시 장치(1)의 두께 방향을 나타낸다. 제1 방향(DR1)과 제2 방향(DR2)은 서로 수직으로 교차하며, 제3 방향(DR3)은 제1 방향(DR1) 및 제2 방향(DR2)이 놓이는 평면에 교차하는 방향으로 제1 방향(DR1) 및 제2 방향(DR2)에 모두 수직으로 교차한다. 다만, 실시예에서 언급하는 방향은 상대적인 방향을 언급한 것으로 이해되어야 하며, 실시예는 언급한 방향에 한정되지 않는다.
- [0039] 다른 정의가 없는 한, 본 명세서에서 제3 방향(DR3)을 기준으로 표현된 “상부”, “상면”, “상측”은 표시 장치(1)를 기준으로 표시면 측을 의미하고, “하부”, “하면”, “하측”은 표시 장치(1)를 기준으로 표시면의 반대측을 의미하는 것으로 한다.
- [0040] 일 실시예에 따른 표시 장치(1)는 표시 패널(10), 타이밍 제어부(21), 데이터 구동부(22) 및 스캔 구동부(30)를 포함할 수 있다.
- [0041] 표시 패널(10)은 유기 발광 표시 패널일 수 있다. 이하의 실시예에서는 표시 패널(10)로서 유기 발광 표시 패널이 적용된 경우를 예시하지만, 이에 제한되지 않고, 액정 디스플레이(LCD), 퀀텀닷 유기 발광 표시 패널(QD-OLED), 퀀텀닷 액정 디스플레이(QD-LCD), 퀀텀 나노 발광 표시 패널(nano NED), 마이크로 엘이디(Micro LED) 등 다른 종류의 표시 패널이 적용될 수도 있다.
- [0042] 표시 패널(10)은 화면을 표시하는 표시 영역(DA) 및 표시가 이루어지지 않는 비표시 영역(NDA)을 포함할 수 있다. 표시 패널(10)은 평면도상 표시 영역(DA)과 비표시 영역(NDA)으로 구분될 수 있다. 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 배치될 수 있다. 비표시 영역(NDA)은 베젤을 구성할 수 있다.
- [0043] 표시 영역(DA)은 평면상 모서리가 수직인 직사각형 또는 모서리가 둥근 직사각형 형상일 수 있다. 다만, 표시 영역(DA)의 평면 형상은 직사각형에 제한되는 것은 아니고, 원형, 타원형이나 기타 다양한 형상을 가질 수 있다.
- [0044] 표시 영역(DA)은 복수의 화소(PX)를 포함할 수 있다. 각 화소(PX)는 매트릭스 형상으로 배열될 수 있다. 각 화소(PX)는 발광층과 발광층의 발광량을 제어하는 회로층을 포함할 수 있다. 회로층은 배선, 전극 및 적어도 하나의 트랜지스터를 포함할 수 있다. 발광층은 유기 발광 물질을 포함할 수 있다. 발광층은 봉지막에 의해 밀봉될 수 있다. 화소(PX)의 구체적인 구성에 대해서는 후술하기로 한다.
- [0045] 비표시 영역(NDA)은 표시 영역(DA)의 양 단변 및 양 장변에 인접 배치될 수 있다. 이 경우, 표시 영역(DA)의 모든 변을 둘러싸고, 표시 영역(DA)의 테두리를 구성할 수 있다. 다만, 이에 제한되지 않고 비표시 영역(NDA)은 표시 영역(DA)의 양 단변 또는 양 장변에만 인접 배치될 수도 있다.
- [0046] 표시 영역(DA)에는 화소(PX)들 뿐만 아니라, 화소(PX)들에 연결되는 복수의 스캔 라인(SL1~SLk, k는 2 이상의 정수), 복수의 데이터 라인(DL1~DLj, j는 2 이상의 정수), 및 복수의 전원 라인(미도시)이 배치될 수 있다. 스캔 라인(SL)은 제1 방향(DR1)으로 연장되며, 제2 방향(DR2)을 따라 배열될 수 있다. 데이터 라인(DL)은 제2 방향(DR2)으로 연장되며, 제1 방향(DR1)을 따라 배열될 수 있다.
- [0047] 표시 패널(10)은 복수의 스캔 라인(SL1~SLk, k는 2 이상의 정수) 및 복수의 데이터 라인(DL1~DLj, j는 2 이상의 정수)의 교차부에 위치되어, 행렬 형태로 배열된 복수의 화소(PX)를 포함한다. 화소(PX) 각각은 스캔 라인(SL)들 중 적어도 어느 하나 및 데이터 라인(DL)들 중 어느 하나에 연결될 수 있다.
- [0048] 타이밍 제어부(21)는 호스트 시스템으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력 받는다. 호스트 시스템은 스마트폰 또는 태블릿 PC의 어플리케이션 프로세서, 모니터 또는 TV의 시스템 온 칩 등일 수 있다.
- [0049] 타이밍 제어부(21)는 데이터 구동부(22)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 제어신호(CS)들을 생성한다. 제어신호(CS)들은 데이터 구동부(22)의 동작 타이밍을 제어하기 위한 소스 제어 신호(CONT2)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 제어 신호(CONT1)를 포함할 수 있다.
- [0050] 스캔 구동부(30)는 타이밍 제어부(21)로부터 스캔 제어 신호(CONT1)를 입력 받는다. 스캔 구동부(30)는 스캔 제어 신호(CONT1)에 따라 스캔 신호들(S1~Sk, k는 2 이상의 정수)을 생성하여 표시 패널(10)의 스캔 라인들

(SL1~SLk)에 공급한다. 스캔 구동부(30)는 표시 패널(10)의 비표시영역(NDA)에 형성될 수 있다. 또는, 스캔 구동부(30)는 집적 회로로 형성될 수 있다.

- [0051] 데이터 구동부(22)는 타이밍 제어부(21)로부터 디지털 비디오 데이터(DATA)와 소스 제어 신호(CONT2)를 입력 받는다. 데이터 구동부(22)는 소스 제어 신호(CONT2)에 따라 디지털 비디오 데이터(DATA)를 아날로그 데이터 전압들로 변환하여 표시 패널(10)의 데이터 라인들(DL1~DLj)에 공급한다. 복수의 화소(PX) 각각은 복수의 데이터 라인(DL1 내지 DLm)을 통해 전달된 데이터 신호(D1~Dj, j는 2 이상의 정수)에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0052] 전원 공급 회로(미도시)는 메인 전원으로부터 표시 패널(10)의 구동에 필요한 전압들을 생성하여 표시 패널(10)에 공급할 수 있다. 예를 들어, 전원 공급 회로(미도시)는 메인 전원으로부터 표시 패널(10)의 발광 소자(OLED)를 구동하기 위한 제1 전원 전압(ELVDD, 도 3에 도시)과 제2 전원 전압(ELVSS, 도 3에 도시)을 생성하여 표시 패널(10)의 제1 전원 라인(ELVDL, 도 3에 도시)과 제2 전원 라인(ELVSL, 도 3에 도시)에 공급할 수 있다. 또한, 전원 공급 회로(미도시)는 메인 전원으로부터 타이밍 제어부(21), 데이터 구동부(22) 및 스캔 구동부(30) 등을 구동하기 위한 구동 전압들을 생성하여 공급할 수 있다. 전원 공급 회로(미도시)는 집적 회로로 형성되어 회로 보드 상에 장착될 수 있으나, 이에 제한되지 않는다.
- [0053] 도 3은 일 실시예에 따른 표시 장치의 일 화소의 등가 회로도이다.
- [0054] 도 3을 참조하면, 화소(PX)는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 발광 소자(OLED), 및 커패시터(Cst)를 포함할 수 있다. 도 3에서는 각 화소(PX)가 두개의 트랜지스터(TR1, TR2)와 하나의 커패시터(Cst)를 갖는 2T1C(2Transistor - 1Capacitor) 구조인 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 각 화소(PX)는 복수의 트랜지스터와 복수의 커패시터를 포함할 수 있다. 예를 들어, 각 화소(PX)에는 3T1C 구조, 6T1C 구조, 7T1C 구조, 5T2C 구조 등 다른 다양한 변형 화소(PX) 구조가 적용될 수도 있다.
- [0055] 제1 및 제2 트랜지스터(TR1, TR2) 각각은 제1 소스/드레인 전극, 제2 소스/드레인 전극 및 게이트 전극을 포함할 수 있다. 제1 소스/드레인 전극 및 제2 소스/드레인 전극 중 하나는 소스 전극이고, 다른 하나는 드레인 전극일 수 있다.
- [0056] 제1 및 제2 트랜지스터(TR1, TR2) 각각은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 3에서는 제1 및 제2 트랜지스터(TR1, TR2) 각각이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것으로 설명하였으나, 이에 제한되지 않는다. 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 P 타입 MOSFET으로 형성될 수도 있다. 이 경우, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 각각의 소스 전극과 드레인 전극의 위치는 변경될 수 있다. 이하에서는, 제1 및 제2 트랜지스터(TR1, TR2)은 N타입 MOSFET인 경우를 예시하여 설명한다.
- [0057] 제1 트랜지스터(TR1)는 구동 트랜지스터일 수 있다. 구체적으로 설명하면, 제1 트랜지스터(TR1)의 게이트 전극은 제2 트랜지스터(TR2)의 제2 소스/드레인 전극 및 커패시터(Cst)의 제2 전극과 연결된다. 제1 트랜지스터(TR1)의 제1 소스/드레인 전극은 제1 전원 라인(ELVDL)과 연결된다. 제1 트랜지스터(TR1)의 제2 소스/드레인 전극은 발광 소자(OLED)의 애노드 전극과 연결된다. 제1 트랜지스터(TR1)는 제2 트랜지스터(TR2)의 스위칭 동작에 따라 데이터 신호(Dj, j는 1 이상의 정수)를 전달받아 발광 소자(OLED)에 구동 전류를 공급한다.
- [0058] 제2 트랜지스터(TR2)의 게이트 전극은 스캔 라인(SL)과 연결된다. 제2 트랜지스터(TR2)의 제1 소스/드레인 전극은 데이터 라인(DL)과 연결된다. 제2 트랜지스터(TR2)의 제2 소스/드레인 전극은 제1 트랜지스터(TR1)의 게이트 전극 및 커패시터(Cst)의 제2 전극과 연결된다. 제2 트랜지스터(TR2)는 스캔 신호(Sk, k는 1 이상의 정수)에 따라 턴온되어 데이터 신호(Dj, j는 1 이상의 정수)를 제1 트랜지스터(TR1)의 게이트 전극으로 전달하는 스위칭 동작을 수행한다.
- [0059] 커패시터(Cst)의 제1 전극은 제1 전원 라인(ELVDL) 및 제1 트랜지스터(TR1)의 제1 소스/드레인 전극과 연결되고, 커패시터(Cst)의 제2 전극은 제1 트랜지스터(TR1)의 게이트 전극 및 제2 트랜지스터(TR2)의 제2 소스/드레인 전극과 연결될 수 있다. 커패시터(Cst)는 제1 트랜지스터(TR1)의 게이트 전극에 인가된 데이터 전압을 일정하게 유지하는 역할을 할 수 있다.
- [0060] 발광 소자(OLED)는 제1 트랜지스터(TR1)의 구동 전류에 따라 발광할 수 있다. 발광 소자(OLED)는 애노드 전극, 유기 발광층, 및 캐소드 전극(또는 제2 전극)을 포함하는 유기 발광 다이오드(organic light emitting diode)일 수 있다. 발광 소자(OLED)의 애노드 전극은 제1 트랜지스터(TR1)의 제2 소스/드레인 전극에 연결되고, 캐소드 전극은 제1 전원 전압(ELVDD)보다 낮은 제2 전원 전압(ELVSS)이 인가되는 제2 전원 라인(ELVSL)에 연결될 수 있다.

다.

- [0061] 이하, 상술한 화소(PX)의 단면 구조에 대해 상세히 설명한다.
- [0062] 도 4는 일 실시예에 따른 표시 패널의 단면도이다. 도 4에서는 표시 패널(10)의 단면도의 일 예로, 도 3의 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 단면도를 도시한다.
- [0063] 도 4를 참조하면, 일 실시예에 따른 표시 패널(10)은 베이스 기판(SUB) 상에 배치된 반도체층(SCL), 복수의 도전층 및 복수의 절연층을 포함한다. 복수의 도전층은 제1 도전층(100), 제2 도전층(200), 제3 도전층(300) 및 애노드 전극(ANO)를 포함할 수 있다. 복수의 절연층은 부식 방지층(CB), 제1 절연막(IL1), 제2 절연막(IL2), 제3 절연막(IL3), 및 비아층(VIA)을 포함할 수 있다. 상기 각 층들은 베이스 기판(SUB) 상에 부식 방지층(CB), 제1 도전층(100), 제1 절연막(IL1), 반도체층(SCL), 제2 절연막(IL2), 제2 도전층(200), 제3 절연막(IL3), 제3 도전층(300), 비아층(VIA), 애노드 전극(ANO), 화소 정의막(PDL) 등의 순서로 배치될 수 있다. 상술한 각 층들은 단일막으로 이루어질 수 있지만, 복수의 막을 포함하는 적층막으로 이루어질 수도 있다. 각 층들 사이에는 다른 층이 더 배치될 수도 있다.
- [0064] 베이스 기판(SUB)은 그 위에 배치되는 각 층들을 지지한다. 베이스 기판(SUB)은 대체로 투명하여, 높은 광 투과율을 가질 수 있다. 베이스 기판(SUB)은 유리 및/또는 석영 등과 같은 무기 물질을 포함할 수 있다. 상기 무기 물질은 이에 제한되는 것은 아니지만, 예를 들어, 산화 규소(SiO₂)를 포함할 수 있다. 다만, 이에 제한되는 것은 아니고, 베이스 기판(SUB)은 투명한 플레이트 또는 투명한 필름일 수 있다.
- [0065] 베이스 기판(SUB)은 리지드(rigid) 기판일 수 있으나, 이에 제한되는 것은 아니고, 베이스 기판(SUB)은 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기판일 수도 있다. 아울러, 베이스 기판(SUB)은 두께가 0.1mm 이하의 초박막 유리(Ultra Thin Glass; UTG)일 수 있고, 이 경우, 표시 장치(도 1의 '1')의 전체적인 두께가 감소할 수 있으며, 표시 장치(도 1의 '1')의 무게가 감소하여 사용자의 사용 편의성이 증대될 수 있다.
- [0066] 부식 방지층(CB)은 베이스 기판(SUB) 상에 배치될 수 있다. 부식 방지층(CB)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지할 수 있다. 후술하겠으나, 부식 방지층(CB)은 상부의 제1 도전층(100)이 알루미늄 또는 알루미늄 합금을 포함하더라도, 제1 도전층(100)의 부식을 억제 또는 방지할 수 있고, 표시 패널(10)은 보다 원활하게 작동할 수 있다. 즉, 알루미늄을 포함하는 메인 도전층(110)이 베이스 기판(SUB)에 직접 맞닿는 경우, 베이스 기판(SUB)이 유리 및/또는 석영 등을 포함하더라도, 소량의 수분 또는 외기 등이 베이스 기판(SUB) 내에서 또는 베이스 기판(SUB)을 통해 메인 도전층(110)으로 확산되어 알루미늄과 반응하여, 메인 도전층(110)이 산화 및/또는 부식될 수 있다. 메인 도전층(110)이 산화 및/또는 부식되는 경우, 메인 도전층(110)의 저항이 증가하여 제1 도전층(100)의 저항이 증가할 수 있다.
- [0067] 따라서, 베이스 기판(SUB)과 메인 도전층(110) 사이에 부식 방지층(CB)을 배치함으로써, 상기 수분 또는 외기 등이 메인 도전층(110)으로 확산되는 것을 억제 또는 방지할 수 있다. 따라서, 제1 도전층(100)의 낮은 저항을 유지할 수 있고, 표시 장치(도 1의 '1')의 표시 품질 및 신뢰성이 향상될 수 있다. 부식 방지층(CB)의 두께(tCB)는 예를 들어, 1000 내지 2000Å이거나 500 내지 3000Å일 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [0068] 부식 방지층(CB)은 무기물을 포함할 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 부식 방지층(CB)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등을 포함할 수 있다.
- [0069] 제1 도전층(100)은 부식 방지층(CB) 상에 배치된다. 제1 도전층(100)은 반도체층(SCL)의 하부에 배치되며, 차광 패턴 및 하부 도전층 등의 역할을 수행할 수 있다.
- [0070] 제1 도전층(100)은 제1 하부 도전 패턴(BML1) 및 제2 하부 도전 패턴을 포함할 수 있다. 제1 하부 도전 패턴(BML1)은 표시 패널(10)의 하부 방향에서 입사되는 광이 상부에 위치한 제1 트랜지스터(TR1)의 액티브층인 반도체 패턴(ACT1, ACT2) 특히, 상기 반도체 패턴(ACT1, ACT2)의 채널 영역으로 진입하는 것을 방지하는 역할을 할 수 있다.
- [0071] 즉, 제1 하부 도전 패턴(BML1)은 적어도 제1 트랜지스터(TR1)의 반도체 패턴(ACT1)의 채널 영역을 커버하도록 배치될 수 있으며, 제2 하부 도전 패턴(BML2)은 적어도 제2 트랜지스터(TR2)의 반도체 패턴(ACT2)의 채널 영역을 커버하도록 배치될 수 있다. 나아가, 제1 하부 도전 패턴(BML1)과 제2 하부 도전 패턴(BML2)은 각각 제1 트랜지스터(TR1)의 반도체 패턴(ACT1)과 제2 트랜지스터(TR2)의 반도체 패턴(ACT2) 각각의 전체를 커버하도록 배치될 수 있다.

- [0072] 제1 하부 도전 패턴(BML1)과 제2 하부 도전 패턴(BML2)은 반도체층(SCL)의 하부에 배치되어, 하부 도전층의 역할을 수행할 수 있다. 즉, 제1 하부 도전 패턴(BML1)은 제1 트랜지스터(TR1)의 제2 소스/드레인 전극(SD2)과 전기적으로 연결될 수 있다. 또한, 제2 하부 도전 패턴(BML2)은 제2 트랜지스터(TR2)의 게이트 전극(GAT2)과 전기적으로 연결될 수 있다. 이에 따라, 구동 트랜지스터인 제1 트랜지스터(TR1)의 소자 특성이 향상되며, 스위칭 트랜지스터인 제2 트랜지스터(TR2)의 소자 특성이 향상될 수 있다. 즉, 이 경우, 구동 트랜지스터인 제1 트랜지스터(TR1)는 구동 전류를 조절하기 보다 용이하며, 스위칭 트랜지스터인 제2 트랜지스터(TR2)는 보다 원활하게 턴-온(Turn-on) 및 턴-오프(Turn-off)될 수 있다.
- [0073] 도시하진 않았으나, 제1 도전층(100)은 제1 하부 도전 패턴(BML1) 및 제2 하부 도전 패턴(BML2) 뿐만 아니라, 제1 전원 라인(ELVDL, 도 3 참조)에 해당하는 제1 전원 배선(미도시), 데이터 라인(DL, 도 3 참조)에 해당하는 데이터 배선(미도시), 및 커패시터(Cst, 도 3 참조)의 제1 전극(미도시) 등을 포함할 수도 있다.
- [0074] 제1 도전층(100)은 알루미늄을 포함하여 이루어질 수 있다. 알루미늄은 몰리브덴(Mo) 등보다 상대적으로 저저항 특성을 갖는 물질이기 때문에, 알루미늄 또는 알루미늄 합금을 포함하는 도전층은 몰리브덴(Mo) 등을 포함하는 경우보다 얇은 두께로 형성되더라도 충분한 수준의 도전성을 가질 수 있다.
- [0075] 제1 도전층(100)의 자세한 적층 구조에 대해서는 후술하기로 한다.
- [0076] 제1 절연막(IL1)은 제1 도전층(100) 상에 배치된다. 제1 절연막(IL1)은 제1 도전층(100)을 덮으며, 부식 방지층(CB) 상에 전면적으로 배치될 수 있다. 제1 절연막(IL1)은 제1 도전층(100)과 반도체층(SCL) 사이를 절연하는 층간 절연막의 역할을 수행할 수 있다. 제1 절연막(IL1)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등 중 적어도 하나를 포함하여 이루어질 수 있다.
- [0077] 반도체층(SCL)은 제1 절연막(IL1) 상에 배치될 수 있다. 반도체층(SCL)은 제1 트랜지스터(TR1)의 반도체 패턴(ACT1) 및 제2 트랜지스터(TR2)의 반도체 패턴(ACT2)을 포함할 수 있다. 제1 트랜지스터(TR1)의 반도체 패턴(ACT1)은 제1 트랜지스터(TR1)의 활성층이며, 제2 트랜지스터(TR2)의 반도체 패턴(ACT2)은 제1 트랜지스터(TR2)의 활성층일 수 있다. 제1 트랜지스터(TR1)의 반도체 패턴(ACT1) 및 제2 트랜지스터(TR2)의 반도체 패턴(ACT2)은 각 화소(PX) 별로 배치될 수 있다.
- [0078] 제1 트랜지스터(TR1)의 반도체 패턴(ACT1)은 상부의 제1 트랜지스터(TR1)의 게이트 전극(GAT1)과 두께 방향으로 중첩 배치된 제1 트랜지스터(TR1)의 채널 영역(미도시), 상기 채널 영역(미도시)의 일측 및 타측에 각각 위치한 제1 트랜지스터(TR1)의 제1 소스/드레인 영역(미도시)과 제1 트랜지스터(TR1)의 제2 소스/드레인 영역(미도시)을 포함할 수 있다. 제1 트랜지스터(TR1)의 제1 및 제2 소스/드레인 영역(미도시)은 도체화된 영역으로, 제1 트랜지스터(TR1)의 채널 영역(미도시)에 비해 도전성이 크고, 전기적인 저항이 낮을 수 있다.
- [0079] 제2 트랜지스터(TR2)의 반도체 패턴(ACT2)은 상부의 제2 트랜지스터(TR2)의 게이트 전극(GAT2)과 두께 방향으로 중첩 배치된 제2 트랜지스터(TR2)의 채널 영역(미도시), 상기 채널 영역(미도시)의 일측 및 타측에 각각 위치한 제2 트랜지스터(TR2)의 제1 소스/드레인 영역(미도시)과 제2 트랜지스터(TR2)의 제2 소스/드레인 영역(미도시)을 포함할 수 있다. 제2 트랜지스터(TR2)의 제1 및 제2 소스/드레인 영역(미도시)은 도체화된 영역으로, 제2 트랜지스터(TR2)의 채널 영역(미도시)에 비해 도전성이 크고, 전기적인 저항이 낮을 수 있다.
- [0080] 반도체층(SCL)은 산화물 반도체를 포함하여 이루어질 수 있다. 상기 산화물 반도체는 예를 들어 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn), 티타늄(Ti), 알루미늄(Al), hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xCy), 사성분계 화합물(AB_xCyDz), 오성분계 화합물(AB_xCyDzEw)을 포함할 수 있다. 일 실시예에서, 반도체층(SCL)은 인듐-갈륨-아연 산화물(IGZO) 또는 인듐-주석-갈륨-아연 산화물(ITGZO)를 포함하여 이루어질 수 있다.
- [0081] 제2 절연막(IL2)은 반도체층(SCL) 상에 배치된다. 제2 절연막(IL2)은 반도체층(SCL)의 일부 영역에만 배치될 수 있다. 즉, 제2 절연막(IL2)은 반도체층(SCL)의 일부와 중첩할 수 있다. 제2 절연막(IL2)은 제1 트랜지스터(TR1)의 채널 영역을 덮고, 제1 및 제2 소스/드레인 영역 및 반도체층(SCL)의 측면을 노출할 수 있다.
- [0082] 제2 절연막(IL2)은 상부의 제2 도전층(200)과 실질적으로 동일한 평면 형상을 가질 수 있다. 제2 절연막(IL2)의 측면은 제2 도전층(200)의 측면과 정렬될 수 있다.
- [0083] 제2 절연막(IL2)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 제2 절연막(IL2)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

- [0084] 제2 도전층(200)은 제2 절연막(IL2) 상에 배치된다. 제2 도전층(200)은 제1 트랜지스터(TR1)의 게이트 전극(GAT1) 및 제2 트랜지스터(TR2)의 게이트 전극(GAT2)을 포함할 수 있다. 도시하진 않았으나, 제1 트랜지스터(TR1)의 게이트 전극(GAT1)은 제2 트랜지스터(TR2)의 소스 전극과 전기적으로 연결될 수 있다. 또한, 제2 도전층(200)은 커패시터(도 3의 'Cst')의 제2 전극(또는 상부 전극)을 더 포함할 수도 있다. 제2 도전층(200)은 알루미늄을 포함하여 이루어질 수 있다.
- [0085] 제2 트랜지스터(TR2)의 게이트 전극(GAT2)은 제2 하부 도전 패턴(BML2)의 일부를 노출하는 콘택홀(CNT5)을 통해 제2 하부 도전 패턴(BML2)과 전기적으로 연결될 수 있다.
- [0086] 제2 도전층(200)에 대한 자세한 적층 구조에 대해서는 후술한다.
- [0087] 제3 절연막(IL3)은 제2 도전층(200) 상에 배치될 수 있다. 제3 절연막(IL3)은 제2 도전층(200), 제2 절연막(IL2) 및 반도체층(SCL)을 덮으며, 제1 절연막(IL1) 상에 전면적으로 배치될 수 있다. 제3 절연막(IL3)은 제2 도전층(200)과 제3 도전층 사이를 절연하는 층간 절연막의 역할을 수행할 수 있다. 제2 절연막(IL2)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등 중 적어도 하나를 포함하여 이루어질 수 있다.
- [0088] 제3 도전층(300)은 제3 절연막(IL3) 상에 배치될 수 있다. 제3 도전층(300)은 제1 트랜지스터(TR1)의 제1 소스/드레인 전극(SD1), 제2 소스/드레인 전극(SD2)을 포함할 수 있다. 도시하진 않았으나, 제3 도전층(300)은 제2 트랜지스터(TR2)의 소스 전극(미도시), 드레인 전극(미도시)을 포함할 수 있다.
- [0089] 아울러, 제3 도전층(300)은 제1 전원 라인(ELVDL, 도 3 참조)에 해당하는 제1 전원 배선(미도시), 데이터 라인(DL, 도 3 참조)에 해당하는 데이터 배선(미도시), 및 커패시터(Cst, 도 3 참조)의 제2 전극(미도시) 등을 더 포함할 수 있다.
- [0090] 제1 트랜지스터(TR1)의 제1 소스/드레인 전극(SD1)은 제1 트랜지스터(TR1)의 제1 소스/드레인 영역을 노출하는 콘택홀(CNT1)을 통해 제1 트랜지스터(TR1)의 제1 소스/드레인 영역과 전기적으로 연결될 수 있다.
- [0091] 제1 트랜지스터(TR1)의 제2 소스/드레인 전극(SD2)은 제1 트랜지스터(TR1)의 제2 소스/드레인 영역을 노출하는 콘택홀(CNT2)을 통해 제1 트랜지스터(TR1)의 제2 소스/드레인 영역과 전기적으로 연결될 수 있다. 또한, 제1 트랜지스터(TR1)의 제2 소스/드레인 전극(SD2)은 제1 하부 도전 패턴(BML1)의 일부를 노출하는 콘택홀(CNT3)을 통해 제1 하부 도전 패턴(BML1)과 전기적으로 연결될 수 있다.
- [0092] 제3 도전층(300)은 저저항 물질로 이루어질 수 있다. 제3 도전층(300)은 알루미늄(Al), 몰리브덴(Mo), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있지만, 이에 제한되는 것은 아니다. 제3 도전층(300)은 제1 도전층(100) 및 제2 도전층(200) 중 어느 하나와 동일한 적층 구조를 가질 수도 있다.
- [0093] 제3 도전층(300) 상에는 비아층(VIA)이 배치된다. 비아층(VIA)은 제3 도전층(300) 상부에 배치되어 제3 도전층(300)의 상면을 완전히 덮을 수 있다. 비아층(VIA)이 유기막으로 이루어지는 경우, 하부의 단차에도 불구하고 그 상면은 평탄할 수 있다.
- [0094] 비아층(VIA)은 무기 절연 물질이나 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다. 비아층(VIA)은 감광성 물질을 더 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0095] 애노드 전극(ANO)은 비아층(VIA) 상에 배치된다. 애노드 전극(ANO)은 각 화소마다 분리되어 배치될 수 있다. 애노드 전극(ANO)은 비아층(VIA)을 관통하며, 제1 트랜지스터(TR1)의 제2 소스/드레인 영역(SD2)의 일부를 노출하는 콘택홀(CNT4)을 통해 제1 트랜지스터(TR1)의 제2 소스/드레인 영역(SD2)과 전기적으로 연결될 수 있다. 애노드 전극(ANO)은 표시 영역(DA)에 배치되며, 비표시 영역(NDA)에는 배치되지 않을 수 있다.
- [0096] 애노드 전극(ANO)은 이에 제한되는 것은 아니지만, 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 산화인듐(Indium Oxide: In_xO_y)의 일함수가 높은 물질층과 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 혼합물 등과 같은 반사성 물질층이 적층된 적층막 구조를 가질 수

있다. 일함수가 높은층이 반사성 물질층보다 위층에 배치되어 발광층(EL)에 가깝게 배치될 수 있다. 애노드 전극(ANO)은 ITO/Mg, ITO/MgF, ITO/Ag, ITO/Ag/ITO 중 어느 하나의 복수층 구조를 가질 수 있으나, 이에 한정되는 것은 아니다.

- [0097] 화소 정의막(PDL)은 애노드 전극(ANO) 상에 배치될 수 있다. 화소 정의막(PDL)은 애노드 전극(ANO)을 부분적으로 노출하는 개구부를 포함할 수 있다. 화소 정의막(PDL)은 유기 절연 물질 또는 무기 절연 물질로 이루어질 수 있다. 예를 들어, 화소 정의막(PDL)은 폴리이미드계 수지, 아크릴계 수지, 실리콘 화합물, 폴리아크릴계 수지 등 중 적어도 하나를 포함하여 이루어질 수 있다.
- [0098] 화소 정의막(PDL)이 노출하는 애노드 전극(ANO) 상에는 발광층(EL) 및 캐소드 전극(CAT) 더 배치될 수 있다.
- [0099] 발광층(EL)은 유기 물질층을 포함할 수 있다. 발광층의 유기 물질층은 유기 발광층을 포함하며, 정공 주입/수송층 및/또는, 전자 주입/수송층을 더 포함할 수 있다.
- [0100] 캐소드 전극(CAT)은 발광층(EL) 상에 배치될 수 있다. 캐소드 전극(CAT)은 화소(PX)의 구별없이 전면적으로 배치된 공통 전극일 수 있다. 애노드 전극(ANO), 발광층(EL) 및 캐소드 전극(CAT)은 각각 유기 발광 소자(OLED)를 구성할 수 있다.
- [0101] 캐소드 전극(CAT)은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au Nd, Ir, Cr, BaF, Ba 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물 등)과 같은 일함수가 작은 물질층을 포함할 수 있다. 캐소드 전극(CAT)은 상기 일함수가 작은 물질층 상에 배치된 투명 금속 산화물층을 더 포함할 수 있다.
- [0102] 도시하진 않았으나, 캐소드 전극(CAT) 상에는 박막 봉지층(미도시)이 더 배치될 수 있다. 박막 봉지층(미도시)은 복수의 절연막을 포함하며, 무기 절연막 및 유기 절연막을 포함할 수 있다.
- [0103] 표시 장치(도 1의 '1')는 460ppi 이상의 고해상도를 가질 수 있다. 또한, 표시 장치(도 1의 '1')의 타이밍 제어부(21)는 120Hz 내지 240Hz 중 어느 하나의 주파수로 게이트 제어 신호를 출력할 수 있다. 상기 주파수가 높아 지거나, 및/또는 해상도가 높아질수록 박막 트랜지스터의 게이트 온 시간은 감소한다. 주사 신호선의 저항이 높을 경우 주사 신호 딜레이가 발생할 수 있는데, 이 경우 충분한 게이트 온 시간이 확보되지 못해 가로줄 무늬나 표시 얼룩이 발생할 수 있다.
- [0104] 제1 도전층(100) 및 제2 도전층(200)이 알루미늄 또는 알루미늄 합금을 포함하는 도전 패턴으로 이루어지는 경우, 알루미늄 또는 알루미늄 합금의 면저항이 상대적으로 낮기 때문에 상대적으로 면저항이 높은 물질, 예컨대 폴리브덴 등을 사용하는 경우에 비해 주사 신호 딜레이를 감소시켜 위와 같은 불량을 감소시킬 수 있다.
- [0105] 아울러, 제1 도전층(100) 및 제2 도전층(200)이 알루미늄 또는 알루미늄 합금을 포함함에 따라, 알루미늄 또는 알루미늄의 부식을 방지할 수 있는 부식 방지층(CB), 및 제2 도전층(200)의 메인 도전층(210)의 하부가 노출되는 것을 방지하고 박막 트랜지스터의 채널 영역으로 침투하는 수소(H)의 확산을 방지할 수 있는 베리어층(도 6의 '230')이 더 배치될 수 있다.
- [0106] 이하에서, 일 실시예에 따른 제1 도전층(100)의 적층 구조, 제2 도전층(200)의 적층 구조 및 제1 도전층(100)과 제2 도전층(200)의 접촉 관계에 대해 설명하기 위해 도 5 내지 도 7이 더 참조된다.
- [0107] 도 5는 도 4의 A 영역을 확대한 확대도이다. 도 6은 도 4의 B 영역을 확대한 확대도이다. 도 7은 도 4의 C 영역을 확대한 확대도이다. 도 5에서는 제1 도전층(100)의 일 예로 제1 하부 도전 패턴(BML1) 주변의 단면도를 도시하며, 도 6에서는 제2 도전층(200)의 일 예로 게이트 전극(GAT1) 주변의 단면도를 도시한다. 도 6에서는 제1 도전층(100)의 제1 하부 도전 패턴(BML1)과 제2 도전층(200)의 제2 트랜지스터(TR2)의 게이트 전극(GAT)이 접촉하는 계면(IF) 주변의 단면도를 도시한다.
- [0108] 우선, 도 5를 참조하여, 제1 도전층(100)에 대해 설명한다.
- [0109] 일 실시예에 따른 제1 도전층(100)은 메인 도전층(110)과 메인 도전층(110) 상에 배치된 캡핑층(120)을 포함할 수 있다.
- [0110] 메인 도전층(110)은 도전 패턴(100)에 도전성을 부여하는 층이다. 메인 도전층(110)은 저저항 물질로 이루어질 수 있다. 메인 도전층(110)은 알루미늄(Al) 또는 알루미늄 합금을 포함할 수 있다. 상기 알루미늄 합금은 알루미늄 및 첨가 물질을 포함한다. 상기 첨가 물질은 니켈(Ni), 란타넘(La), 네오디뮴(Nd) 및 게르마늄(Ge) 중 적어도 하나를 포함할 수 있다. 니켈 등의 첨가 물질은, 이에 한정되는 것은 아니지만, 알루미늄 합금 전체를 기준으로 2 at% 이하 또는 1 at% 이하로 포함될 수 있다.

- [0111] 메인 도전층(110)의 두께(t110)는 예를 들어, 2500Å 내지 4000Å이거나 2000Å 내지 5000Å일 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [0112] 메인 도전층(110)은 단일막일 수도 있지만, 다층막일 수도 있다. 메인 도전층(110)이 다층막일 경우, 다층막을 구성하는 단일막 중 적어도 하나는 알루미늄 또는 알루미늄 합금을 포함할 수 있다.
- [0113] 메인 도전층(110)의 상면에는 캡핑층(120)이 배치된다. 캡핑층(120)은 메인 도전층(110)의 상면을 덮어 메인 도전층(110)을 보호한다. 메인 도전층(110)으로 알루미늄(또는 알루미늄 합금)이 적용되더라도, 캡핑층(120)을 메인 도전층(110) 상에 배치함으로써, 알루미늄의 힐록(Hillcock)을 억제 또는 방지할 수 있으며, 상부의 다른 구성을 형성하는 공정 등에 의해서 발생할 수 있는 메인 도전층(110)의 손상 및/또는 불량 등을 억제 또는 방지할 수 있다. 따라서, 제1 도전층(100)의 표면에 손상 및/또는 불량 등이 발생하거나 저항이 증가하는 것을 억제 또는 방지할 수 있고, 제1 도전층(100)의 신뢰성을 증가시킬 수 있다.
- [0114] 캡핑층(120)은 이종 물질층이 적층된 다층 구조로 이루어질 수 있다. 구체적으로 설명하면, 캡핑층(120)은 적층된 복수의 층을 포함할 수 있다. 즉, 캡핑층(120)은 제1 캡핑층(121) 및 제2 캡핑층(122)을 포함할 수 있다. 제1 캡핑층(121)과 제2 캡핑층(122)은 서로 다른 물질로 이루어질 수 있다.
- [0115] 제1 캡핑층(121)은 메인 도전층(110) 상에 배치되며, 제2 캡핑층(122)은 제1 캡핑층(121) 상에 배치될 수 있다. 즉, 제1 캡핑층(121)은 메인 도전층(110)과 제2 캡핑층(122) 사이에 배치될 수 있다.
- [0116] 캡핑층(120)의 다층 구조를 이루는 각 캡핑 구성층(121, 122)은 도전 물질로 이루어질 수 있다. 캡핑층(120)의 전체 전기 전도도는 메인 도전층(110)의 전기 전도도보다 작을 수 있다. 각 캡핑 구성층(121, 122)은 예를 들어, 티타늄(Ti), 질화 티타늄(TiN) 등을 포함할 수 있다. 예를 들어, 캡핑층(120)은 질화 티타늄층과 티타늄층이 교대 적층된 구조를 가질 수 있다. 즉, 예를 들어, 제1 캡핑층(121)은 질화 티타늄(TiN)을 포함하는 질화 티타늄층이고, 제2 캡핑층(122)은 티타늄(Ti)을 포함하는 티타늄층일 수 있다. 질화 티타늄층과 티타늄층은 물성이 상이한 이종 물질이지만, 둘다 티타늄을 공유하기 때문에 연속 공정에 의한 성막이 가능하다. 이에 대한 상세한 설명은 후술하기로 한다.
- [0117] 캡핑층(120)은 메인 도전층(110)을 효과적으로 보호하기 위해서 충분한 두께를 가질 필요가 있으나, 캡핑층(120)의 두께(t120)는 메인 도전층(110)의 두께(t110)보다는 작을 수 있다. 일 실시예에서, 이에 제한되는 것은 아니지만, 캡핑층(120)의 두께(t120)는 메인 도전층(110)의 두께(t110)의 1/2 이하일 수 있다.
- [0118] 캡핑층(120) 전체의 두께(t120)는 400Å 내지 2000Å의 범위 내에 있을 수 있다. 제1 캡핑층(121)의 두께(t121)는 100Å 내지 500Å의 범위 또는 250Å 내지 350Å의 범위 내에 있을 수 있다. 제2 캡핑층(122)의 두께(t122)는 1000Å 내지 1500Å의 범위 또는 1100Å 내지 1300Å의 범위 내에 있을 수 있다.
- [0119] 후술하겠으나, 제1 도전층(100)의 메인 도전층(110)과 캡핑층(120)은 하나의 마스크 공정으로 형성될 수 있다. 메인 도전층(110)의 측면과 캡핑층(120)의 측면은 상호 정렬될 수 있다. 즉, 메인 도전층(110)의 측면, 제1 캡핑층(121)의 측면 및 제2 캡핑층(122)의 측면은 모두 정렬될 수 있다. 다만, 이에 제한되는 것은 아니고, 상기 구성 중 어느 두개의 측면만 정렬되거나, 모두 정렬되지 않을 수도 있다.
- [0120] 이상에서, 캡핑층(120)은 순차 적층된 제1 캡핑층(121)과 제2 캡핑층(122)을 포함하는 다층 구조인 것으로 설명하였으나, 이에 제한되는 것은 아니며, 캡핑층(120)은 단층 구조로 이루어질 수도 있다. 이 경우, 캡핑층(120)은 예를 들어, 질화 티타늄(TiN)을 포함하는 제1 캡핑층(121) 및 티타늄(Ti)을 포함하는 제2 캡핑층(122) 중 어느 하나를 포함할 수도 있다. 아울러, 캡핑층(120)이 제1 캡핑층(121) 및 제2 캡핑층(122) 중 어느 하나를 포함하더라도, 그 두께의 범위는 상술한 캡핑층(120)의 두께(t120) 범위와 실질적으로 동일할 수 있다.
- [0121] 이어, 도 6 및 도 7을 더 참조하여, 일 실시예에 따른 제2 도전층(200)의 적층 구조 및 제2 도전층(200)과 제1 도전층(100)의 접촉 관계에 대해 설명한다.
- [0122] 제2 도전층(200)은 메인 도전층(210), 캡핑층(220) 및 베리어층(230)을 포함할 수 있다. 캡핑층(220) 및 베리어층(230)은 메인 도전층(210) 상에 배치될 수 있다. 캡핑층(220)은 메인 도전층(210) 상부에 배치되며, 베리어층(230)은 메인 도전층(210) 하부에 배치될 수 있다. 즉, 메인 도전층(210)은 캡핑층(220)과 베리어층(230) 사이에 배치될 수 있다. 캡핑층(220)은 메인 도전층(210)과 제3 절연막(IL3) 사이에 배치될 수 있으며, 베리어층(230)은 메인 도전층(210)과 반도체층(SCL) 사이에 배치될 수 있다.
- [0123] 제2 도전층(200)의 메인 도전층(210)은 제1 도전층(100)의 메인 도전층(110)과 실질적으로 동일하고, 제2 도전층(200)의 캡핑층(220)은 제1 도전층(100)의 캡핑층(120)과 실질적으로 동일할 수 있다. 즉, 제2 도전층(200)의

메인 도전층(210)의 물질, 두께(t210) 및 적층 구조 등은 제1 도전층(100)의 메인 도전층(110)의 물질, 두께(t110) 및 적층 구조 등과 실질적으로 동일할 수 있다. 제2 도전층(200)의 캡핑층(220)의 물질, 두께(t220, t221, t222) 및 적층 구조 등은 제1 도전층(100)의 캡핑층(120)의 물질, 두께(t120, t121, t122) 및 적층 구조 등과 실질적으로 동일할 수 있다. 따라서, 제2 도전층(200)의 메인 도전층(210) 및 캡핑층(220)에 대한 자세한 설명은 생략한다.

[0124] 제2 도전층(200)은 제1 도전층(100)과 동일한 적층 구조를 포함하면서, 하부에 배치되는 베리어층(230)을 더 포함할 수 있다. 베리어층(230)은 제1 캡핑층(221)과 제2 캡핑층(222) 중 어느 하나와 동일한 물질을 포함할 수 있다. 이에 제한되는 것은 아니지만, 베리어층(230)은 예를 들어, 티타늄(Ti)을 포함하는 티타늄층일 수 있다. 이에 제한되는 것은 아니지만, 예를 들어, 베리어층(230)의 두께(t230)는 100Å 내지 300Å의 범위 또는 10Å 내지 500Å의 범위 내에 있을 수 있다.

[0125] 제1 도전층(100)과 제2 도전층(200)은 직접 접촉할 수 있으며, 제2 도전층(200)의 최하부에 티타늄(Ti)을 포함하는 베리어층이 배치됨에 따라, 제1 도전층(100)과 제2 도전층(200)이 직접 접촉하는 접촉 영역에서 콘택 저항이 감소할 수 있으며, 상기 접촉 영역에서 제1 도전층(100)과 제2 도전층(200)의 접합이 보다 수월할 수 있다.

[0126] 구체적으로 설명하면, 제1 도전층(100)은 상부에 티타늄(Ti)을 포함하는 제2 캡핑층(121)을 포함하며, 제2 도전층(200)은 하부에 티타늄(Ti)을 포함하는 베리어층(230)을 포함함으로써, 제1 도전층(100)과 제2 도전층(200)이 직접 접촉하는 경우, 동종의 물질(티타늄(Ti)) 간에 직접 접촉할 수 있다. 즉, 제1 도전층(100)의 제2 캡핑층(121)과 제2 도전층의 베리어층(230)이 직접 접촉할 수 있다. 따라서, 제1 도전층(100)과 제2 도전층(200)이 직접 접촉하는 계면(IF)에서, 제1 도전층(100)과 제2 도전층(200) 사이의 콘택 저항은 서로 다른 물질이 접촉하는 경우보다 낮아질 수 있다. 또한, 제1 도전층(100)과 제2 도전층(200)이 직접 접촉하여 결합되는 경우, 동종의 물질(티타늄(Ti)) 간에 접합되므로, 제1 도전층(100)과 제2 도전층(200) 사이의 결합력이 향상될 수 있다.

[0127] 다만, 이에 제한되는 것은 아니고, 콘택홀(CNT5)을 형성하는 과정에서 제1 도전층(100)의 제2 캡핑층(122)의 일부가 오버-에치(over-etch)될 수 있고, 이 경우, 제2 도전층(200)의 베리어층(230)은 제1 도전층(100)의 제2 캡핑층(122)과 직접 접촉할 수 있다. 제2 도전층(200)의 베리어층(230)은 제1 도전층(100)의 제2 캡핑층(122)과 직접 접촉하더라도, 제1 도전층(100)의 제2 캡핑층(122)은 질화 티타늄(TiN)을 포함하므로, 상술한 설명이 적용될 수 있다.

[0128] 예를 들어, 제2 트랜지스터(TR2)의 게이트 전극(GAT)과 제2 하부 도전 패턴(BML2)이 콘택홀(CNT5)을 통해 상호 직접 접촉하는 경우, 2 트랜지스터(TR2)의 게이트 전극(GAT)과 제2 하부 도전 패턴(BML2) 사이의 콘택 저항이 감소하며, 결합력이 향상될 수 있으며, 스위칭 트랜지스터인 제2 트랜지스터(TR2)의 소자 특성 및 신뢰성이 보다 향상될 수 있다.

[0129] 아울러, 베리어층(230)은 제2 도전층(200)의 메인 도전층(210)의 하부 표면이 외부의 외기 또는 수분 등에 노출되는 것을 방지할 수 있다. 베리어층(230)은 반도체층(SCL)의 상면을 덮어, 반도체층(SCL)에서 제1 트랜지스터(TR1)의 채널 영역이 형성되는 부분으로 수소(H)가 확산되는 것을 억제 또는 방지하는 역할을 수행할 수 있다. 이를 보다 상세하게 설명하기 위해 도 8이 더 참조된다.

[0130] 도 8은 일 실시예에 따른 베리어층에 의해 반도체층으로 수소의 확산이 방지되는 모습을 도시한 도면이다. 도 8은 제1 트랜지스터(TR1)의 게이트 전극(GAT1) 주변의 단면도를 도시하였다.

[0131] 도 8을 더 참조하면, 일 실시예에 따른 베리어층(230)은 반도체층(SCL)을 향하는 수소(H)를 차단할 수 있다. 다시 말해서, 수소(H)는 알루미늄을 포함하는 메인 도전층(210)과 제2 절연막(IL2)을 통과하여, 반도체층(SCL)으로 확산될 수 있으나, 수소(H)는 베리어층(230)을 통과하지 못할 수 있다. 베리어층(230)은 내부로 침투한 수소(H)를 외부로 방출하지 않고, 베리어층(230) 내에 머물도록 할 수 있다. 따라서, 베리어층(230)은 수소(H)의 확산을 억제 또는 방지할 수 있다.

[0132] 베리어층(230)은 반도체층(SCL)에서 제1 트랜지스터(TR1)의 채널 영역에 해당하는 영역 상부에 배치될 수 있고, 제1 트랜지스터(TR1)의 채널 영역과 중첩할 수 있다. 이에 따라, 베리어층(230)은 제1 트랜지스터(TR1)의 채널 영역을 향하는 수소(H)의 확산을 억제 또는 방지할 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 전극(GAT1)의 메인 도전층(210)이 알루미늄을 포함하더라도, 메인 도전층(210)의 하부(메인 도전층(210)과 반도체층(SCL) 사이)에 베리어층(230)을 배치함으로써, 제1 트랜지스터(TR1)의 채널 영역에 유입되는 수소(H)의 양을 최소화할 수 있어 소자의 신뢰성을 확보할 수 있다.

- [0133] 베리어층(230)에 의한, 소자의 신뢰성 확보에 대해 보다 자세히 설명하기 위해 도 9가 더 참조된다.
- [0134] 도 9는 일 실시예에 따른 베리어층의 유무에 따른 구동 전류의 변화를 나타낸 그래프들이다. 도 9에서 (a)의 그래프는 제2 도전층(200)이 베리어층(230)을 포함하지 않는 경우의 게이트 전압(Vgs)에 따른 구동 전류(IDs)를 나타내며, (b)의 그래프는 제2 도전층(200)이 베리어층(230)을 포함하는 경우의 게이트 전압(Vgs)에 따른 구동 전류(IDs)를 나타낸다. 각 그래프에서 트랜지스터는 알루미늄을 포함하는 게이트 전극을 포함한다.
- [0135] 도 9를 더 참조하면, 베리어층(230)이 배치되지 않은 경우((a)의 그래프), 트랜지스터의 게이트 전압(Vgs)이 변화하더라도 구동 전류(IDs)가 변화하지 않는다. 즉, 베리어층(230)이 배치되지 않은 경우((a)의 그래프), 해당 트랜지스터의 게이트 전극이 알루미늄을 포함하여 저저항을 구현하더라도, 채널 영역에 다량의 수소(H)가 침투하여, 해당 트랜지스터의 채널 영역은 전기적인 저항이 낮아질 수 있다. 따라서, 해당 트랜지스터의 턴-온(Turn-on) 및 턴-오프(Turn-off)를 조절하기 어려워, 소자의 신뢰성을 상실할 수 있다.
- [0136] 베리어층(230)이 배치된 경우((b)의 그래프)를 살펴보면, 트랜지스터의 게이트 전압(Vgs)이 변화함에 따라, 구동 전류(IDs)가 변화하며, 약 0.24V에서 문턱 전압(Vth)을 가질 수 있다. 즉, 트랜지스터의 게이트 전극이 도 6과 같이 베리어층(230)을 포함하는 경우, 베리어층(230)이 트랜지스터의 채널 영역으로 향하는 수소(H)를 차단할 수 있고, 해당 트랜지스터의 채널 영역은 전기적인 저항의 변화를 최소화할 수 있다. 따라서, 해당 트랜지스터의 턴-온(Turn-on) 및 턴-오프(Turn-off)를 조절하기 용이할 수 있고, 이에 따라, 소자의 신뢰성을 확보할 수 있다.
- [0137] 다시 말해서, 트랜지스터의 게이트 전극이 알루미늄을 포함하더라도, 도 6의 실시예와 같이 베리어층(230)을 포함함으로써, 트랜지스터의 채널 영역으로 향하는 수소(H)의 확산을 억제 또는 방지할 수 있다. 따라서, 트랜지스터의 게이트 전극은 저저항성을 유지하면서, 턴-온(Turn-on) 및 턴-오프(Turn-off)를 용이하게 조절할 수 있어 소자의 신뢰성을 확보할 수 있다.
- [0138] 이하에서, 일 실시예에 따른 표시 장치의 제조 방법에 대해 설명한다.
- [0139] 도 10 내지 도 12는 일 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다. 도 10 내지 도 12는 도 6의 제2 도전층(200)을 제조하는 방법에 대해 설명하며, 표시 장치(도 1의 '1')의 다른 구성을 형성하는 방법은 널리 알려진 기술로, 본 명세서에서는 그 설명을 생략한다.
- [0140] 우선, 도 10을 참조하면, 반도체층(SCL) 상에 제2 절연막용 물질층(IL2a), 티타늄(Ti)을 포함하는 베리어층용 물질층(230a), 알루미늄 또는 알루미늄 합금을 포함하는 메인 도전층용 물질층(210a), 제1 캡핑층용 물질층(221a) 및 제2 캡핑층용 물질층(222a)을 순차적으로 형성한다. 상기 각 물질층은 반도체층(SCL)을 덮으며, 베이스 기판(도 4의 'SUB') 또는 제1 절연막(도 4의 'IL1') 전면에 걸쳐 형성될 수 있다.
- [0141] 베리어층용 물질층(230a), 메인 도전층용 물질층(210a), 제1 캡핑층용 물질층(221a) 및 제2 캡핑층용 물질층(222a)은 스퍼터링(Sputtering) 장치에서 스퍼터링을 진행하는 것에 의해 성막될 수 있다. 베리어층용 물질층(230a), 메인 도전층용 물질층(210a), 제1 캡핑층용 물질층(221a) 및 제2 캡핑층용 물질층(222a)은 각각 서로 다른 스퍼터링 장치에서 각각 성막되거나, 적어도 일부는 연속 스퍼터링 방식으로 형성될 수도 있다.
- [0142] 예를 들어, 제1 캡핑층용 물질층(221a) 및 제2 캡핑층용 물질층(222a)은 연속 스퍼터링 방식으로 형성될 수 있다.
- [0143] 구체적으로 설명하면, 티타늄 타겟을 포함하는 스퍼터링 장치에 메인 도전층용 물질층(210a)이 형성된 베이스 기판(도 4의 'SUB')를 배치한다. 이어, 스퍼터링 가스로 질소 가스를 사용하여 반응성 스퍼터링을 진행하여 질화 티타늄을 포함하는 제1 캡핑층용 물질층(221a)을 형성한다.
- [0144] 상기 스퍼터링 장치에서 스퍼터링 가스를 질소 가스에서 아르곤 가스로 교체하고, 연속하여 스퍼터링을 진행하여 티타늄을 포함하는 제2 캡핑층용 물질층(222a)을 형성한다.
- [0145] 도 11 및 도 12를 참조하면, 제2 캡핑층용 물질층(222a) 상에 포토 레지스트 패턴(PR)을 형성하고, 포토 레지스트 패턴(PR)을 식각 마스크로 하여 각 물질층을 식각한다.
- [0146] 포토레지스트 패턴(PR)을 식각 마스크로 이용하여, 제1 및 제2 캡핑층용 물질층(221a, 222a), 메인 도전 물질층(110a), 베리어층용 물질층(230a) 및 제2 절연막용 물질층(IL2a)을 식각하는 식각 공정이 진행된다. 식각 공정은 건식 식각으로 이루어질 수 있다. 각 물질층은 일괄적으로 순차 식각되거나, 서로 다른 식각 조건을 갖는 식각 공정에 의해 나뉘어 순차적으로 식각될 수 있다.

- [0147] 따라서, 베리어층(230)와 메인 도전층(210) 및 캡핑층(220)는 하나의 마스크를 통해 식각되며, 베리어층(230)을 배치하더라도, 마스크 공정의 수는 증가하지 않는다. 따라서, 베리어층(230)을 배치하더라도, 공정의 효율이 감소하지 않을 수 있다.
- [0148] 아울러, 제2 절연막(IL2)은 제2 도전층(200)과 함께, 하나의 마스크를 통해 식각될 수 있다.
- [0149] 이하, 잔류한 포토레지스트 패턴(PR)을 애싱(ashing)이나 스트립 공정을 통해 제거함으로써, 도 6에 도시된 제2 도전층(200)이 완성될 수 있다.
- [0150] 이하, 다른 실시예에 대해 설명한다. 이하의 실시예에서, 이전에 이미 설명된 것과 동일한 구성에 대해서는 중복 설명을 생략하거나 간략화하고, 차이점을 위주로 설명한다.
- [0151] 도 13은 다른 실시예에 따른 표시 장치의 단면도이다.
- [0152] 도 13을 참조하면, 본 실시예에 따른 표시 패널(10_1)의 부식 방지층(CB_1)은 제1 도전층(100)과 동일한 패턴을 갖는다는 점에서 도 4의 실시예와 차이가 있다.
- [0153] 구체적으로 설명하면, 본 실시예에 따른 표시 패널(10_1)은 베이스 기판(SUB) 상에 배치되는 부식 방지층(CB_1) 및 부식 방지층(CB_1) 상에 배치되는 제1 도전층(100)을 포함하되, 부식 방지층(CB_1)과 제1 도전층(100)은 평면상 실질적으로 동일한 패턴으로 형성되며, 상호 중첩할 수 있다. 이에 제한되는 것은 아니지만, 부식 방지층(CB_1)과 제1 도전층(100)의 측면은 상호 정렬될 수 있다.
- [0154] 이 경우에도, 부식 방지층(CB_1)은 제1 도전층(100)의 하면 전 영역을 커버할 수 있다. 따라서, 부식 방지층(CB_1)을 제1 도전층(100) 하부에 배치함에 따라, 제1 도전층(100)이 알루미늄 또는 알루미늄 합금을 포함하더라도, 제1 도전층(100)의 부식을 방지할 수 있고, 표시 장치(도 1의 '1')의 표시 품질 및 신뢰성을 확보할 수 있다.
- [0155] 도 14는 또 다른 실시예에 따른 표시 장치의 단면도이다. 도 14는 제1 도전층(100_2)의 단면도의 일 예로 제1 하부 도전 패턴(BML_2) 주변의 단면도를 도시한다.
- [0156] 도 14를 참조하면, 본 실시예에 따른 제1 도전층(100_2)은 제2 도전층(도 6의 '200' 참조)과 실질적으로 동일한 적층 구조를 포함한다는 점에서 도 5의 실시예와 차이가 있다.
- [0157] 구체적으로 설명하면, 본 실시예에 따른 제1 도전층(100_2)은 메인 도전층(110) 및 메인 도전층(110) 상부에 배치되는 캡핑층(120)을 포함하되, 메인 도전층(110) 하부에 배치되는 서브 베리어층(130_2)을 더 포함할 수 있다.
- [0158] 제1 도전층(100_2)의 서브 베리어층(130_2)은 제2 도전층(도 6의 '200')의 베리어층(도 6의 '230')과 실질적으로 동일할 수 있다. 즉, 제1 도전층(100_2)의 서브 베리어층(130_2)은 티타늄(Ti)을 포함할 수 있으며, 제1 도전층(100_2)의 메인 도전층(110)의 하부에 배치될 수 있다. 제1 도전층(100_2)의 서브 베리어층(130_2)은 제1 도전층(100_2)의 메인 도전층(110)과 베이스 기판(SUB) 또는 부식 방지층(CB) 사이에 배치될 수 있다. 제1 도전층(100_2)의 메인 도전층(110)은 제1 도전층(100_2)의 서브 베리어층(130_2)과 제1 도전층(100_2)의 캡핑층(120) 사이에 배치될 수 있다.
- [0159] 이 경우, 제1 도전층(100_2)의 메인 도전층(110) 하부에는 부식 방지층(CB) 뿐만 아니라 서브 베리어층(130_2)이 더 배치되고, 제1 도전층(100_2)의 메인 도전층(110)으로 확산되는 수분 또는 외기 등을 보다 원활히 차단할 수 있다. 따라서, 메인 도전층(110)이 산화 및/또는 부식을 보다 원활히 억제 또는 방지할 수 있다.
- [0160] 도 15는 또 다른 실시예에 따른 표시 장치의 단면도이다. 도 15에서는 제2 도전층(200_3)의 일 예로서, 제1 트랜지스터(도 3 및 도 4의 'TR1')의 게이트 전극(GAT_3) 주변의 단면도를 도시한다.
- [0161] 본 실시예에 따른 제2 도전층(200_3)의 베리어층(230_3)과 제2 도전층(200_3)의 메인 도전층(210)은 서로 다른 테이퍼 각도(θ_1 , θ_2)를 갖는다는 점에서 도 6의 실시예와 차이가 있다.
- [0162] 구체적으로 설명하면, 제2 도전층(200_3)은 메인 도전층(210), 메인 도전층(210) 상부에 배치되는 캡핑층(220) 및 메인 도전층(210) 하부에 배치되는 베리어층(230_3)을 포함하되, 제2 도전층(200_3)의 베리어층(230_3)의 테이퍼 각도(θ_2)는 제2 도전층(200_3)의 메인 도전층(210)의 테이퍼 각도(θ_1)와 상이할 수 있다. 이에 제한되는 것은 아니지만, 제2 도전층(200_3)의 베리어층(230_3)의 테이퍼 각도(θ_2)는 제2 도전층(200_3)의 메인 도전층(210)의 테이퍼 각도(θ_1)보다 작을 수 있다.

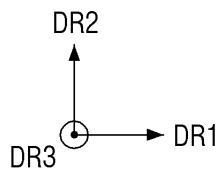
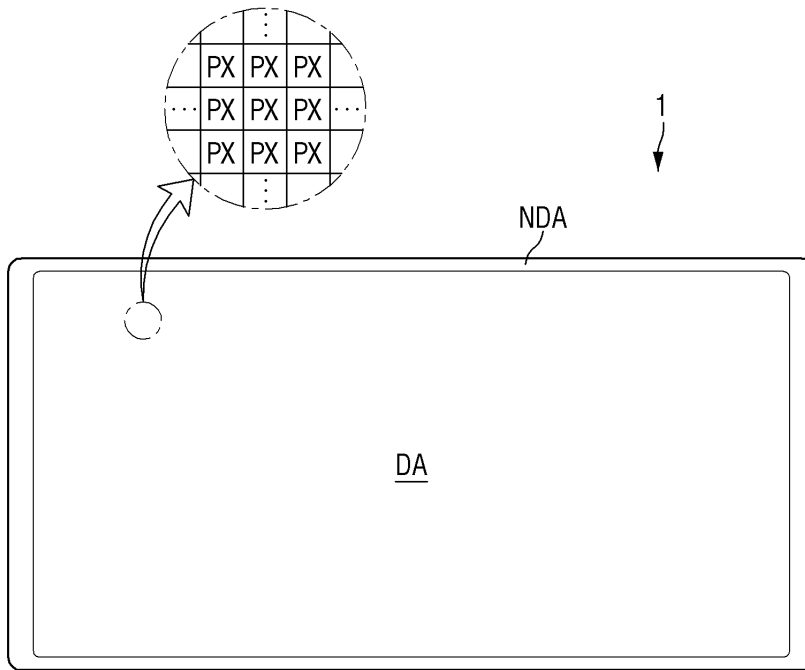
- [0163] 이 경우에도, 제2 도전층(200_3)의 베리어층(230_3)은 박막 트랜지스터의 채널 영역으로 확산되는 수소(H)를 최소화할 수 있어, 소자의 신뢰성을 확보할 수 있다.
- [0164] 도 16은 또 다른 실시예에 따른 표시 장치의 단면도이다. 도 16에서는 제2 도전층(200_4)의 일 예로서, 제1 트랜지스터(도 3 및 도 4의 'TR1')의 게이트 전극(GAT_4) 주변의 단면도를 도시한다.
- [0165] 본 실시예에 따른 제2 도전층(200_4)의 베리어층(230_4)의 측면은 제2 도전층(200_4)의 메인 도전층(210)의 측면과 정렬되지 않는다는 점에서 도 6의 실시예와 차이가 있다.
- [0166] 구체적으로 설명하면, 본 실시예에 따른 제2 도전층(200_4)의 베리어층(230_4)의 측면은 제2 도전층(200_4)의 메인 도전층(210)의 측면으로부터 외측으로 돌출될 수 있다. 다만, 이에 제한되는 것은 아니고, 제2 도전층(200_4)의 메인 도전층(210)의 측면이 베리어층(230_4)의 측면으로부터 외측으로 돌출될 수도 있다.
- [0167] 이 경우에도, 제2 도전층(200_4)의 베리어층(230_4)은 박막 트랜지스터의 채널 영역으로 확산되는 수소(H)를 최소화할 수 있어, 소자의 신뢰성을 확보할 수 있다.
- [0168] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

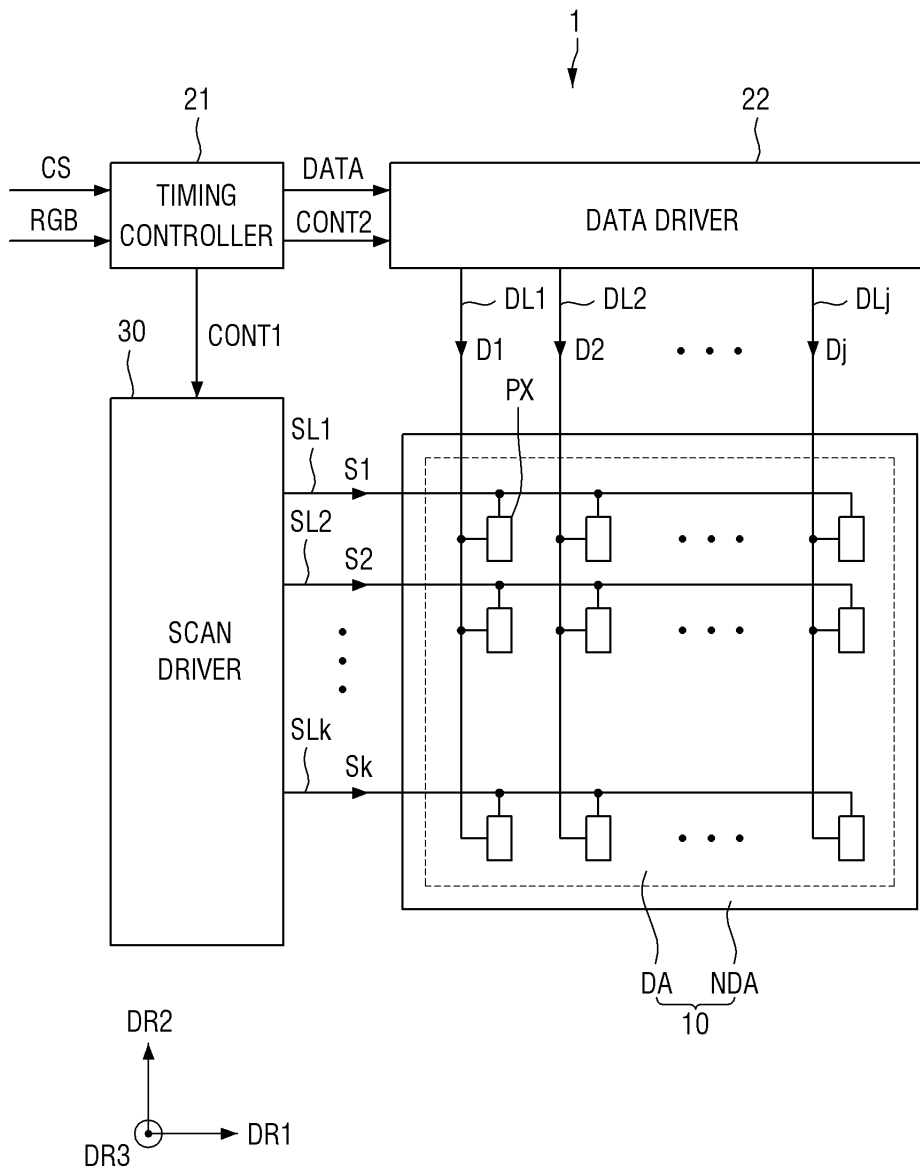
- [0169] 1: 표시 장치
- 10: 표시 패널
- SUB: 베이스 기판
- CB: 부식 방지층
- 100: 제1 도전층
- 200: 제2 도전층
- 110, 210: 메인 도전층
- 120, 220: 캡핑층
- 230: 베리어층
- 300: 제3 도전층

도면

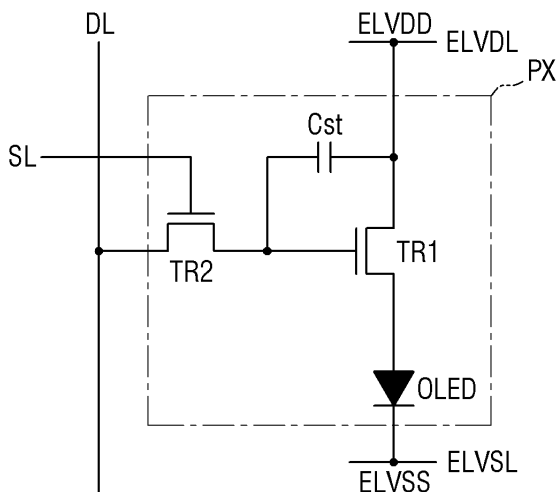
도면1



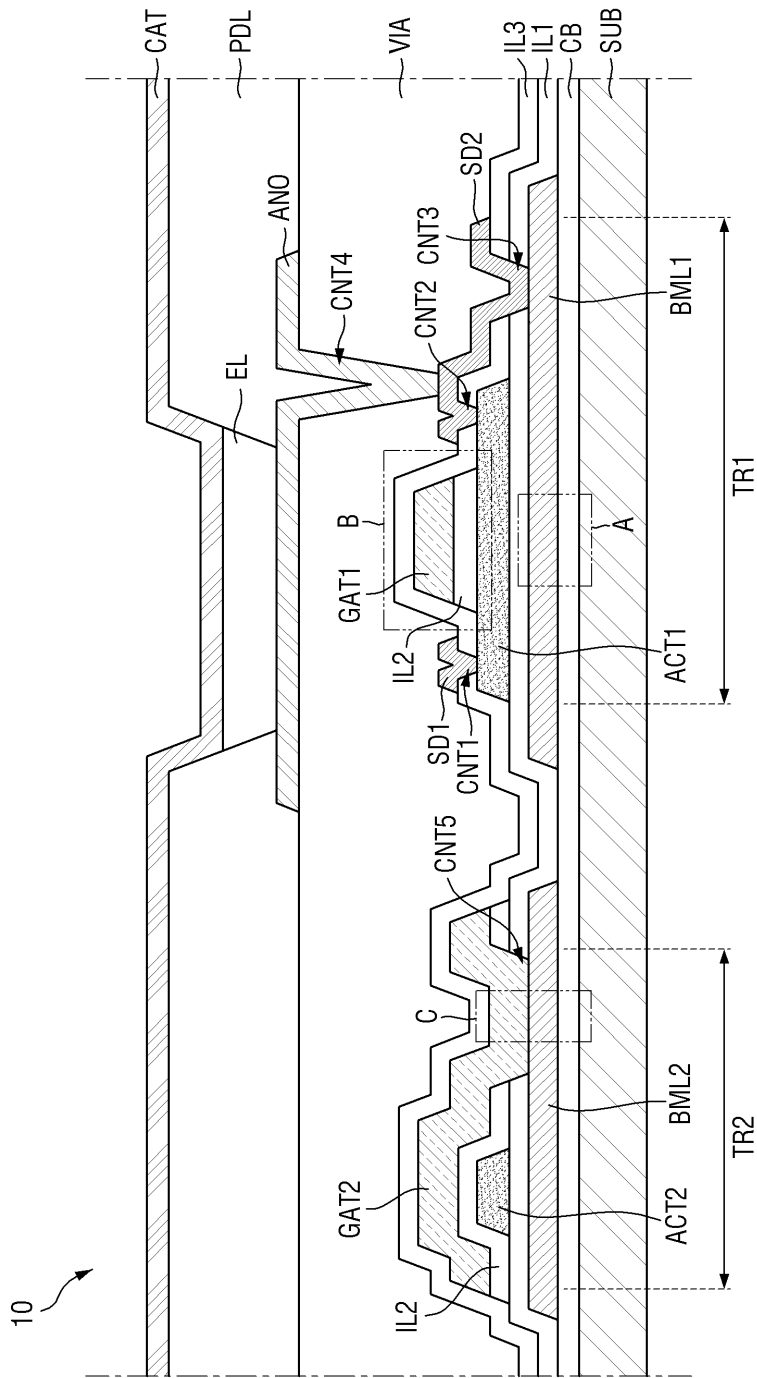
도면2



도면3

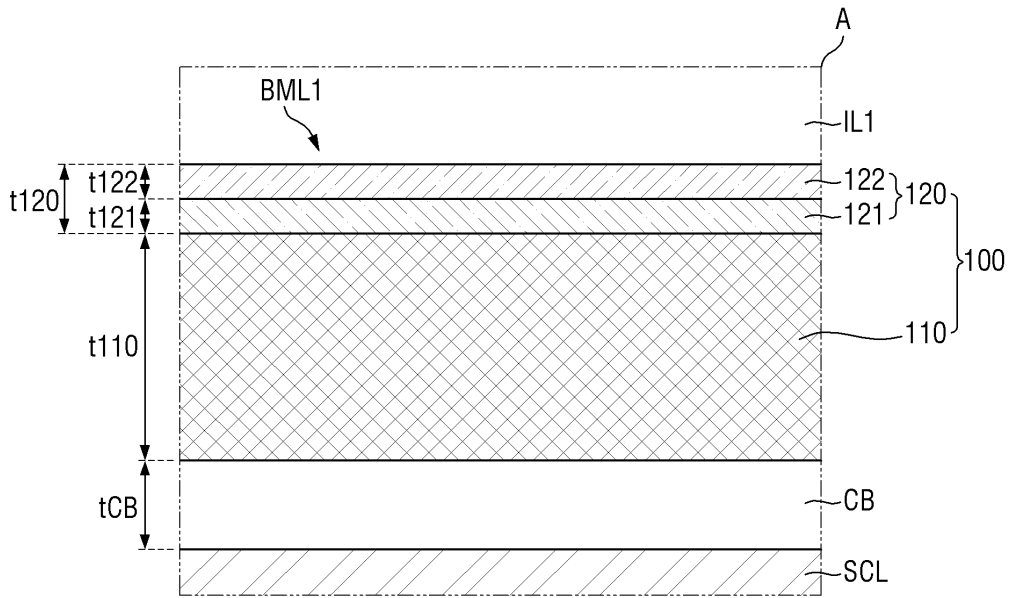


도면4

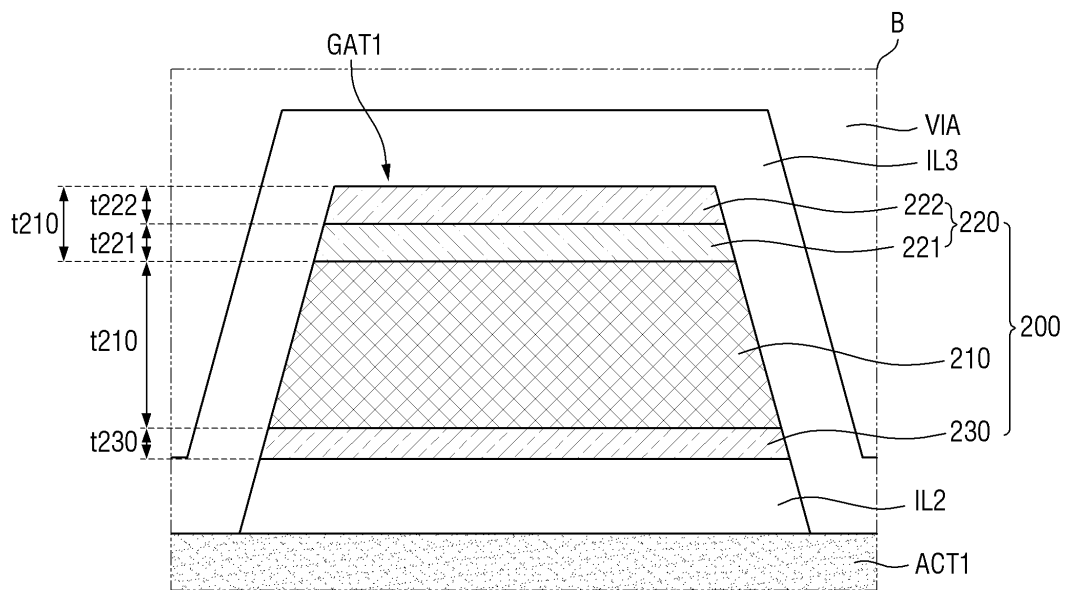


100: BML1, BML2
 SCL: ACT1, ACT2
 200: GAT1, GAT2
 300: SD1, SD2

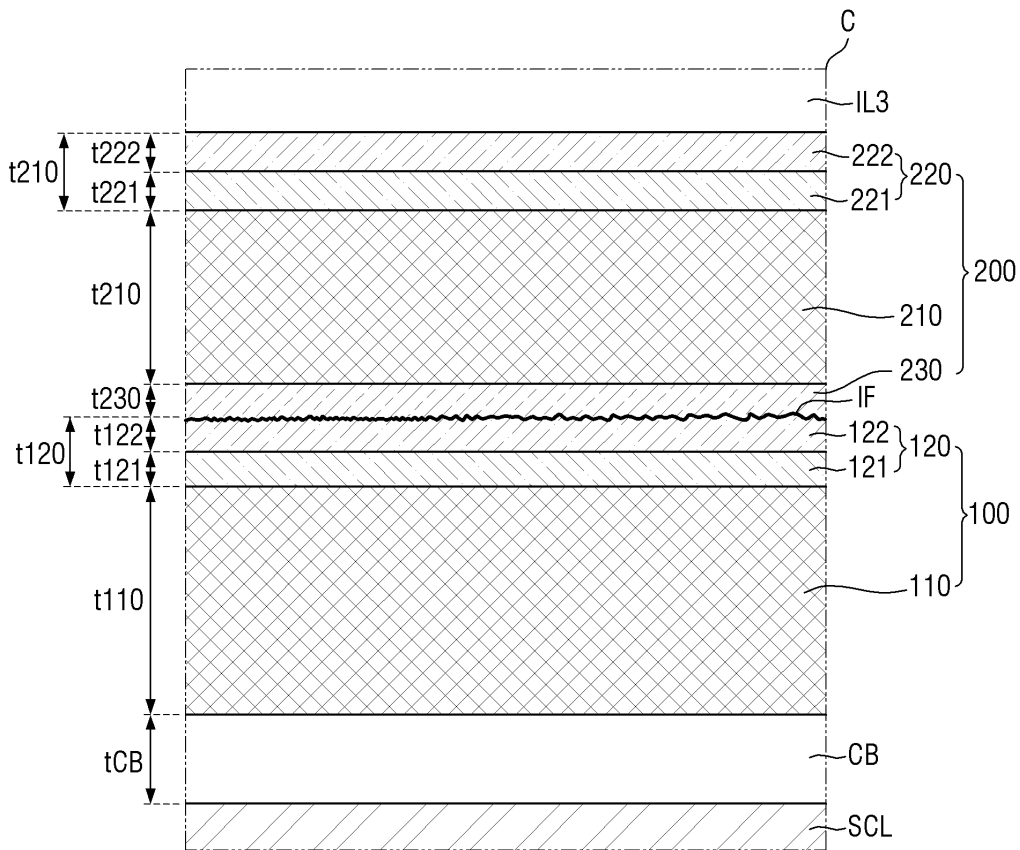
도면5



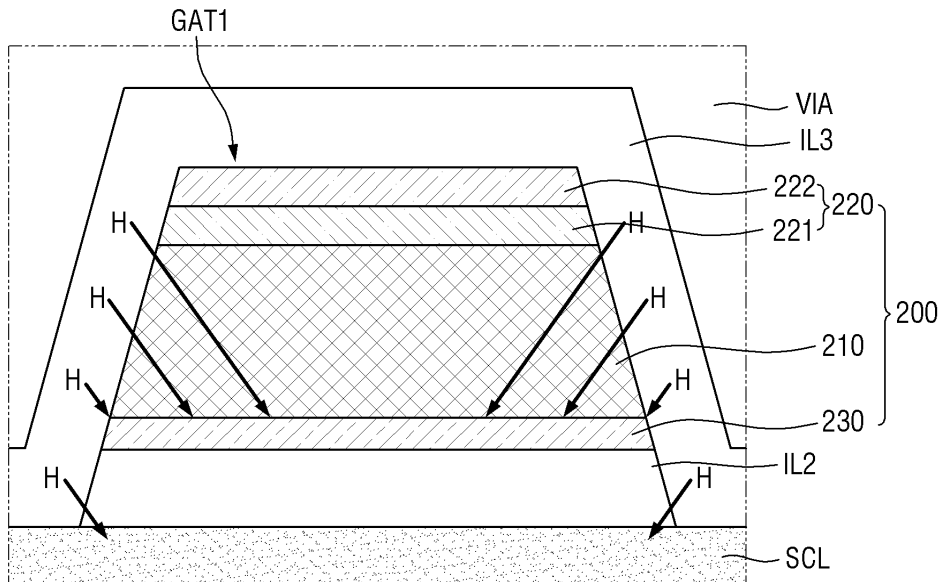
도면6



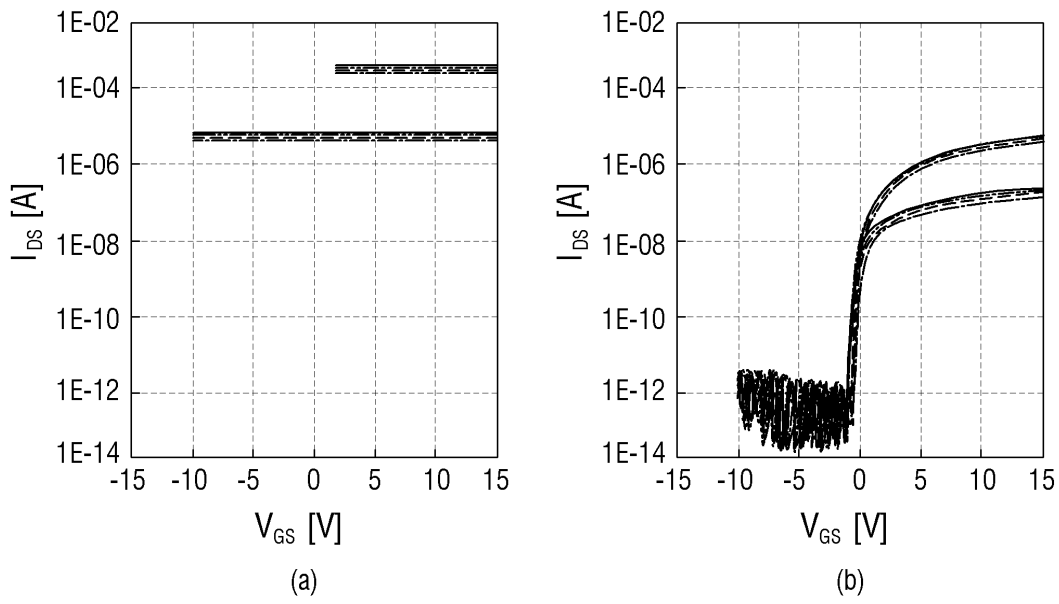
도면7



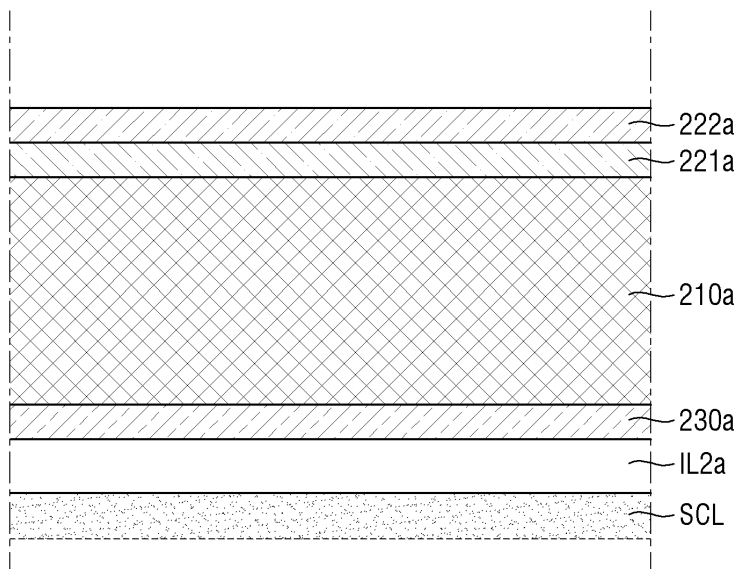
도면8



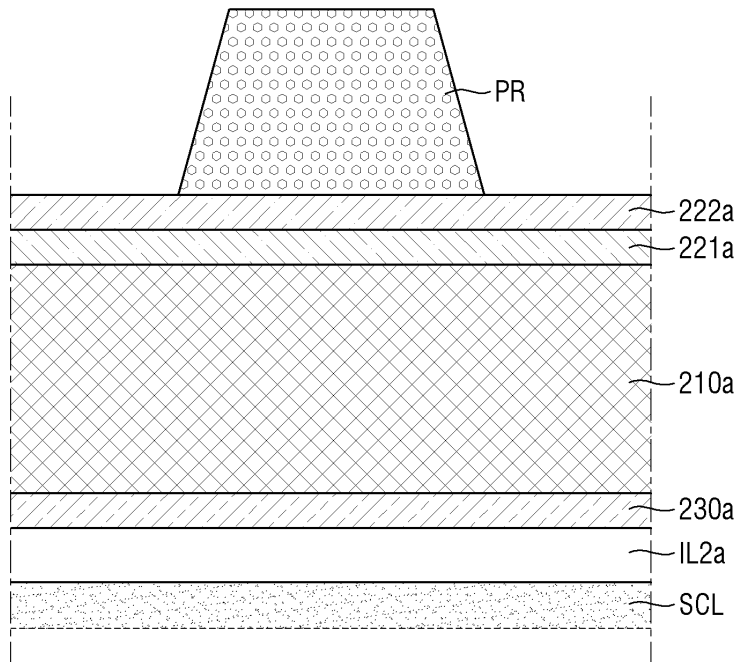
도면9



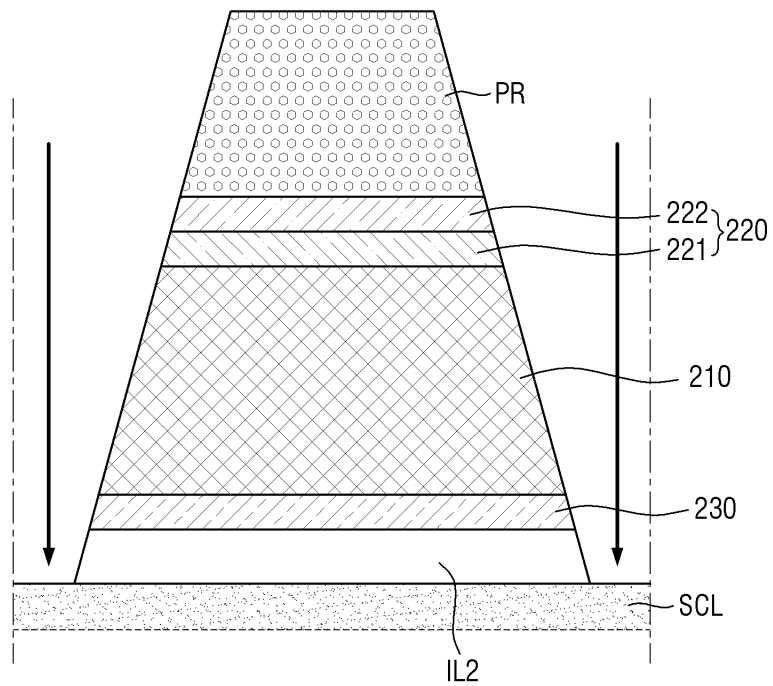
도면10



도면11

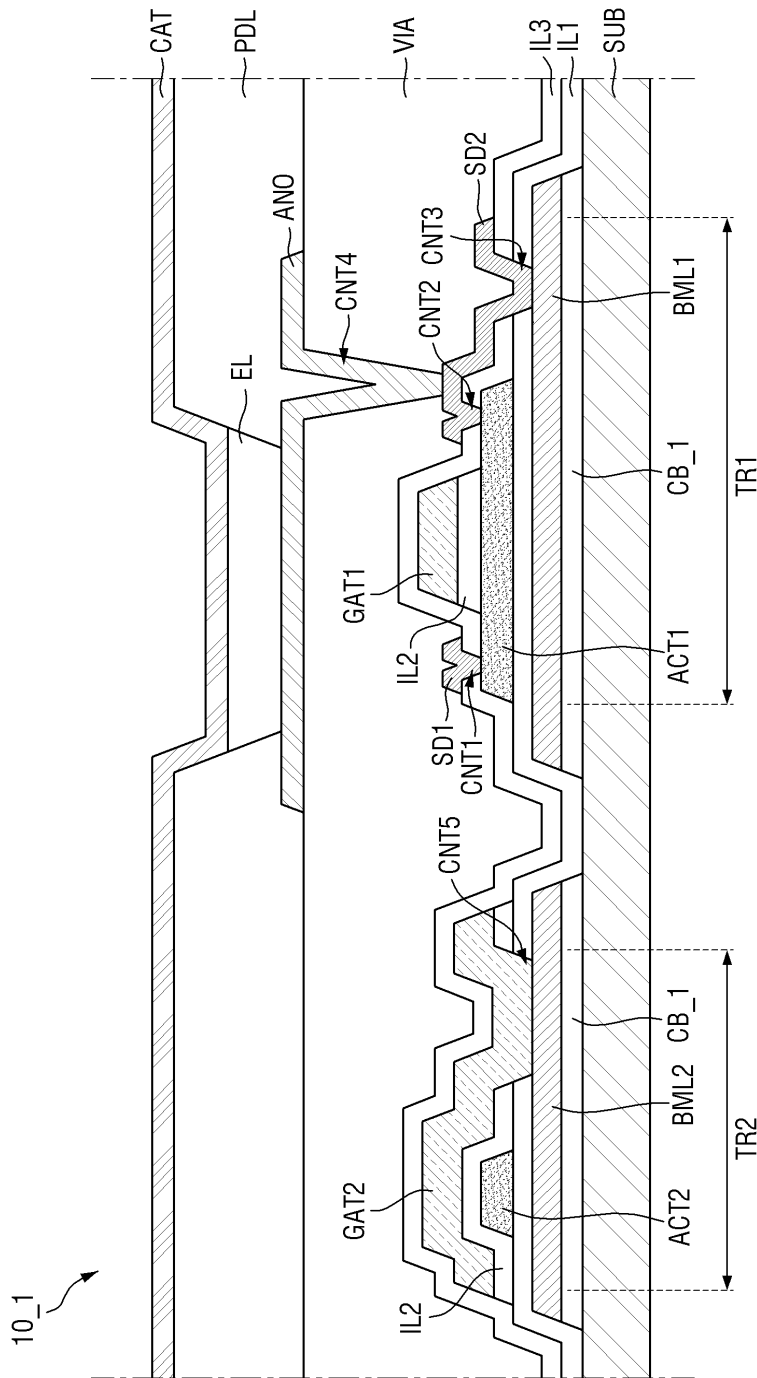


도면12



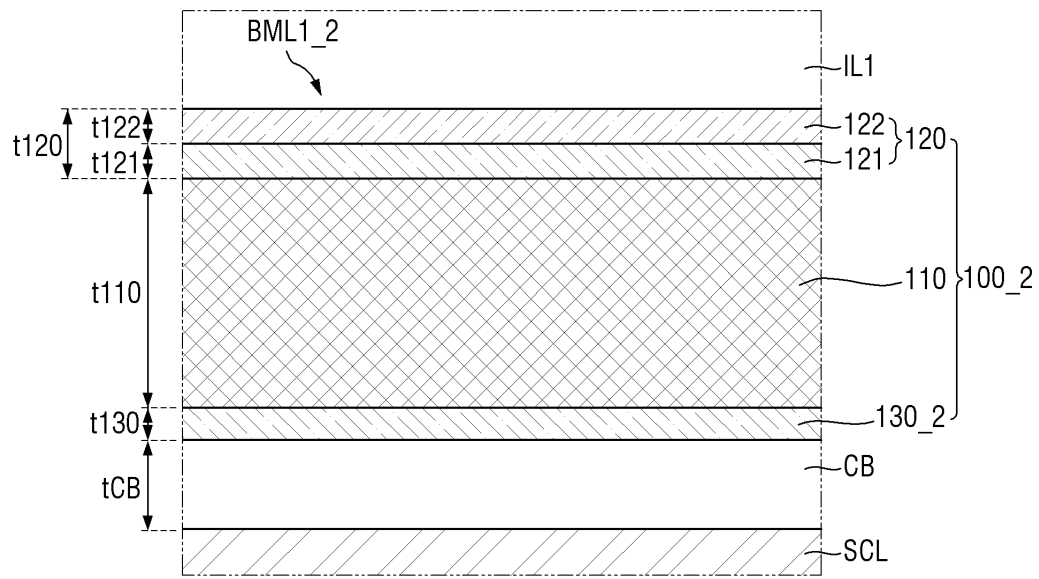
200: 210, 220, 230

도면13

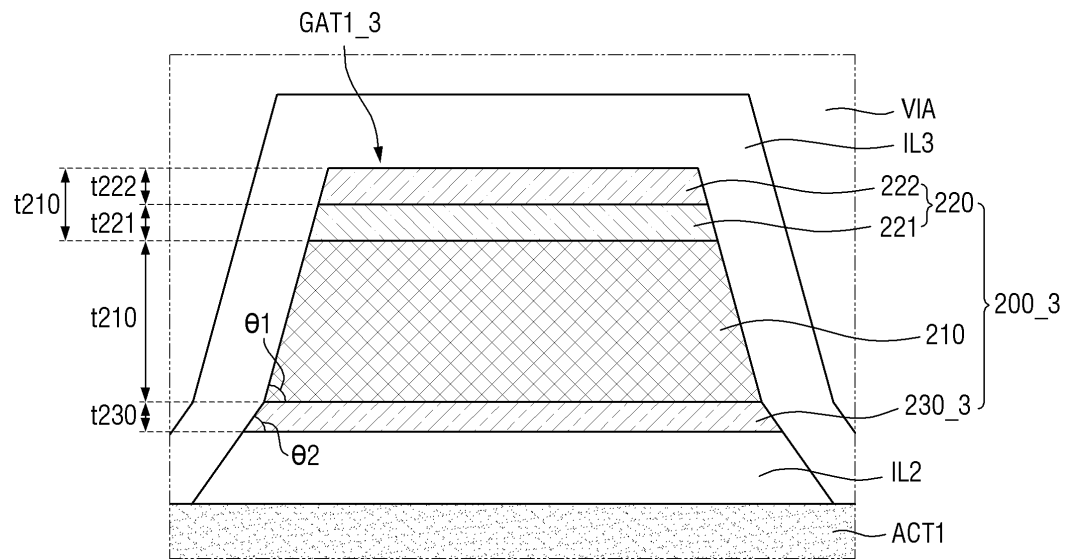


- 100: BML1, BML2
- SCL: ACT1, ACT2
- 200: GAT1, GAT2
- 300: SD1, SD2

도면14



도면15



도면16

