

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5355863号
(P5355863)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int. Cl. F I
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 J
 HO 1 L 21/768 (2006.01)
 HO 1 L 23/522 (2006.01)

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2007-108312 (P2007-108312)	(73) 特許権者	390040660
(22) 出願日	平成19年4月17日(2007.4.17)		アプライド マテリアルズ インコーポレ イテッド
(65) 公開番号	特開2008-270354 (P2008-270354A)		APPLIED MATERIALS, I NCORPORATED
(43) 公開日	平成20年11月6日(2008.11.6)		アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ パウアーズ ア ベニュー 3050
審査請求日	平成22年4月19日(2010.4.19)	(74) 代理人	100109726
			弁理士 園田 吉隆
		(74) 代理人	100101199
			弁理士 小林 義教
		(72) 発明者	堀岡 啓治
			東京都港区海岸3-20-20 アプライ ド マテリアルズ ジャパン株式会社内 最終頁に続く

(54) 【発明の名称】 三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイス

(57) 【特許請求の範囲】

【請求項1】

基板の表面に、最初に、反応性イオンエッチングにより、次に、プラズマエッチングにより、有底の穴を形成する穴形成工程と、前記穴形成工程において形成される前記穴は、前記基板の表面から前記基板の厚さ方向に垂直に延びる円柱形状を有する第1の部分と、前記第1の部分より内径が大きい第2の部分とを有し、

CVD法により多結晶シリコン及びシリコンゲルマニウムのうち少なくとも一方を含む犠牲材料を前記基板の表面上に堆積させつつ、前記犠牲材料により前記穴を埋め込む埋込工程と、

前記基板の表面上に堆積した前記犠牲材料を化学機械研磨により除去する工程と、
前記犠牲材料と接する配線パターンを有する集積回路を前記基板の表面に形成する集積回路形成工程と、

前記基板の裏面より前記基板を薄化することにより、前記穴を貫通させると共に前記基板の裏面から前記犠牲材料の一部を露出させる薄化工程と、

前記犠牲材料を除去して金属材料を埋め込むことにより前記基板を貫通する層間配線を形成する配線形成工程と、

前記基板を他の基板上に積み重ね、前記集積回路と前記他の基板上の回路とを前記層間配線を介して電氣的に接続する積層工程と

を備えることを特徴とする、三次元半導体デバイスの製造方法。

【請求項2】

前記穴の内面に絶縁膜を形成する絶縁膜形成工程を、前記穴形成工程と前記埋込工程との間に更に備えることを特徴とする、請求項 1 に記載の三次元半導体デバイスの製造方法。

【請求項 3】

前記基板がシリコン基板であり、前記絶縁膜がシリコン酸化膜であることを特徴とする、請求項 2 に記載の三次元半導体デバイスの製造方法。

【請求項 4】

基板の表面に、最初に、反応性イオンエッチングにより、次に、プラズマエッチングにより、有底の穴を形成する穴形成工程と、前記穴形成工程において形成される前記穴は、前記基板の表面から前記基板の厚さ方向に垂直に延びる円柱形状を有する第 1 の部分と、前記第 1 の部分より内径が大きい第 2 の部分とを有し、

10

CVD法により多結晶シリコン及びシリコンゲルマニウムのうち少なくとも一方を含む犠牲材料を前記基板の表面上に堆積させつつ、前記犠牲材料により前記穴を埋め込む埋込工程と、

前記基板の表面上に堆積した前記犠牲材料を化学機械研磨により除去する工程と、

前記犠牲材料と接する配線パターンを有する集積回路を前記基板の表面に形成する集積回路形成工程と、

前記基板の裏面より前記基板を薄化することにより、前記穴を貫通させると共に前記基板の裏面から前記犠牲材料の一部を露出させる薄化工程と、

前記犠牲材料を除去して金属材料を埋め込むことにより前記基板を貫通する層間配線を形成する配線形成工程と

20

を備えることを特徴とする、基板生産物の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイスに関するものである。

【背景技術】

【0002】

表面に集積回路が形成された複数のシリコン基板を薄膜化して積層した構造を有する三次元半導体デバイスが提案されている。このような三次元半導体デバイスは、ICチップの更なる集積化に寄与する。また、ゲート長などの寸法が各々異なる演算処理回路及びメモリを集積する際に、演算処理回路とメモリとを別個のシリコン基板上に形成し、これらのシリコン基板同士を重ねて互いを電氣的に接続することで、演算処理回路及びメモリを一枚のシリコン基板上に形成する場合と比較してプロセスを簡易にできる。

30

【0003】

従来より、このような三次元半導体デバイスにおいては、各基板間の電氣的接続の為にワイヤボンディングが用いられている。しかし、ワイヤボンディングによる接続方式では、ワイヤボンディング用のスペースとなる基板周辺部が積層方向から見て露出している必要があり、積層数が多くなるほど上層側の基板の面積が小さくなってしまふ。また、ワイヤが有するインダクタンスにより信号遅れが生じてしまひ、集積回路の高速動作を妨げてしまふ。最近では、これらの課題を解決するため、各基板を貫通する層間配線（ピア）の使用が検討されている。

40

【0004】

層間配線の形成方法としては、次の方法が提案されている。すなわち、非特許文献 1 に記載された方法であって、(1)シリコン基板の表面に有底の穴（ホール）を形成し、(2)この穴の内面に絶縁膜を形成し、(3)層間配線となる多結晶シリコンをこの穴に埋め込み、(4)シリコン基板の表面に集積回路を形成し、(5)多結晶シリコンが露出するまでシリコン基板を裏面側より薄膜化し、多結晶シリコンを貫通させる。

【非特許文献 1】M.Kawano et al., "A 3D Packaging Technology for 4 Gbit Stacked D

50

RAM with 3 Gbps Data Transfer ”, International Electron Devices Meeting (IEDM) 2006, program No. 21.5

【発明の開示】

【発明が解決しようとする課題】

【0005】

層間配線を形成するための前述した方法では、シリコン基板を薄膜化する前に層間配線用の穴や絶縁膜の形成を行うので、ウェハ状のシリコン基板をハンドリングし易くプロセスも容易になる。しかし、この方法では層間配線となる材料をシリコン基板に埋め込んだ状態で集積回路を形成するが、集積回路を形成するには、半導体に不純物を添加するために高温の熱処理を行う。従って、層間配線材料としては熱処理の際の温度上昇に耐えられる材料を選択する必要がある。銅などの金属ではなく例えば多結晶シリコンが用いられる。しかし、多結晶シリコンは金属と比較して抵抗率が高く、集積回路の高速動作を妨げてしまう。

10

【0006】

また、他の方法として、(1)シリコン基板の表面に集積回路を形成し、(2)シリコン基板を裏面側より薄膜化し、(3)裏面側からシリコン基板をエッチングして貫通孔を形成し、(4)該貫通孔の内面に絶縁膜を形成し、(5)層間配線となる金属を該貫通孔に埋め込む、といった方法も考えられる。この方法ではシリコン基板上に集積回路を形成したあとで層間配線材料をシリコン基板に埋め込むので、層間配線材料として銅などの金属を使用でき、層間配線を低抵抗率にすることができる。しかし、シリコン基板を薄膜化してから層間配線用の貫通孔を形成するので、薄膜化されたシリコン基板のチャッキングや搬送が困難となる。薄膜化したガラス等の基板に接着剤で貼り付ける手法もあるが、接着剤の耐熱温度が150程度に限られる為、高温を必要とする側壁へのシリコン酸化膜など絶縁膜の形成が困難である。また穴あけ用のドライエッチングを行う際にガラス基板でバイアスパワーの損失が発生し、高速で異方性の高いエッチングを実現することも困難であった。

20

【0007】

本発明は、上記した問題点を鑑みてなされたものであり、金属からなる層間配線を容易に形成できる三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイスを提供することを目的とする。

30

【課題を解決するための手段】

【0008】

上記した課題を解決するために、本発明による三次元半導体デバイスの製造方法は、基板の表面に有底の穴を形成する穴形成工程と、犠牲材料により穴を埋め込む埋込工程と、犠牲材料と接する配線パターンを有する集積回路を基板の表面に形成する集積回路形成工程と、基板の裏面より基板を薄化することにより、穴を貫通させると共に基板の裏面から犠牲材料の一部を露出させる薄化工程と、犠牲材料を除去して金属材料を埋め込むことにより基板を貫通する層間配線を形成する配線形成工程と、基板を他の基板上に積み重ね、集積回路と他の基板上の回路とを層間配線を介して電氣的に接続する積層工程とを備えることを特徴とする。

40

【0009】

この三次元半導体デバイスの製造方法においては、基板を貫通する層間配線が形成される箇所に犠牲材料を埋め込んだ状態で集積回路を形成する。なお、犠牲材料としては、集積回路を形成する際の熱処理に耐えられる材料であり且つ配線形成工程において選択的に除去可能な材料であれば良い。そして、基板を薄化した後に犠牲材料を除去して金属材料を埋め込み、基板を貫通する層間配線を形成する。すなわち、集積回路を形成したのちに層間配線を形成するので、配線材料として金属を使用でき、層間配線を低抵抗率にすることができる。また、配線材料を埋め込むための穴を薄化工程の前に形成するので、基板のチャッキングや搬送を容易にできる。従って、上記した三次元半導体デバイスの製造方法によれば、金属からなる層間配線を容易に形成できる。

50

【 0 0 1 0 】

また、三次元半導体デバイスの製造方法は、穴の内面に絶縁膜を形成する絶縁膜形成工程を、穴形成工程と埋込工程との間に更に備えることを特徴としてもよい。この場合、基板がシリコン基板であり、絶縁膜がシリコン酸化膜であることが好ましい。一般的に、基板に形成された微細な穴の内面に絶縁膜（特にシリコン酸化膜）を形成するような場合には、高温で処理するほど絶縁膜が内面に均一に形成され、好ましい。しかし、例えば〔背景技術〕欄で述べた後者の方法では、基板を薄化してから貫通孔の内面に絶縁膜を形成することとなるが、薄化された基板に絶縁膜を形成する場合には、基板を何らかの支持材に貼り付ける必要がある。そして、基板を支持材に貼り付ける際に樹脂などの接着剤が用いられるが、このような接着剤は一般的に耐熱性が低い。従って、絶縁膜を形成する際に十分に温度を上げることが難しく、微細な穴の内面に絶縁膜を均一に形成することが困難となる。これに対し、上記した製造方法によれば、穴の内面の絶縁膜を薄化工程の前に形成できるので、基板を支持材に接着する必要がなく、絶縁膜を形成する際に十分に温度を上げることができ、この絶縁膜を均一に形成することができる。

10

【 0 0 1 1 】

また、三次元半導体デバイスの製造方法は、穴形成工程において形成される穴が、基板の表面から基板の厚さ方向に延びる第1の部分と、第1の部分より内径が大きい第2の部分とを有することを特徴としてもよい。上記した三次元半導体デバイスの製造方法では、基板を裏面から薄化することで穴を貫通させる（薄化工程）。このとき、上述した第1及び第2の部分を穴が有することにより、貫通された穴の裏面側の内径が表面側の内径より大きくなる。すなわち、後の配線形成工程において、基板裏面における層間配線の径が、基板表面における層間配線の径より大きくなる。従って、積層工程において当該基板の裏面を他の基板と接合する際に、当該基板と他の基板との位置合わせの精度を緩和できる。

20

【 0 0 1 2 】

また、三次元半導体デバイスの製造方法は、犠牲材料が、多結晶シリコン及びシリコンゲルマニウムのうち少なくとも一方を含むことを特徴としてもよい。これにより、集積回路を形成する際の熱処理に耐え、且つ配線形成工程において選択的に除去可能な材料によって穴を好適に埋め込むことができる。

【 0 0 1 3 】

また、本発明による基板生産物の製造方法は、基板の表面に有底の穴を形成する穴形成工程と、犠牲材料により穴を埋め込む埋込工程と、犠牲材料と接する配線パターンを有する集積回路を基板の表面に形成する集積回路形成工程と、基板の裏面より基板を薄化することにより、穴を貫通させると共に基板の裏面から犠牲材料の一部を露出させる薄化工程と、犠牲材料を除去して金属材料を埋め込むことにより基板を貫通する層間配線を形成する配線形成工程とを備えることを特徴とする。

30

【 0 0 1 4 】

この基板生産物の製造方法においては、基板を貫通する層間配線が形成される箇所に犠牲材料を埋め込んだ状態で集積回路を形成する。そして、基板を薄化した後に犠牲材料を除去して金属材料を埋め込み、基板を貫通する層間配線を形成する。すなわち、集積回路を形成したのちに層間配線を形成するので、配線材料として金属を使用でき、層間配線を低抵抗率にすることができる。また、配線材料を埋め込むための穴を薄化工程の前に形成するので、基板のチャッキングや搬送を容易にできる。従って、上記した基板生産物の製造方法によれば、金属からなる層間配線を容易に形成できる。

40

【 0 0 1 5 】

また、本発明による基板生産物は、基板と、基板の表面に設けられた集積回路と、基板を貫通する層間配線とを備え、層間配線が、基板の表面に有底の穴を形成し、犠牲材料により穴を埋め込み、犠牲材料と接する配線パターンを有する集積回路が基板の表面に形成された後に、基板の裏面より基板を薄化して穴を貫通させると共に基板の裏面から犠牲材料の一部を露出させ、犠牲材料を除去して金属材料を埋め込むことにより形成されたことを特徴とする。

50

【0016】

この基板生産物においては、集積回路が形成された後に層間配線が形成されるので、配線材料として金属を使用でき、層間配線を低抵抗率にすることができる。また、層間配線を埋め込むための穴が基板の薄化前に形成されるので、基板のチャッキングや搬送を容易にできる。従って、この第1の基板生産物によれば、金属からなる層間配線を容易に形成できる。

【0017】

また、基板生産物は、犠牲材料が、多結晶シリコン及びシリコンゲルマニウムのうち少なくとも一方を含むことを特徴としてもよい。これにより、集積回路が形成される際の熱処理に耐え、且つ選択的に除去可能な材料によって穴を好適に埋め込むことができる。

10

【0018】

また、基板生産物は、基板の裏面における層間配線の径が基板の表面における層間配線の径より大きいことを特徴としてもよい。このような基板生産物は、基板の表面から基板の厚さ方向に延びる第1の部分と、第1の部分より内径が大きい第2の部分とを有する有底の穴を基板の表面に形成することにより容易に形成される。このような構成を備える第2の基板生産物によれば、当該基板生産物を他の基板と接合する際に、当該基板生産物と他の基板との位置合わせの精度を緩和できる。

【0019】

また、基板生産物は、基板と層間配線との間に絶縁膜を更に備えることを特徴としてもよい。この場合、基板がシリコン基板であり、絶縁膜がシリコン酸化膜であることが好ましい。前述したように、基板に形成された微細な穴の内面に絶縁膜（特にシリコン酸化膜）を形成する場合には、高温で処理するほど絶縁膜が内面に均一に形成され、好ましい。上記した第1または第2の基板生産物においては、基板を薄化する前に絶縁膜を穴の内面に形成することにより、絶縁膜を形成する際に基板を支持材に接着する必要がなく十分に温度を上げることができ、この絶縁膜を均一に形成することができる。

20

【0020】

また、本発明による三次元半導体デバイスは、上記したいずれかの基板生産物を他の基板上に積み重ね、集積回路と他の基板上の回路とが層間配線を介して電気的に接続されて成ることを特徴とする。この三次元半導体デバイスによれば、上記したいずれかの基板生産物を備えることによって、金属からなる層間配線を容易に形成できる。

30

【発明の効果】

【0021】

本発明による三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイスによれば、金属からなる層間配線を容易に形成できる。

【発明を実施するための最良の形態】

【0022】

以下、添付図面を参照しながら本発明による三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイスの実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

40

【0023】

図1は、本発明による三次元半導体デバイスの一実施形態の構成を示す側面断面図である。図1に示す三次元半導体デバイス1は、ビルドアップ基板20と、ビルドアップ基板20上に積み重ねられた複数の基板生産物10とを備えている。なお、このような三次元半導体デバイス1の適用例としては、例えば別々の基板上に形成されたフラッシュメモリやRAMなどの複数種のメモリ回路を基板の厚さ方向に積み上げて一つのチップとして構成したものや、一種類のメモリ回路を基板の厚さ方向に複数積み重ねて大容量メモリチップとしたもの、或いは別々の基板上に形成された演算処理回路とメモリ回路とを基板の厚さ方向に積み重ねて互いを電気的に接続したものなどが挙げられる。具体的にはパソコンやサーバーに用いられるマイクロプロセッサのロジック部分とSRAMのキャッシュメモ

50

りとの組み合わせ、グラフィックプロセッサとDRAMの組み合わせ等に適している。

【0024】

図2は、一つの基板生産物10の構成を示す側面断面図である。図2に示すように、基板生産物10は、基板30、集積回路層40、及び層間配線50を備えている。

【0025】

基板30は、三次元半導体デバイス1の積層方向と交差する表面30a及び裏面30bを有する薄膜状の基板であって、例えばシリコン(Si)からなる。基板30の厚さは例えば3[μm]~100[μm]である。基板30は、後述する製造過程において厚さ700[μm]程度のシリコンウェハを研削、CMP(Chemical Mechanical Polishing: 化学機械研磨)などによって薄膜化して形成される。

10

【0026】

集積回路層40は、トランジスタなどの複数の半導体素子41や、該複数の半導体素子41を相互に或いは他の回路に接続するための配線パターン42が形成される層である。複数の半導体素子41は、基板30の表面30a上に並んで形成され、シリコン酸化膜からなる絶縁層43の下層部に覆われている。配線パターン42は、主に銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)といった低抵抗率の金属により構成されている。配線パターン42は、主に絶縁層43の上層部に埋め込まれている。配線パターン42の一部は絶縁層43から露出しており、この露出部分にはバンプ(電極)60が設けられている。バンプ60の構成材料としては、例えば金(Au)や銅(Cu)、すず(Sn)、銀(Ag)、或いはすずと銀の合金、などが好適である。

20

【0027】

また、配線パターン42の他の一部は、集積回路層40の上層部から基板30に近い下層部へ延びており、層間配線50と電気的に接続されている。なお、配線パターン42のうち集積回路層40の下層部に配置された部分はバリアメタル膜42aを有しており、このバリアメタル膜42aは、配線パターン42を主に構成する銅、アルミニウム、金、銀といった金属と絶縁層43との間に配置され、該金属が絶縁層43内へ拡散することを防ぐ。

【0028】

層間配線50は、基板30の表面30aと裏面30bとの間を貫通する配線である。本実施形態の層間配線50は、例えば銅、金、アルミニウム、銀、タンゲステン(W)といった金属からなる主部50a、および主部50aと基板30との間に配置されたバリアメタル膜50bによって構成されている。主部50aは、基板30の厚さ方向に延びており、表面30a側の一端がバリアメタル膜50bを介して配線パターン42と電気的に接続されており、裏面30b側の他端が裏面30bから露出している。また、本実施形態の層間配線50は、基板30の表面30aから基板30の厚さ方向に延びる部分より径が大きい拡径部52を有している。拡径部52は、裏面30bにおける層間配線50の露出部分に相当する。したがって、基板30の裏面30bにおける層間配線50の径は、基板30の表面30aにおける層間配線50の径より大きくなっている。

30

【0029】

また、基板30が導電性を有する場合には、本実施形態のように層間配線50と基板30との間に絶縁膜70が設けられることが好ましい。絶縁膜70は、例えば層間配線50が形成された基板30の穴の内面を酸化することにより形成される。基板30がシリコン基板である場合、絶縁膜70はシリコン酸化膜(SiO_2)である。また、基板30の裏面30b上にも絶縁膜71が設けられていることが好ましい。絶縁膜71は、例えばシリコン酸化膜(SiO_2)などの絶縁性材料を用いて形成されるが、絶縁膜70と異なる材料により形成されてもよい。層間配線50は、この絶縁膜71からも露出している。

40

【0030】

再び図1を参照する。三次元半導体デバイス1は、上述した構造を備える基板生産物10が厚さ方向に複数積み重ねられて構成されたものである。そして、各基板生産物10の集積回路(半導体素子41)同士は、一方の基板生産物10の裏面30bから露出した層

50

間配線 50 に対し、他方の基板生産物 10 に設けられたバンプ 60 が接合されることによって互いに電氣的に接続される。また、最下層の基板生産物 10 の層間配線 50 は、ビルドアップ基板 20 上に設けられたバンプ 61 を介してビルドアップ基板 20 の回路（図示せず）と電氣的に接続される。なお、図 1 では半導体素子 41 や配線パターン 42 の形状・配置が各基板生産物 10 において同様に描かれているが、半導体素子 41 や配線パターン 42 の形状・配置は各基板生産物 10 で互いに異なる場合もある。従って、基板 30 において層間配線 50 が形成される位置は、各基板生産物 10 で互いに異なる場合がある。

【0031】

続いて、本実施形態による三次元半導体デバイス 1 の製造方法について、図 3 ~ 図 25 を参照しながら説明する。三次元半導体デバイス 1 の製造に先立ち、図 3 に示すシリコン基板（シリコンウエハ）80 を用意する。シリコン基板 80 は、シリコン単結晶からなり、表面 80a 及び裏面 80b を有する厚さ 700 [μm] 程度の板状にスライスされたものである。

【0032】

< 穴形成工程 >

図 4 に示すように、シリコン基板 80 の表面 80a 上にシリコン酸化膜 81 を成膜する。シリコン酸化膜 81 は、後述する層間配線用の穴をエッチングにより形成する際のエッチングマスクとなる膜である。シリコン酸化膜 81 は、例えばプラズマ CVD などの化学気相成長法により形成される。なお、シリコン基板 80 をエッチングする際のエッチングマスクとして機能すれば、シリコン酸化膜 81 に代えて他の材料からなる膜（例えば、シリコン窒化膜など）を成膜してもよい。

【0033】

続いて、図 5 に示すように、一般的なフォトリソグラフィ技術を用いてシリコン酸化膜 81 に開口 81a を形成する。すなわち、シリコン酸化膜 81 上にレジスト膜を塗布形成し、フォトマスクを用いてレジスト膜を露光・現像することにより、開口 81a に対応する開口をレジスト膜に形成する。こうして形成されたレジストマスクを介してシリコン酸化膜 81 に対しエッチングを施すことによって、シリコン酸化膜 81 に開口 81a が形成される。このとき、開口 81a は、図 1 及び図 2 に示した層間配線 50 の位置に合わせて形成される。この後、レジストマスクを除去する。

【0034】

続いて、図 6 に示すように、後の工程において層間配線材料が埋め込まれる有底の穴 82 をシリコン基板 80 の表面 80a に形成する。まず、シリコン基板 80 に対して、先の工程で形成されたシリコン酸化膜 81 の開口 81a を介して異方性エッチングを施す。異方性エッチングとしては、例えば反応性イオンエッチング（RIE: Reactive Ion Etching）が好適である。このとき、エッチングガスとしては例えば HBr ガス及び SF₆ ガスの混合ガスを用いるとよい。この異方性エッチングによって、穴 82 のうちシリコン基板 80 の表面 80a から厚さ方向へ延びる第 1 の部分 82a が形成される。

【0035】

一般に、HBr と SF₆ を用いて Si を異方性エッチングすると、エッチング生成物やマスクからの放出ガスの反応により側壁にはシリコン臭酸化膜よりなる保護膜 83 が形成される。エッチング条件により、保護膜の形成が不十分な場合は、シランなどの Si を含有するガスと N₂O など酸素を含むガスを導入して、積極的に保護膜 83 を形成することも可能である。この時、基板に対するバイアス条件を調整して孔の底部分は露出し側壁のみに保護膜を形成する。保護膜の形成後に、シリコン基板 80 に対し等方性エッチングを施す。等方性エッチングとしては、例えばプラズマエッチングが好適である。このとき、エッチングガスとしては例えばフッ素を含むガス（SF₆ ガス等）を用いるとよい。この等方性エッチングによって、第 1 の部分 82a の底部からシリコン基板 80 が等方的にエッチングされ、穴 82 の第 2 の部分 82b が形成される。この第 2 の部分 82b は、穴 82 において第 1 の部分 82a より内径が大きい部分となり、また、穴 82 の底部を構成する。その後、シリコン酸化膜 81 および保護膜 83 をシリコン基板 80 から除去する（図

10

20

30

40

50

7)。なお、シリコン酸化膜 8 1 および保護膜 8 3 の除去には、例えば NH_4F をエッチャントとして用いたウェットエッチングが好適である。こうして形成された穴 8 2 の寸法は、表面 8 0 a からの深さが例えば 20 [マイクロメートル] であり、第 1 の部分 8 2 a の内径が例えば 5 [マイクロメートル] であり、第 2 の部分の内径が最大で 20 [マイクロメートル] である。

【 0 0 3 6 】

< 絶縁膜形成工程 >

続いて、図 8 に示すように、シリコン基板 8 0 の表面 8 0 a、および穴 8 2 の内面に絶縁膜 (シリコン酸化膜) 8 4 を形成する。絶縁膜 8 4 は、例えばシリコン基板 8 0 を 9 0 0 ~ 1000 といった高温の環境におき、酸素、もしくは酸素と水素の混合ガスを供給してシリコン基板 8 0 の表面 8 0 a および穴 8 2 の内面を熱酸化させるとよい。このとき、上述したような高温で処理するのは、絶縁膜 8 4 が微細な穴 8 2 の内面に均一に形成されるようにするためである。

【 0 0 3 7 】

< 埋込工程 >

続いて、図 9 に示すように、シリコン基板 8 0 の穴 8 2 を犠牲材料 8 5 により埋め込む。犠牲材料 8 5 としては、後述する集積回路形成工程において半導体の熱処理に耐えられる材料であり、且つ、後述する配線形成工程において絶縁膜 8 4 に対し選択的に除去可能な材料であれば良い。このような材料としては、例えば多結晶シリコン (ポリシリコン) 及びシリコンゲルマニウム (SiGe) のうち少なくとも一方を主に含む材料が好適である。この埋込工程では、例えば犠牲材料 8 5 としてシリコンゲルマニウム (SiGe) を CVD 法によりシリコン基板 8 0 の表面 8 0 a 上に堆積させつつ、穴 8 2 を埋め込む。なお、このとき、犠牲材料 8 5 のうち穴 8 2 の第 2 の部分 8 2 b に埋め込まれた部分は、犠牲材料 8 5 の他の部分より径が大きい拡径部 8 5 a となる。また、穴 8 2 (特に第 2 の部分 8 2 b) に埋め込まれた犠牲材料 8 5 の内部には、ボイド (空洞) 8 5 b が形成される場合があるが、何ら支障はない。

【 0 0 3 8 】

続いて、犠牲材料 8 5 のうちシリコン基板 8 0 の表面 8 0 a 上に堆積した部分を除去する。その後、絶縁膜 8 4 のうちシリコン基板 8 0 の表面 8 0 a 上に堆積した部分を除去する。これらの部分を除去する方法としては、例えば化学機械研磨 (CMP) が好適である。この工程により、図 1 0 に示すように、シリコン基板 8 0 の表面 8 0 a において、穴 8 2 の開口から犠牲材料 8 5 が露出した状態となる。

【 0 0 3 9 】

< 集積回路形成工程 >

続いて、図 1 1 に示すように、集積回路を含む集積回路層 9 0 をシリコン基板 8 0 の表面 8 0 a 上に形成する。まず、FEO L (Front End of Line) と呼ばれる、トランジスタなどの複数の半導体素子 8 6 を形成する工程を中心としたプロセスを実施する。すなわち、半導体素子 8 6 が有する各種半導体層 (例えば、シリコン基板 8 0 の表面 8 0 a の所定領域に不純物を添加して形成された p 型半導体層や n 型半導体層)、ゲート絶縁膜、各種電極などを形成する。n 型半導体層や p 型半導体層を形成する際には、フォトレジストを介して不純物イオンを注入したのち、この不純物イオンをシリコン原子と結合させるため加熱処理 (アニール) を行うが、このとき、シリコン基板 8 0 は例えば 8 0 0 ~ 1 0 0 0 といった高温の環境下におかれる。半導体素子 8 6 を形成した後、半導体素子 8 6 を覆うようにシリコン酸化膜を堆積させることにより絶縁層 8 7 の下層部を形成する。

【 0 0 4 0 】

続いて、BEO L (Back End of Line) と呼ばれる、トランジスタ形成後の配線形成などを中心としたプロセスを実施する。このプロセスでは、犠牲材料 8 5 と接する配線パターン 8 8 を形成する。すなわち、先に形成した絶縁層 8 7 のうち犠牲材料 8 5 を覆う部分に開口を形成し、犠牲材料 8 5 の端面を露出させる。そして、該開口の側面および底面にバリアメタル膜 8 8 a を形成したのち、該開口を埋め込み且つ所定の半導体素子 8 6 の電

10

20

30

40

50

極と接続する配線部分 88b を形成する。その後、必要に応じて配線部分 88c 及び 88d といった配線層を配線部分 88b の上に積層しつつ絶縁材料で覆うことにより、絶縁層 87 に埋め込まれた配線パターン 88 が形成される。なお、配線部分 88b ~ 88d は、主に銅 (Cu)、アルミニウム (Al)、金 (Au)、銀 (Ag) といった低抵抗率の金属により形成するとよい。以上の工程により、複数の半導体素子 86 および配線パターン 88 を含む集積回路が形成される。

【0041】

絶縁層 87 および配線パターン 88 を形成したのち、絶縁層 87 の所定位置に開口を形成して配線パターン 88 の一部を露出させ、例えば金 (Au) や銅 (Cu)、すず (Sn)、銀 (Ag)、或いはすずと銀の合金を主に含むバンプ 89 を形成する。

10

【0042】

なお、犠牲材料 85 が埋め込まれたシリコン基板 80 の穴 82 とバンプ 89 とは、図 11 に示すようにシリコン基板 80 の厚さ方向に並んで配置されてもよく、或いは図 12 に示すように、シリコン基板 80 の厚さ方向から見て各々異なる位置に配置されてもよい。バンプ 89 は、当該基板生産物の上に配置される他の基板生産物が有する層間配線の位置に合わせて形成される。

【0043】

<薄化工程>

続いて、シリコン基板 80 の裏面 80b よりシリコン基板 80 を薄化 (シニング) する。薄化の前に、図 13 に示すように、シリコン基板 80 の表面 80a 側、すなわち集積回路層 90 の上面を、接着剤層 91 を介してガラス製の支持材 92 に貼り付ける。支持材 92 としては、平坦な表面 92a を有する板状の部材が用いられ、また、接着剤層 91 を構成する接着剤としては、UV 照射や熱処理により剥離可能な材料が好適である。

20

【0044】

続いて、シリコン基板 80 が或る厚さ (犠牲材料 85 が露出しない程度の厚さ、例えば 40 [マイクロメートル]) になるまで、シリコン基板 80 の裏面 80b をグラインドにより研磨する。次いで、シリコン基板 80 の裏面 80b を化学機械研磨 (CMP) により研磨する。この化学機械研磨 (CMP) は、図 14 に示すように、穴 82 の底部に形成された絶縁膜 84 が裏面 80b に現れた時点で停止するとよい。

【0045】

続いて、シリコン基板 80 の裏面 80b に対してプラズマエッチングなどのドライエッチングを行い、更にシリコン基板 80 を薄化する。このとき、反応ガスとしては例えば SF₆ を用いるとよい。これにより、シリコン酸化膜である絶縁膜 84 はエッチングされず、シリコン基板 80 のみ選択的にエッチングされることとなる。このエッチングは、穴 82 の第 2 の部分 82b の途中 (好ましくは、第 2 の部分 82b の内径が最大になる位置) で停止するとよい。この工程によって、図 15 に示すように、穴 82 がシリコン基板 80 を貫通すると共に、シリコン基板 80 の裏面 80b から犠牲材料 85 の拡径部 85a が露出する。

30

【0046】

<配線形成工程>

続いて、図 16 に示すように、シリコン基板 80 の裏面 80b 上にシリコン酸化膜 93 を成膜する。シリコン酸化膜 93 は、後の工程において犠牲材料 85 をエッチングにより除去する際のエッチングマスクとなる膜である。シリコン酸化膜 93 は、例えばプラズマ CVD などの化学気相成長法により形成される。なお、犠牲材料 85 をエッチングする際のエッチングマスクとして機能すれば、シリコン酸化膜 93 に代えて他の材料からなる膜 (例えば、シリコン窒化膜など) を成膜してもよい。

40

【0047】

続いて、図 17 に示すように、シリコン酸化膜 93 に対し化学機械研磨 (CMP) を行い、シリコン基板 80 の裏面 80b 側の表面を平坦化する。このとき、犠牲材料 85 の拡径部 85a をその途中まで研磨し、犠牲材料 85 を絶縁膜 84 から露出させると共に、犠

50

牲材料 85 の下端面 85c を形成する。このとき、下端面 85c の径は拡径部 85a の径と等しいので、下端面 85c の面積は犠牲材料 85 の上端面 85d の面積より大きくなる。

【0048】

続いて、露出した犠牲材料 85 に対しエッチングを施すことによって、犠牲材料 85 をシリコン基板 80 から除去する。このときのエッチングとしては例えばプラズマエッチングが好適である。エッチングガスとしては、例えばフッ素を含むガス（ SF_6 ガス等）が好適であるが、絶縁膜 84 及びシリコン酸化膜 93 はエッチングされずに犠牲材料 85 のみエッチングされるような選択性のあるエッチングガスであればよい。このエッチングによって、犠牲材料 85 がシリコン基板 80 から除去され、図 18 に示すようにシリコン基板 80 の表面 80a と裏面 80b との間を貫通する貫通穴 94 が形成される。この貫通穴 94 は、シリコン基板 80 の表面 80a から厚さ方向へ延びる第 1 の部分 94a と、第 1 の部分 94a より内径が大きくなっておりシリコン基板 80 の裏面 80b に向けて開口した第 2 の部分 94b とを有している。

10

【0049】

続いて、図 19 に示すように、貫通穴 94 の内面にバリアメタル膜 95 を形成する。バリアメタル膜 95 としては例えば窒化チタン（TiN）が好適であり、バリアメタル膜 95 の形成方法としては例えば CVD 法または PVD 法が好適である。バリアメタル膜 95 の厚さは、例えば 300 [nm] である。なお、このとき、シリコン酸化膜 93 の表面や、貫通穴 94 に臨む配線パターン 88 の表面にもバリアメタル膜 95 が成膜される。

20

【0050】

続いて、図 20 に示すように、シリコン基板 80 の裏面 80b 上に金属膜 96 を成膜しつつ、該金属膜 96 を構成する金属材料によって貫通穴 94 を埋め込む。金属膜 96 としては例えば銅（Cu）、金（Au）、アルミニウム（Al）、銀（Ag）、或いはタンゲステン（W）などが好適である。また、これらの金属を堆積させる方法としては、例えば物理蒸着（PVD）法が好適である。具体的には、シリコン基板 80 を真空または不活性ガスで満たされた容器の中におき、同容器内に置かれた金属蒸着源を加熱して飛散させ、シリコン基板 80 の裏面 80b 上に堆積させる。

【0051】

続いて、シリコン基板 80 の裏面 80b 上に形成されたバリアメタル膜 95 及び金属膜 96 を化学機械研磨（CMP）により除去する。これにより、図 21 に示すように、主部 97 と、主部 97 およびシリコン基板 80 の間に配置されたバリアメタル膜 95 によって構成された層間配線 98 が完成する。すなわち、この層間配線 98 は、シリコン基板 80 の表面 80a と裏面 80b との間を貫通しており、表面 80a 側の一端が配線パターン 88 と電気的に接続されており、裏面 80b 側の他端がシリコン基板 80 およびシリコン酸化膜 93 から露出している。また、層間配線 98 は拡径部 99 を有しており、拡径部 99 は、シリコン基板 80 の表面 80a から厚さ方向に延びる部分より径が大きい。この拡径部 99 は、裏面 80b における層間配線 98 の露出部分に相当するので、シリコン基板 80 の裏面 80b における層間配線 98 の径は、シリコン基板 80 の表面 80a における層間配線 98 の径より大きくなっている。こうして、図 2 に示した構成を備える基板生産物 100A が完成する。

30

40

【0052】

< 積層工程 >

続いて、図 22 に示すように、基板生産物 100A をビルドアップ基板 101 上に実装する。このとき、ビルドアップ基板 101 に設けられたパンプ 102 の位置と基板生産物 100A の層間配線 98 の位置とが一致するように、ビルドアップ基板 101 と基板生産物 100A との相対位置を調整する。そして、加熱等によりパンプ 102 を溶融させてパンプ 102 と層間配線 98 とを接合することにより、基板生産物 100A の集積回路とビルドアップ基板 101 上の回路とを層間配線 98 を介して電気的に接続する。その後、基板生産物 100A に接着剤層 91 を介して接合されていた支持材 92 を基板生産物 100

50

Aから取り外す(図23)。

【0053】

そして、図24に示すように、基板生産物100Aと同様の方法により製造された基板生産物100Bを基板生産物100Aの表面側に積み重ねる。このとき、基板生産物100Aに設けられたバンプ89の位置と基板生産物100Bの層間配線98の位置とが一致するように、基板生産物100Aと基板生産物100Bとの相対位置を調整する。そして、加熱等により基板生産物100Aのバンプ89を溶融させて該バンプ89と基板生産物100Bの層間配線98とを接合することにより、基板生産物100A及び100Bそれぞれの集積回路同士を電氣的に接続する。その後、基板生産物100Bに接着剤層91を介して接合されていた支持材92を基板生産物100Bから取り外す。このようにして、
10 所定枚数の基板生産物を順に積み重ね、互いに接合する。そして、このように形成された積層生産物をチップ状に切断することによって、図1に示した構成を備える三次元半導体デバイスが得られる。また、順序を逆にして、各基板生産物をチップ状に切断してから順次積層してもかまわない。

【0054】

以上に説明した基板生産物、三次元半導体デバイスおよびそれらの製造方法による効果について説明する。本実施形態に係る製造方法においては、シリコン基板80を貫通する層間配線98が形成される箇所に犠牲材料85(図10)を埋め込んだ状態で集積回路層90を形成している。そして、シリコン基板80を薄化(図15)した後に犠牲材料85
20 を除去(図18)して金属材料(金属膜96)を埋め込み、シリコン基板80を貫通する層間配線98を形成している(図21)。このように、集積回路層90を形成したのちに層間配線98を形成するので、層間配線98の構成材料として、集積回路層90の半導体素子86を形成する際の高温に耐え得る材料を用いる必要がない。従って、層間配線98の構成材料として金属を使用でき、層間配線98を低抵抗率にすることができる。また、層間配線98を埋め込むための穴82(図7)を薄化工程の前に形成するので、良好な加工形状のビアを反応性イオンエッチングにより高速に形成できる。従って、本実施形態の製造方法、並びに該製造方法により製造される基板生産物および三次元半導体デバイスによれば、金属からなる層間配線98を容易に形成できる。

【0055】

なお、集積回路が形成された複数の基板を積層してから該複数の基板を貫くように層間配線(スルーホール)を形成する方式も知られているが、本実施形態の製造方法によれば、
30 このような方式と比較して層間配線の配置の自由度を格段に向上できる。また、基板を薄化してから層間配線用の貫通孔を形成する方式と比較して、穴82を細く且つ深く形成できる。

【0056】

また、本実施形態のように、穴82の内面に絶縁膜84を形成する絶縁膜形成工程(図8)を、穴形成工程(図4~図7)と埋込工程(図9, 図10)との間に備えることが好ましい。また、この場合、基板80がシリコン基板であり、絶縁膜84がシリコン酸化膜であることが好ましい。一般的に、シリコン基板80に形成された微細な穴82の内面に酸化シリコンの絶縁膜84を形成するような場合には、高温で処理するほど絶縁膜84が
40 内面に均一に形成され、好ましい。しかし、[課題を解決するための手段]欄で述べたように、基板を薄化してから貫通孔の内面に絶縁膜を形成する場合、基板を支持材に貼り付ける際に樹脂などの接着剤が用いられるが、このような接着剤は一般的に耐熱性が低い。従って、絶縁膜を形成する際に十分に温度を上げることが難しく、微細な穴の内面に絶縁膜を均一に形成することが困難となる。これに対し、本実施形態に係る製造方法によれば、穴82の内面の絶縁膜84を薄化工程(図14, 図15)の前に形成できるので、シリコン基板80を支持材に接着する必要がなく、絶縁膜84を形成する際に十分に温度を上げることができ、この絶縁膜84を穴82の内面に均一に形成することができる。

【0057】

また、本実施形態のように、穴形成工程(図4~図7)において形成される穴82は、
50

シリコン基板 80 の表面 80 a から厚さ方向に延びる第 1 の部分 82 a と、第 1 の部分 82 a より内径が大きい第 2 の部分 82 b とを有することが好ましい。このような第 1 の部分 82 a 及び第 2 の部分 82 b を穴 82 が有することにより、薄化工程（図 14、図 15）後の穴 82 の裏面 80 b 側の内径が、表面 80 a 側の内径より大きくなる。すなわち、後の配線形成工程（図 16 ~ 図 21）において、裏面 80 b 側の層間配線 98 の径が、表面 80 a 側における層間配線 98 の径より大きくなる。従って、積層工程（図 22 ~ 図 24）において当該基板生産物の裏面側を他の基板と接合する際に、当該基板生産物と他の基板との位置合わせの精度を緩和できる。

【0058】

また、本実施形態のように、犠牲材料 85 は、多結晶シリコン及びシリコンゲルマニウムのうち少なくとも一方を含むことが好ましい。これにより、集積回路を形成する際の熱処理に耐え、且つ配線形成工程（図 16 ~ 図 21）において選択的に除去可能な材料によって穴 82 を好適に埋め込むことができる。

10

【0059】

本発明による三次元半導体デバイスの製造方法、基板生産物の製造方法、基板生産物、及び三次元半導体デバイスは、上記した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記した実施形態では犠牲材料の例として多結晶シリコン及びシリコンゲルマニウムを例示したが、犠牲材料としては、半導体素子を形成する際の高温でもガスが発生せず、シリコン酸化膜とのエッチング選択性があれば他の材料でもよい。このような他の材料の例としては、カーボンやタングステンを挙げることができる。また、シリコンゲルマニウムは、単結晶構造に限らず、アモルファス構造であっても良い。

20

【図面の簡単な説明】

【0060】

【図 1】本発明による三次元半導体デバイスの一実施形態の構成を示す側面断面図である。

【図 2】基板生産物の構成を示す側面断面図である。

【図 3】三次元半導体デバイスの製造方法において用いられるシリコン基板を示す図である。

【図 4】三次元半導体デバイスの製造方法における穴形成工程を示す図である。

【図 5】三次元半導体デバイスの製造方法における穴形成工程を示す図である。

30

【図 6】三次元半導体デバイスの製造方法における穴形成工程を示す図である。

【図 7】三次元半導体デバイスの製造方法における穴形成工程を示す図である。

【図 8】三次元半導体デバイスの製造方法における絶縁膜形成工程を示す図である。

【図 9】三次元半導体デバイスの製造方法における埋込工程を示す図である。

【図 10】三次元半導体デバイスの製造方法における埋込工程を示す図である。

【図 11】三次元半導体デバイスの製造方法における集積回路形成工程を示す図である。

【図 12】三次元半導体デバイスの製造方法における集積回路形成工程を示す図である。

【図 13】三次元半導体デバイスの製造方法における薄化工程を示す図である。

【図 14】三次元半導体デバイスの製造方法における薄化工程を示す図である。

【図 15】三次元半導体デバイスの製造方法における薄化工程を示す図である。

40

【図 16】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 17】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 18】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 19】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 20】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 21】三次元半導体デバイスの製造方法における配線形成工程を示す図である。

【図 22】三次元半導体デバイスの製造方法における積層工程を示す図である。

【図 23】三次元半導体デバイスの製造方法における積層工程を示す図である。

【図 24】三次元半導体デバイスの製造方法における積層工程を示す図である。

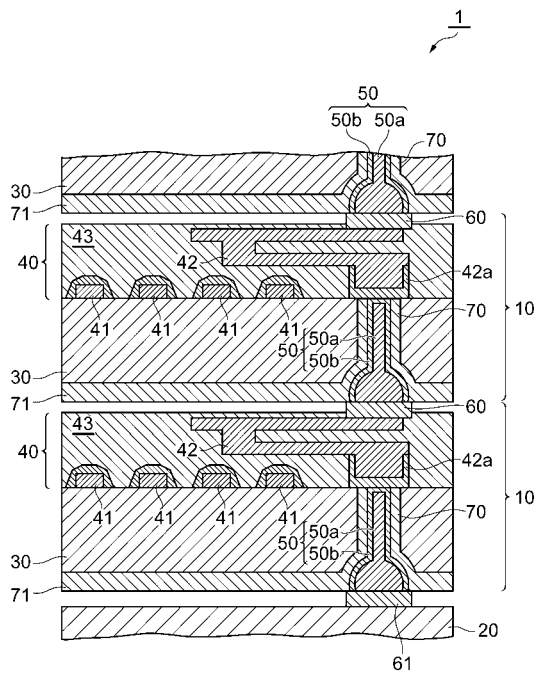
【符号の説明】

50

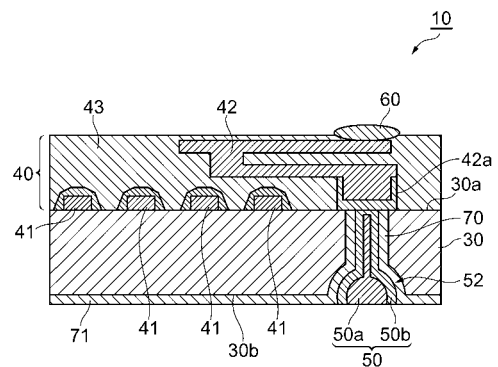
【0061】

1...三次元半導体デバイス、10、100A、100B...基板生産物、20、101...ビルドアップ基板、30...基板、40、90...集積回路層、41、86...半導体素子、42、88...配線パターン、42a、50b、88a、95...バリアメタル膜、43、87...絶縁層、50、98...層間配線、52...拡径部、60、61、89、102...バンプ、70、71、84...絶縁膜、80...シリコン基板、81、93...シリコン酸化膜、82...穴、82a...第1の部分、82b...第2の部分、83...保護膜、85...犠牲材料、91...接着剤層、92...支持材、94...貫通穴、96...金属膜。

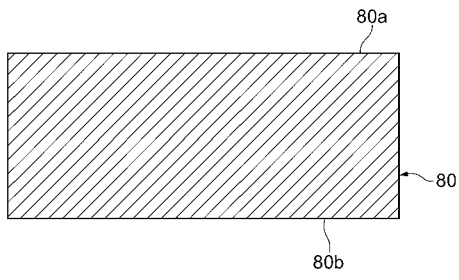
【図1】



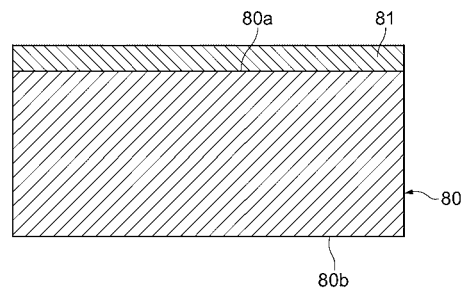
【図2】



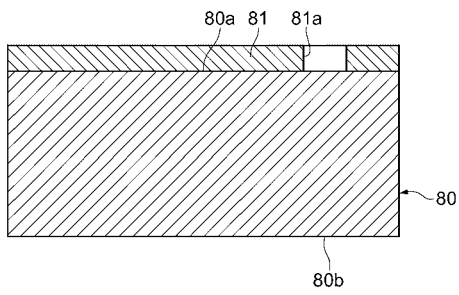
【 図 3 】



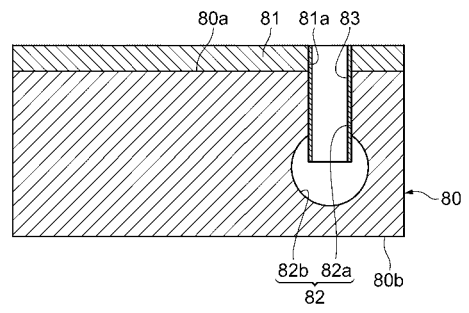
【 図 4 】



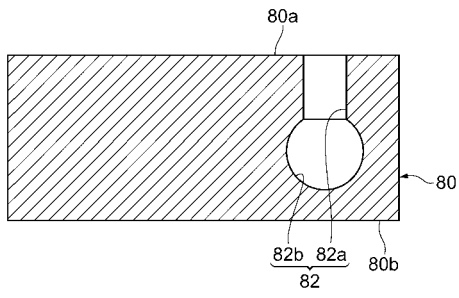
【 図 5 】



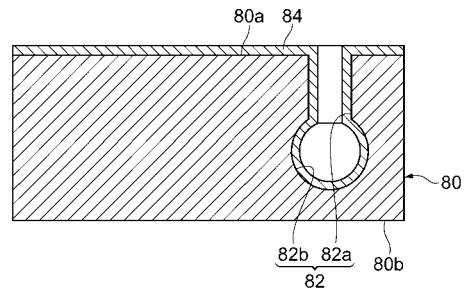
【 図 6 】



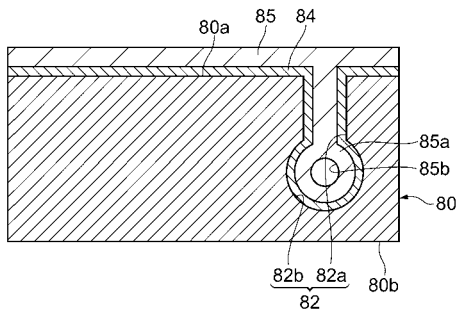
【 図 7 】



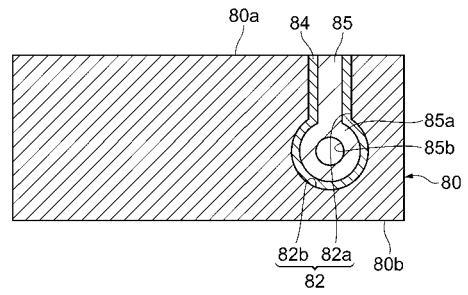
【 図 8 】



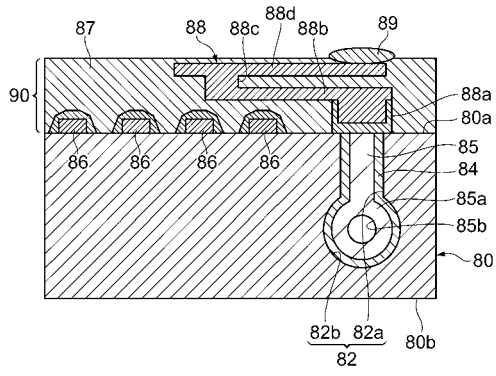
【 図 9 】



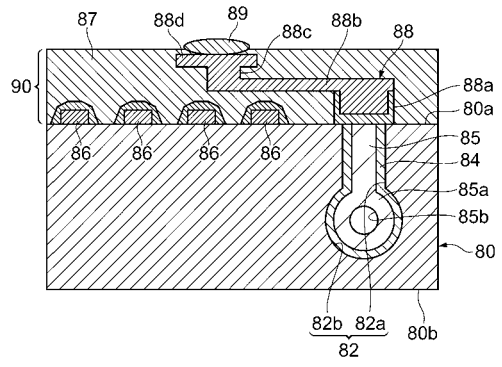
【 図 10 】



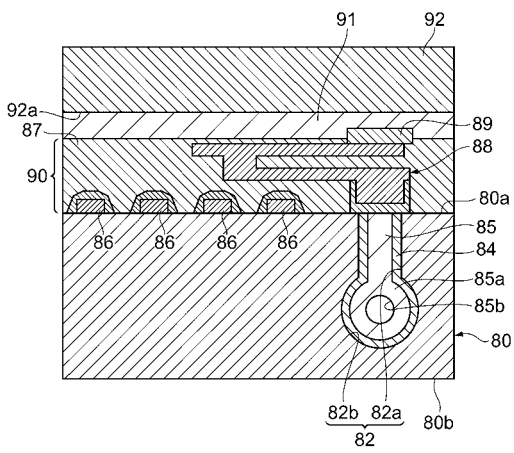
【図 1 1】



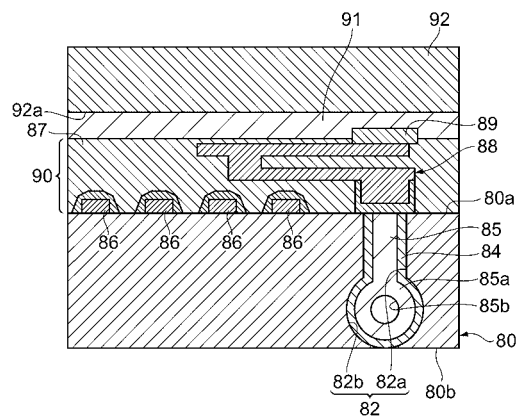
【図 1 2】



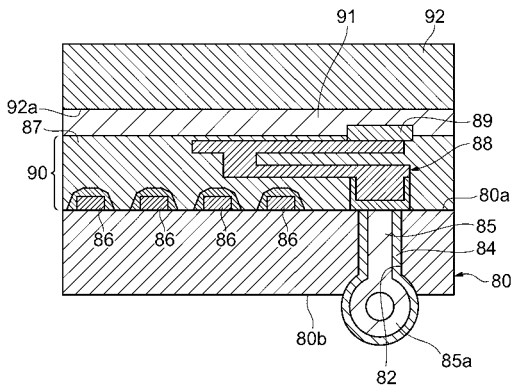
【図 1 3】



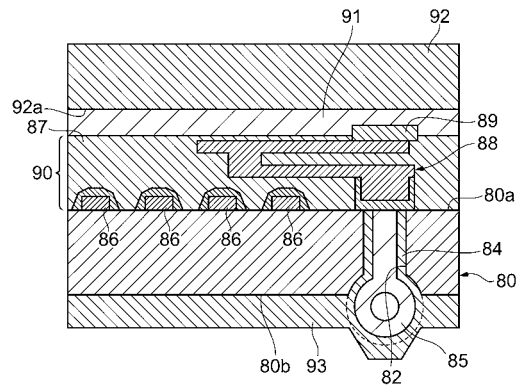
【図 1 4】



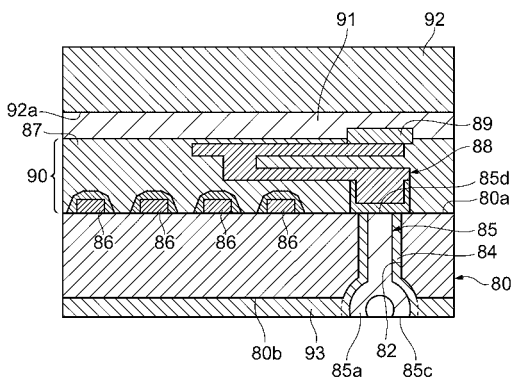
【図 15】



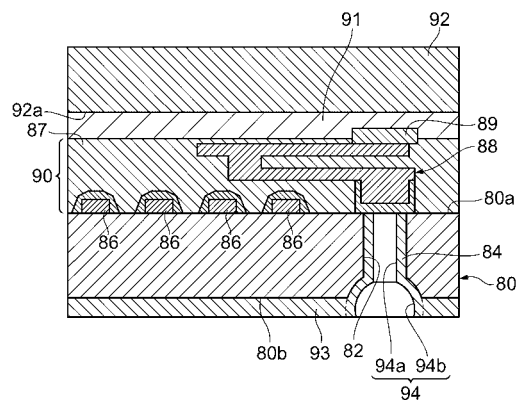
【図 16】



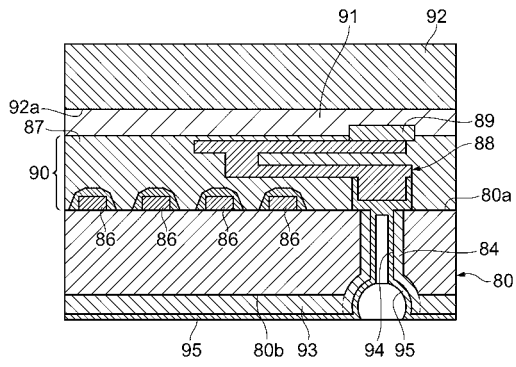
【図 17】



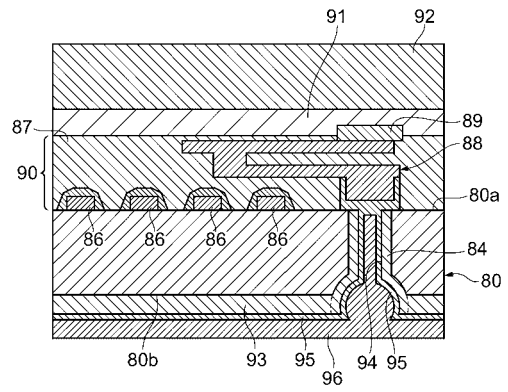
【図 18】



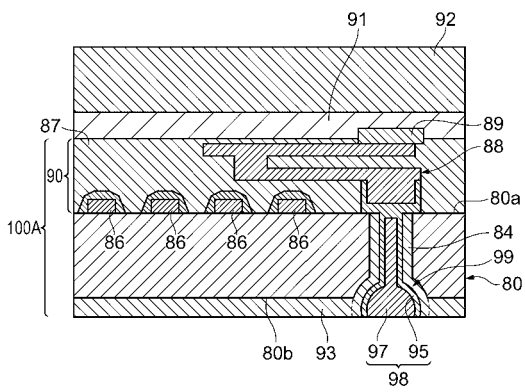
【図 19】



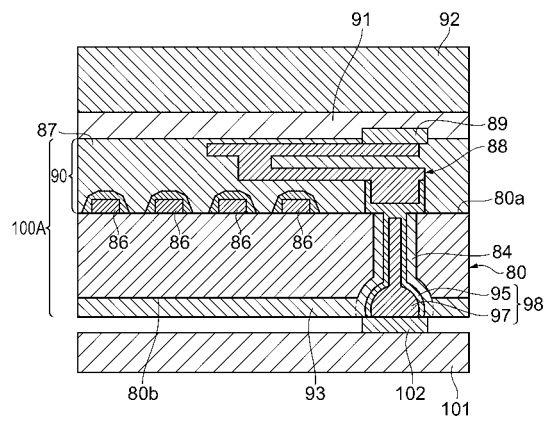
【図 20】



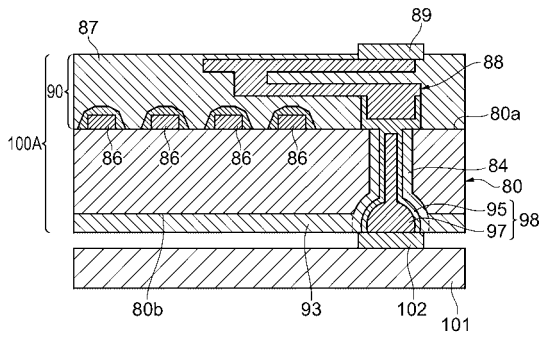
【図 21】



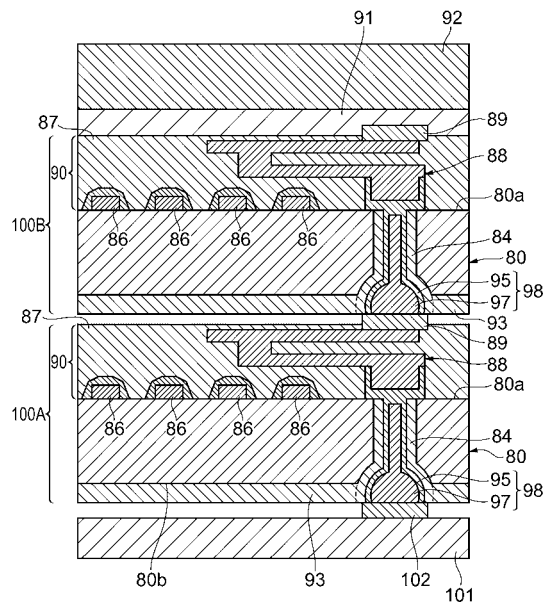
【図 22】



【図 23】



【図 24】



フロントページの続き

審査官 瀧内 健夫

- (56)参考文献 特開平10 - 223833 (JP, A)
特開2006 - 060067 (JP, A)
特開2004 - 128063 (JP, A)
特開平04 - 007845 (JP, A)
国際公開第2006 / 019156 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21 / 3205
H01L 21 / 768
H01L 23 / 522