



(12) 发明专利

(10) 授权公告号 CN 103035298 B

(45) 授权公告日 2015. 07. 15

(21) 申请号 201210546671. 9

(22) 申请日 2012. 12. 14

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
专利权人 合肥京东方光电科技有限公司

(72) 发明人 胡祖权 王国磊 马睿 胡明

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G11C 19/28(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 101477836 A, 2009. 07. 08,

CN 101562046 A, 2009. 10. 21,

US 2011/0012823 A1, 2011. 01. 20,

审查员 邵磊

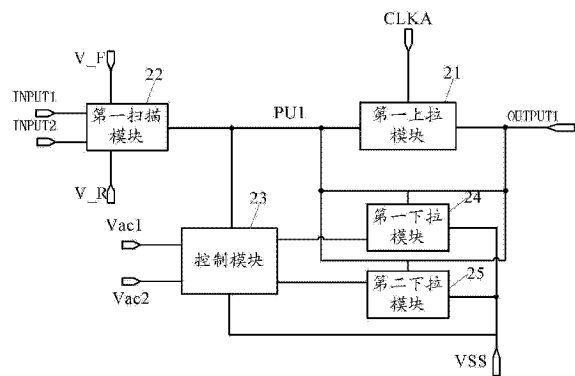
权利要求书3页 说明书10页 附图7页

(54) 发明名称

一种移位寄存器单元、栅极驱动电路及显示器件

(57) 摘要

本发明实施例提供一种移位寄存器单元、栅极驱动电路及显示器件,涉及显示技术领域,可以改善下拉晶体管的栅极偏压,提高移位寄存器单元的稳定性。移位寄存器单元包括:第一上拉模块、第一扫描模块、控制模块、第一下拉模块和第二下拉模块。本发明实施例用于实现从上至下或从下至上的栅极驱动扫描。



1. 一种移位寄存器单元,其特征在于,包括:第一上拉模块、第一扫描模块、控制模块、第一下拉模块和第二下拉模块;

所述第一上拉模块,连接第一时钟信号、第一控制节点和第一信号输出端,用于在所述第一扫描模块和所述第一时钟信号的控制下将所述第一信号输出端输出的信号上拉为高电平;

所述第一扫描模块,连接第一扫描信号、第二扫描信号、第一信号输入端、第二信号输入端和所述第一控制节点,用于在所述第一扫描信号和所述第二扫描信号的控制下确定扫描方向,根据所述第一信号输入端和所述第二信号输入端输入的信号控制所述第一控制节点的电位;

所述控制模块,连接所述第一控制节点、第一交流信号、第二交流信号、所述第一下拉模块、所述第二下拉模块和电压端,用于根据所述第一交流信号和所述第二交流信号控制所述第一下拉模块和所述第二下拉模块;

所述第一下拉模块和所述第二下拉模块还连接所述第一控制节点、所述第一信号输出端和所述电压端,用于在所述第一交流信号和所述第二交流信号的控制下对所述第一信号输出端输出的信号进行轮流下拉;

所述控制模块包括:

第四晶体管,其源极与所述电压端相连接,漏极与第六晶体管的源极相连接,栅极连接所述第一控制节点;

第五晶体管,其源极与所述第六晶体管的栅极相连接,栅极与漏极均连接所述第一交流信号;

第六晶体管,其漏极连接所述第一交流信号;

第七晶体管,其源极与第八晶体管的栅极相连接,栅极与漏极均连接所述第二交流信号;

第八晶体管,其漏极连接所述第二交流信号;

第九晶体管,其源极连接所述电压端,栅极连接所述第一控制节点,漏极与所述第六晶体管的栅极相连接;

第十晶体管,其源极连接所述电压端,栅极连接所述第一控制节点,漏极与所述第八晶体管的栅极相连接;

所述控制模块还包括:

第十一晶体管,其源极连接第十二晶体管的栅极,栅极连接所述第一信号输入端,漏极连接所述第一控制节点;

第十二晶体管,其源极与所述电压端相连接,漏极与所述第六晶体管的源极相连接。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一上拉模块包括:

第一晶体管,其源极连接所述第一信号输出端,栅极连接所述第一控制节点,漏极连接所述第一时钟信号。

3. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一扫描模块包括:

第二晶体管,其源极连接所述第一控制节点,栅极连接所述第一信号输入端,漏极连接所述第一扫描信号;

第三晶体管,其源极连接所述第一控制节点,栅极连接所述第二信号输入端,漏极连接

所述第二扫描信号。

4. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一下拉模块包括:

第十三晶体管和第十四晶体管,其栅极均与所述第六晶体管的源极相连接,漏极均与  
所述电压端相连接,所述第十三晶体管的源极连接所述第一控制节点,所述第十四晶体管  
的源极连接所述第一信号输出端;

所述第二下拉模块包括:

第十五晶体管和第十六晶体管,其栅极均与所述第八晶体管的源极相连接,漏极均与  
所述电压端相连接,所述第十五晶体管的源极连接所述第一控制节点,所述第十六晶体管  
的源极连接所述第一信号输出端。

5. 根据权利要求 1 至 4 任一所述的移位寄存器单元,其特征在于,所述移位寄存器单元  
还包括:第二上拉模块、第二扫描模块、第三下拉模块和第四下拉模块;

所述第二上拉模块,连接第二时钟信号、第二控制节点和第二信号输出端,用于在所述  
第二扫描模块和所述第二时钟信号的控制下将所述第二信号输出端输出的信号上拉为高  
电平;

所述第二扫描模块,连接所述第一扫描信号、所述第二扫描信号、第三信号输入端、第  
四信号输入端和所述第二控制节点,用于在所述第一扫描信号和所述第二扫描信号的控制  
下确定扫描方向,根据所述第三信号输入端和所述第四信号输入端输入的信号控制所述  
第二控制节点的电位;

所述控制模块,还连接所述第二控制节点、所述第三下拉模块、和所述第四下拉模块,  
用于根据所述第一交流信号和所述第二交流信号控制所述第三下拉模块和所述第四下  
拉模块;

所述第三下拉模块和所述第四下拉模块还连接所述第二控制节点、所述第二信号输出  
端和所述电压端,用于在所述第一交流信号和所述第二交流信号的控制下对所述第二信  
号输出端输出的信号进行轮流下拉。

6. 根据权利要求 5 所述的移位寄存器单元,其特征在于,所述第二上拉模块包括:

第十七晶体管,其源极连接所述第二信号输出端,栅极连接所述第二控制节点,漏极连  
接所述第二时钟信号。

7. 根据权利要求 5 所述的移位寄存器单元,其特征在于,所述第二扫描模块包括:

第十八晶体管,其源极连接所述第二控制节点,栅极连接所述第三信号输入端,漏极连  
接所述第一扫描信号;

第十九晶体管,其源极连接所述第二控制节点,栅极连接所述第四信号输入端,漏极连  
接所述第二扫描信号。

8. 根据权利要求 5 所述的移位寄存器单元,其特征在于,所述控制模块还包括:

第二十晶体管,其源极与所述电压端相连接,漏极与所述第八晶体管的源极相连接,其  
栅极连接所述第二控制节点;

第二十一晶体管,其源极连接所述电压端,栅极连接所述第二控制节点,漏极与所述第  
六晶体管的栅极相连接;

第二十二晶体管,其源极连接所述电压端,栅极连接所述第二控制节点,漏极与所述第  
八晶体管的栅极相连接。

9. 根据权利要求 8 所述的移位寄存器单元,其特征在于,所述控制模块还包括:

第二十三晶体管,其源极连接第二十四晶体管的栅极,栅极连接所述第三信号输入端,漏极连接所述第二控制节点;

第二十四晶体管,其源极与所述电压端相连接,漏极与所述第七晶体管的源极相连接。

10. 根据权利要求 8 所述的移位寄存器单元,其特征在于,所述第三下拉模块包括:

第二十五晶体管和第二十六晶体管,其栅极均与所述第六晶体管的源极相连接,漏极均与所述电压端相连接,所述第二十五晶体管的源极连接所述第二控制节点,所述第二十六晶体管的源极连接所述第二信号输出端;

所述第四下拉模块包括:

第二十七晶体管和第二十八晶体管,其栅极均与所述第八晶体管的源极相连接,漏极均与所述电压端相连接,所述第二十七晶体管的源极连接所述第二控制节点,所述第二十八晶体管的源极连接所述第二信号输出端。

11. 一种栅极驱动电路,其特征在于,包括多级如权利要求 1 至 10 任一所述的移位寄存器单元;

除第一级移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的上一级移位寄存器单元的复位端;

除最后一级移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的下一级移位寄存器单元的信号输入端。

12. 根据权利要求 11 所述的栅极驱动电路,其特征在于,

所述第一级移位寄存器单元和所述最后一级移位寄存器单元均采用如权利要求 1 至 4 任一所述的移位寄存器单元,其余移位寄存器单元均采用如权利要求 5 至 10 任一所述的移位寄存器单元;

除所述第一级移位寄存器单元和所述最后一级移位寄存器单元外,其余每个移位寄存器单元的第一信号输出端连接与其相邻的上一级移位寄存器单元的第二信号输入端,第二信号输出端连接与其相邻的上一级移位寄存器单元的第四信号输入端;

除所述第一级移位寄存器单元和所述最后一级移位寄存器单元外,其余每个移位寄存器单元的第一信号输出端连接与其相邻的下一级移位寄存器单元的第一信号输入端,第二信号输出端连接与其相邻的下一级移位寄存器单元的第三信号输入端。

13. 根据权利要求 11 或 12 所述的栅极驱动电路,其特征在于,

所述第一级移位寄存器单元的第一信号输入端输入帧起始信号 STV;

所述最后一级移位寄存器单元的第二信号输入端输入所述帧起始信号 STV。

14. 一种显示器件,其特征在于,包括如权利要求 11 至 13 任一所述的栅极驱动电路。

## 一种移位寄存器单元、栅极驱动电路及显示器件

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路及显示器件。

### 背景技术

[0002] 随着显示技术的发展,液晶显示器已广泛地应用于包括家庭、公共场所、办公场所以及个人电子产品等在内的各种显示领域。液晶显示面板主要包括由阵列基板和彩膜基板对盒形成的液晶盒、偏光片以及背光模组等组成。阵列基板上大量栅极线和数据线交叠形成的 TFT (Thin Film Transistor, 薄膜晶体管), 栅极线控制着 TFT 的开关, 当 TFT 开启时, 像素电极通过数据线进行充电或者放电, 控制着施加在液晶分子上的电压的大小, 从而使得透过液晶分子的光能够显示不同的灰阶。对于栅极进行驱动电路叫栅极驱动电路, 栅极驱动电路顺序输出扫描信号给栅极线, 而扫描信号的通常由移位寄存器来产生。由于人们对于显示器件有着不同的需求, 有时需要显示器件能够实现逆向显示效果, 这就要求作为栅极驱动的移位寄存器具有双向扫描功能。

[0003] 现有的双向扫描移位寄存器单元的一般结构如图 1 所示。该结构中主要包括一个控制单元 11, 其内部包括移位寄存器的正向以及逆向扫描的具体设计; 以及一个输出单元 12。输出单元 12 主要由电位上拉晶体管  $T_{pu}$  以及电位下拉晶体管  $T_{pd}$  构成, 它们的栅极分别连接到由控制单元 11 的控制节点 PU、PD,  $T_{pu}$  的漏极连接到时钟信号 CLK,  $T_{pd}$  的源极连接到低电平直流线 VSS。控制单元 11 分别输入上级移位寄存器单元的输出信号  $V_{outi-1}$  以及时钟信号 CLK。当  $V_{outi-1}$  输入时, 控制单元 11 将使得节点 PU 进行充电, 上拉晶体管  $T_{pu}$  开启, 同时使得节点 PD 放电, 下拉晶体管  $T_{pd}$  关断, 当 CLK 信号处于高电平时, 经过  $T_{pu}$  由输出端  $V_{outi}$  输出该高电平信号, 当 CLK 信号处于低电平时, 控制单元 11 将使得节点 PU、PD 放电, 经过  $T_{pd}$  由输出端  $V_{outi}$  输出 VSS 低电平。

[0004] 这样一种双向扫描移位寄存器单元的不足之处在于, 下拉晶体管的阈值电压在直流偏压下也会产生漂移, 这对移位寄存器单元的稳定性产生很大的影响, 影响产品的质量。

### 发明内容

[0005] 本发明的实施例提供一种移位寄存器单元、栅极驱动电路及显示器件, 可以改善下拉晶体管的栅极偏压, 提高移位寄存器单元的稳定性。

[0006] 为达到上述目的, 本发明的实施例采用如下技术方案:

[0007] 本发明实施例的一方面, 提供一种移位寄存器单元, 包括: 第一上拉模块、第一扫描模块、控制模块、第一下拉模块和第二下拉模块;

[0008] 所述第一上拉模块, 连接第一时钟信号、第一控制节点和第一信号输出端, 用于在所述第一扫描模块和所述第一时钟信号的控制下将所述第一信号输出端输出的信号上拉为高电平;

[0009] 所述第一扫描模块, 连接第一扫描信号、第二扫描信号、第一信号输入端、第二信

号输入端和所述第一控制节点,用于在所述第一扫描信号和所述第二扫描信号的控制下确定扫描方向,根据所述第一信号输入端和所述第二信号输入端输入的信号控制所述第一控制节点的电位;

[0010] 所述控制模块,连接所述第一控制节点、第一交流信号、第二交流信号、所述第一下拉模块、所述第二下拉模块和电压端,用于根据所述第一交流信号和所述第二交流信号控制所述第一下拉模块和所述第二下拉模块;

[0011] 所述第一下拉模块和所述第二下拉模块还连接所述第一控制节点、所述第一信号输出端和所述电压端,用于在所述第一交流信号和所述第二交流信号的控制下对所述第一信号输出端输出的信号进行轮流下拉。

[0012] 本发明实施例的另一方面,提供一种栅极驱动电路,包括多级如上所述的移位寄存器单元;

[0013] 除第一级移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的上一级移位寄存器单元的复位端;

[0014] 除最后一级移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的下一级移位寄存器单元的信号输入端。

[0015] 本发明实施例的又一方面,提供一种显示器件,包括如上所述的栅极驱动电路。

[0016] 本发明实施例提供的移位寄存器单元、栅极驱动电路及显示器件,实现了在相邻的两帧时间,通过两个交流信号控制第一下拉模块和第二下拉模块轮流工作的目的。这样一来,有效降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

## 附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图 1 为现有技术中一种双向扫描移位寄存器单元的结构示意图;

[0019] 图 2 为本发明实施例提供的一种移位寄存器单元的结构示意图;

[0020] 图 3 为本发明实施例提供的一种移位寄存器单元的电路连接示意图;

[0021] 图 4 为本发明实施例提供的另一移位寄存器单元的结构示意图;

[0022] 图 5 为本发明实施例提供的另一移位寄存器单元的电路连接示意图;

[0023] 图 6 为本发明实施例提供的一种栅极驱动电路的结构示意图;

[0024] 图 7 为本发明实施例提供的移位寄存器单元在进行正向扫描时各个信号的时序波形图;

[0025] 图 8 为本发明实施例提供的移位寄存器单元在进行逆向扫描时各个信号的时序波形图。

## 具体实施方式

[0026] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为源极,另一极称为漏极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型,以下实施例均以N型晶体管为里进行说明,可以想到的是在采用P型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的,因此也是在本发明的实施例保护范围内的。

[0028] 本发明实施例提供的移位寄存器单元,如图2所示,包括:第一上拉模块21、第一扫描模块22、控制模块23、第一下拉模块24和第二下拉模块25。

[0029] 其中,第一上拉模块21,连接第一时钟信号CLKA、第一控制节点PU1和第一信号输出端OUTPUT1,用于在第一扫描模块22和第一时钟信号CLKA的控制下将第一信号输出端OUTPUT1输出的信号上拉为高电平。

[0030] 第一扫描模块22,连接第一扫描信号V<sub>F</sub>、第二扫描信号V<sub>R</sub>、第一信号输入端INPUT1、第二信号输入端INPUT2和第一控制节点PU1,用于在第一扫描信号V<sub>F</sub>和第二扫描信号V<sub>R</sub>的控制下确定扫描方向,根据第一信号输入端INPUT1和第二信号输入端INPUT2输入的信号控制第一控制节点PU1的电位。

[0031] 控制模块23,连接第一控制节点PU1、第一交流信号Vac1、第二交流信号Vac2、第一下拉模块24、第二下拉模块25和电压端VSS,用于根据第一交流信号Vac1和第二交流信号Vac2控制第一下拉模块24和第二下拉模块25。

[0032] 第一下拉模块24和第二下拉模块25还连接第一控制节点PU1、第一信号输出端OUTPUT1和电压端VSS,用于在第一交流信号Vac1和第二交流信号Vac2的控制下对第一信号输出端OUTPUT1输出的信号进行轮流下拉。

[0033] 本发明实施例提供的移位寄存器单元,实现了在相邻的两帧时间,通过两个交流信号控制第一下拉模块和第二下拉模块轮流工作的目的。这样一来,有效降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

[0034] 需要说明的是,电压端VSS可以为接地端,或电压端VSS输入低电平。第一控制节点PU1可以用于控制第一上拉模块的开启或关闭。

[0035] 进一步地,如图3所示,在本发明实施例提供的移位寄存器中,第一上拉模块21可以包括:

[0036] 第一晶体管T1,其源极连接第一信号输出端OUTPUT1,栅极连接第一控制节点PU1,漏极连接第一时钟信号CLKA。

[0037] 在本发明实施例中,第一上拉模块21的作用是在第一控制节点PU1的控制下,且第一时钟信号CLKA为高电平的时钟周期内,使得第一信号输出端OUTPUT1输出栅极驱动的高电平信号。

[0038] 进一步地,第一扫描模块22可以包括:

[0039] 第二晶体管T2,其源极连接第一控制节点PU1,栅极连接第一信号输入端INPUT1,漏极连接第一扫描信号V<sub>F</sub>。

[0040] 第三晶体管 T3,其源极连接第一控制节点 PU1,栅极连接第二信号输入端 INPUT2,漏极连接第二扫描信号 V\_R。

[0041] 第一扫描模块 22 可以根据第一扫描信号 V\_F 和第二扫描信号 V\_R 高低电位的变化控制扫描方向。例如,当第一扫描信号 V\_F 为高电平,第二扫描信号 V\_R 为低电平时,栅极驱动电路可以实现自上至下的正向扫描;当第一扫描信号 V\_F 为低电平,第二扫描信号 V\_R 为高电平时,栅极驱动电路可以实现自下至上的逆向扫描。

[0042] 进一步地,控制模块 23 可以包括:

[0043] 第四晶体管 T4,其源极与电压端 VSS 相连接,漏极与第六晶体管 T6 的源极相连接,栅极连接第一控制节点 PU1。

[0044] 第五晶体管 T5,其源极与第六晶体管 T6 的栅极相连接,栅极与漏极均连接第一交流信号 VAC1。

[0045] 第六晶体管 T6,其漏极连接第一交流信号 VAC1。

[0046] 第七晶体管 T7,其源极与第八晶体管 T8 的栅极相连接,栅极与漏极均连接第二交流信号 VAC2。

[0047] 第八晶体管 T8,其漏极连接第二交流信号 VAC2。

[0048] 第九晶体管 T9,其源极连接电压端 VSS,栅极连接第一控制节点 PU1,漏极与第六晶体管 T6 的栅极相连接。

[0049] 第十晶体管 T10,其源极连接电压端 VSS,栅极连接第一控制节点 PU1,漏极与第八晶体管 T8 的栅极相连接。

[0050] 优选的,控制模块 23 还可以包括:

[0051] 第十一晶体管 T11,其源极连接第十二晶体管 T12 的栅极,栅极连接第一信号输入端 INPUT1,漏极连接第一控制节点 PU1。

[0052] 以及第十二晶体管 T12,其源极与电压端 VSS 相连接,漏极与第六晶体管 T6 的源极相连接。

[0053] 其中,第十二晶体管 T12 与第四晶体管 T4 为对称结构,通过第十一晶体管 T11 和第十二晶体管 T12 可以进一步提高电路的稳定性。

[0054] 进一步地,第一下拉模块 24 可以包括:

[0055] 第十三晶体管 T13 和第十四晶体管 T14,其栅极均与第六晶体管 T6 的源极相连接,漏极均与电压端 VSS 相连接,第十三晶体管 T13 的源极连接第一控制节点 PU1,第十四晶体管 T14 的源极连接第一信号输出端 OUTPUT1。

[0056] 第二下拉模块 25 可以包括:

[0057] 第十五晶体管 T15 和第十六晶体管 T16,其栅极均与第八晶体管 T8 的源极相连接,漏极均与电压端 VSS 相连接,第十五晶体管 T15 的源极连接第一控制节点 PU1,第十六晶体管 T16 的源极连接第一信号输出端 OUTPUT1。

[0058] 其中,第十三晶体管 T13 和第十五晶体管 T15 为对称的晶体管设计,第十四晶体管 T14 和第十六晶体管 T16 同样为对称的晶体管设计,采用这样两组对称的晶体管设计是为了当第一交流信号 Vac1 或者第二交流信号 Vac2 为高电平,且第一控制节点 PU1 为低电平时,对第一信号输出端 OUTPUT1 以及第一控制节点 PU1 进行放电。

[0059] 上述结构的移位寄存器单元,实现了在相邻的两帧时间,通过两个交流信号控制



第一下拉模块和第二下拉模块轮流工作的目的。从而有效降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

[0060] 在上述移位寄存器单元的基础上,本发明实施例还提供一种移位寄存器单元,如图 4 所示,还包括:

[0061] 第二上拉模块 41、第二扫描模块 42、第三下拉模块 43 和第四下拉模块 44。

[0062] 其中,第二上拉模块 41,连接第二时钟信号 CLKB、第二控制节点 PU2 和第二信号输出端 OUTPUT2,用于在第二扫描模块 42 和第二时钟信号 CLKB 的控制下将第二信号输出端 OUTPUT2 输出的信号上拉为高电平。

[0063] 第二扫描模块 42,连接第一扫描信号 V<sub>F</sub>、第二扫描信号 V<sub>R</sub>、第三信号输入端 INPUT3、第四信号输入端 INPUT4 和第二控制节点 PU2,用于在第一扫描信号 V<sub>F</sub> 和第二扫描信号 V<sub>R</sub> 的控制下确定扫描方向,根据第三信号输入端 INPUT3 和第四信号输入端 INPUT4 输入的信号控制第二控制节点 PU2 的电位。

[0064] 控制模块 23,还连接第二控制节点 PU2、第三下拉模块 43、和第四下拉模块 44,用于根据第一交流信号 Vac1 和第二交流信号 Vac2 控制第三下拉模块 43 和第四下拉模块 44。

[0065] 第三下拉模块 43 和第四下拉模块 44 还连接第二控制节点 PU2、第二信号输出端 OUTPUT2 和电压端 VSS,用于在第一交流信号 Vac1 和第二交流信号 Vac2 的控制下对第二信号输出端 OUTPUT2 输出的信号进行轮流下拉。

[0066] 与图 2 所示的移位寄存器单元相比,这样一种移位寄存器单元具有四个信号输入端与两个信号输出端,从而可以实现在相邻的两帧时间,通过两个交流信号分别控制第一下拉模块和第二下拉模块对第一信号输出端进行轮流下拉,第三下拉模块和第四下拉模块对第二信号输出端进行轮流下拉。在降低移位寄存器单元中下拉模块的栅极偏压,提高移位寄存器单元的稳定性的同时,实现了一个使用移位寄存器单元输出相邻两行的栅极驱动信号,显著提高了移位寄存器单元的利用率,降低了移位寄存器单元的使用个数。

[0067] 需要说明的是,第二控制节点 PU2 可以用于控制第二上拉模块的开启或关闭。

[0068] 进一步地,如图 5 所示,本发明实施例提供的移位寄存器可以基于图 3 所示的移位寄存器单元。其中,第二上拉模块 41 可以包括:

[0069] 第十七晶体管 T17,其源极连接第二信号输出端 OUTPUT2,栅极连接第二控制节点 PU2,漏极连接第二时钟信号 CLKB。

[0070] 在本发明实施例中,第二上拉模块 41 的作用是在第一控制节点 PU2 的控制下,且第二时钟信号 CLKB 为高电平的时钟周期内,使得第二信号输出端 OUTPUT2 输出栅极驱动的高电平信号。

[0071] 进一步地,第二扫描模块 42 可以包括:

[0072] 第十八晶体管 T18,其源极连接第二控制节点 PU2,栅极连接第三信号输入端 INPUT3,漏极连接第一扫描信号 V<sub>F</sub>。

[0073] 第十九晶体管 T19,其源极连接第二控制节点 PU2,栅极连接第四信号输入端 INPUT4,漏极连接第二扫描信号 V<sub>R</sub>。

[0074] 进一步地,在图 3 所示的控制模块 23 的基础上,该控制模块 23 还可以包括:

[0075] 第二十晶体管 T20,其源极与电压端 VSS 相连接,漏极与第八晶体管 T8 的源极相连接,其栅极连接第二控制节点 PU2。

[0076] 第二十一晶体管 T21, 其源极连接电压端 VSS, 栅极连接第二控制节点 PU2, 漏极与第六晶体管 T6 的栅极相连接。

[0077] 第二十二晶体管 T22, 其源极连接电压端 VSS, 栅极连接第二控制节点 PU2, 漏极与第八晶体管 T8 的栅极相连接。

[0078] 优选的, 控制模块 23 还可以进一步包括:

[0079] 第二十三晶体管 T23, 其源极连接第二十四晶体管 T24 的栅极, 栅极连接第三信号输入端 INPUT3, 漏极连接第二控制节点 PU2。

[0080] 第二十四晶体管 T24, 其源极与电压端 VSS 相连接, 漏极与第八晶体管 T8 的源极相连接。

[0081] 其中, 第二十四晶体管 T24 与第二十晶体管 T20 为对称结构, 通过第二十三晶体管 T23 和第二十四晶体管 T24 可以进一步提高电路的稳定性。

[0082] 需要说明的是, 控制模块 23 的其余结构可以参照图 3 所示的移位寄存器单元中的控制模块 23, 此处不做赘述。

[0083] 进一步地, 第三下拉模块 43 可以包括:

[0084] 第二十五晶体管 T25 和第二十六晶体管 T26, 其栅极均与第六晶体管 T6 的源极相连接, 漏极均与电压端 VSS 相连接, 第二十五晶体管 T25 的源极连接第二控制节点 PU2, 第二十六晶体管 T26 的源极连接第二信号输出端 OUTPUT2。

[0085] 第四下拉模块 44 包括:

[0086] 第二十七晶体管 T27 和第二十八晶体管 T28, 其栅极均与第八晶体管 T8 的源极相连接, 漏极均与电压端 VSS 相连接, 第二十七晶体管 T27 的源极连接第二控制节点 PU2, 第二十八晶体管 T28 的源极连接第二信号输出端 OUTPUT2。

[0087] 其中, 第二十五晶体管 T25 和第二十七晶体管 T27 为对称的晶体管设计, 第二十六晶体管 T26 和第二十八晶体管 T28 同样为对称的晶体管设计, 采用这样两组对称的晶体管设计是为了当第一交流信号 Vac1 或者第二交流信号 Vac2 为高电平, 且第二控制节点 PU2 为低电平时, 对第二信号输出端 OUTPUT2 以及第二控制节点 PU2 进行放电。

[0088] 上述结构的移位寄存器单元具有四个信号输入端与两个信号输出端, 从而可以实现在相邻的两帧时间, 通过两个交流信号分别控制第一下拉模块和第二下拉模块对第一信号输出端进行轮流下拉, 第三下拉模块和第四下拉模块对第二信号输出端进行轮流下拉。在降低移位寄存器单元中下拉模块的栅极偏压, 提高移位寄存器单元的稳定性的同时, 实现了一个使用移位寄存器单元输出相邻两行的栅极驱动信号, 显著提高了移位寄存器单元的利用率, 降低了移位寄存器单元的使用个数。

[0089] 本发明实施例提供的栅极驱动电路, 如图 6 所示, 包括多级如上所述的移位寄存器单元。其中, 每一级移位寄存器单元 SR 的输出端 OUTPUT 输出用于开启栅极线上 TFT 的行扫描信号 Vout。

[0090] 优选的, 第一级移位寄存器单元 SR0 和最后一级移位寄存器单元 SR<sub>n+1</sub> 外, 其余的移位寄存器单元的输出端 OUTPUT 输出用于开启栅极线上 TFT 的行扫描信号 Vout。

[0091] 除第一级移位寄存器单元 SR0 外, 其余每个移位寄存器单元的信号输出端 OUTPUT 连接与其相邻的上一级移位寄存器单元的复位端。其中, 在如图 3 所示的移位寄存器单元中, INPUT2 端为本级移位寄存器单元的复位端; 在如图 5 所示的移位寄存器单元中, INPUT2

端以及 INPUT4 端均为本级移位寄存器单元的复位端。

[0092] 除最后一级移位寄存器单元  $SR_{n+1}$  外,其余每个移位寄存器单元的信号输出端 OUTPUT 连接与其相邻的下一级移位寄存器单元的信号输入端。其中,在如图 3 所示的移位寄存器单元中,INPUT1 端为本级移位寄存器单元的信号输入端;在如图 5 所示的移位寄存器单元中,INPUT4 端以及 INPUT6 端均为本级移位寄存器单元的信号输入端。

[0093] 本发明实施例提供的栅极驱动电路,包括多级移位寄存器单元,该移位寄存器单元可以实现在相邻的两帧时间,通过两个交流信号控制第一下拉模块和第二下拉模块轮流工作的目的。这样一来,有效降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

[0094] 进一步地,在如图 6 所示的栅极驱动电路中,第一级移位寄存器单元  $SR_0$  和最后一级移位寄存器单元  $SR_{n+1}$  均可以采用如图 3 所示的移位寄存器单元,其余移位寄存器单元则均可以采用如图 5 所示的移位寄存器单元。

[0095] 除第一级移位寄存器单元  $SR_0$  和最后一级移位寄存器单元  $SR_{n+1}$  外,其余每个移位寄存器单元的第一信号输出端 OUTPUT1 连接与其相邻的上一级移位寄存器单元的第二信号输入端 INPUT2,第二信号输出端 OUTPUT2 连接与其相邻的上一级移位寄存器单元的第四信号输入端 INPUT4。

[0096] 除第一级移位寄存器单元  $SR_0$  和最后一级移位寄存器单元  $SR_{n+1}$  外,其余每个移位寄存器单元的第一信号输出端 OUTPUT1 连接与其相邻的下一级移位寄存器单元的第一信号输入端 INPUT1,第二信号输出端 OUTPUT2 连接与其相邻的下一级移位寄存器单元的第三信号输入端 INPUT3。

[0097] 其中,第一级移位寄存器单元  $SR_0$  的第一信号输入端 INPUT1 输入帧起始信号 STV;最后一级移位寄存器单元  $SR_{n+1}$  的第二信号输入端同样输入帧起始信号 STV。

[0098] 需要说明的是,在本发明实施例所提供的栅极驱动电路中,采用四组时钟信号,即 CLK1-CLK4。其中,输入第一级移位寄存器单元  $SR_0$  的时钟信号为 CLK1,输入最后一级移位寄存器单元  $SR_{n+1}$  的时钟信号为 CLK4,其余的移位寄存器单元与其上下级移位寄存器单元输入的时钟信号不同。例如,位于偶数行的移位寄存器单元  $SR_{2n}$  分别输入时钟信号 CLK1 和 CLK2,位于奇数行的移位寄存器单元  $SR_{2n-1}$  分别输入时钟信号 CLK3 和 CLK4。时钟信号线的增加可以降低时钟信号的频率,从而达到降低功耗的目的。

[0099] 图 7 为本发明实施例提供的移位寄存器单元在进行正向扫描时各个信号的时序波形图。在该图中,扫描时间段近似 2 帧扫描时间间隔,其中,分别包括帧起始信号 STV、时钟信号 CLK1-CLK4、第一交流信号  $V_{ac1}$ 、第二交流信号  $V_{ac2}$ 、电压 VSS、第一扫描信号  $V_F$ 、第二扫描信号  $V_R$  以及对应的前 5 个输出端输出的信号  $V_{out0}$ 、 $V_{out1}$ - $V_{out4}$  的信号的时序波形。其中假设了 STV 的一个脉冲宽度是 1H,CLK1-CLK4 的一个脉冲宽度是 2H,相邻的 CLK 信号的波峰交叠 1H 时间间隔,其中用圆形的虚线标明的 DCLK 脉冲,是叠加在 CLK1 和 CLK4 上的虚设 CLK,该虚设 CLK 的设置是为了第一级移位寄存器单元  $SR_0$  以及最后一级移位寄存器单元  $SR_{2n+1}$  的 CLK 输入。

[0100] 需要说明的是,在本发明实施例中,是以 STV 的一个脉冲宽度是 1H,且 CLK1-CLK4 的一个脉冲宽度是 2H 为例进行的说明,可以想到,同样可以采用 STV 与 CLK1-CLK4 的一个脉冲宽度均为 1H 的方波脉冲,对本发明实施例对此并不做限制。采用这样一种如图 7 所示

宽度的方波脉冲,可以实现在本级输出信号为高电平的后半段时间对下级移位寄存器单元进行预充电,有效提高了移位寄存器单元输出的稳定性。

[0101] 下面结合图7,对本发明实施例提供的栅极驱动电路的工作过程进行详细描述。如图7所示,在正向扫描时,扫描信号 $V_F$ 、 $V_R$ 分别设置为高、低电平,交流信号 $V_{ac1}$ 在前一帧为高电平,在后一帧为低电平, $V_{ac2}$ 与 $V_{ac1}$ 的电平恰好相反。在 $T_s$ 的前一个时间段,STV为高电平,这时移位寄存器单元SR0的晶体管T2开启,SR0的结构如图3所示,节点PU1充电,晶体管T1、T4、T9、T10、T11以及T12开启,因此晶体管T6、T8的源极均置为低电平,使得晶体管T13、T14、T15和T16均关断。

[0102] 在 $T_s$ 时间段,时钟信号CLK1输入SR0的CLKA端,叠加在CLK1上的DCLK为高电平,由SR0的晶体管T1上拉输出高电平 $V_{out0}$ 。该 $V_{out0}$ 同时输入到第一级移位寄存器单元SR1的奇数级和偶数级中的晶体管T2和T18的栅极,使得晶体管T2和T18开启,其中SR1的结构如图5所示如图,从而使得SR1中的节点PU1和PU2进行充电,同时SR1中晶体管T1、T4、T9、T10、T11、T12、T17、T20、T21、T22、T23和T24开启,晶体管T8和T10的源极置为低电平,因此,晶体管T13、T14、T15、T16、T25、T26、T27和T28均关断。

[0103] 在 $T_0$ 时间段,输入SR1的CLKA端的时钟信号CLK3为高电平,此时第一级移位寄存器单元SR1中的晶体管T1上拉输出高电平 $V_{out1}$ ,该 $V_{out1}$ 会输入到SR0中的晶体管T3的栅极,使得T3开启,从而使得该SR0中的PU1节点放电至低电平 $V_R$ , $V_{out1}$ 也同时输入到第二级移位寄存器SR2中的奇数级,使得SR2中的晶体管T2开启,对SR2中节点PU1进行充电。

[0104] 在 $T_1$ 时间段,输入SR1的CLKB端的时钟信号CLK4为高电平,由前面知道,第一级移位寄存器单元SR1中偶数级中的晶体管T17开启,因此,由SR1的晶体管T17输出该高电平至 $V_{out2}$ ,该高电平会输入到第二级移位寄存器SR2的偶数级中的晶体管T18的栅极,使得T18开启,因此,SR2中的偶数级中的节点PU2进行充电,T17开启。

[0105] 在 $T_2$ 时间段,输入SR2的CLKA端的时钟信号CLK2为高电平,由前面知道,第二级移位寄存器单元SR2中的奇数级中的晶体管T1开启,因此,高电平会由晶体管T1输出到 $V_{out3}$ ,该高电平一方面会输入到SR1中的晶体管T3的栅极,使得SR1中的节点PU1放电至低电平 $V_R$ ,另一方面,该高电平会输入到第三级移位寄存器单元SR3中的奇数级的晶体管T2的栅极,使得SR3中的节点PU1充电,晶体管T1开启,同时, $V_{out2}$ 继续输出高电平。在 $T_2$ 时间段,由于交流信号 $V_{ac1}$ 为高电平,因此,该高电平会经由SR0以及SR1中的晶体管T5和T6,从T6的源极输出,SR0中的晶体管T13、T14、T15和T16以及SR1中的晶体管T13、T14、T25和T26开启,使得对输出端 $V_{out0}$ 、 $V_{out1}$ 、 $V_{out2}$ 以及对应的SR0的节点PU1,SR1的节点PU1和PU2放电至低电平VSS。

[0106] 在 $T_3$ 时间段,输入SR2的CLKB端的时钟信号CLK1变为高电平,由前面知道,第二级移位寄存器单元SR2中的偶数级的晶体管T17开启,因此,高电平会由T17输出到 $V_{out4}$ ,同时, $V_{out3}$ 继续输出CLK2的高电平。这时, $V_{out4}$ 的高电平,一方面输入到SR1中的晶体管T19的栅极,使得SR1中的节点PU2放电至低电平 $V_R$ ,另一方面输入到第三级移位寄存器单元SR3中偶数级的晶体管T18的栅极,使得SR3中的节点PU2充电,晶体管T17开启。同时, $V_{out3}$ 继续输出CLK2的高电平。在 $T_4$ 时间段, $V_{out4}$ 继续输出CLK1的高电平。

[0107] 在后续的时间段,第二级 SR2 中的奇、偶数级中的节点 PU1、PU2 均被放电至低电平,这时,由于交流信号 Vac1 为高电平,其高电平会经由晶体管 T5 和 T6,并由晶体管 T8 的源极输出,因此 SR2 中的晶体管 T13、T14、T25 和 T26 均开启,从而使得输出端 Vout3、Vout4 以及节点 PU1、PU2 放电至低电平 VSS。在后续时间段,其发生的过程类似从 T0-T4 的过程。

[0108] 在一帧快要结束前的一个时间段,如图 7 所示,叠加在 CLK4 上的虚设脉冲 DCLK 输入到最后一级移位寄存器单元 SRn+1 的晶体管 T1 的漏极,并且由 T1 输出到 Vout(2n+1),该最后一级移位寄存器单元 SR2n+1 的结构可以参照图 3 所示,该高电平会输入到 SRn 中的晶体管 T3 以及 T19,使得 SRn 中的节点 PU1、PU2 放电至电平 V\_R。

[0109] 在下一帧时间,交流信号 Vac1 变为低电平, Vac2 变为高电平,其他信号均与前一帧的信号相同。相对前一帧,交流信号 Vac1 和 Vac2 变为相反的电平信号,这使得在后续放电时间,由于 Vac2 为高电平,对于除最后一级移位寄存器单元外的其他移位寄存器单元,该高电平会经由晶体管 T7 和 T8,并由 T8 的源极输出,因此,晶体管 T15、T16、T27 以及 T28 均开启,这使得 SR0 的节点 PU1 以及除最后一级的其余移位寄存器单元的节点 PU1、PU2 以及输出端 Vout0、Vout(2n-1)、Vout(2n) 均放电至低电平 VSS。同时,由于前一级对后一级的充电使得 SR0 中的晶体管 T13 和 T14 以及除最后一级的其余移位寄存器单元的晶体管 T13、T14、T25 和 T26 均放电至低电平 Vac2,从而使得这些 TFT 均关断。因此,这样就实现了在相邻的 2 帧时间,除最后一级的其余移位寄存器单元的两组下拉模块以及 SR0 的两组下拉模块轮流工作的目的。这样就降低了下拉 TFT 的栅极偏压,提高了移位寄存器的稳定性。

[0110] 图 8 为本发明实施例提供的移位寄存器单元在进行逆向扫描时各个信号的时序波形图。类似于图 7,其给出的扫描时间段也近似 2 帧的扫描时间间隔。其整体的扫描过程也与图 7 相似,所不同的是,在逆向扫描过程中, V\_F 是低电平, V\_R 为高电平,高电平的输出端依次为 Vout(2n+1), Vout(2n), Vout(2n-1), Vout(2n-2)... 此外,下一级的高电平输入到上一级,该高电平会输入到上一级的晶体管 T3 或者 T19,经由 T3 或者 T19,由最后一级移位寄存器单元 SRn+1 的节点 PU1 以及除第一级外的其余移位寄存器单元的节点 PU1 和 PU2 输入高电平 V\_R。在后续放电过程中,由最后一级移位寄存器单元 SRn+1 的晶体管 T13、T14、T15 和 T16 以及第一级外的其余移位寄存器单元的晶体管 T13、T14、T15、T16 和 T25、T26、T27、T28 也实现轮流工作。

[0111] 根据对图 7 以及图 8 的时序分析可以知道,本发明实施例提供的栅极驱动电路能够实现双向扫描功能,相对一般的移位寄存器连接,增加了时钟控制信号以及两个交流信号,通过对移位寄存器单元以及第一级移位寄存器单元 SR0 和最后一级移位寄存器单元 SRn+1 内的电路重新设计,使得移位寄存器单元的两组下拉模块在进行正向或者逆向的扫描过程中,根据 Vac1 或 Vac2 的电平变化,在相邻的 2 帧时间里轮流放电,从而降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

[0112] 本发明实施例还提供一种显示器件,包括如上所述的栅极驱动电路。

[0113] 本发明实施例提供的显示器件,包括栅极驱动电路,该栅极驱动电路又包括多级移位寄存器单元,该移位寄存器单元可以实现在相邻的两帧时间,通过两个交流信号控制第一下拉模块和第二下拉模块轮流工作的目的。这样一来,有效降低了移位寄存器单元中下拉模块的栅极偏压,提高了移位寄存器单元的稳定性。

[0114] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何

熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

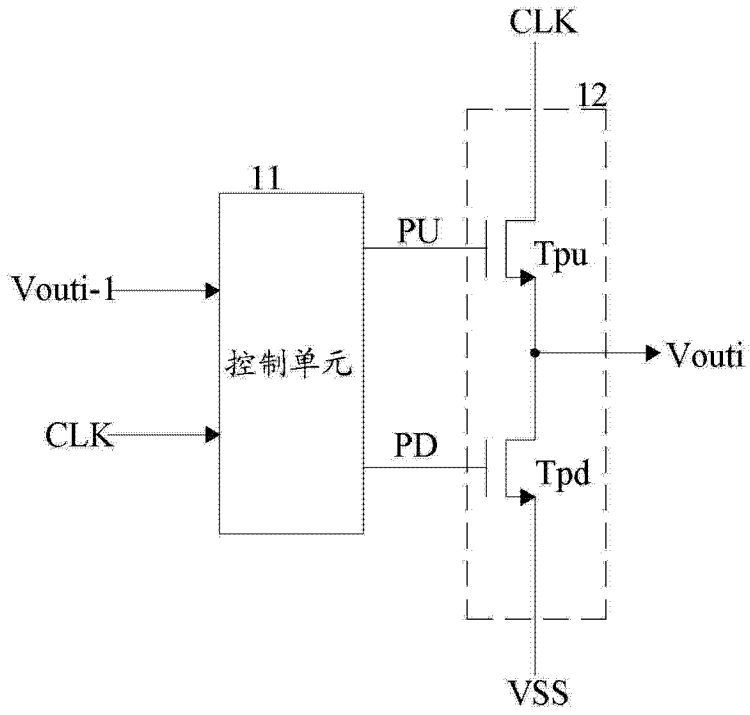


图 1

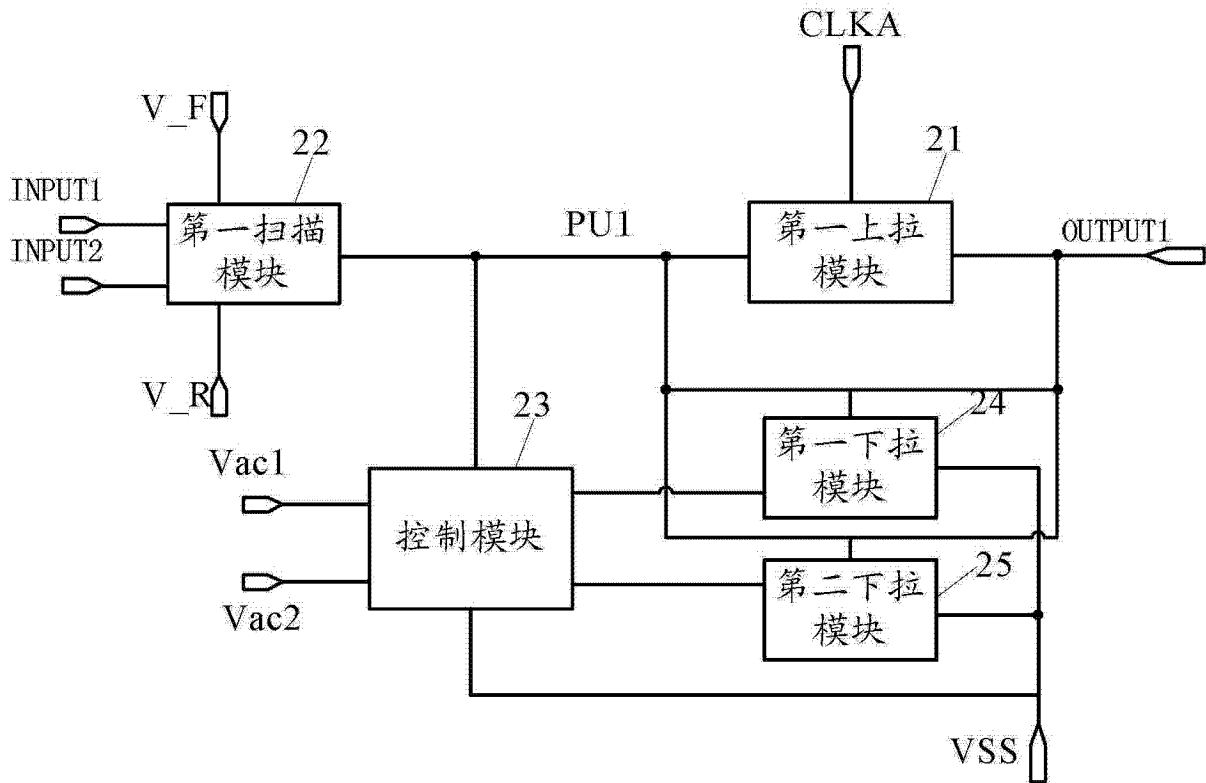


图 2

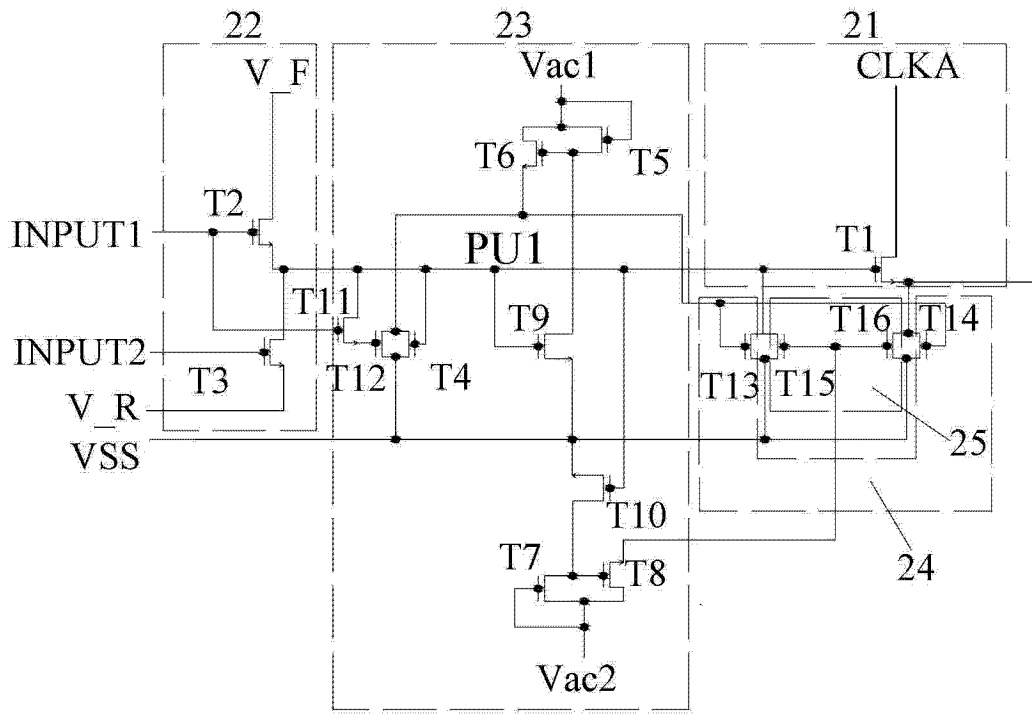


图 3



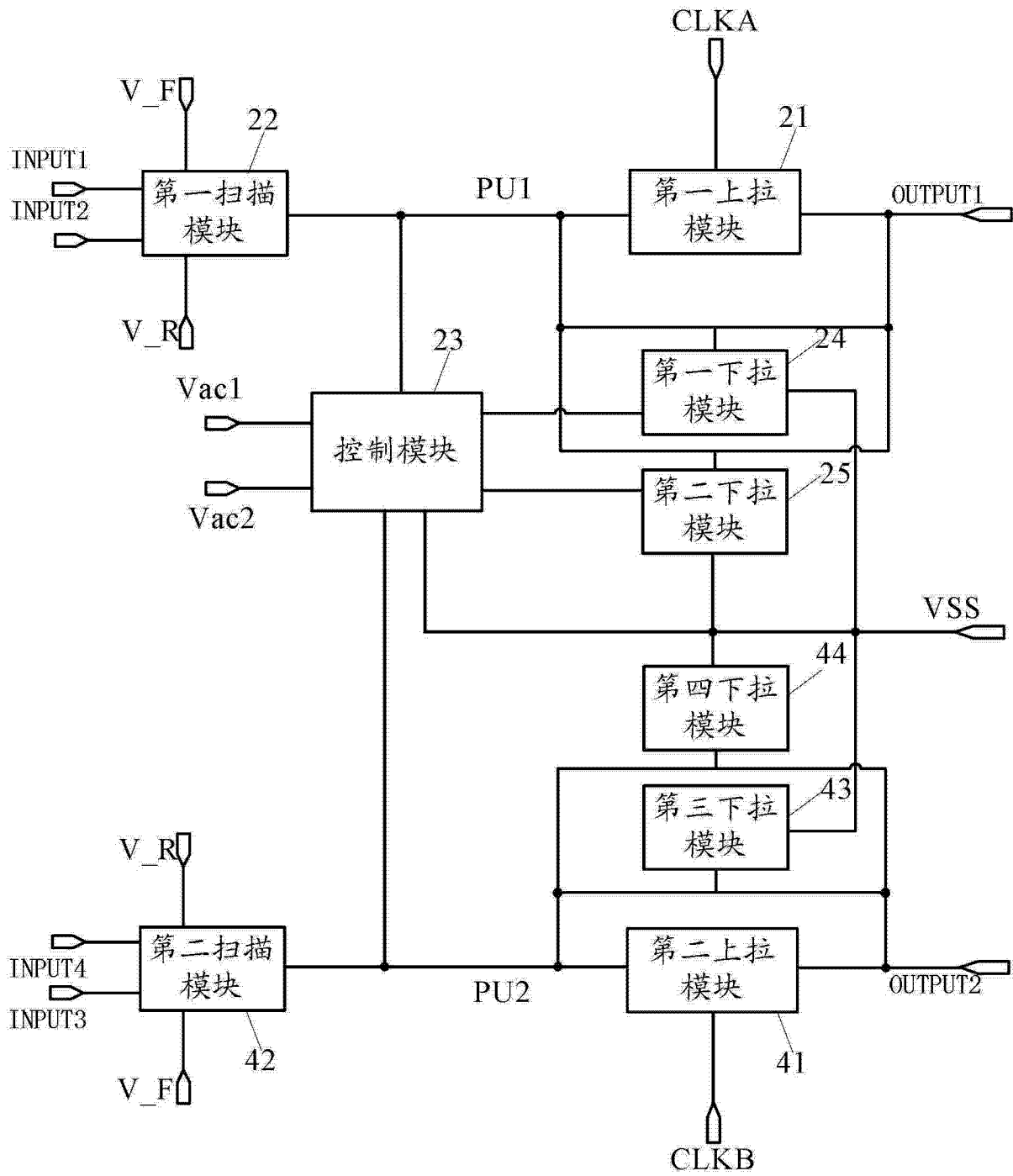


图 4

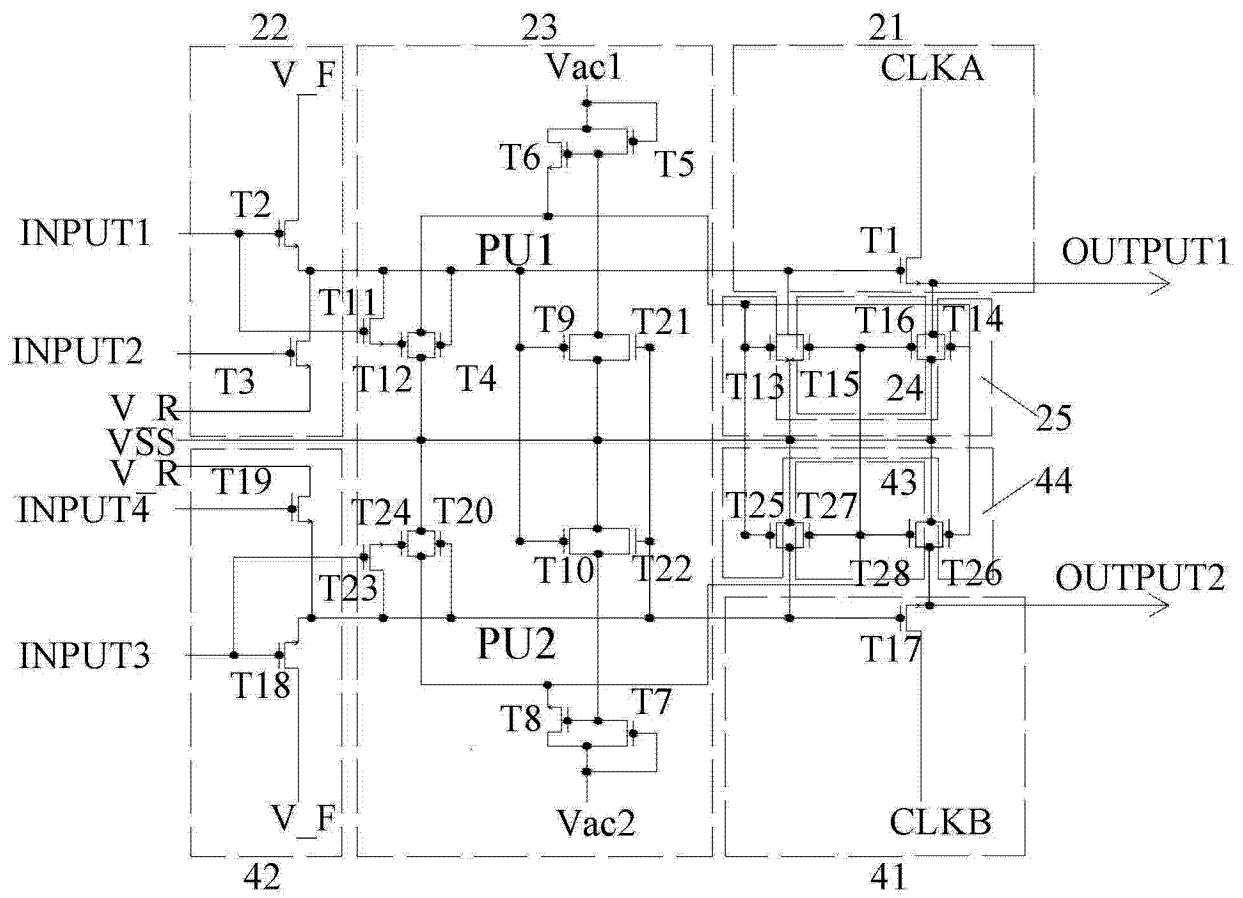


图 5

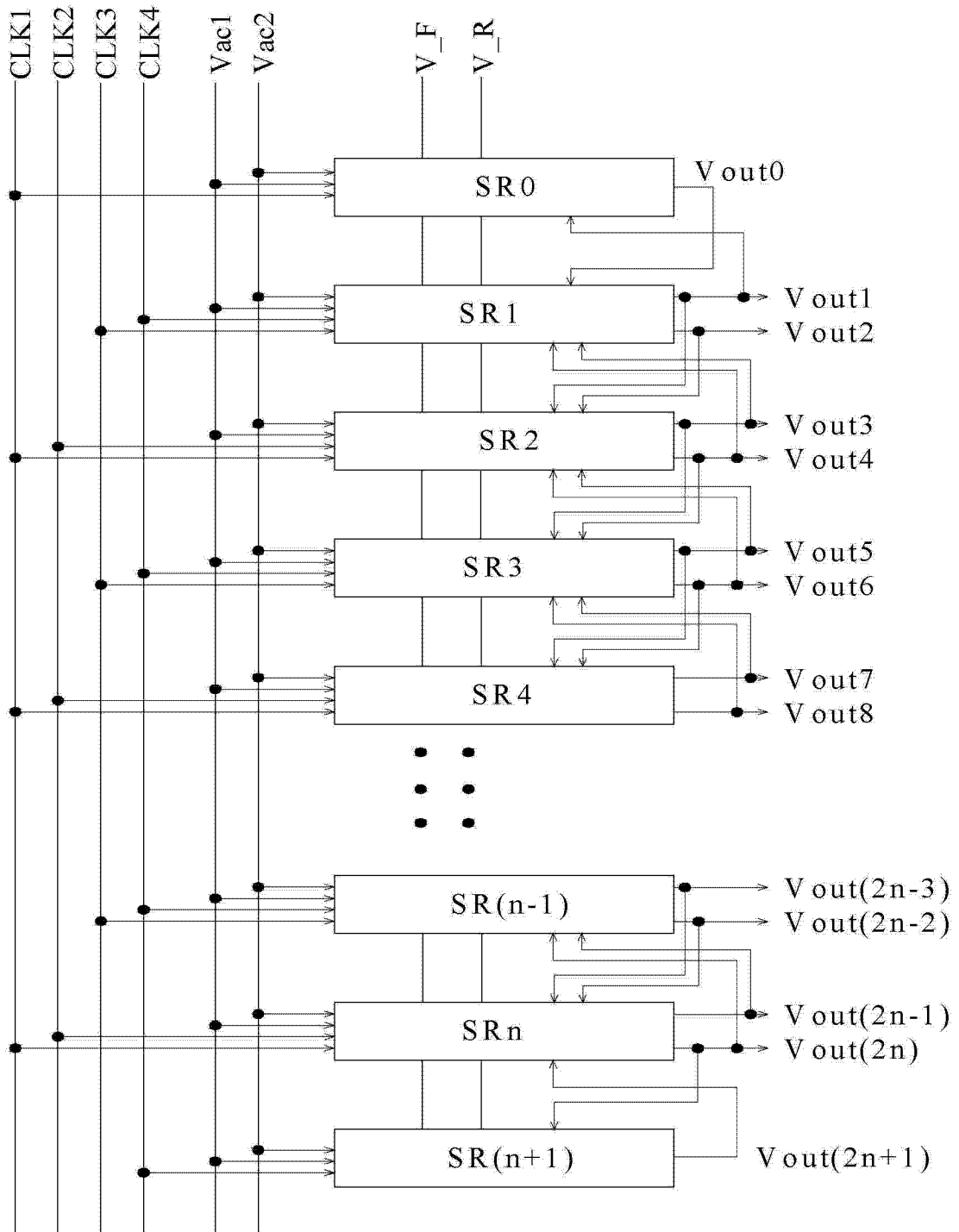


图 6

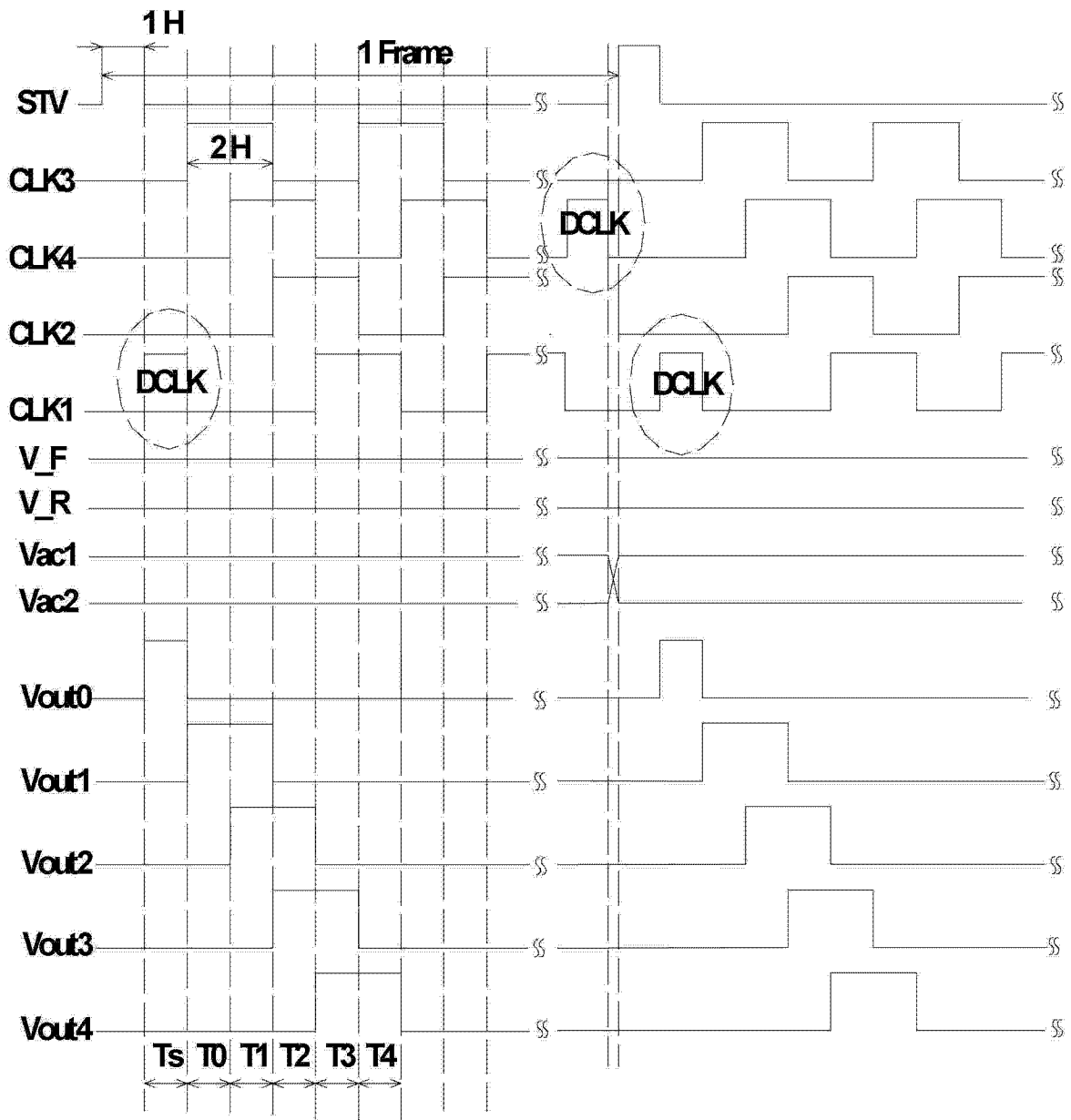


图 7

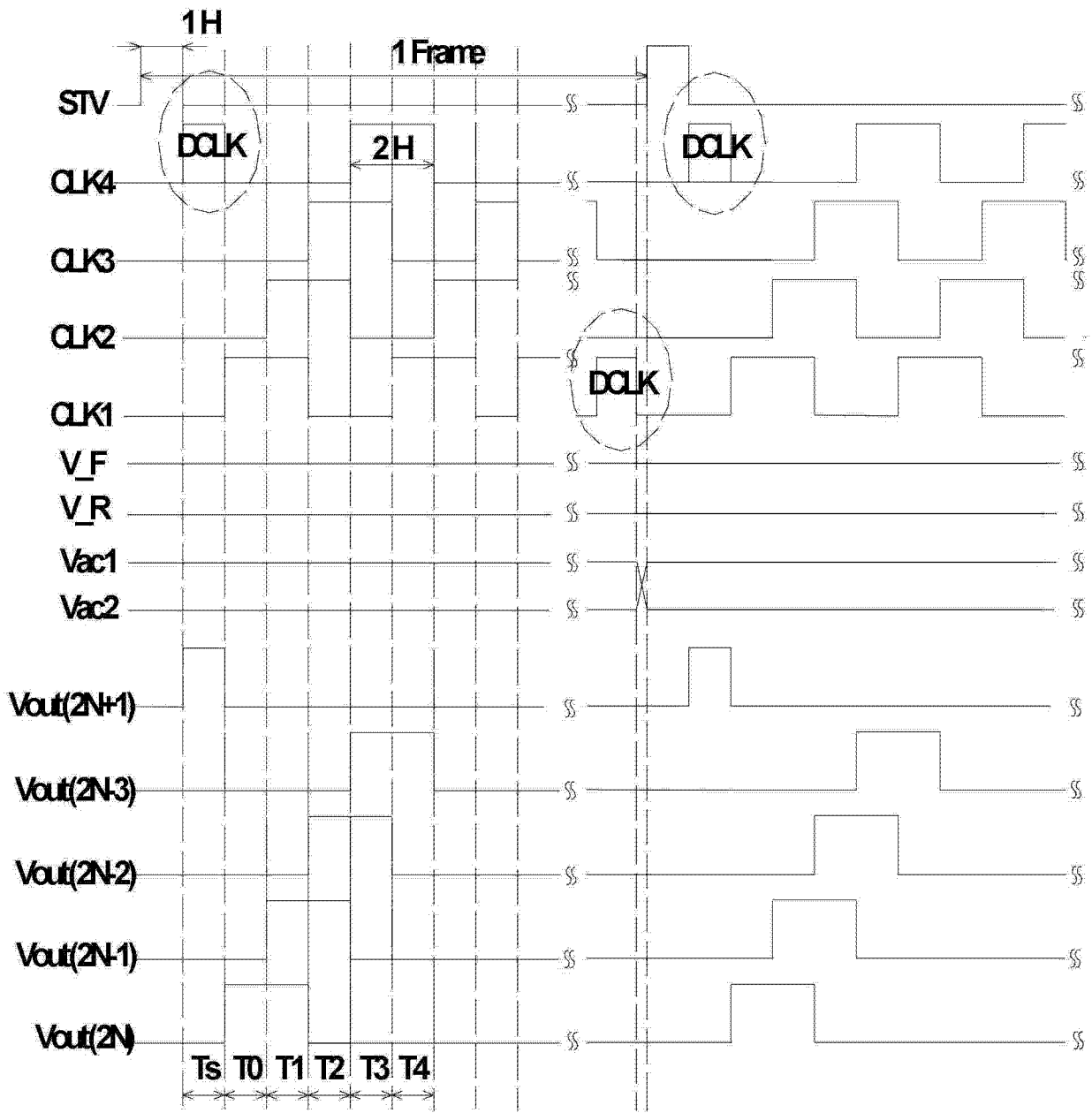


图 8