



(12) 发明专利申请

(10) 申请公布号 CN 101728343 A

(43) 申请公布日 2010.06.09

(21) 申请号 200910206177.6

(22) 申请日 2009.10.21

(30) 优先权数据

2008-270989 2008.10.21 JP

2009-033620 2009.02.17 JP

(71) 申请人 恩益禧电子股份有限公司

地址 日本神奈川

(72) 发明人 佐佐木卓

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

H01L 23/48 (2006.01)

H01L 23/12 (2006.01)

G01R 31/28 (2006.01)

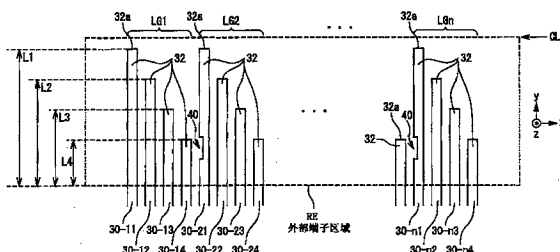
权利要求书 3 页 说明书 9 页 附图 12 页

(54) 发明名称

TCP 型半导体器件及其测试方法

(57) 摘要

本发明提供了一种 TCP 型半导体器件及其测试方法。该 TCP 型半导体器件具有：基膜；半导体芯片，该半导体芯片被安装在基膜上；以及多个引脚，该多个引脚被形成在基膜上。每个引脚具有：第一端子部分，该第一端子部分包括作为每个引脚的一端的第一端部并且被连接至半导体芯片；和第二端子部分，该第二端子部分包括作为每个引脚的另一端的第二端部并且位于第一端子部分的相对侧。在包括每个引脚的第二端子部分的端子区域中，多个引脚沿着第一方向相互平行，多个引脚包括彼此相邻的第一引脚和第二引脚，并且第一引脚和第二引脚的第二端部的位置在第一方向中不同。



1. 一种 TCP 型半导体器件,包括:
基膜;
半导体芯片,所述半导体芯片被安装在所述基膜上;以及
多个引脚,所述多个引脚被形成在所述基膜上,
其中所述多个引脚中的每一个包括:
第一端子部分,所述第一端子部分包括作为所述每个引脚的一端的所述第一端部并且被连接至所述半导体芯片;和
第二端子部分,所述第二端子部分包括作为所述每个引脚的另一端的所述第二端部并且位于所述第一端子部分的相对侧,
其中在包括所述每个引脚的所述第二端子部分的端子区域中,所述多个引脚沿着第一方向相互平行,所述多个引脚包括彼此相邻的第一引脚和第二引脚,并且所述第一引脚和所述第二引脚的所述第二端部的位置在所述第一方向中不同。
2. 根据权利要求 1 所述的 TCP 型半导体器件,
其中在所述端子区域内的所述第一方向中的长度在所述第一引脚和所述第二引脚之间不同。
3. 根据权利要求 1 所述的 TCP 型半导体器件,
其中所述第二端部和所述基膜的切割线之间的距离在所述第一引脚和所述第二引脚之间不同。
4. 根据权利要求 1 至 3 中的任何一项所述的 TCP 型半导体器件,
其中所述多个引脚进一步包括第三引脚,所述第三引脚与所述第二引脚相邻,并且所述第二引脚的所述第二端部的位置在所述第一方向中与所述第一引脚的所述第二端部和所述第三引脚的所述第二端部的位置不同。
5. 根据权利要求 4 所述的 TCP 型半导体器件,
其中所述第二引脚的所述第二端部位于所述第一引脚和所述第三引脚之间,并且所述第一引脚和所述第三引脚中的至少一个具有面对所述第二引脚的所述第二端子部分的至少一部分的凹口。
6. 根据权利要求 4 所述的 TCP 型半导体器件,
其中所述多个引脚进一步包括第四引脚,所述第四引脚与所述第三引脚相邻,所述第二引脚的所述第二端部位于所述第一引脚和所述第三引脚之间,并且所述第二引脚和所述第一引脚或者所述第三引脚之间的间隙大于所述第三引脚和所述第四引脚之间的间隙。
7. 一种 TCP 型半导体器件,包括:
基膜;
半导体芯片,所述半导体芯片被安装在所述基膜上;以及
多个引脚组,所述多个引脚组被形成在所述基膜上,
其中所述多个引脚组中的每一个包括预定数目的引脚,
其中所述预定数目的引脚中的每一个包括:
第一端子部分,所述第一端子部分包括作为所述每个引脚的一端的所述第一端部并且被连接至所述半导体芯片;和
第二端子部分,所述第二端子部分包括作为所述每个引脚的另一端的所述第二端部并且位

于所述第一端子部分的相对侧，

其中在包括所述每个引脚的所述第二端子部分的端子区域中，所述预定数目的引脚沿着第一方向相互平行，并且所述预定数目的引脚的所述第二端部的位置在所述第一方向中不同。

8. 根据权利要求 7 所述的 TCP 型半导体器件，

其中所述预定数目的引脚包括：

最长引脚，所述最长引脚在所述端子区域内所述第一方向中的长度最大；以及

最短引脚，所述最短引脚在所述端子区域内所述第一方向中的长度最小，

其中所述预定数目的引脚被配置使得在所述端子区域内的所述第一方向中的长度从所述最长引脚到所述最短引脚单调变小。

9. 根据权利要求 8 所述的 TCP 型半导体器件，

其中在所述端子区域中，从所述最长引脚朝向所述最短引脚的配置方向在所述多个引脚组之间相同。

10. 根据权利要求 8 所述的 TCP 型半导体器件，

其中在所述端子区域中，跨过沿着所述第一方向的预定线颠倒从所述最长引脚朝向所述最短引脚的配置方向。

11. 根据权利要求 10 所述的 TCP 型半导体器件，

其中在所述端子区域中，在沿着所述第一方向的所述预定线的两侧配置具有相同长度的多个引脚。

12. 根据权利要求 10 所述的 TCP 型半导体器件，

其中所述预定线位于所述端子区域的中心。

13. 根据权利要求 8 至 12 中的任何一项所述的 TCP 型半导体器件，

其中所述多个引脚组包括彼此相邻的第一引脚组和第二引脚组，被包括在所述第一引脚组中的所述最短引脚与被包括在所述第二引脚组中的所述最长引脚相邻，并且被包括在所述第二引脚组中的所述最长引脚具有面对被包括在所述第一引脚组中的所述最短引脚的所述第二端子部分的至少一部分的凹口。

14. 根据权利要求 8 至 12 中的任何一项所述的 TCP 型半导体器件，

其中所述多个引脚组包括彼此相邻的第一引脚组和第二引脚组，被包括在所述第一引脚组中的所述最短引脚与被包括在所述第二引脚组中的所述最长引脚相邻，并且被包括在所述第一引脚组中的所述最短引脚与被包括在所述第二引脚组中的所述最长引脚之间的间隙大于所述第一引脚组或者所述第二引脚组中的最小引脚间隙。

15. 一种通过使用探针卡测试 TCP 型半导体器件的方法，

其中所述 TCP 型半导体器件包括：

基膜；

半导体芯片，所述半导体芯片被安装在所述基膜上；以及

多个引脚组，所述多个引脚组被形成在所述基膜上，

其中所述多个引脚组中的每一个包括预定数目的引脚，

其中所述预定数目的引脚中的每一个包括：

第一端子部分，所述第一端子部分包括作为所述每个引脚的一端的所述第一端部并且被连

接至所述半导体芯片 ;和

第二端子部分,所述第二端子部分包括作为所述每个引脚的另一端的第二端部并且位于所述第一端子部分的相对侧,

其中在包括所述每个引脚的所述第二端子部分的端子区域中,所述预定数目的引脚沿着第一方向相互平行,并且所述预定数目的引脚的所述第二端部的位置在所述第一方向中不同,

其中所述探针卡包括多个探针组,所述多个探针组分别与所述多个引脚组相接触,所述多个探针组中的每一个包括分别与所述预定数目的引脚相接触的预定数目的探针,并且所述预定数目的探针的各项端在所述第一方向中的位置不同,

所述方法包括:

使所述多个探针组中的所述预定数目的探针分别与所述多个引脚组中的所述预定数目的引脚相接触 ;以及

通过所述探针卡和所述多个引脚组将测试信号提供给所述半导体芯片或者从所述半导体芯片获取输出信号。

16. 根据权利要求 15 所述的测试 TCP 型半导体器件的方法,

其中垂直于所述第一方向和所述基膜的表面的方向是第二方向,

其中所述使相接触包括:

围绕作为旋转轴的所述第二方向旋转所述多个探针组的所述预定数目的探针 ;以及

在所述旋转之后,使所述多个探针组的所述预定数目的探针分别与所述多个引脚组的所述预定数目的引脚相接触。

TCP 型半导体器件及其测试方法

技术领域

[0001] 本发明涉及半导体器件和测试半导体器件的方法。尤其地,本发明涉及 TCP(带载封装)型半导体器件和测试 TCP 型半导体器件的方法。

背景技术

[0002] 用于测试半导体器件的探针卡是公知的。探针卡具有与测试目标的测试端子接触的大量探针。通过使探针的各端接触相应的测试端子,通过探针卡将测试信号从检测器提供给测试目标并且从测试目标获取输出信号。这时,要求各个探针一个接一个正确地接触相应的测试端子以便于不引起短路故障等等。

[0003] 另一方面,由于新近的小型化和半导体器件的端子的数目的增加导致相邻的测试端子之间的节距变得较窄。因此,探针卡也需要跟随测试端子节距的变窄。例如,可以考虑使随着测试端子节距的变窄使探针卡的相邻探针的顶端之间的节距变窄。然而,因为在相邻的探针之间必须确保电气隔离所以存在对探针顶端之间的节距的变窄的极限。因此,提出将探针顶端的位置分布在多行的上方。由于此构造,能够使探针顶端之间的实际节距变窄同时确保探针之间的电气隔离,这使得能够跟随测试端子节距的变窄。例如,在日本特开专利申请 JP-H08-94668、日本特开专利申请 JP-H08-222299 以及日本特开实用新型申请 JU-A-Heisei 04 5643 中公开具有此种探针图案的探针卡。

[0004] 此外, TCP(带载封装)型半导体器件是公知的。在 TCP 的情况下,半导体芯片被安装在诸如 TAB(卷带自动接合)带的基膜上。TCP 型半导体器还包括所谓的 COF(覆晶薄膜)。

[0005] 图 1 是示意性地示出在日本特开专利申请 JP-2004-356339 中公开的 TCP 型半导体器件的平面图。在图 1 中,半导体芯片 120 被安装在基膜(带式载体)110 上。此外,在基膜 110 上形成多个引脚 130 和多个接触焊盘 140。多个引脚 130 分别电气连接在半导体芯片 120 和多个接触焊盘 140 之间。

[0006] 更加具体地,如图 1 中所示,阻焊剂 SR 被形成为部分地覆盖每个引脚 130。阻焊剂 SR 是被施加在引脚 130 上的树脂并且起到不仅电气地隔离引脚 130 而且缓和诸如侵蚀的化学应力和由于外力导致的引脚 130 上的物理应力的作用。没有形成阻焊剂 SR 的区域中的引脚 130 用作可电气地连接至外部的端子,并且该区域是端子区域。半导体芯片 120 被安装在其中没有形成阻焊剂 SR 的中心端子区域,然后对其进行树脂密封。另一方面,其中没有形成阻焊剂 SR 的外面端子区域是外部端子区域并且被电气地连接至接触焊盘 140。

[0007] 接触焊盘 140 是在测试半导体芯片 120 时使用的测试端子并且被布置在基膜 110 上的预定的区域(焊盘布置区域 RP)中。即,在测试半导体芯片 120 时,探针卡的探针接触焊盘布置区域 RP 中的接触焊盘 140。然后,通过接触焊盘 140 和引脚 130 将测试信号提供给半导体芯片 120 并且从半导体芯片 120 获取输出信号。应注意的是,在这里使用的探针卡还具有探针顶端的位置被分布在多行的上方的探针图案。对应于探针图案,接触焊盘 140 也被分布在多行的上方,如图 1 中所示。

[0008] 在图 1 中,基膜 110 的宽度方向和延伸方向分别是 x 方向和 y 方向。沿着 y 方向重复地形成图 1 中所示的结构。在测试之后一个接一个地分离半导体器件时,沿着由图 1 中的虚线表示的切割线 CL 切割基膜 110 和多个引脚 130。这时,焊盘布置区域 RP 中的接触焊盘 140 保留在基膜 110 上。

[0009] 本申请的发明人已经认识到下述要点。近年来,半导体芯片的端子的数目增加,并且因此在测试时提供给半导体芯片的测试信号和从半导体芯片获取的输出信号的数目也增加。这意味着图 1 中所示的 TCP 型半导体器件的接触焊盘 140 的数目的增加。接触焊盘 140 的数目的增加导致焊盘布置区域 RP 的扩大从而增加基膜 110 的宽度和长度。结果,增加了制造 TCP 型半导体器件的成本。因此,需要能够减少制造 TCP 型半导体器件的成本的技术。

发明内容

[0010] 在本发明的一个实施例中,提供了一种 TCP 型半导体器件和测试 TCP 型半导体器件的方法。该 TCP 型半导体器件具有:基膜;半导体芯片,该半导体芯片被安装在基膜上;以及多个引脚,多个引脚被形成在基膜上。多个引脚中的每一个具有:第一端子部分,该第一端子部分包括作为每个引脚的一端的的第一端部并且被连接至半导体芯片;和第二端子部分,该第二端子部分包括作为每个引脚的另一端的第二端部并且位于第一端子部分的相对侧。在测试 TCP 型半导体器件时,没有使用专用的接触焊盘而使用每个引脚的第二端子部分用于与探针接触。因此,没有提供如图 1 中所示的专用于测试的接触焊盘,并且从基膜上排除了焊盘布置区域。从而能够减少制造 TCP 型半导体器件的成本。

[0011] 在替代专用接触焊盘的每个引脚的第二端子部分被用于在测试时接触探针的情况下,恐怕一个探针的针尖同时接触两个相邻的引脚并且从而引起相邻的引脚之间的短路故障。根据本发明,还提供了能够解决此问题的 TCP 型半导体器件和测试 TCP 型半导体器件的方法。

[0012] 在本发明的另一个实施例中,提供了一种 TCP 型半导体器件。该 TCP 型半导体器件具有:基膜;半导体芯片,该半导体芯片被安装在基膜上;以及多个引脚,该多个引脚被形成在基膜上。多个引脚中的每一个具有:第一端子部分,该第一端子部分包括作为每个引脚的一端的的第一端部并且被连接至半导体芯片;和第二端子部分,该第二端子部分包括作为每个引脚的另一端的第二端部并且位于第一端子部分的相对侧。在包括每个引脚的第二端子部分的端子区域中,多个引脚沿着第一方向相互平行。多个引脚包括彼此相邻的第一引脚和第二引脚。第一引脚和第二引脚的第二端部的位置在第一方向中不同。

[0013] 在本发明的又一个实施例中,提供了一种 TCP 型半导体器件。该 TCP 型半导体器件具有:基膜;半导体芯片,该半导体芯片被安装在基膜上;以及多个引脚组,该多个引脚组被形成在基膜上。多个引脚组中的每一个具有预定数目的引脚。预定数目的引脚中的每一个具有:第一端子部分,该第一端子部分包括作为每个引脚的一端的的第一端部并且被连接至半导体芯片;和第二端子部分,该第二端子部分包括作为每个引脚的另一端的第二端部并且位于第一端子部分的相对侧。在包括每个引脚的第二端子部分的端子区域中,预定数目的引脚沿着第一方向相互平行。预定数目的引脚的第二端部的位置在第一方向中不同。

[0014] 在本发明的又一实施例中,提供了通过使用探针卡测试 TCP 型半导体器件的方

法。TCP 型半导体器件具有：基膜；半导体芯片，该半导体芯片被安装在基膜上；以及多个引脚组，该多个引脚组被形成在基膜上。多个引脚组中的每一个具有预定数目的引脚。预定数目的引脚中的每一个具有：第一端子部分，该第一端子部分包括作为每个引脚的一端的第一端部并且被连接至半导体芯片；和第二端子部分，该第二端子部分包括作为每个引脚的另一端的第二端部并且位于第一端子部分的相对侧。在包括每个引脚的第二端子部分的端子区域中，预定数目的引脚沿着第一方向相互平行。预定数目的引脚的第二端部的位置在第一方向中不同。另一方面，探针卡具有分别与多个引脚组相接触的多个探针组。多个探针组中的每一个具有分别与预定数目的引脚相接触的预定数目的探针。预定数目的探针的各项端在第一方向中的位置不同。根据本发明的测试方法包括：(A) 使多个探针组中的预定数目的探针分别与多个引脚组中的预定数目的引脚相接触；和 (B) 通过探针卡和多个引脚组将测试信号提供给半导体芯片或者从半导体芯片获取输出信号。

[0015] 根据本发明，能够减少制造 TCP 型半导体器件的成本。此外，能够防止在测试 TCP 型半导体器件时出现其中一个探针同时接触两个端子的端子间短路。

附图说明

[0016] 结合附图，根据某些优选实施例的以下描述，本发明以上和其它方面、优点和特征将更加明显，其中：

[0017] 图 1 是示意性地示出典型的 TCP 型半导体器件的平面图；

[0018] 图 2 是示意性地示出根据本发明的实施例的半导体器件的构造的平面图；

[0019] 图 3 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的示例的平面图；

[0020] 图 4 是示出根据本实施例的测试半导体器件的方法的示意图；

[0021] 图 5 是示出根据本实施例的测试半导体器件的方法的示意图；

[0022] 图 6 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的修改示例的平面图；

[0023] 图 7 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的另一个修改示例的平面图；

[0024] 图 8 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的又一个修改示例的平面图；

[0025] 图 9 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的又一个修改示例的平面图；

[0026] 图 10 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的又一个修改示例的平面图；

[0027] 图 11 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的又一个修改示例的平面图；以及

[0028] 图 12 是示出根据本实施例的半导体器件的外部端子区域中的引脚构造的又一个修改示例的平面图。

具体实施方式

[0029] 现在在此将参考示例性实施例来描述本发明。本领域的技术人员将会理解能够使用本发明的教导完成许多替代实施例并且本发明不限于为解释性目的而示出的实施例。

[0030] 在下面将会参考附图描述根据本发明的实施例的半导体器件和测试其的方法。

[0031] 1. 整体构造

[0032] 图 2 是示意性地示出根据本实施例的半导体器件 1 的构造的平面图。根据本实施例的半导体器件 1 是 TCP 型半导体器件。半导体器件 1 具有诸如 TAB 带的基膜（带式载体）10、被安装在基膜 10 上的半导体芯片 20、以及被形成在基膜 10 上的多个引脚 30。各个引脚 30 具有包括它的一端（第一端部 31a）的第一端子部分 31 和包括另一端（第二端部 32a）的第二端子部分 32。它们当中的第一端子部分 31 被连接至半导体芯片 20。另一方面，第二端子部分 32 位于第一端子部分 31 的相对侧。根据本实施例，如稍后将会详细地描述的，各个引脚 30 的第二端子部分 32（第二端部 32a）没有被连接至测试专用的接触焊盘，这不同于图 1 的情况。

[0033] 更加具体地，如图 2 中所示，阻焊剂 SR 被形成为部分地覆盖各个引脚 30。阻焊剂 SR 是被施加在引脚 30 上的树脂并且起到不仅电气地隔离引脚 30 而且缓和诸如侵蚀的化学应力和由于外力导致的引脚 30 上的物理应力的作用。没有形成阻焊剂 SR 的区域中的引脚 30 用作可电气地连接到外部的端子，并且该区域是端子区域。半导体芯片 20 被安装在其中没有形成阻焊剂 SR 的中心端子区域上，然后对其进行树脂密封。通过阻焊剂 SR 和密封树脂覆盖的区域在下文中被称为“覆盖区域 RC”。

[0034] 另一方面，其中没有形成阻焊剂 SR 的外面端子区域在下文中被称为“外部端子区域 RE”。外部端子区域 RE 对应于引脚 30 从覆盖区域 RC 向外突出的区域。引脚 30 从覆盖区域 RC 向外突出的部分用作外部端子。如图 2 中所示，外部端子区域 RE 包括各个引脚 30 的第二端子部分 32。应注意的是，在外部端子区域 RE 的两个相对的边当中，半导体芯片 20 的侧上的边对应于其中形成阻焊剂 SR 的区域的一边，并且相对侧对应于稍后描述的切割线 CL 的一边。

[0035] 外部端子区域 RE 中的引脚 30（外部端子）用于与另一器件的连接。例如，在半导体芯片 20 是用于驱动液晶显示面板的 IC 的情况下，外部端子区域 RE 中的引脚 30 被连接至液晶显示面板的电极。结果，液晶显示面板和用于驱动它的半导体芯片 20 被彼此电气地连接。应注意的是，此连接工艺通常被称为 OLB（外引脚键合）。

[0036] 根据本实施例，在测试半导体器件 1 时，没有使用专用的接触焊盘用于接触探针卡。替代地，外部端子区域 RE 中的第二端子部分 32 用于接触探针卡。就是说，在测试时外部端子区域 RE 中的引脚 30 不仅用于与另一器件的相连接而且用于与探针卡的接触。因此，在本实施例中，没有提供如图 1 中所示的专用于测试的接触焊盘 140，并且在基膜 10 上排除了焊盘布置区域 RP。如图 2 中所示，各个引脚 30 的第二端子部分 32（第二端部 32a）没有被连接至测试专用的接触焊盘。

[0037] 根据本实施例，如上所述，焊盘布置区域 RP 被排除并因此能够节省基膜 10 的面积。换言之，与图 1 中的情况相比较，能够大大地减少一个半导体芯片 20 所要求的基膜 10 上的面积。因此能够减少材料成本并且还能够提高将半导体芯片 20 布置在基膜 10 上的效率。因此能够减少制造半导体器件 1 的成本。

[0038] 在图 2 中,基膜 10 的宽度方向和延伸方向分别是 x 方向和 y 方向。沿着 y 方向重复地形成图 2 中所示的结构。由通过虚线表示的切割线 CL 围绕的区域对应于一个半导体器件。在测试之后一个接一个地分离半导体器件时,沿着切割线 CL 切割基膜 10。应注意的是,这时没有切割引脚 30。原因是在基膜 10 上没有形成测试专用的接触焊盘并且引脚 30 没有被连接至任何接触焊盘。

[0039] 2. 外部端子区域

[0040] 根据本实施例,如上所述,替代接触焊盘的外部端子区域 RE 中的第二端子部分 32 被用于与探针卡的接触。这时,要求探针卡的各个探针一个接一个正确地接触相应的引脚 30 以便于不引起短路故障等等。然而,基膜 10 上的相邻的引脚 30 之间的空间(间隙)很窄。因此,当由于吸收湿气、温度变化等等导致基膜 10 膨胀和收缩时,恐怕探针的针尖同时接触两个相邻的引脚 30 并且从而引起相邻的引脚 30 之间的短路故障。根据本实施例,为了防止引脚 30 之间的这种短路故障,外部端子区域 RE 中的引脚 30 具有下述特点。

[0041] 图 3 示出外部端子区域 RE 中的引脚 30 的构造的一个示例。如图 3 中所示,多个引脚 30 延伸到外部端子区域 RE 中,并且各引脚 30 的第二端子部分 32 被包括在外部端子区域 RE 中。在外部端子区域 RE 中,多个引脚 30 沿着预定的方向(第一方向)相互平行。在本示例中,第一方向是 y 方向。各个引脚 30 的宽度方向是垂直于 y 方向的 x 方向。多个引脚 30 被配置为在 x 方向中一个与另一个相邻。通常,各个引脚 30 的宽度是统一的,并且相邻的引脚 30 之间的间距是统一的。

[0042] 根据本实施例,如图 3 中所示,在 y 方向(第一方向)中两个相邻的引脚 30 的第二端部 32a 的各位置是不同的。例如,引脚 30-11 和引脚 30-12 彼此相邻,并且引脚 30-11 和引脚 30-12 的第二端部 32a 的位置在 y 方向中不同。结果,确保紧挨着引脚 30-11 的第二端子部分 32 没有其它的引脚 30 存在的宽的空间。同样适用于引脚 30-12 和 30-13 之间的关系以及引脚 30-13 和 30-14 之间的关系。

[0043] 根据引脚 30 的长度的观点,能够总结如下。在这里,让我们考虑外部端子区域 RE 中的 y 方向中的长度。在这样的情况下,在两个相邻的引脚 30 之间长度是不同的。例如,引脚 30-11 的长度 L1 大于引脚 30-12 的长度 L2。引脚 30-12 的长度 L2 大于引脚 30-13 的长度 L3。引脚 30-13 的长度 L3 大于引脚 30-14 的长度 L4。即,在引脚 30-11 至 30-14 的长度之间存在关系“ $L1 > L2 > L3 > L4$ ”。结果,确保紧挨着引脚 30-11 至 30-13 中的每一个的第二端子部分 32 没有其它的引脚 30 存在的宽的空间。

[0044] 根据引脚 30 的第二端部 32a 和基膜 10 的切割线 CL 之间的距离的观点,能够总结如下。即,如图 2 和图 3 中所示,在两个相邻的引脚 30 之间第二端部 32a 和切割线 CL 之间的距离是不同的。例如,引脚 30-11 的第二端部 32a 和切割线 CL 之间的距离小于引脚 30-12 的第二端部 32a 和切割线 CL 之间的距离。

[0045] 此外,在引脚 30-14 的两侧形成引脚 30-13 和引脚 30-21。引脚 30-13 和引脚 30-21 中的每一个的长度大于引脚 30-14 的长度。就是说,引脚 30-14 的第二端部 32a(第二端子部分 32)位于(夹在)引脚 30-13 和引脚 30-21 之间。因此,优选的是,在引脚 30-13 和 30-21 的至少一个上形成面对引脚 30-14 的第二端子部分 32 的至少一部分的凹口部分(凹部分)40。在图 3 中所示的示例中,引脚 30-21 具有面对引脚 30-14 的第二端子部分 32 的至少一部分的凹口部分 40。结果,也确保紧挨着引脚 30-14 的第二端子部分 32 的足够的空

间。应注意的是,凹口部分 40 的长度大于探针的针尖的直径。

[0046] 在外部端子区域 RE 中,可以重复地形成类似的引脚图案。在这样的情况下,多个引脚 30 被分类成多个引脚组 LG。多个引脚组 LG 被配置在 x 方向中。各个引脚组 LG 包括预定数目的引脚 30 并且具有相似的引脚图案。在图 3 中所示的示例中,n 个引脚组 LG1 至 LGn 被配置在 x 方向中,并且引脚组 LGi (i = 1 至 n) 包括四个引脚 30-i1 至 30-i4。在各个引脚组 LGi 中,引脚 30-i1 至 30-i4 的第二端部 32a 的位置在 y 方向中不同。因此,确保了空间。

[0047] 根据外部端子区域 RE 中的 y 方向中的长度的观点,引脚 30-i1 至 30-i4 的长度分别是 L1、L2、L3 以及 L4。长度 L1 至 L4 彼此不同。在图 3 中示出的示例中,在长度 L1 至 L4 之间存在关系“ $L1 > L2 > L3 > L4$ ”。因此,在各个引脚组 LGi 中,引脚 30-i1 是最长引脚并且引脚 30-i4 是最短引脚。在各个引脚组 LGi 中,引脚 30-i1 至 30-i4 被配置为从长度最长引脚到最短引脚单调变小。换言之,各个引脚组 LGi 具有锯齿形状的引脚图案。

[0048] 在图 3 中所示的示例中,在 x 方向中重复地出现相同的引脚图案。就是说,从最长引脚 30-i1 朝向最短引脚 30-i4 的配置方向是引脚组 LG1 至 LGn 之间的同一 +x 方向。结果,除了最短引脚 30-i4 之外的各个引脚 30,在第二端子部分 32 的同一 +x 方向侧确保了空间。

[0049] 此外,在图 3 中,被包括在某一引脚组 LG 中的最短引脚与被包括在相邻的引脚组 LG 中的最长引脚相邻。例如,被包括在引脚组 LG1 的最短引脚 30-14 和被包括在相邻的引脚组 LG2 中的最长引脚 30-21 彼此相邻。在这样的情况下,优选的是,最长引脚 30-21 具有面对最短引脚 30-14 的第二端子部分 32 的至少一部分的凹口部分 40。结果,为所有的引脚 30 在第二端子部分 32 的同一 +x 方向侧确保了空间。

[0050] 3. 测试方法

[0051] 图 4 是示出根据本实施例的测试半导体器件 1 的方法的示意图。在半导体器件 1 的测试中,使用探针卡 50。探针卡 50 具有多个分别接触上述多个引脚 30 的探针 60。探针卡 50 具有其探针 60 的顶端位置分布在多行的上方的探针图案。

[0052] 更加具体地,探针卡 50 具有分别接触上述引脚组 LG1 至 LGn 的多个探针组 PG1 至 PGn。各个探针组 PGi (i = 1 至 n) 包括分别接触引脚 30-i1 至 30-i4 的探针 60-i1 至 60-i4。例如,引脚组 PG1 包括分别接触四个引脚 30-11 至 30-14 的四个探针 60-11 至 60-14。在测试时,各个探针 60 接触外部端子区域 RE 中的相应的引脚 30。这时,如图 4 中所示,各个探针 60 的顶端部分 62 (在下文中被称为“探针端部 62”)与相应的引脚 30 的第二端子部分 32 (靠近第二端部 32a) 接触。就是说,多个探针 60 的探针端部 62 之间的位置关系与多个引脚 30 的第二端部 32a 之间的位置关系几乎相同。探针组 PGi 的探针 60-i1 至 60-i4 的各探针端部 62 在 y 方向中的位置不同。

[0053] 在测试时,要求各个探针 60 一个接一个地正确地接触相应的引脚 30。然而,如果引脚间距 LP 非常小,那么一个探针 60 的探针端部 62 可能同时接触两个相邻的引脚 30,这引起相邻的引脚 30 之间的短路故障。根据本实施例,如上所述,在引脚 30 的第二端子部分 30 的周围确保了足够的接触空间。因此,防止出现这样的短路故障。即使探针端部 62 的位置发生略微的变化,也能够防止短路故障。

[0054] 在 TCP 型半导体器件的情况下,由于吸收湿气和脱水导致基膜 10 膨胀和收缩。因此,引脚间距 LP 可能变得与探针间距不同。即使在这样的情况下,也能够由于上述理由防

止电路故障。例如,让我们考虑下述情况,即考虑到由于吸收湿气导致基膜 10 膨胀并且因此引脚间距 LP 被扩大的状态事先设计探针间距。在封装工艺期间,由于高热处理导致基膜 10 变干并且引脚间距 LP 趋向于变小。就是说,引脚间距 LP 可能变得小于探针间距。即使在这样的情况下,因为如图 4 中所示,在引脚 30 的第二端子部分 32 的周围确保了足够的接触空间,所以能够防止短路故障。

[0055] 注意的是,在由于基膜 10 的膨胀和收缩导致引脚间距 LP 偏离探针间距的情况下,可以执行下述处理。图 5 示出引脚 30-1 至 30-3 之间的相对位置关系。探针端部 62-1 至 62-3 分别接触引脚 30-1 至 30-3。在这里,让我们考虑基膜 10 收缩并且引脚 30-1 至 30-3 之间的相对位置关系被更改为如图 5 中的 30-1' 至 30-3' 所示。在这样的情况下,引脚间距 LP 被更改为较小的 LP' ($< LP$)。为了在引脚 30 和探针端部 62 之间实现良好的接触,表面上 (apparent) 的探针间距仅需要根据引脚间距 LP 的减少而变得较小。为此,探针 60 (探针端部 62) 围绕作为旋转轴的 z 方向 (与基膜 10 的表面垂直并且与 x 和 y 方向正交的方向) 在 θ 方向中旋转。结果,探针端部 62-1 至 62-3 之间的相对位置关系被更改为如图 5 中的 62-1' 至 62-3' 所示。就是说,减少表面上的探针间距。然后,探针端部 62-1' 至 62-3' 分别接触引脚 30-1' 至 30-3'。此外,在 x 方向和 y 方向中可以调整探针端部 62 的位置从而接触面积变为最大。

[0056] 根据本实施例,如上所述,能够防止测试时引脚 30 之间的短路故障。在各个探针 60 一个接一个地接触相应的引脚 30 之后,通过探针卡 50 和引脚 30 将测试信号从检测器提供给半导体芯片 20 或者从半导体芯片 20 获取输出信号。因此,能够成功地实现半导体芯片 20 的输入 / 输出、电气特性等等的测试。

[0057] 4. 效果

[0058] 根据本实施例,在测试半导体器件 1 时,没有使用专用的接触焊盘用于与探针卡 50 接触。相反地,使用外部端子区域 RE 中的第二端子部分 32 用于与探针卡 50 接触。因此,没有提供如图 1 中所示的专用于测试的接触焊盘 140,并且从基膜 10 上排除了焊盘布置区域 RP。结果,与图 1 的情况相比较能够大大地减少一个半导体芯片 20 所要求的基膜 10 上的面积。因此,能够减少材料成本并且还能够提高将半导体芯片 20 布置在基膜 10 上的效率。因此能够减少制造半导体器件 1 的成本。

[0059] 此外,根据本实施例,在外部端子区域 RE 中的引脚 30 的第二端子部分 32 的周围确保了足够的接触空间。因此,即使在窄的引脚间距 LP 的条件下也能够防止测试时相邻的引脚 30 之间的短路故障。换言之,尽管没有使用接触焊盘而是使用引脚 30 用于与探针卡 50 接触,但是也能够防止短路故障。即使出现探针未对准或者基膜 10 的膨胀和收缩,也能够防止短路故障。结果,能够成功地执行半导体器件 1 的测试。此外,防止由于短路故障导致的测试效率的劣化,这能够减少测试成本。

[0060] 此外,根据本实施例,能够抑制通过金属毛刺引起的短路故障。作为比较示例,让我们考虑图 1 中示出的情况。在比较示例中,通过引脚 130 将半导体芯片 120 连接至测试接触焊盘 140。因此,在一个接一个分离半导体器件时,必须沿着切割线 CL 切割引脚 130。这时产生的金属毛刺在以后可能引起短路故障。根据本实施例,另一方面,没有提供测试接触焊盘 140。如图 2 中所示,只在由切割线 CL 围绕的区域中形成了引脚 30。因此,在一个接一个分离半导体器件 1 时,没有执行引脚 30 的切割。结果,能够抑制由金属毛刺引起的

短路故障。另外,用于一个接一个地分离半导体器件 1 的夹具不需要切割金属引脚 30,并因此增加夹具寿命。

[0061] 5. 修改示例

[0062] 图 6 示出外部端子区域 RE 中的引脚 30 的构造的修改示例。各个引脚组 LG 具有与图 3 中示出的相类似的引脚图案。即,被包括在各个引脚组 LG 中的四个引脚 30 被配置为使得长度从最长引脚到最短引脚单调变小。然而,跨过沿着 y 方向的线 S-S' 颠倒从最长引脚朝向最短引脚的配置方向。换言之,在外部端子区域 RE 中跨过线 S-S' 对称地配置多个引脚 30。例如,线 S-S' 基本上位于外部端子区域 RE 的中心。

[0063] 更加具体地,引脚组 LGA1、LGA2、……被配置在线 S-S' 的 -x 侧上。至于引脚组 LGA1、LGA2、……,从最长引脚朝向最短引脚的配置方向是 -x 方向。结果,在各个引脚 30 的第二端子部分 32 的 -x 方向侧确保了空间。另一方面,引脚组 LGB1、LGB2、……被配置在线 S-S' 的 +x 侧上。至于引脚组 LGB1、LGB2、……,从最长引脚朝向最短引脚的配置方向是 +x 方向。结果,在各个引脚 30 的第二端子部分 32 的 +x 方向侧上确保了空间。甚至通过此构造能够获得与上述相同的效果。如果线 S-S' 基本上被定位在外部端子区域 RE 的中心,那么 -x 侧上的引脚组 LGA 和 +x 侧上的引脚组 LGB 的数目是相同的。

[0064] 在本示例中,如果完全对称地配置引脚 30 那么外部端子区域 RE 中的引脚 30 的数目可以是奇数。然而,由于探针端部 62 和第二端子部分 32 之间的累积位置误差在外部端子区域 RE 的中心附近小,所以具有相同长度的多个引脚 30 能够被布置在线 S-S' 的附近。因此,能够处理外部端子区域 RE 中的引脚 30 的数目是偶数的情况。

[0065] 图 7 示出外部端子区域 RE 中的引脚 30 的构造的另一个修改示例。在本示例中,在与最短引脚相邻的引脚 30 上没有形成上述凹口部分 40。相反地,与最短引脚相邻的引脚 30 在面对最短引脚的第二端子部分 32 的至少一部分的位置具有弯曲部分 70。在最短引脚的第二端子部分 32 的相对侧弯曲部分 70 凸出。换言之,与最短引脚相邻的引脚 30 被形成为在最短引脚的第二端子部分 32 周围进一步远离最短引脚。因此,在最短引脚的第二端子部分 32 的周围确保了充分的接触空间。结果,能够获得与上述相同的效果。此外,由于没有形成凹口部分 40,所以防止了引脚 30 部分变薄。

[0066] 在上述示例中,引脚 30 之间的间距(间隔)是统一的并且凹口部分 40 被形成。为了在外部端子区域 RE 中布置尽可能多的引脚,通常有利的是,以最小的间距(即,最小的间隔)配置引脚 30。然而,关于基膜 10 的宽度,存在一些标准化的宽度(例如,35mm、48mm、70mm)。因此,取决于基膜 10 上的外部端子区域 RE 的最大有效宽度和需要的引脚 30 的数目之间的关系,不必以最小的间距(最小的间隔)布置所有引脚 30。

[0067] 在那样的情况下,不需要形成凹口部分 40。如图 8 中所示,可以将最短引脚 80-13 和相邻的最长引脚 80-21 之间的间隔(间隙)S1 设计为比相邻的引脚 80 之间的间隔(间隙)的最小值 S0 大超过凹口部分 40 的深度。即使在这样的情况下,也能够获得与上述相同的效果。此外,因为没有形成凹口部分 40,所以防止引脚 80 部分变薄。

[0068] 这样,在图 8 中示出的示例中,各个引脚组 LG 具有三个引脚 80-i1 至 80-i3,即,每三个引脚 80 改变长度。这在 TCP 型半导体器件被安装在典型的显示装置中的情况下是优选的。在这样的情况下,将分别与三基色(R、G、B)相关联的输出信号从 TCP 型半导体器件输出至显示面板的电极。因此,显示装置的像素列的周期与引脚长度的周期一致。因此,不

管显示装置的像素的列的数目能够保持周期性,这有助于引脚设计。不言而喻,周期不限于3。

[0069] 图9示出图6中所示的情况的进一步的修改示例。即使考虑TCP基膜的标准湿气吸收状态设计探针卡,在组装TCP的过程期间可以减少基膜的湿气吸收量。在这样的情况下,基膜在宽度方向均匀地收缩。因此,如果在基膜中心附近对准探针和外部端子,那么外面的探针与两个外侧上的相应的外部端子外侧未对准。在基膜中心的附近未对准的量小但是朝向两侧累积地变大。在图9的情况下,在未对准量小的基膜的中心的附近布置具有相同长度的通常的外部端子,并且本发明被应用于离未对准量变得较大的两侧更近的区域。

[0070] 因此,能够最小化被变短的外部端子的数目。在被装备有此TCP型半导体器件的器件中,能够因此提高端子的连接性。

[0071] 图10示出图6中示出的情况的另一个修改示例。如果考虑TCP基膜的低湿气吸收状态设计探针卡,那么探针可以在两个外侧上与相应的外部端子在内侧不对准。为了处理此种情况,与图9的情况相比较,颠倒了从最长引脚朝向最短引脚的配置方向。

[0072] 图11示出图8中示出的方法被应用于图9中示出的TCP型半导体器件的情况。在这样的情况下,能够同时获得在图8和图9的情况中获得的各效果。

[0073] 图12示出在图8中示出的方法被应用于图10中示出的TCP型半导体器件的情况。在这样的情况下,能够同时获得在图8和图10的情况中获得的各效果。

[0074] 显然的是,本发明不限于上述实施例并且在不脱离本发明的范围和精神的前提下可以进行修改和变化。

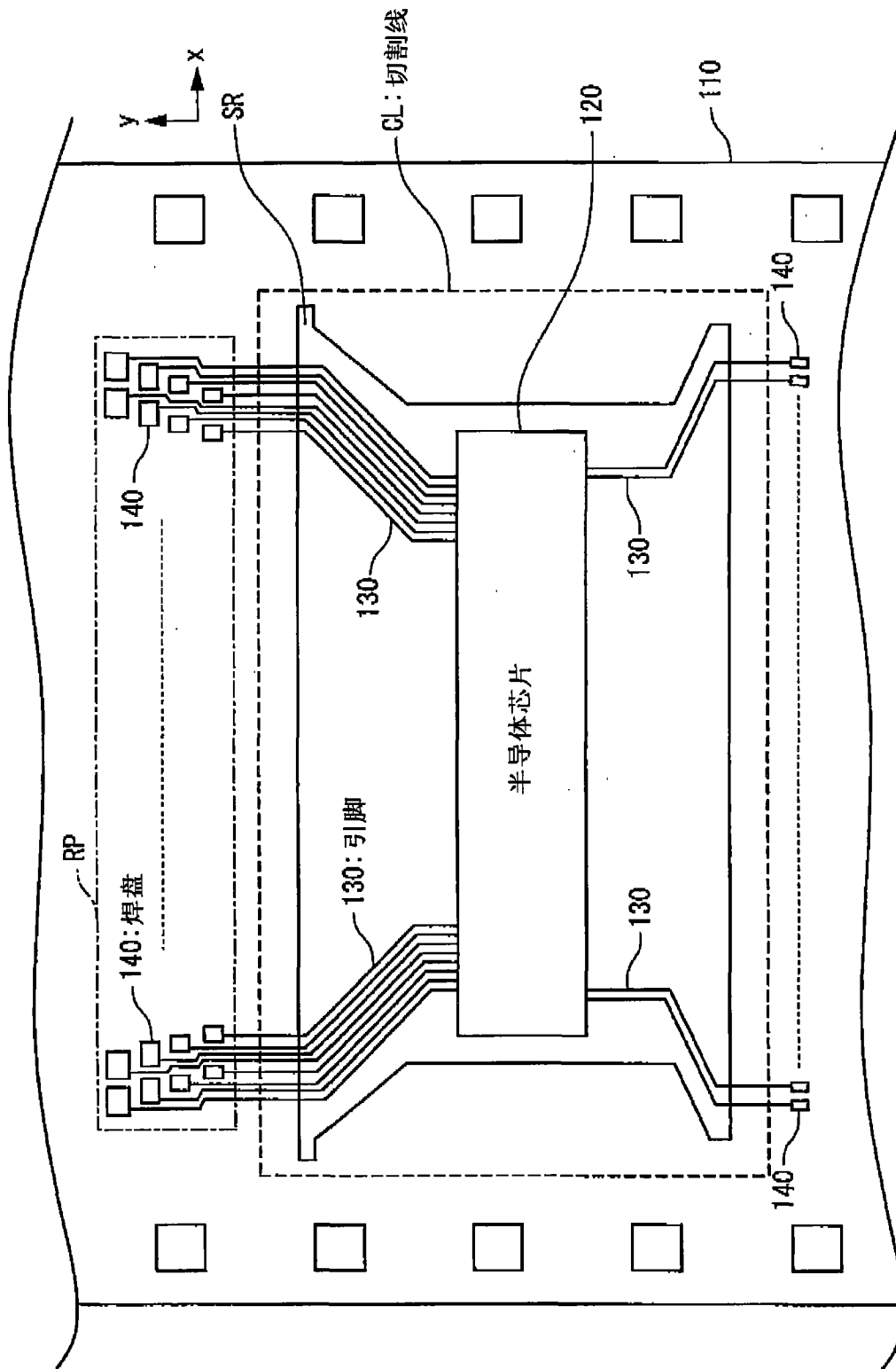


图 1

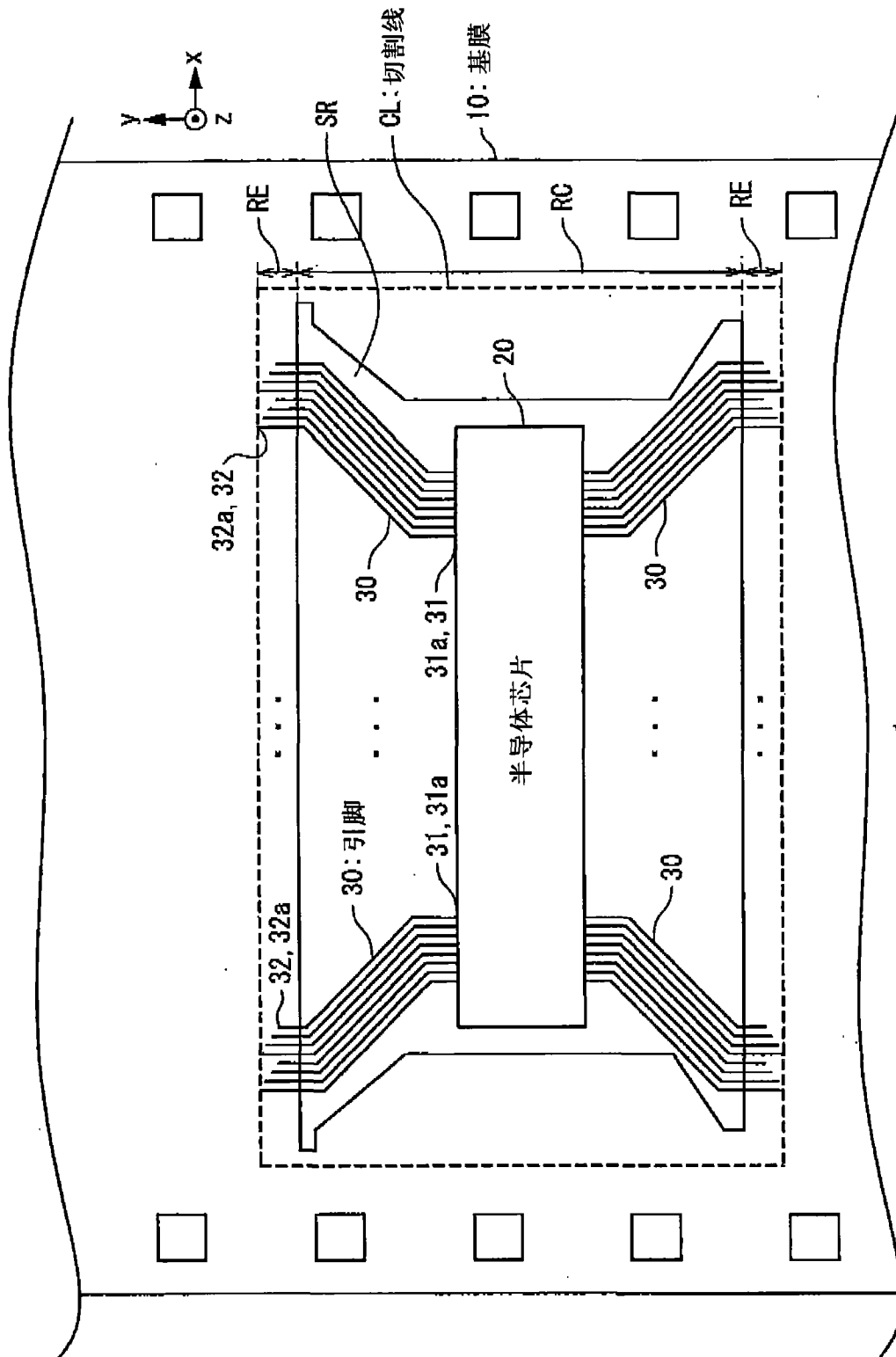


图 2

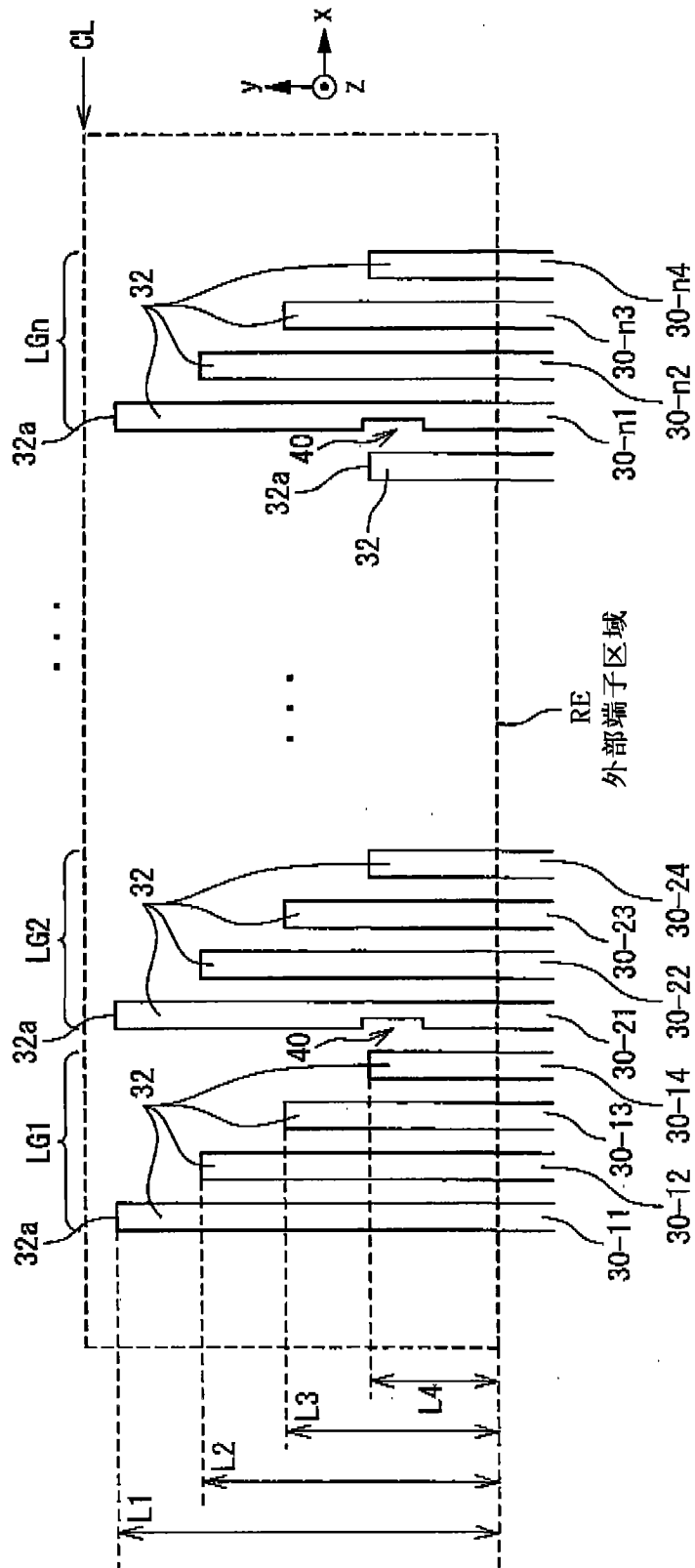


图 3

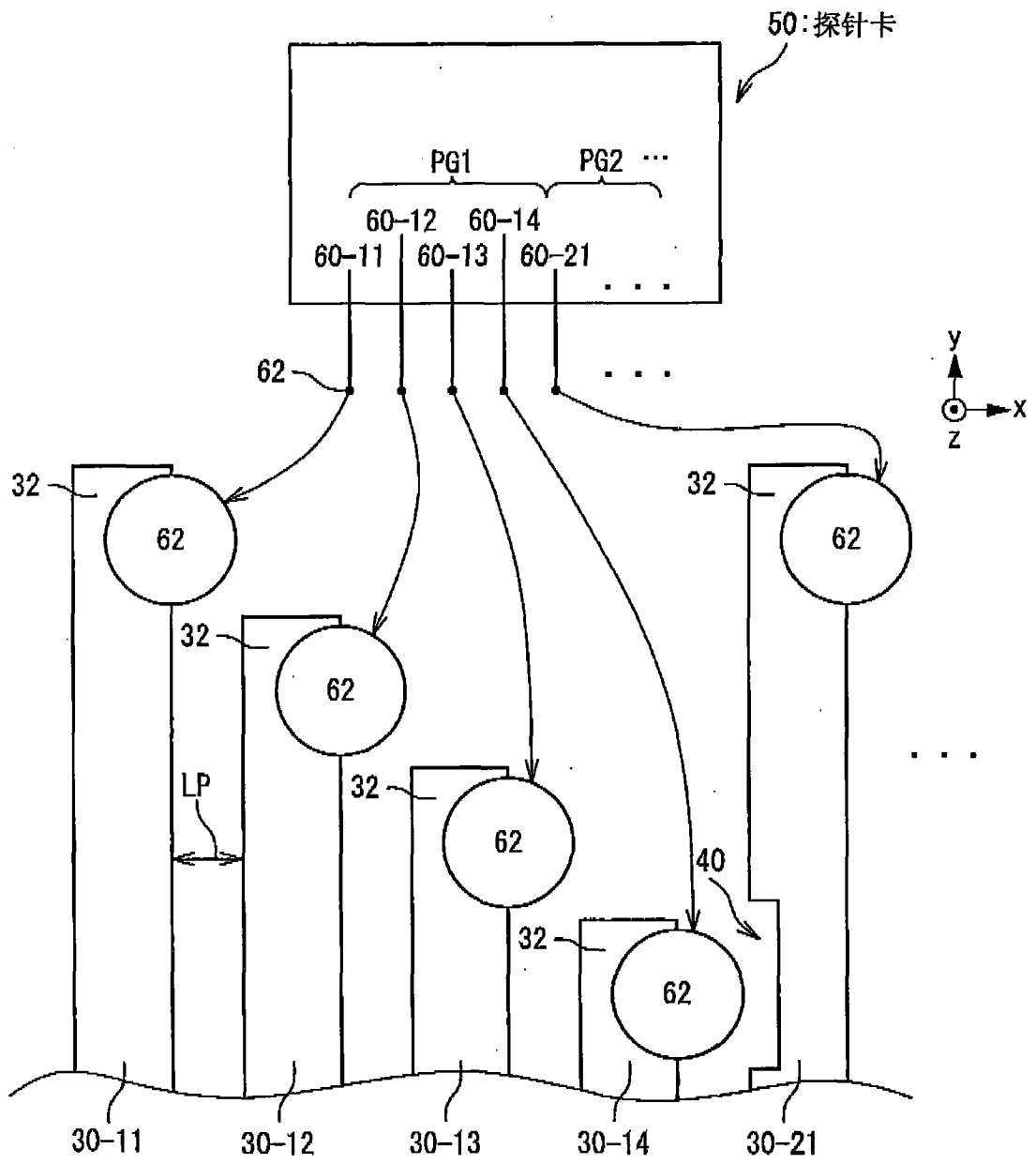


图 4

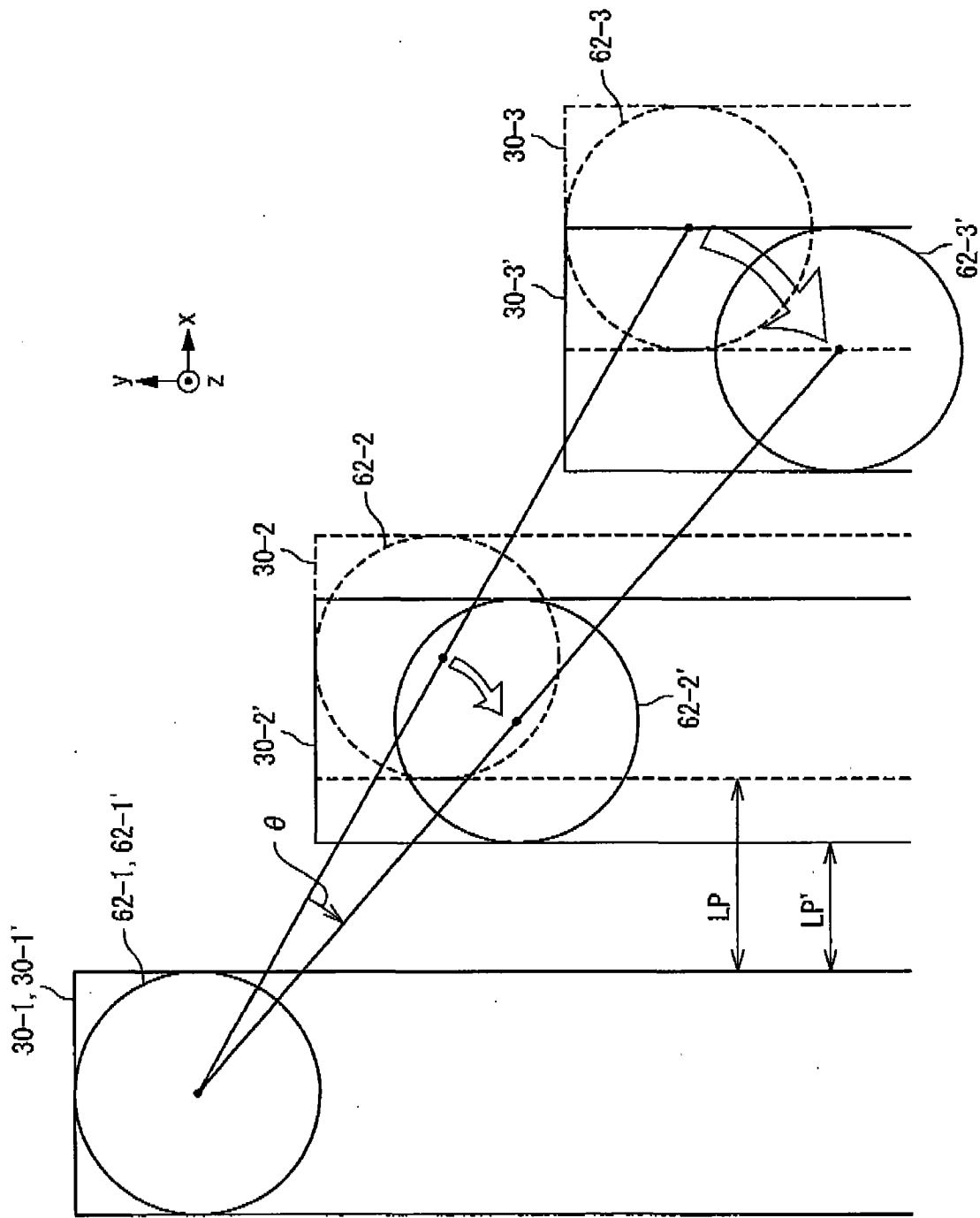


图 5

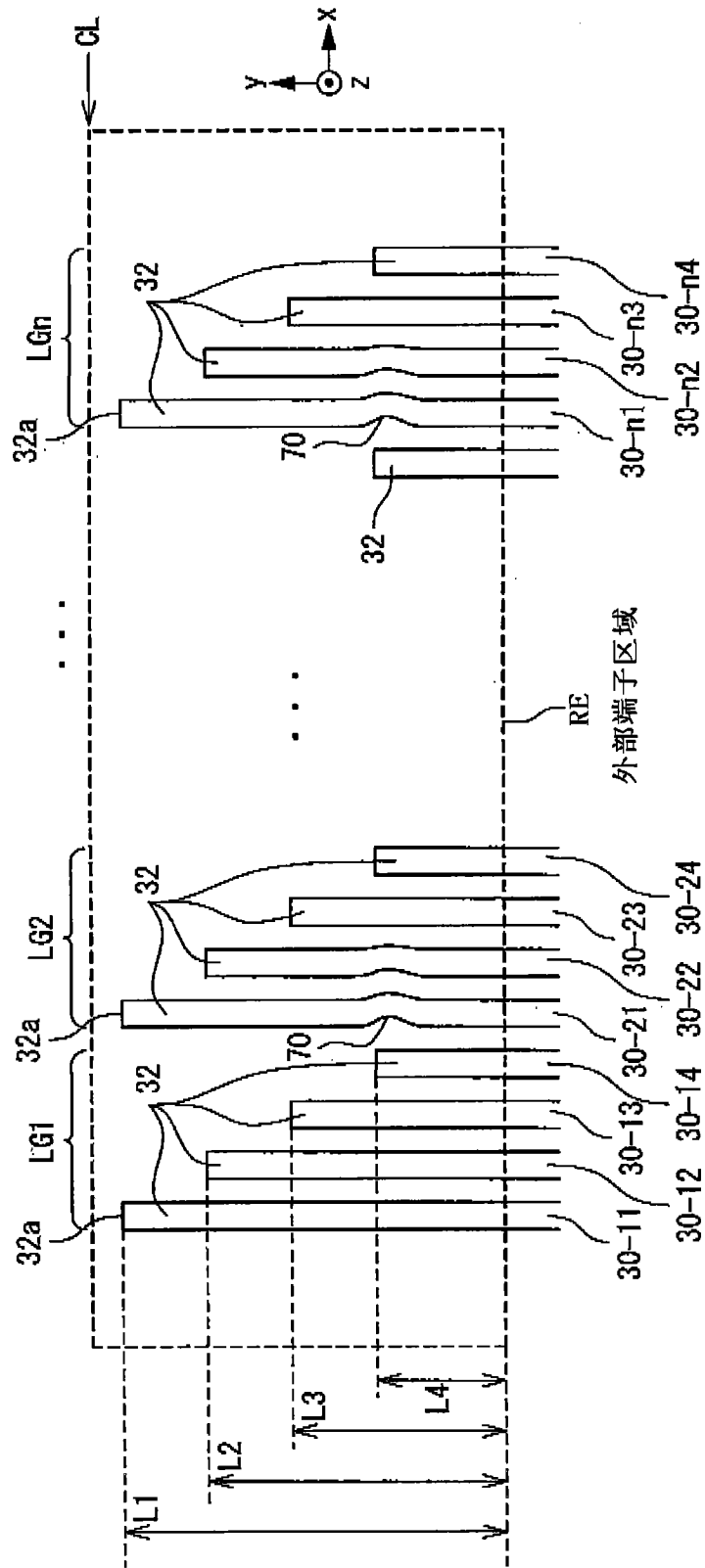


图 7

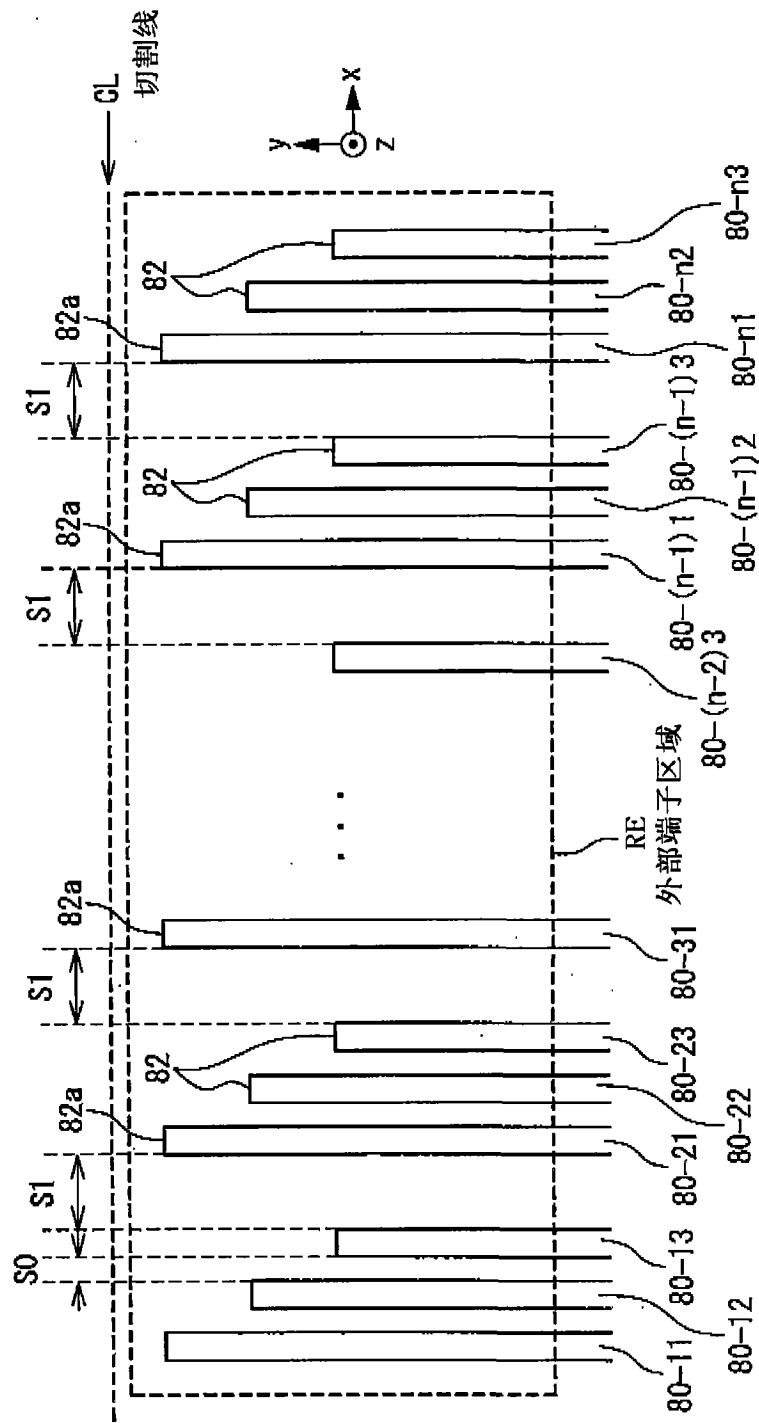


图 8

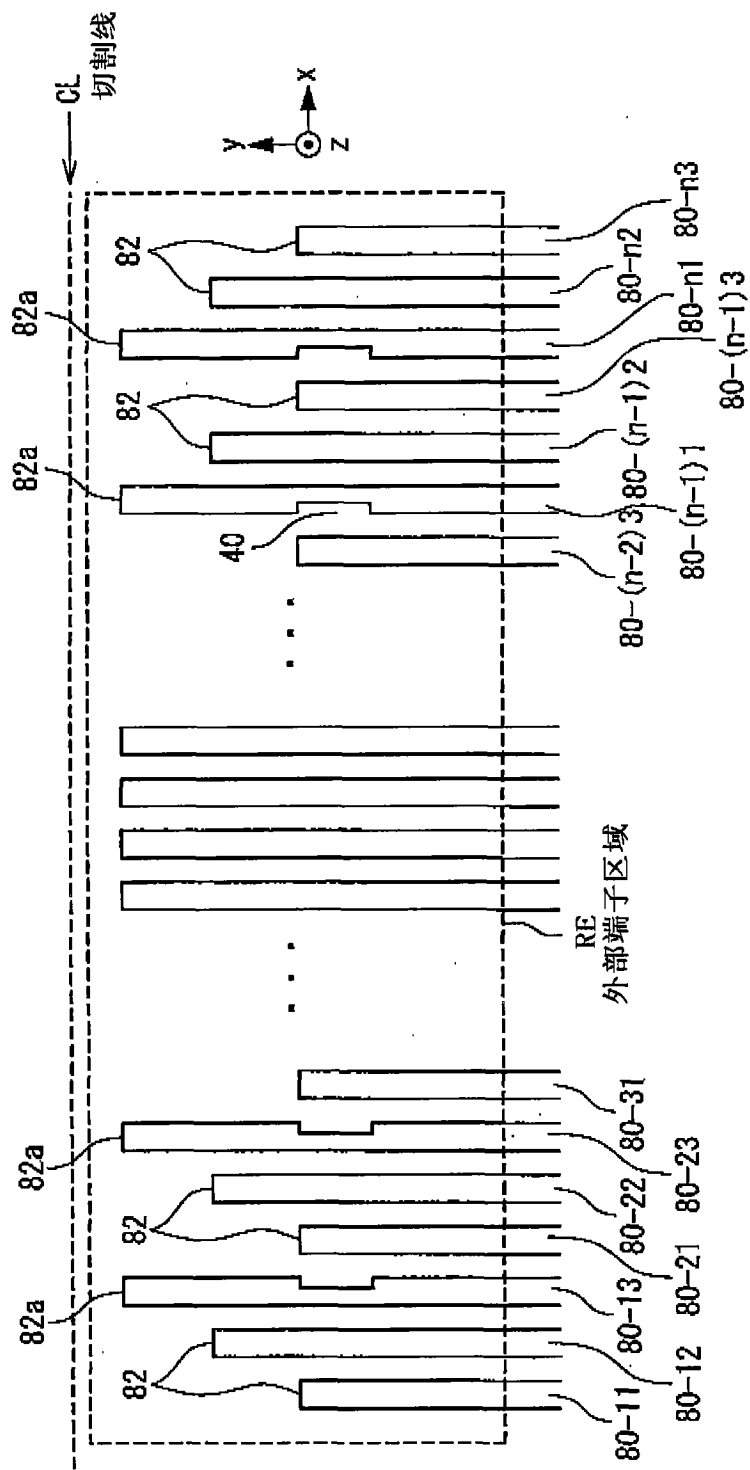


图 9

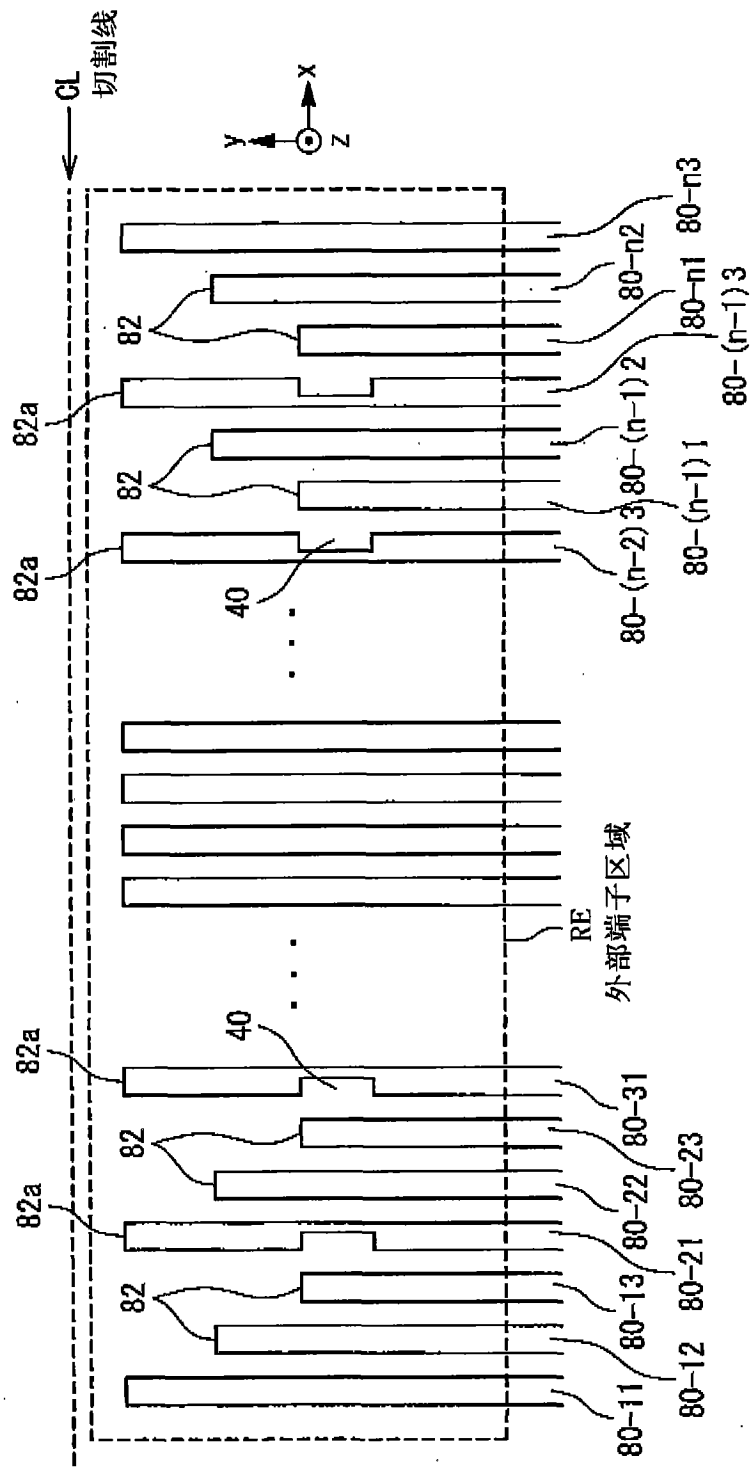


图 10

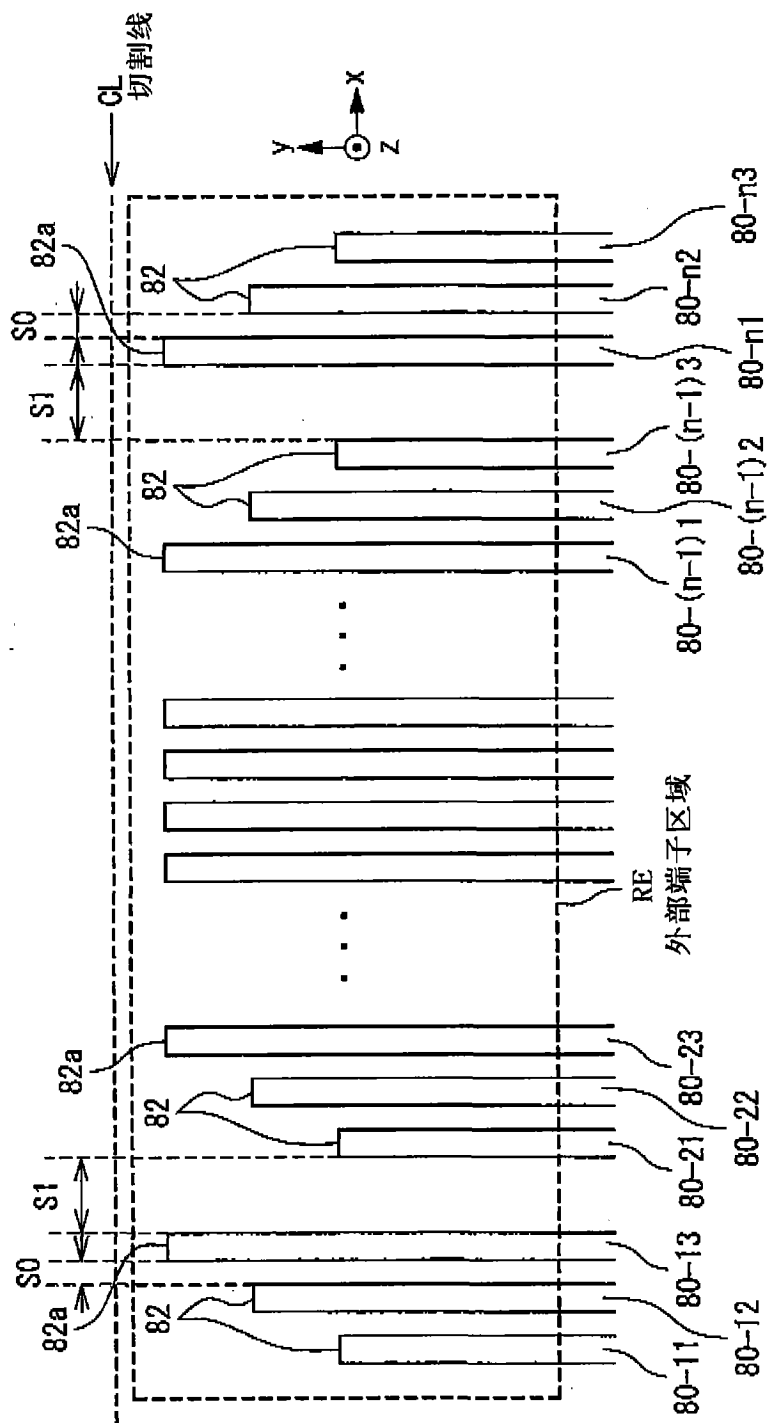


图 11

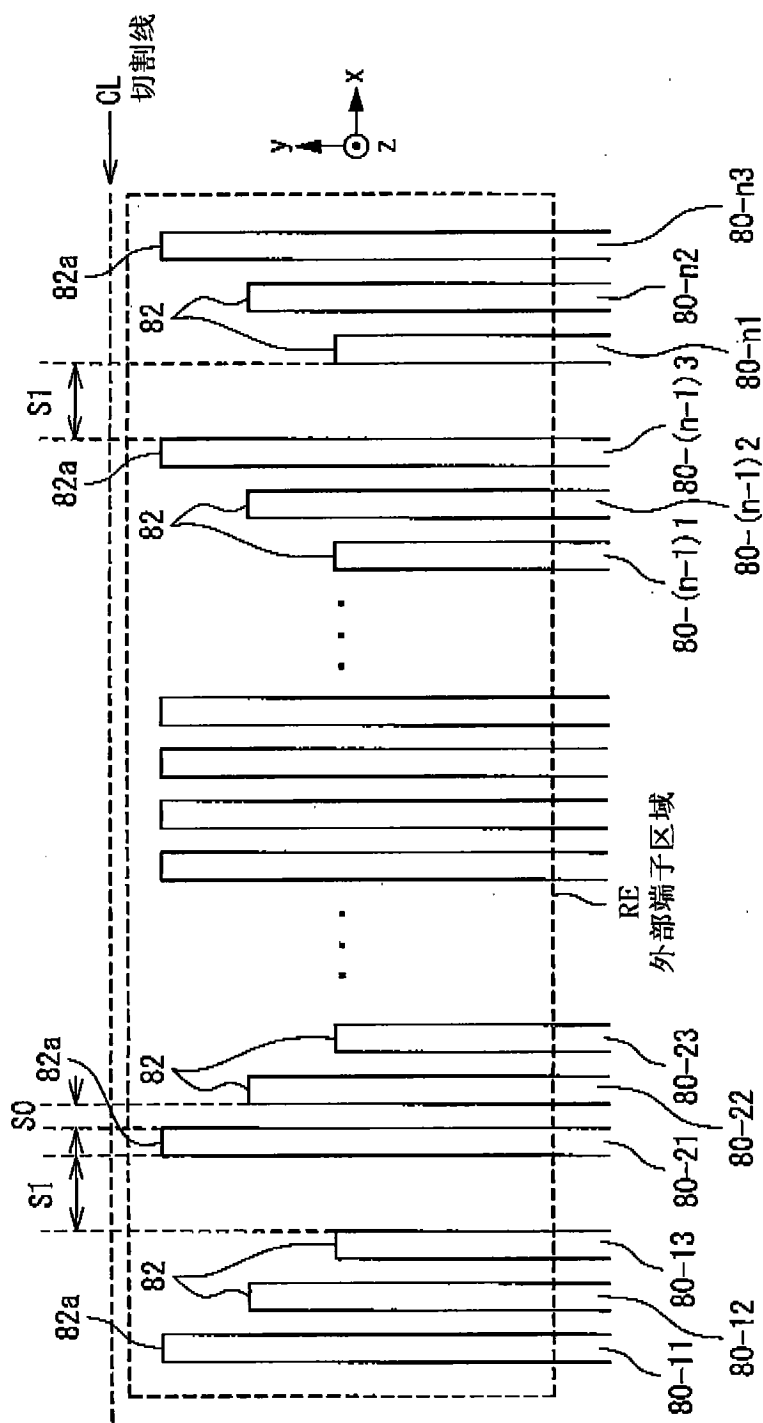


图 12