

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 01116633.9

[45] 授权公告日 2007 年 3 月 14 日

[11] 授权公告号 CN 1305107C

[22] 申请日 1994.3.12 [21] 申请号 01116633.9
分案原申请号 94104267.7

[30] 优先权

[32] 1993. 3. 12 [33] JP [31] 79004/93

[32] 1993. 3. 12 [33] JP [31] 79005/93

[73] 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

[72] 发明人 张宏勇 高山彻 竹村保彦

[56] 参考文献

US5091334A 1992. 2. 25

US4727044A 1988. 2. 23

US5147826A 1992. 9. 15

审查员 闫立刚

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 张志醒

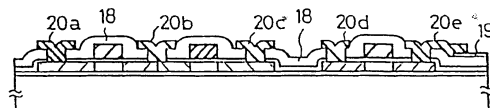
权利要求书 4 页 说明书 16 页 附图 5 页

[54] 发明名称

半导体电路的制造方法

[57] 摘要

本发明的制造半导体电路的方法由形成非晶硅膜着手, 然后, 如此形成含至少一种催化元素的第二层, 以便与非晶硅膜紧密连接, 或将催化元素掺入非晶硅膜中, 用激光或其他强度等于激光的光对该非晶硅膜作选择性照射, 再使该非晶硅膜晶化。



1. 一种制造半导体电路的方法，包括：

在一衬底的绝缘表面上面形成含硅的半导体膜，该半导体膜具有第一部分、第二部分及一表面；

选择性地至少一种催化元素只引入所述半导体膜的所述第一部分，所述至少一种催化元素用以促进该半导体膜的晶化；和

用光照射所述半导体膜的所述表面从而促进所述半导体膜的晶化，

其中，所述半导体膜的结晶性在所述第一部分比在所述第二部分更强。

2. 如权利要求 1 所述的制造半导体电路的方法，其中，所述至少一种催化元素包括镍、铁、钴和铂构成的一组中的至少其中之一。

3. 如权利要求 1 所述的制造半导体电路的方法，其中，所述光为激光或强度等于激光的光。

4. 一种生产有源阵列型半导体电路的方法，所述电路至少包括第一组薄膜晶体管和第二组薄膜晶体管，第一组薄膜晶体管形成在一衬底的第一部分上面，构成一个有源阵列电路，第二组薄膜晶体管形成在该衬底的第二部分上面，构成驱动所述有源阵列电路的外围电路，所述方法包括：

在所述衬底的上面形成非晶硅膜；

将一种催化材料只引入所述第二部分的上面的所述非晶硅膜的一部分之内或之上，所述催化材料用以促进该硅膜的晶化；

用光照射所述衬底的所述第一部分和第二部分上面的所述非晶硅膜，以使所述非晶硅膜晶化；和

将所述硅膜刻成多个硅岛的图形，从而构成所述第一组薄膜晶体管和所述第二组薄膜晶体管。

5. 如权利要求 4 所述的生产半导体电路的方法，其中还包括：

用所述光照射所述非晶硅膜之前对所述非晶硅膜加热使其退火，以使所述非晶硅膜进行晶化。

6. 如权利要求 5 所述的生产半导体电路的方法，其中，所述非晶硅

膜的加热退火是在 400 - 500°C 温度范围内进行的。

7. 如权利要求 4 所述的生产半导体电路的方法, 其中, 所述催化材料是通过将其放置到与所述非晶硅膜接触的方法而加入的。

8. 如权利要求 4 所述的生产半导体电路的方法, 其中, 所述催化材料是通过离子注入法加入的。

9. 如权利要求 4 所述的生产半导体电路的方法, 其中, 使所述非晶硅膜晶化以后, 在所述硅膜中所含的所述催化元素的浓度不超过 1×10^{20} 原子/cm³。

10. 如权利要求 1 所述的制造半导体电路的方法, 其中, 在所述晶化以后在所述半导体膜中所含的所述催化元素的浓度不超过 1×10^{20} 原子/cm³。

11. 一种制造半导体电路的方法, 包括:

在一衬底上面形成含硅的半导体膜, 所述膜具有一个表面;

使至少一种催化元素与所述半导体膜的所有所述表面相接触, 以促进该半导体膜的晶化;

用光选择性地照射所述半导体膜的除第二部分外的第一部分, 以使该半导体膜的所述第一部分晶化; 和

在所述照射步骤之后, 通过加热使所述半导体膜退火, 以晶化所述半导体膜的至少所述第二部分。

12. 如权利要求 11 所述的方法, 其中, 所述催化元素包括镍、铁、钴和铂的至少其中之一。

13. 如权利要求 11 所述的方法, 其中, 所述退火步骤是在 580°C 或以下的温度进行的。

14. 如权利要求 11 所述的方法, 其中, 所述光为激光或强度等于激光的光。

15. 一种制造半导体电路的方法, 包括:

在一衬底上面形成含硅的半导体膜;

将至少一种催化元素引入所述半导体膜内, 以促进该半导体膜的晶化;

用光选择性地照射所述半导体膜的除第二部分外的所述半导体膜的第一部分，以使该半导体膜的所述第一部分晶化；和

在用光照射所述第一部分之后，通过加热使所述半导体膜退火，以晶化所述半导体膜的至少所述第二部分。

16. 如权利要求 15 所述的制造半导体电路的方法，其中，在所述引入步骤中，所述半导体膜中的所述至少一种催化元素的最低浓度值，按 SIMS 测量，超过 $1 \times 10^{16}/\text{cm}^3$ 。

17. 如权利要求 15 所述的制造半导体电路的方法，其中，所述半导体膜的退火是在 580°C 或以下的温度进行的。

18. 如权利要求 15 所述的制造半导体电路的方法，其中，所述光为激光或强度等于激光的光。

19. 如权利要求 15 所述的制造半导体电路的方法，其中，在所述半导体膜的第一部分晶化以后，所述半导体膜中所含的所述催化元素的浓度不超过 1×10^{20} 原子/ cm^3 。

20. 一种制造有源阵列型半导体电路的方法，所述电路至少包括第一组薄膜晶体管和第二组薄膜晶体管，第一组薄膜晶体管形成在一衬底的第一部分的上面，构成一个有源阵列电路，第二组薄膜晶体管形成在该衬底的第二部分的上面，构成驱动所述有源阵列电路的外围电路，所述方法包括：

在所述衬底的上面形成非晶硅膜；

将一种催化材料引入位于所述衬底的第一部分和第二部分两者上面的所述非晶硅膜之内或之上，用以促进该硅膜的晶化；

用光只照射位于所述衬底的第二部分上面的所述非晶硅膜部分，以使该部分晶化；和

将所述硅膜刻成多个硅岛的图形，以构成所述第一组薄膜晶体管和所述第二组薄膜晶体管。

21. 如权利要求 20 所述的制造半导体电路的方法，其中还包括：

通过加热使位于所述衬底的所述第一部分上的所述硅膜进行退火。

22. 如权利要求 20 所述的制造半导体电路的方法，其中，所述催化材料选自镍、铁、钴和铂组成的组。

23. 如权利要求 20 所述的制造半导体电路的方法，其中，所述催化材料是通过使其设置为与所述非晶硅膜接触的方式而引入的。

24. 如权利要求 20 所述的制造半导体电路的方法，其中，所述催化材料是通过离子注入法而引入的。

25. 如权利要求 1 所述的制造半导体电路的方法，其中，所述催化元素被形成为只与所述半导体膜的第一部分接触。

26. 如权利要求 15 所述的制造半导体电路的方法，其中，所述催化元素是通过离子注入法而引入的。

27. 如权利要求 1 所述的制造半导体电路的方法，其中，所述半导体膜的整个表面用光照射。

半导体电路的制造方法

本发明申请是申请日为1994年3月12日、申请号为94104267.7、发明名称为“半导体电路及其制造方法”的专利申请的一个分案申请。

技术领域

本发明涉及薄膜晶体管(TFTs)以及制造TFTs的方法。另外本发明涉及使用多个TFTs的半导体电路及制造这种半导体电路的方法。或在玻璃等绝缘衬底或者在硅单晶半导体衬底上,形成按照本发明制造的薄膜晶体管。尤其本发明适用于半导体电路,该电路包括低速阵列电路和用于驱动阵列电路的高速外围电路,例如用于驱动液晶显示管中的单片有源阵列电路。本发明具有极大优点。

背景技术

在最近几年,研究了薄膜型有源层(亦称有源区域)的绝缘栅半导体器件。尤其认真研究了叫做TFT的薄膜型绝缘栅晶体管。在透明的绝缘衬底上形成这类晶体管,或者用以控制在诸如有阵列结构的液晶显示的显示器件中的每个象素或者用以构成驱动电路。根据所使用的半导体结晶状态或材料,他们被分类为非晶硅TFT或晶体硅TFT。

通常,非晶半导体具有小的场迁移率,因此,他们不能用来作要求高速工作的TFTs。所以,近几年,研究了晶体硅TFTs,并开展了制造具有较高特性的电路。

由于晶体半导体比非晶半导体具有更高的场迁移率,所以晶体半导体能以较高的速度工作。就晶体硅来说,可制造PMOS TFTs以及NMOS TFTs。例如,众所周知的是由类似于有源阵列电路部分的CMOS晶体TFTs组成有源阵列液晶显示器的外围电路。就是说,这是一种单片结构。

图3是用作液晶显示器的单片有源阵列电路的框图。在衬底7上构成列译码器1和行译码器2,以形成外围驱动电路。在阵列区域3形成每个包括一个晶体管和一个电容器的象素电路4。通过导电互连线5和6使阵列区域和外围电路连接。用于外围电路的TFTs被要求以高速工作,同时用于象素电路的TFTs还被要求具有低漏电流。在物理上来看,这些是相矛盾的特性,但是必须在同样的衬底上同时形成这二类TFTs。

然而,用相同的工艺过程制造的所有TFTs显示出相同的特性。如使用由热退火制造的晶体硅TFTs、用于阵列区域的TFTs和外围驱动电路中的TFTs全都具有相同的特性。难以同时获得适合于象素电路的低漏电流和适用于外围驱动电路的高迁移率。通过同时使用热退火和利用选择性激光退火结晶化便能解决上述困难。在这种情况下,可在阵列区域使用通过热退火制造的TFTs,而可在外围驱动电路区域使用通过激光退火制造的TFTs。但是,利用激光退火结晶的硅的结晶度的均匀性很低,尤其是,在要求无缺陷的外围驱动电路中难以应用这些TFTs。

为了获得晶体硅,还可使用依赖于激光退火的结晶过程。如果由激光退火结晶的这种硅来制造半导体电路,那么在阵列区域的TFTs和在外围驱动电路的TFTs全都具有相同的特性。因此,可设想另一种使硅晶化的方法。尤其是利用热退火形成在阵列区域的TFTs,利用激光退火形成在外围驱动电路的TFTs。然而,采用热退火,必须在600℃温度下长达24小时地使硅退火,或必须在超过1000℃的高温下使硅退火。前者方法生产率低;后者方法可用的衬底材料局限于石英。

发明内容

本发明目的在于提供一种制造半导体电路的方法,该方法不依赖于复杂的工艺过程,不影响产量或生产成本。

本发明的另一个目的在于提供一种方法,该方法有最少的工艺变化,易于大量生产二种TFTs。其中一种要求具有高的迁移率,另一种要求具有低漏电流。

我们的研究已揭示：对于实质上非晶硅膜来说增加微量催化材料促进结晶，降低结晶温度，缩短结晶时间。催化材料的例子包括镍（Ni）、铁（Fe）、钴（Co）、铂及其硅化物的单一成分物质。更确切地说，使用含这种催化元素、元素粒子、或元素组的膜，在非晶硅的上下形成第一膜，以致于使第一膜与非晶硅膜紧密接触。另一方面，用离子注入或其他方法把这样的催化元素注入到非晶硅膜中。然后，在适当温度中对膜作热退火，一般温度低于 580℃，时间缩短至 8 小时内。结果非晶膜被结晶化。

用这样催化元素制造膜的情况下，元素的浓度充分低，因此膜非常之薄。可使用真空泵如溅射或真空蒸发的方法形成该膜。另外，也可采用在常压下如自旋涂敷或浸渍实现的方法。这用常压方法易于实施，并且提供高的生产率。在这种情况下，把包括醋酸盐，硝酸盐，有机盐等这样的催化元素溶解在适当的溶剂内，并且将其浓度调整到适当的值。

由 CVD 法形成非晶硅膜时，把催化材料加到原材料气体中，用物理蒸发淀积如溅射形成非晶硅膜时，可把催化材料加到靶子或形成膜的蒸发源中。当然，随退火温度上升，结晶时间减小。此外，随镍、铁、钴和铂浓度增加，结晶温度下降，结晶时间缩短。研究显示：为了促进结晶，至少这些元素之一的浓度必须超过 $10^{17}/\text{cm}^3$ ，超过 $5 \times 10^{18}/\text{cm}^3$ 更好。

由于全部上述催化材料不是硅所要求的，所以希望它们的浓度尽可能低。我们的研究揭示：这些催化材料的总浓度最好不超过 $1 \times 10^{20}/\text{cm}^3$ ，并且，最好局部浓度（例如在晶界外的浓度）不超过 $1 \times 10^{20}/\text{cm}^3$ 。

在本发明，通过激光结晶选择性地形成高速工作并用作驱动有源阵列电路 TFTs 的 TFTs。另一方面，通过由上述催化元素促进的结晶性质的实际使用，制造以较低速度工作并用作有源阵列电路象素的低漏电流 TFTs 的 TFTs。为形成后者 TFTs，在低温下短时间内使硅晶化。结果，在同一个衬底上可形成包括多个晶体管的、既要实现低漏电流又要实现高速工作、通常这二者特性是相矛盾的电路。

还发现：当用激光或强度等于激光的光照射含催化元素如镍、铁、

钴、铂和钯的膜时，即使催化元素的浓度比在热平衡状态通常所需引起结晶的浓度要小得多，也发生非常迅速的晶体生长。典型的是，前者浓度小于后者浓度的十分之一。

更具体地说，通过把这些催化元素的浓度调整到 $1 \times 10^{15} - 1 \times 10^{19}/\text{cm}^3$ ，较好地为 $1 \times 10^{16} - 5 \times 10^{17}/\text{cm}^3$ 也能促进晶化。然后，用适当能量的激光或其他相当强度的光照射该膜，激光或其他强度相等的光的能量密度变化，取决于照射光的波长、脉冲持续时间、非晶硅膜的温度（或晶体硅）以及其他因素。例如，若把非晶硅的温度调至 $100 - 450^\circ\text{C}$ ，较好地是 $250 - 350^\circ\text{C}$ ，也能用较小的催化元素浓度完成晶化。

本发明利用上述催化材料结晶的特性来形成非晶硅膜。由含催化元素的材料制成的膜与非晶硅膜紧密连接，或元素加至非晶硅膜，然后用激光或强度等于激光的光照射非晶膜，以使非晶硅膜结晶。这时，含催化元素的材料与衬底的选择部分紧密接触或掺入这些部分。接着，用激光或强度等于激光的光照射或扫描该膜。用该方法，在同一衬底上可形成结晶度不同的硅膜。在激光照射前，还可在 $350 - 650^\circ\text{C}$ ，较好为 $400 - 550^\circ\text{C}$ 下，经 $1 - 24$ 小时，较好为 $2 - 8$ 小时作预退火。

用该方法可改善结晶度。此外，作热退火虽不能除去的晶界势垒，但只要能降低晶界势垒就好了。另外，甚至可使留在晶界的非晶部位结晶。在这种情况下所采用的该方法，即使通过热退火达到的结晶度下降，通过后续的激光照射也能完成全部结晶。因此可降低利用催化元素的浓度。

在本发明，通过后续激光照射改善用催化元素掺杂的区域结晶度，要优于用催化元素的掺杂较少区域结晶度，而不管在激光照射之前是否实施了退火。此外，所获得 TFTs 表现的特性相当于或优于由用激光照射非晶膜的一般激光退火所制造的 TFTs 特性。此处，所用激光或强度等于激光的光的能量要小于在通常激光退火中用的激光能量，就可稳定地获得这些特性。另一方面，经激光照射也可使没有用催化元素掺杂的区域结晶。并且在该情况下，使激光或强度等于激光的光的能量小于在通常

激光退火中使用的激光能量，也能获得稳定的特性。当然，没有用催化元素掺杂的区域特性要劣于用催化元素掺杂的区域的那些特性。

利用这些特点，把催化元轻掺杂区域用于形成有源阵列电路的象素电路中的低漏电流 TFTs。而将催化元素重掺杂区域用于外围驱动电路中的高速型 TFTs。结果，在一个衬底上可形成这样的一种电路，该电路包括获得既有低漏电流又有高速工作，往往特性相矛盾的各个晶体管。

在本发明，在形成要求低漏电流的 TFTs 部分内的催化元素浓度必须低于在形成高速 TFTs 的部分内的催化元素的浓度。为了使他们的差异变得更大或再降低漏电流，需要低漏电流的在 TFTs 的源区域内的催化元素的浓度最好小于 $1 \times 10^{15}/\text{cm}^3$ 。

附图说明

通过下面的描述，本发明的其他目的和特点会更清楚。

图 1 (A) - 1 (E) 是按照本发明实施例 1 的半导体电路剖面图，说明制造半导体电路的连续进行的各步骤；

图 2 (A) - 2 (E) 是类似于图 1 (A) - 1 (E) 的剖面图，说明按照实施例 2 的半导体器件；

图 3 是单片有源阵列电路的示意图；

图 4 (A) - 4 (E) 是按照本发明实施例 3 的剖面图；说明制造半导体电路的连续进行的各步骤；并且，

图 5 (A) - 5 (E) 是类似于图 4 (A) - 4 (E) 的剖面图，说明按照实施例 4 的半导体器件。

具体实施方式

实施例 1

本实施例涉及一种半导体电路，如图 3 所示，该半导体电路包括在单个玻璃衬底上形成的有源阵列电路和在有源阵列电路周围形成的驱动电路。图 1 (A) - (E) 是按照本实施例半导体电路的横剖面图，说明

连续进行制作该器件的各个步骤。首先，在由 Corning 7059 制成的衬底 10 上溅射氧化硅厚 2000 \AA 作为底膜 11。用 LPCVD 法在硅氧化膜 11 上形成具有 $500 - 1500 \text{ \AA}$ ，例如 1500 \AA 厚的本征非晶硅膜 12。此后立即通过溅射淀积硅化镍厚度为 $5 - 200 \text{ \AA}$ 例如 20 \AA 作为膜 13 (图 1A)。硅化镍膜 13 的化学分子式为 NiSi_x ，而 $0.4 \leq x \leq 2.5$ ，例如 $x = 2.0$ 。

然后,用激光有选择性地照射该叠层制品,以使该选择区域结晶。作为照射光使用具有 248nm 波长和脉冲持续时间为 20nsec 的 KrF 准分子激光器发射的光。其他激光器可用如波长 353nm 的 XeF 准分子激光器发射的光, 波长为 308nm 的 XeCl 准分子激光器发射的光, 波长为 193nm 的 ArF 准分子激光器发射的光, 以及其他激光器。激光能量密度为 $200\sim 500\text{mJ}/\text{cm}^2$, 例如 $350\text{mJ}/\text{cm}^2$ 。在每个位置发射激光 2~10 次, 例如 2 次。在激光照射期间, 衬底被加热至 $200\sim 450^\circ\text{C}$, 如 300°C 。

如图 3 可见, 要利用激光照射结晶化的外围电路区域与足以承受通过热退火处理的阵列电路相隔很大距离。因此无需光刻步骤。

其后, 在还原气氛环境中, 在 500°C 条件下使叠层制品作 4 小时退火, 以使没有用激光照射过的区域(有源阵列电路的象素电路)结晶化。结果, 获得两种结晶硅区域 12a 和 12b。通过激光结晶化步骤, 提高了区域 12a 的场迁移率, 反之, 由热退火结晶的区域 12b 则成为低漏电流区(图 1(B))。

将用此方法得到的硅膜进行光刻构图, 以作成形成外围驱动电路的岛状硅区域 14a 和形成阵列电路区域的岛状区域 14b。通过溅射, 淀积厚度为 1000\AA 的氧化硅作为栅绝缘膜 15。在溅射工艺时, 使用含氧化硅的靶子。在溅射期间, 衬底温度为 $200\sim 400^\circ\text{C}$ 例如 350°C 。溅射环境气氛含氧和氩。氩与氧的比率在 0 和 0.5 之间, 例如小于 0.1。利用 LPVD 淀积厚度达 $6000\sim 8000\text{\AA}$ 例如 6000\AA , 含 0.1~2% 磷的硅, 以形成硅膜。最好连续进行形成硅氧化膜的步骤和形成硅膜的步骤。对硅膜进行构图以形成栅电极 16a、16b 和 16c(图 1(C))。

然后,用栅电极掩蔽硅区域,利用等离子掺杂法把包括磷或硼的杂质注入硅区域。把磷化氢(PH_3)和乙硼烷(B_2H_6)用作气体掺杂剂。当使用前一种气体时,加速电压为 60~90KV,如 80KV;当使用后一种气体时,加速电压为 40~80KV 如 65KV。剂量为 $1 \times 10^{15} \sim 8 \times 10^{15}/\text{cm}^2$ 。在用磷情况下剂量为 $2 \times 10^{15}/\text{cm}^2$;在用硼情况下剂量为 $5 \times 10^{15}/\text{cm}^2$ 。结果,形成 N 型掺杂区域 17a, P 型掺杂区域 17b 和 17c。

其后,通过激光退火激活杂质。使用波长为 248nm 和脉冲持续时间为 20nsec 的 KrF 准分子激光器发射的光作激光退火,其他激光器比如波长为 353nm 的 XeF 准分子激光器发射的光,波长为 308nm 的 XeCL 准分子激光器发射的光,以及其他激光都可使用。激光能量密度为 $200 \sim 400 \text{mJ}/\text{cm}^2$, 比如 $250 \text{mJ}/\text{cm}^2$, 激光照射期间,向每个位置发射激光 2~10 次比如 2 次,衬底可加热到 $200 \sim 400^\circ\text{C}$ 。可以在 $450 \sim 500^\circ\text{C}$ 温度下对叠层制品作 2~8 小时退火而不是激光照射。用该方法,使掺杂区域 17a~17c 激活(图 1(D))。

然后,通过等离子 CVD,淀积 6000 Å 厚的氧化硅作为层间绝缘体 18。接着溅射厚度为 500~1000 Å 比如 800 Å 的铟锡氧化物(ITO),并构图以形成象素电极 19。在层间绝缘体 18 中形成接触孔。由金属材料如氮化钛和铝的多层膜构成用于形成外围驱动电路的 TFTs 的电极和各各导电互连线 20a、20b、20c,以及用于形成阵列象素电路的 TFTs 的电极和各导电互连线 20d,20e。最后,在氢环境中,一个大气压,温度为 350°C 的条件下使该叠层制品经 30 分钟退火。这样,就完成了半导体电路(图 1(E))。

用二次离子质谱仪(SIMS)测定所获得的 TFTs 的有源区域内的镍浓度。对于外围驱动电路和阵列电路两者来说,浓度为 $1 \times$

$10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ 。

实施例 2

图 2(A)~2(E)是横剖面图,该图说明构成该实施例的各连续执行步骤。在由 Corning7509 构成的衬底 21 上,溅射氧化硅厚为 2000Å,作为硅氧化膜 22。并且,利用 LPCVD 在硅氧化膜 22 上形成厚度为 200~1500Å 例如 500Å 的非晶硅膜 23。注入镍离子,在非晶硅膜表面形成区域 24,而该区域 24 的掺镍浓度为 $1 \times 10^{18} \sim 2 \times 10^{19} / \text{cm}^3$ 例如 $5 \times 10^{18} / \text{cm}^3$ 。掺杂区域 24 的深度为 200~500Å。还根据掺杂区域的深度选择加速能量(图 2(A))。

并且,用激光对非晶硅膜作选择性照射,以使所选定的部位结晶。用作激光照射的是波长为 248nm 用脉冲持续时间 20nsec 的 KrF 准分子激光器发射的光。激光的能量密度为 200~500mJ/cm²,例如 350mJ/cm²。在每个位置发射激光 2~10 次,例如 2 次。在激光照射期间,衬底加热至 200~450°C 例如 400°C。在还原气氛中,温度为 500°C 下,使叠层制品经 4 小时的退火,以使非晶硅膜未被照射过的部位结晶。作为该结晶步骤的结果,获得二种结晶化的硅区 23a 和 23b(图 2(B))。

其后,使硅膜构图,以形成岛状区域 26a(外围驱动电路区域)和 26b(阵列象素电路区域)。作为 TFTs 的栅绝缘膜,由四乙氧硅烷[四乙基原硅酸盐, $\text{Si}(\text{OC}_2\text{H}_5)_4$]和氧形成厚度为 1000Å 的硅氧化膜 27。还将三氯乙烯(C_2HCl_3)加到原料气体中。在该膜成形之前,把流量为 400SCCM 的氧送入腔室。在衬底温度为 300°C,总压力 5Pa,以及 RF 功率为 150W 下产生等离子。这种条件保持 10 分钟。接着分别以 300SCCM,15SCCM 和 2SCCM 的流量把氧,四乙基原硅酸盐和三氯乙烯导入腔室。这样就形成硅氧化膜,而衬底的

温度是 300°C, RF 功率为 75W, 总压为 5Pa。膜制成后, 在 100torr 的压力下把氢输入腔室。在 350°C 温度下, 将该叠层制品退火 35 分钟。

接着, 用溅射法淀积厚度 6000~8000 Å 如 6000 Å 的含 2% 硅的铝作为铝膜。还可用钽、钨、钛或钼替代铝。最好连续执行形成硅氧化膜 27 的步骤和形成铝膜的步骤。将铝膜刻成图形, 以形成 TFTs 的栅电极 28a、28b 和 28c。将铝互连线的表面作阳极氧化, 在表面形成氧化层 29a、29b 和 29c。在酒石酸的 1~5% 乙二醇溶液内实施阳极氧化处理。所获得氧化层的厚度为 2000 Å (图 2(C))。

然后利用等离子掺杂法, 把杂质或磷注入到硅区域。利用磷化氢(PH_3)作为气体掺杂剂, 加速电压为 60~90KV 例如 80KV。剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} / \text{cm}^2$ 。这样就形成 N 型掺杂区域 30a。用光刻胶掩蔽左边的 TFT(N 沟道 TFT), 再用等离子掺杂法把杂质或硼注入到右边的外围电路区域 TFT 的硅区域, 以及注入构成阵列电路 TFTs 的硅区域。利用乙硼烷(B_2H_6)作为气体掺杂剂加速电压为 50~80KV 例如 65KV, 剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} / \text{cm}^2$ 例如 $5 \times 10^{15} / \text{cm}^2$ 例如 $5 \times 10^{15} / \text{cm}^2$, 上述剂量要大于先前注入磷的剂量。这样就形成了 P 型掺杂区和 30c。

然后, 用激光退火激活杂质。用作激光照射的有波长为 248nm 和脉冲持续时间 20nsec 的 KrF 准分子激光器发射的光。激光能量密度为 200~400mJ/cm² 例如 250mJ/cm²。对每个位置照射激光 2~10 次例如两次(图 2(D))。

接着, 通过等离子 CVD, 用四乙基原硅酸盐 (TEOS) 形成厚度 2000 Å 的硅氧化膜 31 作为层间绝缘体。利用溅射法, 淀积 500~

1000 Å 例如 800 Å 厚的铟锡氧化物(ITO)作为铟锡氧氧化膜。刻蚀该膜,形成像素电极 32。在层间绝缘体 31 内形成接触孔。由金属材料例如氮化钛和铝的多层膜形成源、漏电极、用于外围驱动电路的 TFTs 的导电互连线 33a、33b、33c 和各电极以及用于阵列像素电路的 TFTs 的导电互连线 33d、33e。这样就完成了半导体电路(图 2(E))。

制造半导体电路的外围驱动电路 TFTs 的性能决不劣于用已有技术激光结晶制作的 TFTs 性能。利用按照本实施例的这些 TFTs 构成移位寄存器。我们已经证实:用 15V 漏电压,该移位寄存器能在 11MHz 下工作,用 17V 漏电压,则能在 16MHz 下工作。并且在可靠性测试中,没有看出新型 TFTs 和由公知技术方法制造的 TFTs 之间存在差异。就在阵列区域像素电路内的 TFTs 的性能而论,漏电流小于 10^{-13} A。

实施例 3

图 4(A)~4(E)是半导体电路的横向剖面图,诸图说明制造按照本实施例电路的各连续执行步骤。首先,在由 Corning7059 制成的衬底上溅射厚度 2000 Å 的氧化硅,作为底层 11。利用等离子 CVD 在基层 11 上形成厚度为 500~1500 Å 例如 500 Å 的本征(I)型非晶硅膜 12。然后,立即用溅射法,有选择性地形成含浓度为 $1 \times 10^{18}/\text{cm}^3$ 的镍并用厚度为 5~200 Å 例如 50 Å 的硅膜 13 如所示。利用剥离(lift-off)工艺制作这镍膜 13。还可使用旋涂法代替溅射法(图 4(A))。

用激光照射非晶硅膜 12 的整个表面,使其结晶化。就这种激光照射而言,可使用波长为 248nm 和脉冲持续时间为 20nsec 的 KrF 准分子激光器发射的光。

也可用其他激光器如波长为 353nm 的 XeF 准分子激光器,波

长为 308nm 的 XeCl 准分子激光器, 波长为 193nm 的 ArF 准分子激光器和其他激光器。激光的能量密度为 $200 \sim 500 \text{mJ/cm}^2$, 例如 350mJ/cm^2 。向每个位置发射激光 2~10 次, 例如 2 次。在激光照射期间, 衬底被加热到 $100 \sim 450^\circ\text{C}$, 例如 300°C 。结果, 使非晶硅膜的整个表面结晶化。然而, 位于硅镍膜 13 下面的硅膜 12a 那些部位的结晶度要优于在其他区域内硅膜 12b 的结晶度, 这是因为镍促进了结晶化(图 4(B))。

将硅膜光刻成图形, 以形成岛状硅区域 14a(外围驱动电路区域)和 14b(阵列区域)。用溅射法, 淀积 1000\AA 厚的硅氧化物作为栅绝缘膜 15。在溅射工艺中, 使用含氧化硅的靶子。在该工艺过程中, 衬底的温度为 $200 \sim 400^\circ\text{C}$, 例如 350°C 。溅射的气氛环境含氧和氩。氩与氧的比率在 0 和 0.5 之间, 例如小于 0.1。接着, 通过 LPCVD 法, 形成厚为 $3000 \sim 8000 \text{\AA}$, 例如 6000\AA 以及含 0.1~2% 磷的硅膜。最好, 连续实施形成硅氧化膜 15 的步骤和形成硅膜的步骤。再将硅膜刻成图形, 以形成栅电极 16a、16b 和 16c(图 4(C))。

于是, 利用栅电极作为掩模, 用等离子掺杂法, 把杂质或磷和硼注入硅区域。磷化氢(PH_3)和乙硼烷(B_2H_6)都可用作掺杂剂气体。使用磷化氢时, 加速电压为 $60 \sim 90 \text{KV}$, 例如 80KV ; 使用乙硼烷时, 加速电压为 $40 \sim 80 \text{KV}$, 例如 65KV 。剂量为 $1 \times 10^{15} \sim 8 \times 10^{15} / \text{cm}^2$ 。例如磷剂量为 $2 \times 10^{15} / \text{cm}^2$; 硼的剂量为 $5 \times 10^{15} / \text{cm}^2$, 结果, 形成了 N 型掺杂区域 17a, P 型掺杂区域 17b、17c。

此后, 由激光退火激活杂质。就该激光退火而言, 使用波长为 248nm 和脉冲持续时间 20nsec 的 KrF 准分子激光器发射的光。其他激光器如 XeF 准分子激光器发射的波长为 353nm 的光、XeCl 准分子

激光器发射的波长为308nm的光、ArF准分子激光器发射的波长为193nm的光以及其它的激光器的光。激光的能量密度为200~400mJ/cm²例如250mJ/cm²向每个位置照射激光2~10次,例如2次。在激光退火期间,衬底被加热到100~450℃,例如250℃。这样就激活了掺杂区域17a~17c(图4D)。

然后,用等离子CVD法,形成厚度为6000Å的硅氧化膜18作为层内绝缘体。通过溅射形成厚度为500~1000Å例如800Å的铟锡氧化物膜(ITO)。将该膜刻成图形,形成象素电极19。再在层间绝缘体内形成接触孔。用金属材料例如氮化钛和铝的多层膜制作电极,外围驱动电路的TFTs的导电互连线20a、20b、20c和电极,以及阵列象素电路的TFTs的导电互连线20d、20e和电极。最后在350℃、1个大气压下以及氢环境中经30分钟,使叠层制品退火。这样,就完成了半导体电路(图4(E))。

用SIMS来测试定本实施例所获得TFTs有源区域内所含镍的浓度,外围驱动电路内TFTs中的镍浓度为 $1 \times 10^{17} \sim 5 \times 10^{17} / \text{cm}^3$ 。象素电路内TFTs中的镍浓度低于检测下限,这个下限为 $1 \times 10^{16} / \text{cm}^3$ 。

实施例4

图5(A)~5(E)是半导体器件的横剖面图。诸图说明连续进行制造按照本实施例的器件的各个步骤。利用溅射在由Corning7059制成的衬底21上,形成厚度2000Å的硅氧化膜22。然后,用等离子CVD法,在硅氧化膜22上形成厚度为200~1500Å例如500Å的非晶硅膜23。在用光刻胶24掩蔽该膜同时,用离子注入法,有选择性地使镍离子注入到非晶硅膜23内。这样,形成浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ 例如 $5 \times 10^{16} / \text{cm}^3$ 的含镍区域25。这些区

域 25 的深度是 200~500 Å。根据这个深度确定加速电压。由于本实施例采用离子注入法,在控制镍浓度方面比起实施例 3 的技术就更加有效(图 5(A))。然后,在 350~650°C,最好是 400~550°C 例如 500°C,在氮气气氛中使衬底退火 2 小时。作为结果,镍掺杂区域的晶化过程初步得到推进,而后,用激光照射非晶硅膜 23 的整个表面,使这些区域晶化。就该激光照射来说,使用波长 248nm 和脉冲持续时间 20nsec 的 KrF 准分子激光器发射的光。激光的能量密度为 200~500mJ/cm² 例如 350mJ/cm²。向每个位置发射激光 2~10,例如 2 次。在激光照射期间,衬底加热到 100~450°C 例如 350°C。结果,硅膜晶化。用镍掺杂硅膜的那些区域 23a 在结晶度方面要优于未掺杂区域 23b(图 5(B))。

其后,使硅膜刻成图形,形成岛状硅区域 26a(外围驱动电路区域)和 26b(阵列象素电路区域)。用等离子 CVD 法,形成厚度 1000 Å 的硅氧化膜 27 作为 TFTs 的栅绝缘膜,上述过程使用四乙氧硅烷(四乙基原硅酸盐 Si(OC₂H₅)₄)和氧作为气体原料。三氯乙烯(C₂HCl₃)被加到气体原料中。在膜成形前,以 400SCCM 的流量把氧送入腔室内。在衬底温度为 300°C,总压力为 5Pa,RF 功率为 150W 条件下产生等离子。接着,分别以 300SCCM、15SCCM 和 2SCCM 的流量把氧、四乙基原硅酸盐和三氯乙烯导入腔室。这样就形成硅氧化膜。衬底的温度为 300°C,RF 功率为 75W,总压力为 5Pa。做成膜后,把氢导入在 100torr 压力下腔室。再在 350°C 下经 35 分钟使叠层制品退火。

然后,用溅射法淀积厚度为 6000~8000 Å,例如 6000 Å 的含 2% 硅的铝。也可用钽、钨、钛或钼代替铝。最好是连续实施形成硅氧化膜 27 的步骤和形成铝膜的步骤。将铝膜刻成图形,形成

TFTs 栅电极 28a、28b 和 28c。使铝互连线表面阳极氧化,以在表面形成氧化层 29a、29b 和 29c。在酒石酸的 1~5% 乙二醇溶液内进行阳极氧化处理。所获得氧化层厚度为 2000 Å (图 5C)。

用等离子掺杂法,把杂质,或磷注入硅区域。用磷氢(PH_3)作为气体掺杂剂。加速电压为 60~90KV,例如 80KV。剂量为 $1 \times 10^{15} \sim 8 \times 10^{15}/\text{cm}^2$ 例如 $2 \times 10^{15}/\text{cm}^2$ 。这样就形成 N 型掺杂区域 30a。由光刻胶掩蔽左边的 TFT(N 沟道 TFT),再次利用等离子掺杂法,把杂质,或硼注入右边的外围电路区域 TFT 的硅区域和形成阵列电路 TFTs 的硅区域。把乙硼烷(B_2H_6)用作气体掺杂剂。加速电压为 50~80KV,例如 65KV。剂量为 $1 \times 10^{15} \sim 8 \times 10^{15}/\text{cm}^2$,例如 $5 \times 10^{15}/\text{cm}^2$,该剂量要大于在该注入磷的剂量。就用该方法,形成 P 型掺杂区域 30b 和 30c。

此后,由激光退火激活杂质。就这激光退火来说,可使用波长 248nm 及脉冲持续时间 20nsec 的 KrF 准分子激光器发射的光。激光的能量密度为 $200 \sim 400 \text{mJ}/\text{cm}^2$,例如 $250 \text{mJ}/\text{cm}^2$ 。向每个位置发射激光 2~10 次,例如 2 次(图 2(D))。

然后,通过等离子 CVD 法,由四乙基原硅酸盐形成厚度为 2000 Å 的硅氧化膜 31 作为层间绝缘体。通过溅射,形成厚度为 500~1000 Å,例如 800 Å 的铟锡氧化物膜(ITO)。将该膜刻成图形,形成像素电极 32。然后,在层间绝缘体 31 内形成接触孔。由金属材料,如氮化钛和铝的多层膜制作外围驱动电路的 TFTs 电极和电互连线 33a、33b、33c,以及阵列像素电路的 TFTs 的电极和导电互连线 33d、33e。这样,就完成了半导体电路(图 5(E))。

所制成的半导体电路的外围驱动电路的 TFTs 的性能决不低于由公知的激光晶化技术制造的 TFTs 的性能。利用按照本实施

例的这些 TFTs 构成移位寄存器。我们已经确认：用 15V 漏电压，移位寄存器能在 11MHz 下工作，用 17V 漏电压，则移位寄存器能在 16MHz 下工作。还有，在可靠性测试中，没有观测到新型 TFTs 和由公知技术方法制作的 TFTs 之间的差异。就阵列区域(象素电路)内 TFTs 的性能来说，漏电流小于 10^{-13} A。

如上述实施例所述，本发明在同样的衬底上可制作能高速工作的 TFTs 和显示出低漏电流的 TFTs。该结构可应用于液晶显示器，易于大批量生产 TFTs，而且性能得到改善。当然，在衬底上也可制作仅仅展示这两个特征之一的 TFTs。

此外，在本发明中还可以低温，如 500°C，和短时，如 4 小时使硅晶化，而改善生产率。采用高于 600°C 进行的传统工艺，会使玻璃衬底缩变，扭曲，导致生产成品率下降。而采用本发明使这个问题完全得到解决。这还意味着：用一次操作中处理具有很大面积的衬底。尤其是，通过把大面积的衬底切成许多半导体电路，比如阵列电路，这样可极大地降低每个电路的价格。这样一来，本发明对工业上更有利。

图 1(A)

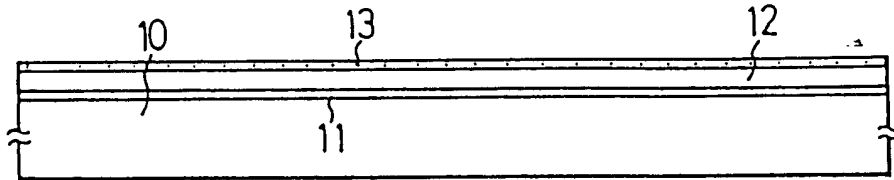


图 1(B)

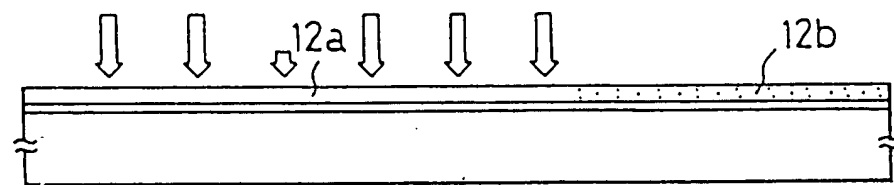


图 1(C)

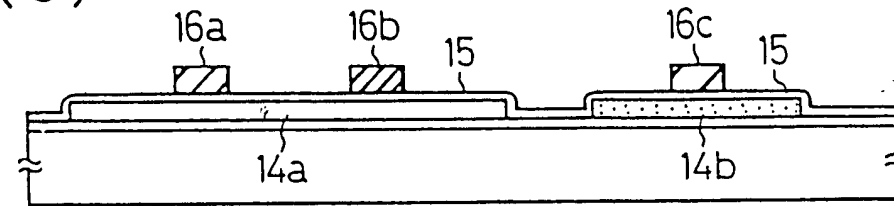


图 1(D)

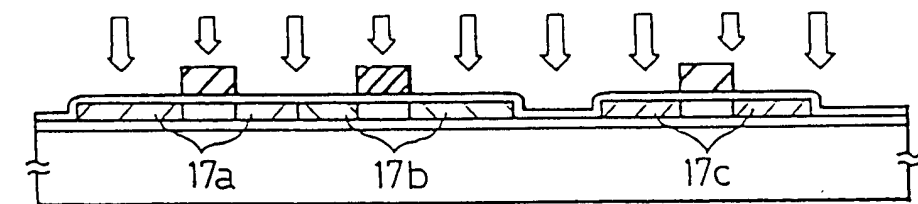


图 1(E)

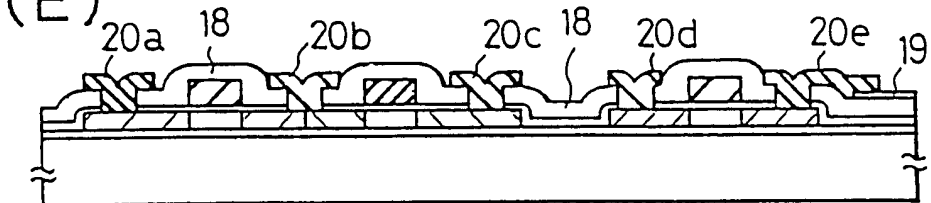


图 2(A)

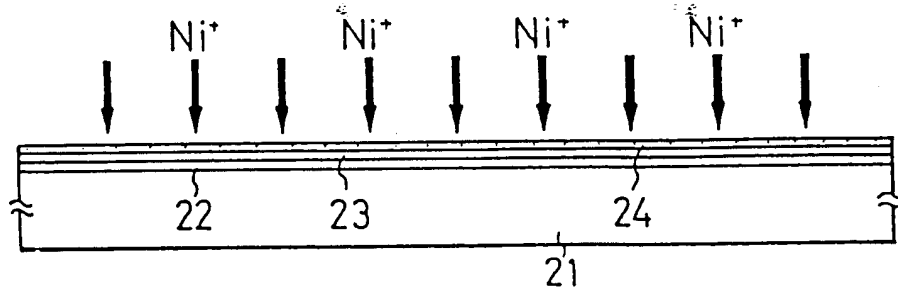


图 2(B)

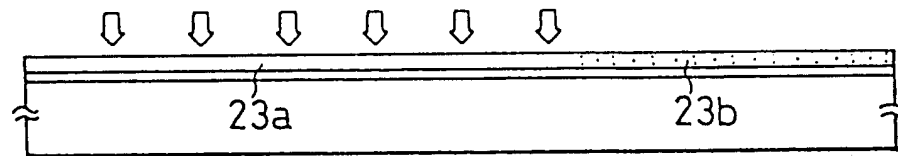


图 2(C)

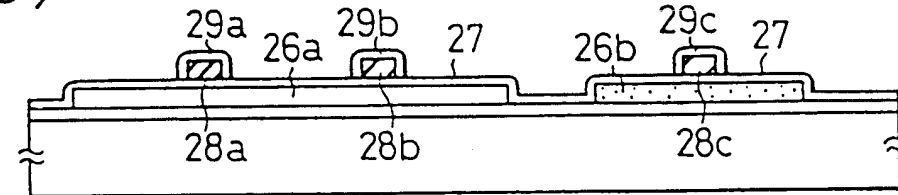


图 2(D)

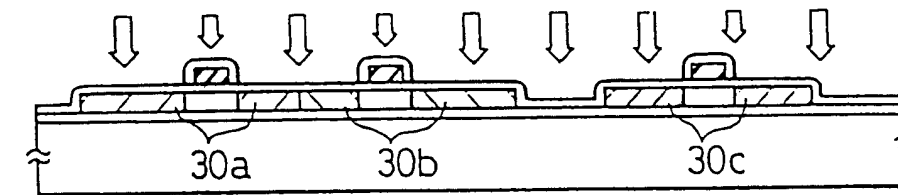


图 2(E)

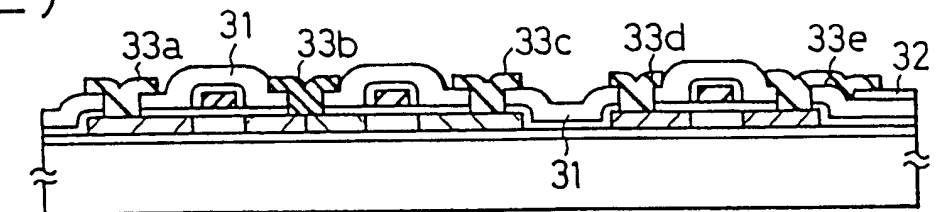


图 3

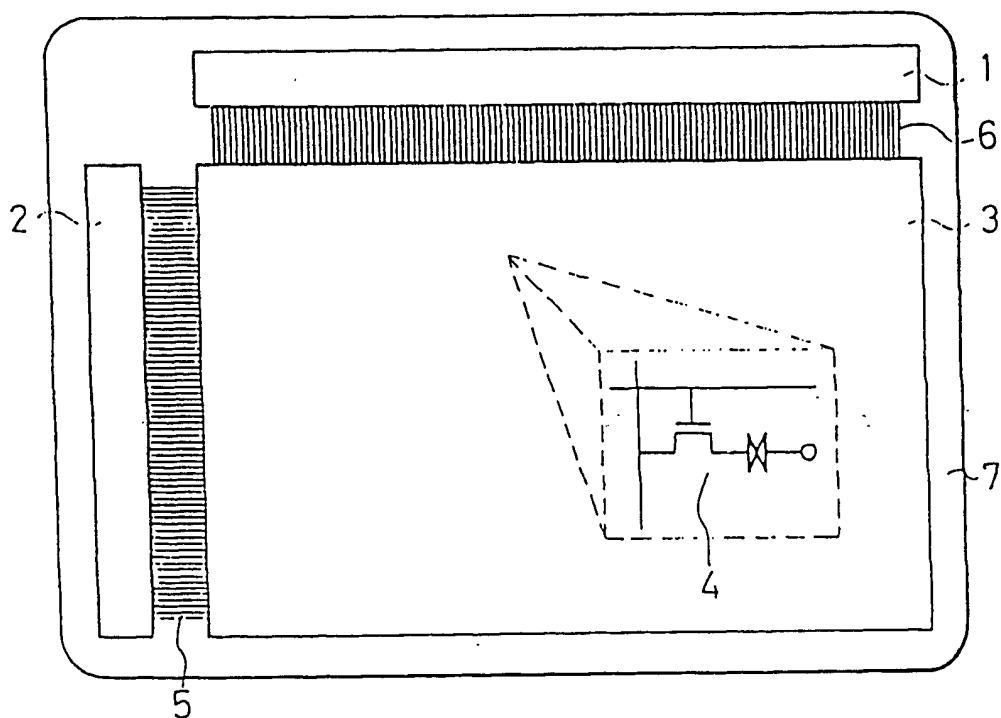


图 4(A)

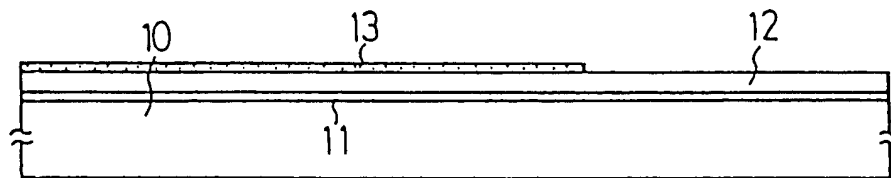


图 4(B)

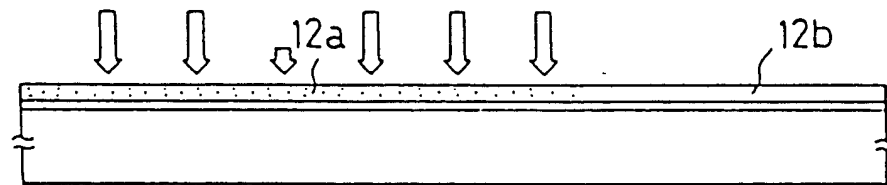


图 4(C)

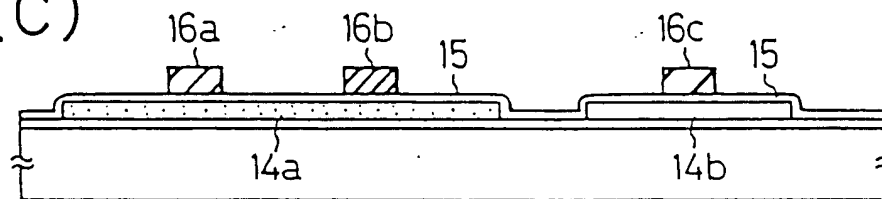


图 4(D)

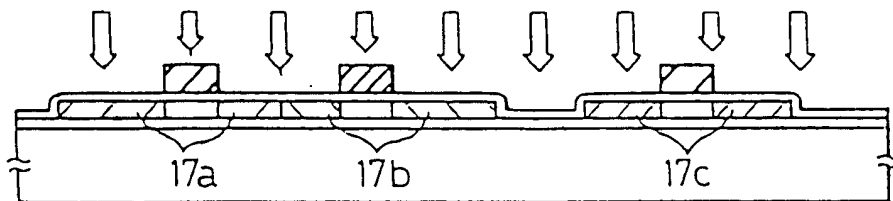


图 4(E)

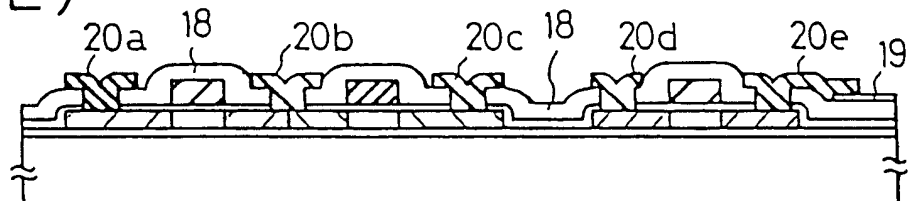


图 5(A)

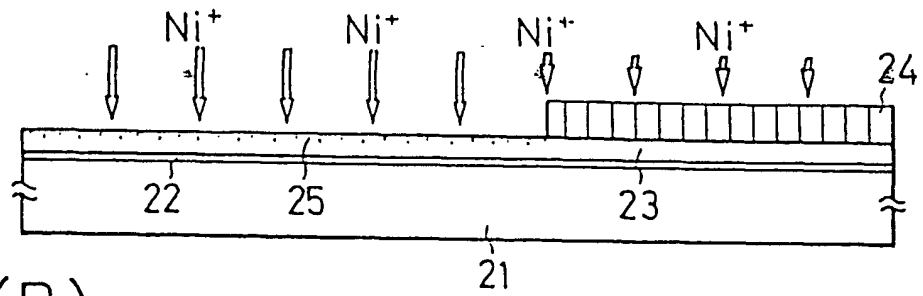


图 5(B)

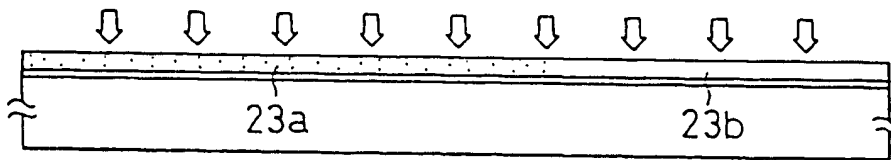


图 5(C)

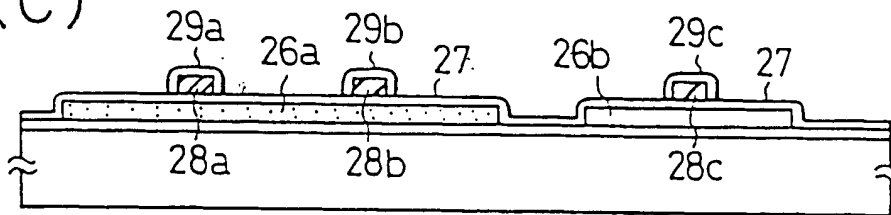


图 5(D)

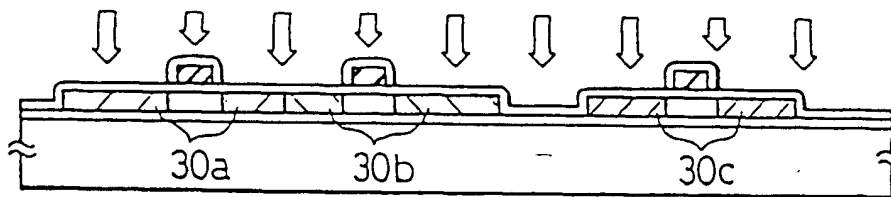


图 5(E)

