

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7209513号
(P7209513)

(45)発行日 令和5年1月20日(2023.1.20)

(24)登録日 令和5年1月12日(2023.1.12)

(51)国際特許分類	F I
H 0 1 L 21/301 (2006.01)	H 0 1 L 21/78 L
G 0 1 N 21/956 (2006.01)	G 0 1 N 21/956 A
H 0 1 L 21/66 (2006.01)	H 0 1 L 21/66 J
	H 0 1 L 21/66 Z

請求項の数 6 (全15頁)

(21)出願番号	特願2018-218257(P2018-218257)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22)出願日	平成30年11月21日(2018.11.21)	(74)代理人	100088672 弁理士 吉竹 英俊
(65)公開番号	特開2020-88093(P2020-88093A)	(74)代理人	100088845 弁理士 有田 貴弘
(43)公開日	令和2年6月4日(2020.6.4)	(72)発明者	松野 吉徳 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和3年1月22日(2021.1.22)	審査官	宮久保 博幸

最終頁に続く

(54)【発明の名称】 半導体チップの製造方法および半導体ウェハ

(57)【特許請求の範囲】

【請求項1】

半導体ウェハの欠陥を検出し、検出された欠陥がキラー欠陥か否かを判定するキラー欠陥判定工程と、

前記キラー欠陥と判定された欠陥の位置を示す欠陥マップを作成する欠陥マップ作成工程と、

前記半導体ウェハ上に、半導体チップとなる複数のチップ領域および前記複数のチップ領域を区画する複数の切断ラインをレイアウトし、前記欠陥マップに基づいて、前記キラー欠陥と判定された欠陥を含むチップ領域の数を減らす、あるいは、前記キラー欠陥と判定された欠陥を含まないチップ領域の数を増やすように、前記複数のチップ領域および前記複数の切断ラインのレイアウトを調整するチップレイアウト工程と、

前記チップレイアウト工程でレイアウトが調整された前記複数の切断ラインに沿って前記半導体ウェハを切断することで、前記半導体チップを切り出すウェハ切断工程と、を備え、

前記チップレイアウト工程は、前記キラー欠陥判定工程においてキラー欠陥として複数の線欠陥が検出された場合に、前記複数の線欠陥の延伸方向の平均と前記複数の切断ラインの延伸方向とが一致するように、前記複数のチップ領域および前記複数の切断ラインを平面視で回転させて位置調整する工程を含む、半導体チップの製造方法。

【請求項2】

前記チップレイアウト工程は、前記複数のチップ領域および前記複数の切断ラインの2次元座標のオフセットを調整する工程を含む、
請求項1に記載の半導体チップの製造方法。

【請求項3】

前記チップレイアウト工程は、前記複数の切断ラインの幅を調整する工程を含む、
請求項1または請求項2に記載の半導体チップの製造方法。

【請求項4】

前記チップレイアウト工程は、隣り合うチップ領域間に配置する切断ラインの本数を調整する工程を含む、
請求項1から請求項3のいずれか一項に記載の半導体チップの製造方法。

10

【請求項5】

前記ウェハ切断工程は、前記複数の切断ラインの幅に応じてダイシングブレードおよびその回転数を選定する工程を含む、
請求項3に記載の半導体チップの製造方法。

【請求項6】

半導体チップとなる領域である複数のチップ領域と、
前記複数のチップ領域を区画する複数の切断ラインと、がレイアウトされた半導体ウェハであって、

前記半導体ウェハは、キラー欠陥として複数の線欠陥を含み、
前記複数の切断ラインは、前記複数の線欠陥の延伸方向の平均と前記複数の切断ラインの延伸方向とが一致するように、前記半導体ウェハに設けられたオリフラに対し傾いてレイアウトされている、
半導体ウェハ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体チップの製造方法に関し、特に、半導体ウェハ上に半導体装置のチップ（半導体チップ）となる領域を配置する技術に関するものである。

【背景技術】

【0002】

シリコンの半導体ウェハが「11-9 (eleven nine, 99.99999999%)」の表現に代表されるようにほぼ無欠陥の成熟した品質であるのに比べ、炭化珪素半導体 (SiC) のエピタキシャルウェハにはまだまだ多くの欠陥が存在する。

30

【0003】

下記の特許文献1には、半導体ウェハ上の欠陥の場所を示した検査マップを配線パターンの設計データと重ね合わせ、配線パターンの形成領域を欠陥の位置からずらすことで、不良率を下げて歩留まりを向上させる技術が開示されている。

【0004】

なお、本明細書では「半導体ウェハ」、「半導体チップ」、「エピタキシャル成長」の各語をそれぞれ「ウェハ」、「チップ」、「エピ」と略称することもある。

40

【先行技術文献】

【特許文献】

【0005】

【文献】特開2011-007648号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体ウェハの欠陥のうち、ウェハプロセスを経たデバイスチップの電気特性を評価したときに特性不良の致命的要因となるものは「キラー欠陥（致命欠陥）」と呼ばれる。従来より半導体基板およびエピ層の欠陥密度を低減させるための技術開発が進められている

50

が、キラー欠陥を含むチップはプロセス投入の時点で不良チップになることが決定付けられており、キラー欠陥を不活性化する技術がない限り、その救済は不可能である。

【0007】

S i Cウェハに関しては、ウェハプロセスの改良が進み、ウェハプロセスに起因する不良チップの発生は低減されつつある。それに伴って、ウェハプロセスに投入されたS i Cエピウェハに元々存在していたキラー欠陥に起因する不良チップの、全不良チップに占める割合は増加している。よって、さらなる歩留まりの向上を目指すには、キラー欠陥対策が大きな課題となる。特許文献1では、欠陥がキラー欠陥かどうかは考慮されていない。

【0008】

本発明は以上のような課題を解決するためになされたものであり、キラー欠陥を含む半導体チップの発生を抑制することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体チップの製造方法は、半導体ウェハの欠陥を検出し、検出された欠陥がキラー欠陥か否かを判定するキラー欠陥判定工程と、前記キラー欠陥と判定された欠陥の位置を示す欠陥マップを作成する欠陥マップ作成工程と、前記半導体ウェハ上に、半導体チップとなる複数のチップ領域および前記複数のチップ領域を区画する複数の切断ラインをレイアウトし、前記欠陥マップに基づいて、前記キラー欠陥と判定された欠陥を含むチップ領域の数を減らす、あるいは、前記キラー欠陥と判定された欠陥を含まないチップ領域の数を増やすように、前記複数のチップ領域および前記複数の切断ラインのレイアウトを調整するチップレイアウト工程と、前記チップレイアウト工程でレイアウトが調整された前記複数の切断ラインに沿って前記半導体ウェハを切断することで、前記半導体チップを切り出すウェハ切断工程と、を備え、前記チップレイアウト工程は、前記キラー欠陥判定工程においてキラー欠陥として複数の線欠陥が検出された場合に、前記複数の線欠陥の延伸方向の平均と前記複数の切断ラインの延伸方向とが一致するように、前記複数のチップ領域および前記複数の切断ラインを平面視で回転させて位置調整する工程を含む。

【発明の効果】

【0010】

本発明によれば、キラー欠陥を含む半導体チップの発生が抑制されるため、半導体ウェハの実効的な欠陥密度が低減し、半導体装置の歩留まり向上に寄与できる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施の形態に係る半導体チップの製造方法の処理手順を示すフローチャートである。

【図2】半導体ウェハの欠陥マップの例を示す図である。

【図3】半導体ウェハの切断技術の種類を説明するための図である。

【図4】実施の形態2におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図5】実施の形態3におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図6】実施の形態4におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図7】実施の形態4におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図8】実施の形態5におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図9】実施の形態6におけるチップ領域および切断ラインのレイアウトの例を示す図である。

【図10】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図11】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 2】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 3】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 4】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 5】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 6】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 7】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 8】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 1 9】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 2 0】キラー欠陥の例を示す顕微鏡写真を表す図である。

【図 2 1】キラー欠陥の例を示す顕微鏡写真を表す図である。

10

【発明を実施するための形態】

【0012】

<実施の形態 1>

図 1 は、本発明の実施の形態に係る半導体チップの製造方法の処理手順を示すフローチャートである。図 1 に示すように、本実施の形態に係る半導体チップの製造方法は、以下のステップ S T 1 ~ S T 3 の処理を含む。

【0013】

ステップ S T 1 は、例えば光学式表面検査装置などの表面検査手段を用いて、半導体ウェハの欠陥を検出し、検出された欠陥のそれぞれについてキラー欠陥か否かの判定を行う「キラー欠陥判定工程」である。なお、ウェハの欠陥には、結晶欠陥だけでなく、例えばスクラッチ（基板表面やエピ層表面を C M P（Chemical Mechanical Polishing）研磨したときに砥粒痕跡として残留する線状欠陥）やパンチングステップなども含まれていてもよい。

20

【0014】

現在の技術では、ウェハプロセスへ投入する前の時点でキラー欠陥を過不足なく検出することは容易ではないが、例えば、過去に特定されたキラー欠陥のサイズや形状、検出画像（X線トポグラフィ画像など）におけるコントラストなどに基づいて、検出された欠陥の特徴を分析することによって、その欠陥がキラー欠陥か否かをある程度の精度で判定できる。例えば、サイズが大きい欠陥や、検出画像においてコントラストが高い欠陥は、キラー欠陥になりやすい傾向にあるため、サイズまたはコントラストが予め定められた閾値を超える欠陥をキラー欠陥と判定するといった方法が考えられる。

30

【0015】

図 1 0 ~ 図 2 1 に、過去のデバイスチップの電気特性評価において特定されたキラー欠陥の顕微鏡写真を示す。なお、図 1 0 ~ 図 2 1 には含まれていないが、「ダウンフォール」と呼ばれるエピタキシャル成長の直前またはエピタキシャル成長中のパーティクル起因の欠陥や、巨大マイクロパイプ（S i C 基板特有の貫通穴）のように、電気特性評価を行うまでもなくキラー欠陥となることが明らかな欠陥も存在する。

【0016】

以上のような観点から、本実施の形態では、

(a) サイズが 2 0 0 μ m 以上の大きな欠陥（線欠陥も含む）

(b) 明確なダウンフォール欠陥

(c) サイズが 5 0 μ m 以上のマイクロパイプ

(d) その他、図 1 0 ~ 図 2 1 に例示したキラー欠陥と比較して、サイズ、形状もしくはコントラストが同レベル以上の欠陥

40

のいずれかの条件に該当する欠陥を、キラー欠陥と判定するという方法をとる。この判定の処理は、コンピュータによる画像解析やパターンマッチングなどにより、客観的かつ自動的に行われることが好ましい。

【0017】

なお、上記の条件 (a) ~ (d) に該当する欠陥であっても、例えば、極めて浅いスクラッチなど、キラー欠陥でないと容易に分かるものは、キラー欠陥と判定する必要はない

50

。キラー欠陥の判定技術については、キラー欠陥を見極める知見および技術の今後の進展が望まれる。

【 0 0 1 8 】

図 1 に戻り、ステップ S T 2 は、ステップ S T 1 でキラー欠陥と判定された欠陥（以下、単に「キラー欠陥」という）の、半導体ウェハ上の位置を示す欠陥マップを作成する「欠陥マップ作成工程」である。欠陥マップには、キラー欠陥だけでなく、非キラー欠陥（キラー欠陥でないとして判定された欠陥）の位置も示されていてもよい。

【 0 0 1 9 】

図 2 に、欠陥マップの一例を示す。図 2 の欠陥マップには、ウェハ 1 0 の画像上に 1 1 個の欠陥 a ~ k の位置がドットで示されており、そのうち欠陥 a , b , d ~ i , k はキラー欠陥、欠陥 c , j は非キラー欠陥である。なお、図 2 に示すウェハ 1 0 は、オリエンテーションフラット（以下「オリフラ」と略称する）として、第 1 オリフラ 1 1 および第 2 オリフラ 1 2 を有しているが、オリフラの数は 2 つでなくてもよい。

10

【 0 0 2 0 】

ステップ S T 3 は、半導体ウェハ上に、例えば S B D (Schottky Barrier Diode) や M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) チップなどの半導体チップとなる複数のチップ領域と、それら複数のチップ領域を区画する複数の切断ラインとを、写真製版でレイアウトする「チップレイアウト工程」である。

【 0 0 2 1 】

チップレイアウト工程では、ステップ S T 2 で作成された欠陥マップに基づいて、キラー欠陥を含むチップ領域の数を減らすように、あるいは、キラー欠陥を含まないチップ領域の数を増やすように、チップ領域および切断ラインのレイアウトを調整する処理（以下「レイアウト調整処理」と称す）が行われる。切断ラインは、5 0 μ m 程度の幅を有しているため、キラー欠陥が切断ラインに収まるようにレイアウトを調整することで、チップ領域をキラー欠陥からずらすことができる。なお、切断ラインの幅は「カーフ幅」と呼ばれる。

20

【 0 0 2 2 】

レイアウト調整処理は、チップ領域のレイアウトパターンと欠陥マップとの位置合わせを行う制御プログラムを実行するコンピュータを用いて行われ、例えば、キラー欠陥を含むチップ領域の数が最小となるように、あるいは、キラー欠陥を含まないチップ領域の数が最大となるように、もしくは、キラー欠陥を含まないチップ領域の数に対するキラー欠陥を含むチップ領域の数の比が最小となるように、自動的にレイアウトが最適化されることが好ましい。

30

【 0 0 2 3 】

ステップ S T 4 は、ステップ S T 3 でレイアウトされた切断ラインに沿って半導体ウェハを切断することで、半導体チップを切り出す「ウェハ切断工程」である。

【 0 0 2 4 】

チップ領域および切断ラインのレイアウトは、ステップ S T 3 のレイアウト調整処理で、キラー欠陥を含むチップ領域の数になるべく少なくなるように、あるいは、キラー欠陥を含まないチップ領域の数になるべく多くなるように調整されているため、ウェハ切断工程においてキラー欠陥を含む半導体チップが発生することは抑制され、その結果、半導体装置の歩留まりが向上する。また、ウェハ切断工程では、切断ライン上に位置するキラー欠陥は消失するため、事実上、ウェハにレイアウトされた切断ライン上のキラー欠陥は無視できる。よって、ウェハの実効的なキラー欠陥の密度は、実際の密度よりも低くなると言える。

40

【 0 0 2 5 】

なお、ウェハの切断技術としては、「スクライピング」や「ダイシング」があり、いずれもステップ S T 4 のウェハ切断工程に適用可能であるが、以下の実施の形態ではダイシングが行われるものとする。

【 0 0 2 6 】

50

広義のダイシングはスクライピングも含むとも言えるが、図3を用いて、スクライピングとダイシングの違いについて説明する。図3(a)～(d)は、スクライピングまたはダイシングにより切断されたウェハ10の切断ラインを横切る断面図であり、斜線部は切断によるウェハ10の消失部30である。

【0027】

図3(a)に示すスクライピングは、ウェハ10の表面に浅い溝を形成した後、曲げ応力を加えて溝の部分に応力を集中させ、ウェハ10を折ることで、ウェハ10からチップを切り出す技術である。スクライピングには低コストというメリットがあるが、ウェハ10を折る際に生じるバリ31またはチップング(欠け)32によって、チップの寸法精度の悪化を招くリスクがある。

10

【0028】

一方、図3(b)～(d)に示すダイシングは、ダイシングソーを用いて、ウェハ10から半導体チップを切り出す技術であり、スクライピングよりも加工精度が高いというメリットがある。ダイシングを行う際には、切り出されたチップが飛散しないよう、ウェハ10を予めダイシングシート20に貼り付けておくのが一般的である。

【0029】

また、ダイシングは、ウェハ10の厚みに対してどの程度の深さまでダイシングソーで切断するかにより、フルカット(図3(b))、セミフルカット(図3(c))、ーフカット(図3(d))に分類されることもある。ウェハ10の厚みの半分程度しか切断しないーフカットのダイシングは、スクライピングに近い技術であり、スクライピングと同様にバリ31またはチップング32が発生するおそれがある。ただし、ーフカットの変形として、ウェハ10を厚みの半分程度まで切断した後に、ウェハ10の裏面を研磨して薄板化することで、個々のチップに分割する方法もあり、この方法ではバリやチップングが発生するリスクは少ない。

20

【0030】

<実施の形態2>

以下の実施の形態では、チップレイアウト工程(ステップST3)で行われるチップ領域および切断ラインのレイアウトの調整(レイアウト調整処理)の具体例を示す。ここでは、欠陥マップ作成工程(ステップST2)において、図2に示す欠陥マップが作成されたものと仮定する。

30

【0031】

レイアウト調整処理は、例えば、図4のように、チップ領域1および切断ライン2の2次元座標(X座標、Y座標)のオフセットを調整することで行うことができる。なお、図4においては、オフセットが0のときの2次元座標の原点をウェハ10の中心とし、第1オリフラ11に垂直な方向にY座標軸、第2オリフラ12に垂直な方向にX座標軸をとっている。また、図4では、縦横1本ずつの切断ライン2を代表的に示しているが、隣り合うチップ領域1の間の領域はいずれも切断ライン2に相当する。

【0032】

図4の例では、キラー欠陥d, e, f, g, h, kが切断ライン2上に位置するように、チップ領域1および切断ライン2のX座標およびY座標のオフセットを調整することでレイアウト調整処理が行われ、キラー欠陥を含むチップ領域1は、それぞれキラー欠陥a, b, iを含む3つに抑えられている。

40

【0033】

レイアウト調整処理が、チップ領域1および切断ライン2の2次元座標のオフセット調整によって行われる場合、チップ領域1および切断ライン2のレイアウトは、ウェハ10の第1オリフラ11および第2オリフラ12に対して左右もしくは上下非対象になる。しかし、チップ領域1の縦方向および横方向ならびに結晶軸は、ウェハ10の第1オリフラ11および第2オリフラ12に対して平行または垂直に維持される。そのため、オフセット調整によるレイアウト調整処理は、半導体チップの放電特性などの電気特性や信頼性に関して、半導体チップの縦方向および横方向と結晶軸との関係が重要となる場合に有効で

50

ある。

【0034】

なお、レイアウト調整処理が、チップ領域1および切断ライン2の2次元座標のオフセット調整を含む場合、ウェハ切断工程のダイシングによってウェハ10から切り出された直後にダイシングシートに貼り付いた半導体チップは、第1オリフラ11および第2オリフラ12に対して左右もしくは上下非対象に並ぶこととなる。

【0035】

<実施の形態3>

レイアウト調整処理は、例えば、図5のように、チップ領域1および切断ライン2を平面視で回転させて位置調整する工程を含んでもよい。図5の例では、キラー欠陥a, d, e, f, g, h, kが切断ライン2上に位置するように、チップ領域1および切断ライン2の2次元座標のオフセットと回転角 θ を設定することでレイアウト調整処理が行われ、キラー欠陥を含むチップ領域1は、それぞれキラー欠陥b, iを含む2つに抑えられている。

10

【0036】

レイアウト調整処理がチップ領域1および切断ライン2の回転を含む場合、レイアウトの自由度が高くなり、より多くのキラー欠陥を切断ライン2上に配置することが可能になる。ただし、切断ライン2は、ウェハ10の第1オリフラ11および第2オリフラ12に対してウェハ10に対し傾いてレイアウトされるため、半導体チップの電気特性や信頼性に関して、半導体チップの縦方向および横方向と結晶軸との関係が重要でない場合に有効である。

20

【0037】

レイアウト調整処理のパラメータに回転角 θ を加える目的の最大の目的は、第1オリフラ11および第2オリフラ12に対して平行または垂直な方向の調整だけでは切断ライン2内に収めることが困難な形状のキラー欠陥を、切断ライン2内に収めることである。例えば、キラー欠陥が、第1オリフラ11および第2オリフラ12に対して傾いた方向に延びる線欠陥であった場合、その線欠陥の延伸方向と切断ライン2の延伸方向とが一致するように回転角 θ を設定することで、当該線欠陥を切断ライン2内に収めることができる。なお、線欠陥は、平面視したときの縦横比aが、例えば「 $a = 1/3$ または $a = 3$ 」となる欠陥として定義できる。

30

【0038】

ウェハ10に発生する欠陥の大きさおよび形状はランダムであるため、線欠陥が複数存在する場合、ある線欠陥を切断ライン2内に収めるように回転角 θ を設定した結果、他の線欠陥が切断ライン2からはみ出すことも起こり得るが、レイアウト調整処理のパラメータに回転角 θ を加えることにより、ターゲットとするキラー欠陥をより高い確率で切断ライン2内に収めることが可能になる。

【0039】

また、ウェハ10上にキラー欠陥としてN個の線欠陥が存在し、それぞれの線欠陥の延伸方向と第1オリフラ11の垂線とがなす角を $\theta_n [n = 1, 2, 3, \dots, N]$ とするとき、最適な回転角 θ は、 $\theta_1, \theta_2, \theta_3, \dots, \theta_N$ の平均値 θ_{ave} に近い値になるであろう。また、デバイスチップの電気特性や信頼性への悪影響が比較的小さいと考えられる線欠陥の θ_n を、平均値 θ_{ave} を求めるためのデータ群($\theta_1, \theta_2, \theta_3, \dots, \theta_N$)から除外するのが、より実用的で効果的かもしれない。

40

【0040】

なお、レイアウト調整処理が、チップ領域1および切断ライン2の回転を含んでいる場合、ウェハ切断工程のダイシングによってウェハ10から切り出された直後の半導体チップは、ダイシングシートに貼り付けられた状態で、第1オリフラ11および第2オリフラ12に対して傾いた方向に並ぶこととなる。

【0041】

<実施の形態4>

50

レイアウト調整処理は、例えば、図6のように、切断ライン2の幅(カーフ幅)を調整する工程を含んでいてもよい。図6の例では、キラー欠陥a, b, d, e, f, g, h, kが切断ライン2上に位置するように、2次元座標のオフセット、回転角 および切断ライン2の幅を設定することによってレイアウト調整処理が行われ、キラー欠陥を含むチップ領域1は、キラー欠陥iを含む1つに抑えられている。

【0042】

切断ライン2の幅を調整した場合、ウェハ切断工程で使用するダイシングブレードおよびその回転数(回転速度)を、調整後の切断ライン2の幅に合わせて選定することが好ましい。特に、切断ライン2の幅を拡げた場合には、切断ライン2上のキラー欠陥が確実に除去されるように、切断ライン2の幅に対応する幅広のダイシングブレードを選定すること

10

【0043】

ダイシングのカーフ幅(ウェハの消失部の幅)には、ダイシングブレードの厚さや回転数などの仕様や、ダイシングの手法(ブレードダイシング、レーザダイシングなど)に応じて、50 μ m、40 μ m、30 μ mなどの選択肢がある。一般的には、カーフ幅が狭いほど、ウェハの消失部の面積を少なくできるため好ましいが、本実施の形態のように、ダイシングがキラー欠陥のトリミングの目的を兼ねる場合には、キラー欠陥を含まないチップ領域の数になるべく多くなるようにカーフ幅を決定するとよい。また、切断ライン上に幅広な形状のキラー欠陥が存在する場合、それを確実に除去するために、敢えてカーフ幅が広めに仕上がるようダイシングブレードの仕様を選定することも有効である。

20

【0044】

図6では、全ての切断ライン2の幅を同じように調整した例を示したが、図7のように一部の切断ライン2の幅のみを調整してもよい。この場合、ウェハ10において、隣り合うチップ領域1間の間隔が、ウェハ10上の場所によって異なるものとなる。幅の異なる切断ライン2のそれぞれに位置するキラー欠陥を確実に除去するために、ウェハ切断工程では、幅の広い切断ライン2を切断するときには、その幅に対応する幅広のダイシングブレードを使用することが好ましい。ただし、複数のダイシングブレードを使い分けることになるため、ウェハ切断工程が煩雑になる点に留意すべきである。

【0045】

なお、レイアウト調整処理が、切断ライン2の幅を調整する工程を含んでいる場合、ウェハ切断工程のダイシングによってウェハ10から切り出された直後のダイシングシートに貼り付いた半導体チップの間隔は、ダイシングシート上の場所によって異なるものとなる。

30

【0046】

<実施の形態5>

レイアウト調整処理は、例えば、図8のように、隣り合うチップ領域1の間に配置する切断ライン2の本数を調整する工程を含んでいてもよい。図8においては、図7において幅を拡げた切断ライン2に対応する部分に、2本の切断ライン2を並べて配置することで、図7と同様のレイアウトを実現している。この場合、2本の切断ライン2を並べた部分は、ウェハ切断工程で2回に分けて切断する必要があるが、ダイシングブレードの種類は1つで済むため、ウェハ切断工程の煩雑化は抑えられる。なお、隣り合うチップ領域1の間に配置する切断ライン2の本数は3本以上でもよく、その場合、両端に位置する2本の切断ライン2のみを切断すればよい。つまり、切断ライン2を3本以上並べて配置した部分も、2回に分けて切断すればよく、3回以上に分ける必要はない。

40

【0047】

なお、レイアウト調整処理が、一部の隣り合うチップ領域1間に配置する切断ライン2の本数を調整する工程を含んでいる場合、ウェハ10において、隣り合うチップ領域1間の間隔が、ウェハ10上の場所によって異なるものとなる。よって、ウェハ切断工程のダイシングによってウェハ10から切り出された直後のダイシングシートに貼り付いた半導体チップの間隔は、ダイシングシート上の場所によって異なるものとなる。

50

【 0 0 4 8 】

< 実施の形態 6 >

図 4 ~ 図 8 では、より多くのキラー欠陥を切断ライン 2 内に収めるようにチップ領域 1 および切断ライン 2 のレイアウトを調整した例を示した。しかし、例えば図 9 のように、ウェハ 1 0 のキラー欠陥が局所的に集中している場合には、キラー欠陥を積極的にチップ領域 1 内に収めることで、結果として、キラー領域を含むチップ領域 1 の数を少なくすることができる。特に、キラー欠陥が集中する領域の面積が、1 つのチップ領域 1 の面積よりも小さい場合には、それらのキラー欠陥群を 1 つのチップ領域 1 内に収めることで、キラー欠陥を含むチップ領域 1 は 1 つだけで済む。

【 0 0 4 9 】

なお、レイアウト調整処理がもたらす効果は、ウェハの口径が大きいほど、チップのサイズが小さいほど、すなわち、1 枚のウェハから採取されるチップ数の理論値（「理論チップ数」、「有効チップ数」などと呼ばれる）が大きいほど、絶大となる。例えば、4 インチのウェハに 8 mm 角のチップを配置する場合の理論チップ数は約 8 0 ~ 9 0 個であり、6 インチのウェハに 3 mm 角の半導体チップを配置する場合の理論半導体チップ数は約 1 7 6 0 ~ 1 7 7 0 個である。後者の場合、ウェハの直径近くの切断ライン沿いには、1 列に 5 0 個程度のチップが配置されるため、わずかに数十 μm のオフセット調整や、切断ライン 2 の幅調整により、キラー欠陥を含まないチップの数が 5 0 個程度増減し得る。

【 0 0 5 0 】

図 4 ~ 図 9 においては、チップ領域 1 の形状を矩形（長方形または正方形）としたが、要求される半導体チップの仕様が矩形に限定されない場合は、平行四辺形でもよい。また、半導体ウェハの材料は S i C に限られず、他のワイドバンドギャップ半導体である G a N やダイヤモンド、あるいは従来のシリコンでもよい。さらに、半導体チップは、先に例示した S B D および M O S F E T に限られず、例えば、J B S（Junction Barrier Schottky）、M P S（Merged Pin Schottky）、I G B T（Insulated Gate Bipolar Transistor）等のチップでもよい。

【 0 0 5 1 】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 符号の説明 】

【 0 0 5 2 】

1 チップ領域、2 切断ライン、1 0 ウェハ、1 1 第 1 オリフラ、1 2 第 2 オリフラ、2 0 ダイシングシート、3 0 切断時の消失部、3 1 バリ、3 2 チッピング。

10

20

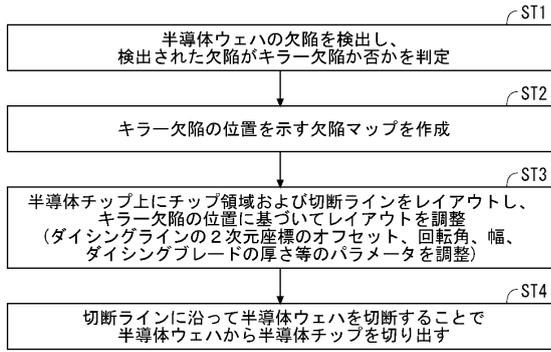
30

40

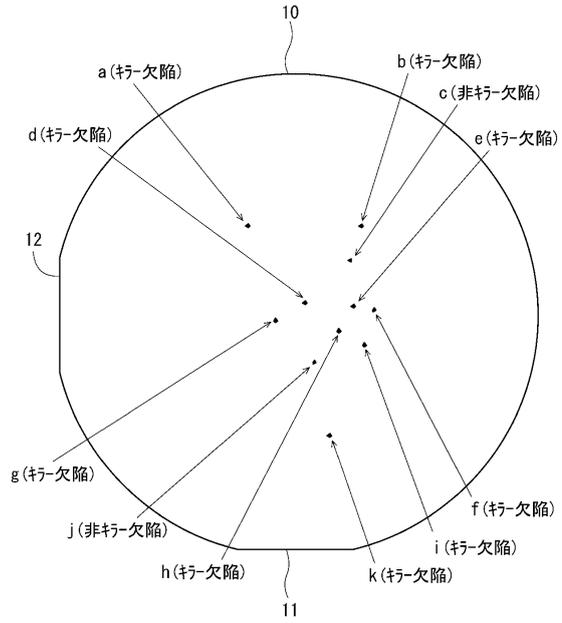
50

【 図面 】

【 図 1 】



【 図 2 】

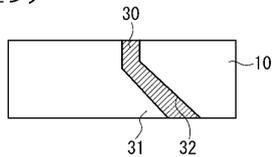


10

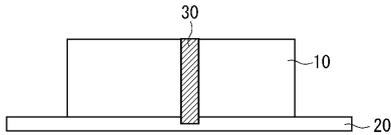
20

【 図 3 】

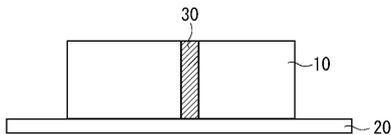
(a) スクライビング



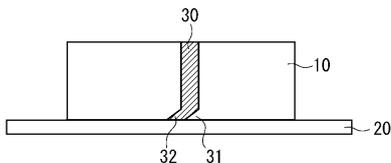
(b) ダイシング (フルカット)



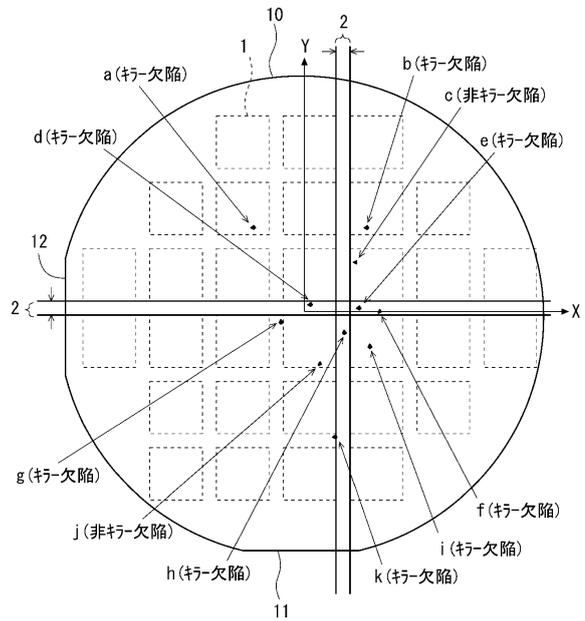
(c) ダイシング (セミフルカット)



(d) ダイシング (ハーフカット)



【 図 4 】

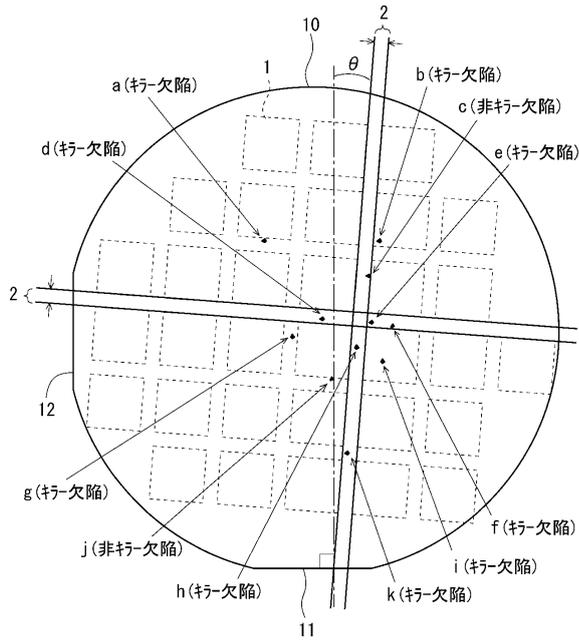


30

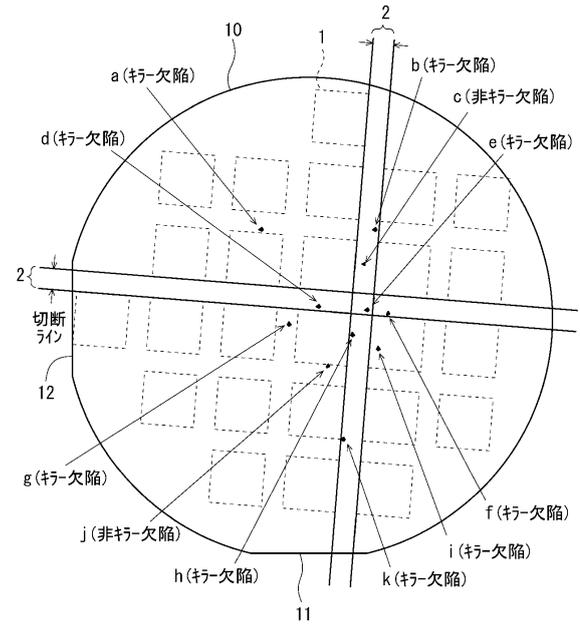
40

50

【 図 5 】

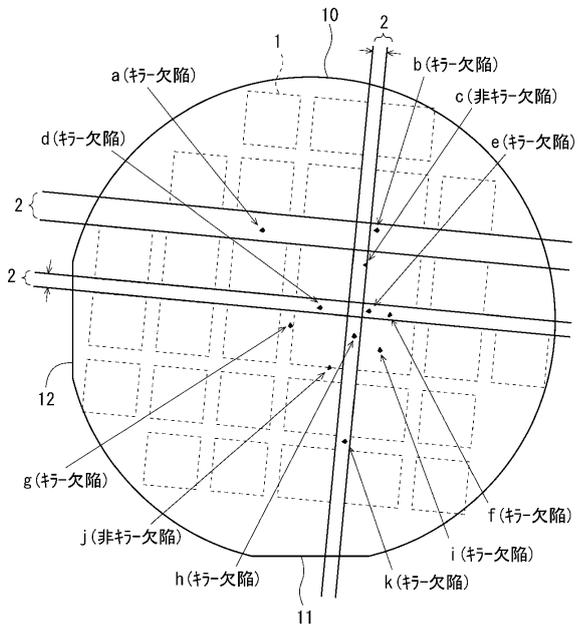


【 図 6 】

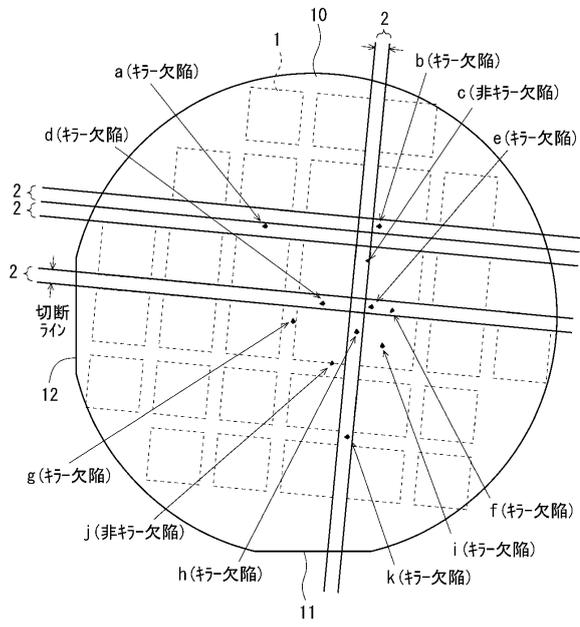


10

【 図 7 】



【 図 8 】



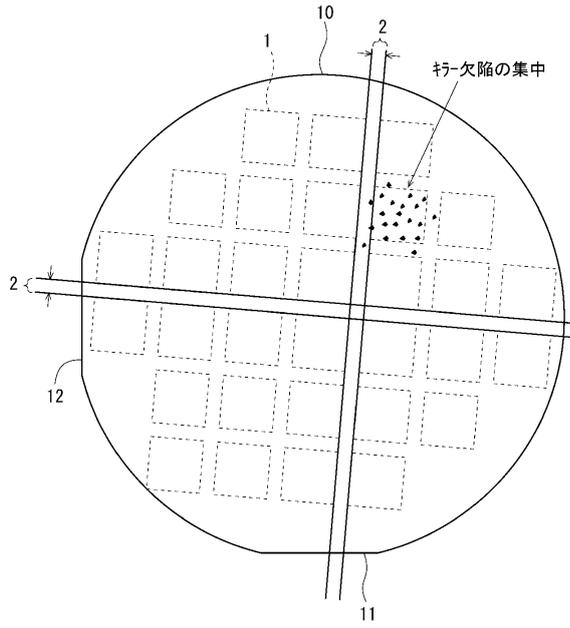
20

30

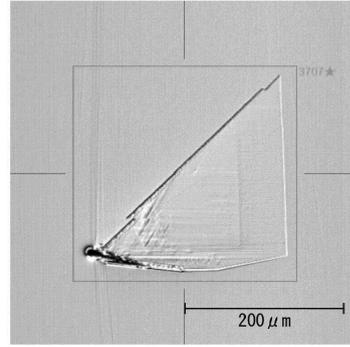
40

50

【図 9】

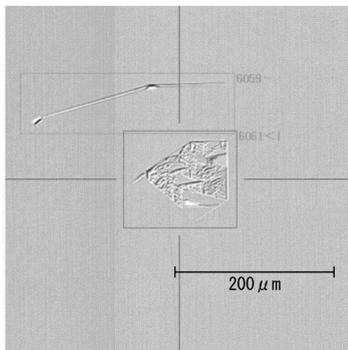


【図 10】

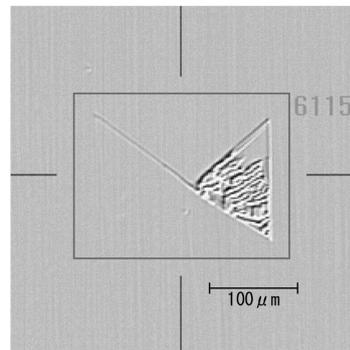


10

【図 11】



【図 12】



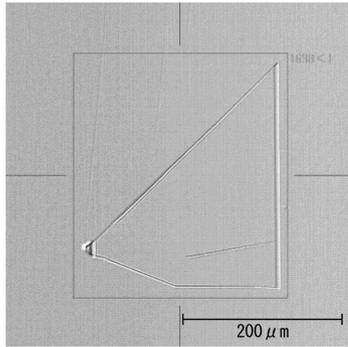
20

30

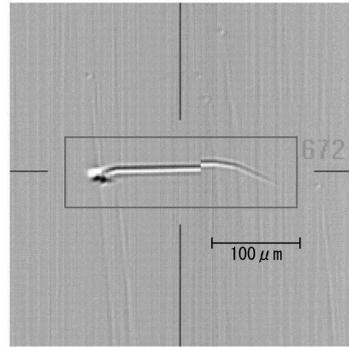
40

50

【 13 】

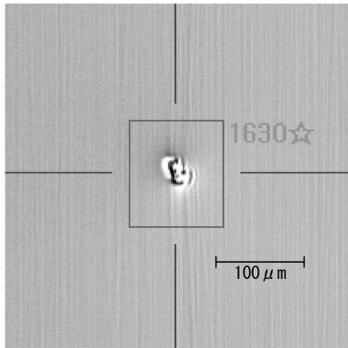


【 14 】

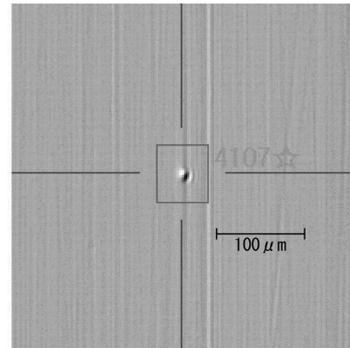


10

【 15 】

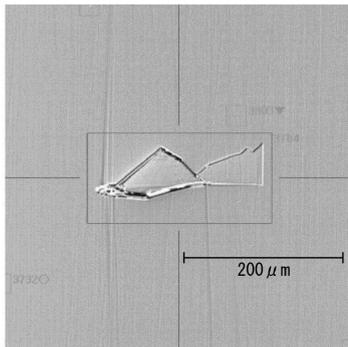


【 16 】

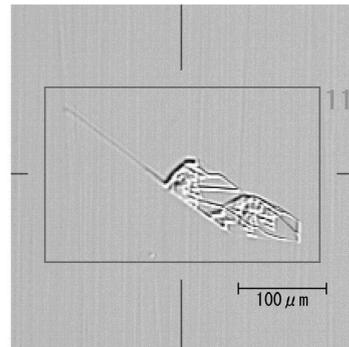


20

【 17 】



【 18 】

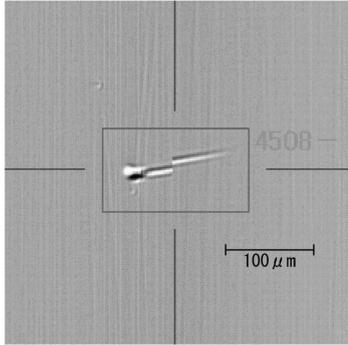


30

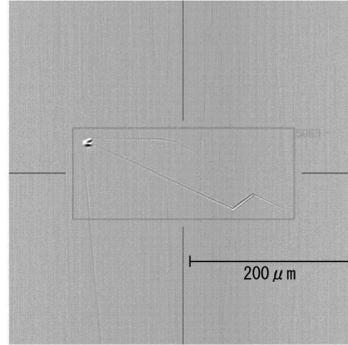
40

50

【 1 9】

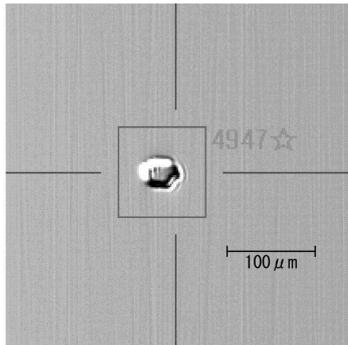


【 2 0】



10

【 2 1】



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2011 - 007648 (JP, A)
特開 2012 - 173296 (JP, A)
国際公開第 2010 / 098026 (WO, A1)
特開 2005 - 142391 (JP, A)
特開 2005 - 277337 (JP, A)
特表 2015 - 509196 (JP, A)
特開 2015 - 177071 (JP, A)
特開平 06 - 174445 (JP, A)
特開 2004 - 063860 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21 / 301
G01N 21 / 956
H01L 21 / 66