

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年1月3日(03.01.2014)



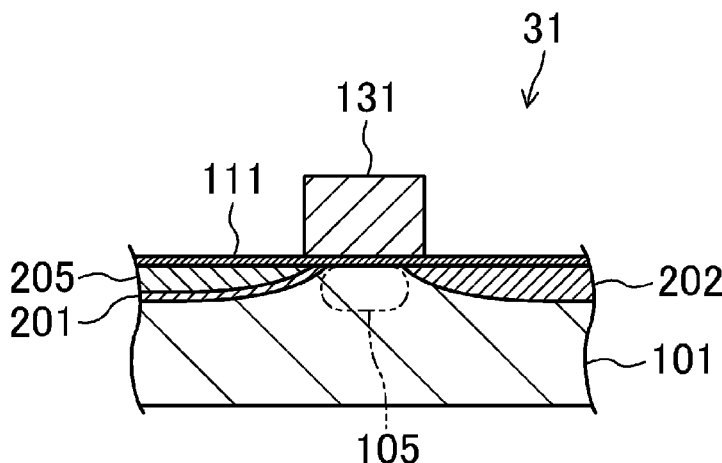
(10) 国際公開番号
WO 2014/002365 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H04N 5/361 (2011.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2013/003096
- (22) 国際出願日: 2013年5月15日(15.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-143040 2012年6月26日(26.06.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 中西 賢太郎 (NAKANISHI, Kentaro). 平瀬 順司 (HIRASE, Junji). 佐伯 幸作 (SAEKI, Kosaku). 高見 義則 (TAKAMI, Yoshinori). 日高 剛 (HIDAKA, Takeshi). 玉置 徳彦 (TAMAKI, Tokuhiko).
- (74) 代理人: 特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID-STATE IMAGE PICKUP APPARATUS AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 固体撮像装置及びその製造方法



(57) Abstract: This solid-state image pickup apparatus is provided with a unit pixel cell formed on a semiconductor substrate (101). The unit pixel cell has a photoelectric conversion section, an accumulation region, a pinning layer, and a pixel transistor. The pixel transistor includes a gate electrode (131), a source diffusion layer (201), and a drain diffusion layer (202), which are formed on the semiconductor substrate (101). The source diffusion layer and/or the drain diffusion layer functions as the accumulation region. A pinning layer (205) has the lower side thereof and the pixel transistor channel (105) side thereof covered with the accumulation region, and the conductivity type of the accumulation region and that of the pinning layer are different from each other.

(57) 要約: 固体撮像装置は、半導体基板 101 の上に形成された単位画素セルを備えている。単位画素セルは光電変換部と、蓄積領域と、ピンニング層と、画素トランジスタとを有している。画素トランジスタは、半導体基板 101 の上に形成されたゲート電極 131、ソース拡散層 201 及びドレイン拡散層 202 を含む。ソース拡散層及びドレイン拡散層の少なくとも一方は、蓄積領域として機能する。ピンニング層 205 は、下側及び画素トランジスタのチャンネル 105 側が蓄積領域に覆われ、蓄積領域の導電型と、ピンニング層の導電型とは互いに異なる。



WO 2014/002365 A1

明 細 書

発明の名称： 固体撮像装置及びその製造方法

技術分野

[0001] 本開示は固体撮像装置及びその製造方法に関する。

背景技術

[0002] 固体撮像装置において、暗電流及び残像の発生を抑制することが検討されている。暗電流及び残像の発生を抑制する方法として、ピニング層を設けることが検討されている。例えば、特許文献1には、蓄積領域（フローティングディフュージョン：FD）と逆導電型のピニング層を設けることにより、FDのpn接合境界に発生する空乏層が半導体基板の表面に接することを抑制し、電荷の再結合を抑制することが記載されている。これにより、トラップ準位等に起因する暗電流及び残像の発生を抑制することが期待されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-60076号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載の固体撮像装置は、画素のトランジスタの閾値（ V_t ）がばらつくおそれがある。画像特性を向上させるために、FDをリセットトランジスタのLDD（lightly doped drain）拡散層とすることが行われている。特許文献1においては、ピニング層及びFD等の拡散層を形成した後、トランジスタのゲート電極を形成する。このため、ゲート電極位置がずれやすいという問題がある。リセットトランジスタのゲート電極の位置がずれると、拡散層とゲート電極とのオーバーラップ量がばらつき、リセットトランジスタの V_t がばらついてしまう。

[0005] また、FDと逆導電型のピニング層を設けることにより、FDを構成する

不純物と、ピニング層を構成する不純物とが相殺されるおそれがある。これにより、拡散層とゲート電極とのオーバーラップの確保がさらに困難となる。最悪の場合、トランジスタが動作しなくなる問題も生じる。

[0006] さらに、FDのリークを低減するという観点から、FDを形成する際の不純物注入量を低くすることが望ましい。しかし、不純物注入量を低くすると、ゲート電極と拡散層のオーバーラップを確保することがさらに困難になる。

[0007] これらの問題は、半導体基板の上に絶縁膜を介して光電変換膜が積層された積層型のイメージセンサにおいてだけでなく、半導体基板の表面に光電変換部が形成された表面型の固体撮像装置においても生じる。

[0008] 本開示の課題は、前記の問題を解決し、暗電流及び残像の発生を抑制すると共に、画素トランジスタの V_t のばらつき及びFDのリークを低減した固体撮像装置を実現できるようにすることである。

課題を解決するための手段

[0009] 具体的に、本開示に係る固体撮像装置の一態様は、半導体基板の上に形成された単位画素セルを備え、単位画素セルは、入射光を光電変換して信号電荷を生成する光電変換部と、半導体基板に形成された拡散層であり、信号電荷を蓄積する蓄積領域と、蓄積領域よりも半導体基板の浅い位置に形成された拡散層であるピニング層と、半導体基板の上に形成されたゲート電極、並びに半導体基板におけるゲート電極の側方にそれぞれ形成されたソース拡散層及びドレイン拡散層を含む画素トランジスタとを有し、ソース拡散層及びドレイン拡散層の少なくとも一方は、蓄積領域として機能し、ピニング層は、下方及び画素トランジスタのチャネル側の側方が蓄積領域に覆われ、蓄積領域の導電型と、ピニング層の導電型とは互いに異なっている。

[0010] 固体撮像装置の一態様は、ピニング層を有し、ピニング層は下方及び画素トランジスタのチャネル側の側方が蓄積領域に覆われている。このため、暗電流及び残像の発生を抑制すると共に、画素トランジスタの V_t のばらつき及びFDのリークを低減できる。

- [0011] 固体撮像装置の一態様において、蓄積領域及びピニング層は、ゲート電極に対してセルフアラインにより形成されていることが好ましい。
- [0012] 固体撮像装置の一態様において、画素トランジスタは、蓄積領域に蓄積された信号電荷を排出するリセットトランジスタとすればよい。
- [0013] 固体撮像装置の一態様において、蓄積領域及びピニング層はそれぞれ1つであり、ソース拡散層及びドレイン拡散層の一方が、蓄積領域として機能すればよい。
- [0014] 固体撮像装置の一態様において、蓄積領域は、ボロンを含む拡散層とすればよい。
- [0015] 固体撮像装置の一態様において、蓄積領域は、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすればよい。
- [0016] 固体撮像装置の一態様において、ゲート電極は、蓄積領域に含まれる不純物を含んでいてもよい。
- [0017] 本開示に係る固体撮像装置の製造方法の一態様は、半導体基板の上に、画素トランジスタのゲート電極を形成する工程と、ゲート電極をマスクとして、半導体基板に第1の不純物を注入することによりピニング層を形成する工程と、ゲート電極をマスクとして、半導体基板に第2の不純物を注入することにより蓄積領域を形成する工程とを備え、蓄積領域を形成する工程において、ピニング層よりも深い位置に第2の不純物を注入し、蓄積領域をピニング層における下方及び画素トランジスタのチャンネル側の側方を覆うように形成する。

発明の効果

- [0018] 本開示に係る固体撮像装置及びその製造方法によれば、暗電流及び残像の発生を抑制すると共に、画素トランジスタの V_t のばらつき及びFDのリークを低減した固体撮像装置を実現できる。

図面の簡単な説明

- [0019] [図1]一実施形態に係る固体撮像装置の単位画素セルの回路構成を示す図である。

[図2]一実施形態に係る固体撮像装置を示す断面図である。

[図3]一実施形態に係る固体撮像装置のリセットトランジスタを示す断面図である。

[図4]一実施形態に係る固体撮像装置のリセットトランジスタの製造方法を工程順に示す断面図である。

発明を実施するための形態

[0020] 本実施形態においては画素回路が形成された半導体基板の上に絶縁膜を介して光電変換素子（光電変換膜）が積層された構造を有するイメージセンサを積層型イメージセンサと呼ぶ。

[0021] ソース／ドレイン拡散層という記載は、トランジスタを構成する2つの拡散層の一方がソース拡散層である場合には他方がドレイン拡散層となり、一方がドレイン拡散層である場合には他方がソース拡散層となることを示す。

[0022] 図1は、本実施形態に係る固体撮像装置の回路構成を示している。単位画素セル11は、入射光を光電変換して信号電荷を生成する光電変換部15と、光電変換部15において生成された信号電荷を蓄積する蓄積領域（FD）12と、画素トランジスタ13とを有している。

[0023] 画素トランジスタ13は、リセットトランジスタ31、増幅トランジスタ33、及び選択トランジスタ34を含む。リセットトランジスタ31のソース／ドレイン拡散層の一方は光電変換部15と接続されており、FD12として機能する。増幅トランジスタ33は、ゲート電極がFD12を介して光電変換部15と接続され、ソース／ドレイン拡散層の一方が電源線17と接続され、他方が選択トランジスタ34のソース／ドレイン拡散層の一方と接続されている。選択トランジスタ34のソース／ドレイン拡散層の他方は、垂直信号線19と接続されている。リセットトランジスタ31のソース／ドレイン拡散層の他方は、作動アンプであるアンプ18の出力と接続されている。アンプ18の入力の一方は垂直信号線19と接続されている。画素トランジスタ13は例えば、LDD（Lightly doped drain）構造のトランジスタである。

- [0024] 積層型イメージセンサにおいては、リセットトランジスタ31がノイズ源となる。リセットトランジスタ31により発生するノイズはkTCノイズと呼ばれ、リセットトランジスタ31をON/OFFする際に必ず生じる。アンプ18は、kTCノイズを低減するフィードバック回路の一部となる。
- [0025] 単位画素セル11は、通常は行方向及び列方向に複数設けられている。一般に、同一の列に配置された一群の単位画素セル11は共通の垂直信号線19に接続されている。
- [0026] 図2は、本実施形態に係る固体撮像装置の断面構成を示している。図2に示すように、半導体基板101の上に、光電変換部15が設けられている。光電変換部15は、半導体基板101側から順次形成された下部電極151、有機光電変換膜152及び上部電極153を有している。上部電極153の上には、カラーフィルタ162及びマイクロレンズ163が順次形成されている。上部電極153とカラーフィルタ162との間及びカラーフィルタ162とマイクロレンズ163の間には平坦化層161が設けられている。平坦化層161は必要に応じて設ければよく、省略してもよい。
- [0027] 下部電極151と半導体基板101の間には、配線層が形成されている。図2には、半導体基板101側から順次第1配線層141、第2配線層142及び第3配線層143が形成されている例を示している。各配線層は、絶縁層と該絶縁層に埋め込まれた配線を有している。配線層の数は必要とする信号線の数等により決定すればよい。また、配線をどのように配置してもよいが、本実施形態においては、第2配線層142に垂直信号線19、電源線17及びフィードバック線20が同方向に延びるように配置されている例を示している。垂直信号線19と電荷配線137との間に電源線17が配置され、電荷配線137を挟んで電源線17と反対側にフィードバック配線20が配置されている例を示している。各配線層に形成する配線は銅配線とすればよい。
- [0028] 半導体基板101の上には画素トランジスタのゲート電極が形成されている。図2においては、増幅トランジスタ33のゲート電極133だけを図示

している。ゲート電極 1 3 3 は、コンタクトプラグ 1 3 6、ローカル配線 1 3 5 及び電荷配線 1 3 7 を介して下部電極 1 5 1 と接続されている。電荷配線 1 3 7 は、第 1 配線層 1 4 1、第 2 配線層 1 4 2 及び第 3 配線層 1 4 3 のそれぞれに形成された銅配線が互いに接続されて形成されている。ゲート電極 1 3 3 はポリシリコンゲート電極とすればよい。ローカル配線 1 3 5 はポリシリコン配線とすればよい。

[0029] 半導体基板 1 0 1 には、素子分離領域 1 2 1 により互いに分離されて複数の領域が形成されている。これらのうちの所定の領域には p 型の不純物拡散層である F D 1 2 が形成されている。F D 1 2 は、リセットトランジスタ 3 1 のソース／ドレイン拡散層の一方としても機能する。F D 1 2 は、ローカル配線 1 3 5 と接続されている。なお、増幅トランジスタ 3 3 及び選択トランジスタ 3 4 のソース／ドレイン拡散層等もそれぞれ、半導体基板 1 0 1 の所定の領域に形成されている。半導体基板 1 0 1 の導電型は限定されないが、例えば、n 型の半導体基板に設けられた n 型のウェルに拡散層が形成されている構成とすることができる。

[0030] 上部電極 1 5 3 には正のバイアス電圧が印加されており、光の入射により有機光電変換膜 1 5 2 において発生した電子正孔対のうち、正孔が下部電極 1 5 1 へ移動する。正孔は、単位画素セル 1 1 ごとに下部電極 1 5 1 により集められ、電荷配線 1 3 7、ローカル配線 1 3 5 及びコンタクトプラグ 1 3 6 を介して F D 1 2 に移動して蓄積される。

[0031] なお、図 2 には、単位画素セル 1 1 を 3 つ示しているが、単位画素セル 1 1 の数は特に限定されない。

[0032] 図 3 は、リセットトランジスタ 3 1 の部分を拡大して示している。半導体基板 1 0 1 の上に、ゲート絶縁膜 1 1 1 を介してゲート電極 1 3 1 が形成されている。ゲート絶縁膜 1 1 1 は例えば、厚さが 1 0 n m のシリコン酸化膜とすればよい。ゲート電極 1 3 1 は例えば、厚さが 1 5 0 n m のポリシリコン膜とすればよい。

[0033] 半導体基板 1 0 1 におけるゲート電極 1 3 1 の側方には p 型の拡散層 2 0

1及び202がそれぞれ形成されている。半導体基板101におけるゲート電極131の下側で且つ拡散層201と202との間の領域はキャリアが移動するチャンネル105である。拡散層201は、FD12として機能する拡散層である。拡散層201及び202はLDD拡散層とすればよく、例えば、ボロン(B)を注入して形成すればよい。

[0034] 半導体基板101における拡散層201よりも浅い部分には、n型の不純物拡散層であるピニング層205が形成されている。ピニング層205は、その下方及びリセットトランジスタ31のチャンネル105側の側方が、FD12である拡散層201により覆われている。ピニング層205におけるチャンネル105と反対側の側方は、どのようになっていてもよい。例えば、素子分離領域(図示せず)まで達していてもよい。また、チャンネル105側の側方と同様に拡散層201に覆われていてもよい。

[0035] 拡散層201とは逆導電型のピニング層205が存在するため、拡散層201とウェルとのPN境界において発生する空乏層が半導体基板101の表面に接することを回避できる。従って、基板表面に存在する未終端欠陥やトラップ準位に起因する暗電流の発生を抑制することができる。

[0036] 図4(a)から(c)は、本実施形態に係るリセットトランジスタ31の形成方法を工程順に示している。

[0037] まず図4(a)に示すように、半導体基板101の上に厚さが10nmのゲート絶縁膜111を形成する。なお、素子分離領域の形成、及びトランジスタのしきい値電圧を制御するための注入等をあらかじめ実施しておいてもよい。続いて、厚さが150nmの導電膜を堆積した後、リソグラフィ技術及びドライエッチング技術により、所定の領域に、ゲート電極131を選択的に形成する。

[0038] 次に、図4(b)に示すように、リセットトランジスタ31のFD12側となる領域に開口を有するレジストマスク211を形成した後、例えば、エネルギーが10keVで、ドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ の条件でリン(P)を注入し、ピニング層205を形成する。

- [0039] 次に、図4(c)に示すように、エネルギーが 10keV で、ドーズ量が $6 \times 10^{12}\text{cm}^{-2}$ の条件でボロン(B)を注入し、拡散層201及び202を形成する。ゲート電極131をマスクとしてセルフアラインにより拡散層201及び202を形成するため、ゲート電極131にもボロンが注入される。この後、FD12側にコンタクトを取るためのボロン注入を行い、不純物を活性化する熱処理を行えばよい。
- [0040] 拡散層201及び拡散層202を形成する際には、半導体基板101の深さ方向、及びリセットトランジスタ31のチャンネル105方向において、FD12である拡散層201がピニング層205を覆うようにする。ゲート電極131と拡散層201とのオーバーラップを確実に確保するため、ボロンのイオン注入を、傾斜イオン注入により行うことが好ましい。例えば、ゲート電極131の垂直方向に対して、25度の角度で不純物注入を行う。ゲート電極131に対して、ソース側の拡散層とドレイン側の拡散層とが対称となるように。不純物注入は多ステップで行うことが好ましい。必要ドーズ量を4ステップに分割して注入する際は、1ステップごとにオリフラ角度を90度回転させて注入すればよい。
- [0041] イオン注入の条件は、前述の条件に限定されるものではないが、FD12のリークを低減する観点から、不純物濃度を、例えば 10^{18}cm^{-3} 以下にすることが好ましい。
- [0042] 本実施形態に係る固体撮像装置の製造方法によれば、FD12とは逆導電型のピニング層205を形成することにより、拡散層201とウェルとのPN境界において発生する空乏層が半導体基板101の表面に接することを回避できる、このため、半導体基板101の表面に存在する未終端欠陥やトラップ準位に起因する暗電流の発生を抑制することができる。
- [0043] また、リセットトランジスタ31のゲート電極131に対して、FD12及びピニング層205をセルフアラインで形成するため、ゲート電極131と拡散層201とのオーバーラップ量を高精度に制御することができる。また、半導体基板101に形成する複数のリセットトランジスタの間における

ばらつき低減することができる。リセットトランジスタ31が正常に動作するように、FD12として機能する拡散層201がピニング層205を覆うように形成すればよい。このため、拡散層201の半導体基板101の深さ方向の広がり及び横方向の広がりが、ピニング層205よりも大きくなるようにすればよい。

[0044] FD12のリークを低減する観点からは、拡散層201を形成するための不純物注入は低ドーズ量の条件で行うことが好ましい。本実施形態の製造方法においては、傾斜イオン注入を活用することができるため、拡散層201を形成する際の注入量を高くしなくても、ゲート電極131と拡散層201とのオーバーラップを確保することが可能となる。その結果として、FD12のリークを低減すると共に、リセットトランジスタ31の V_t のばらつきを低減できる。

[0045] 本実施形態においては拡散層にボロンを適用したp型のリセットトランジスタを形成する場合について説明を行った。しかし、n型のリセットトランジスタを形成する場合においても、同様の方法を適用すれば、暗電流の抑制、FDのリークの低減、及び V_t のばらつきの低減を実現できる。

[0046] 積層型イメージセンサにおいては、表面型イメージセンサと比べて、光電変換された電荷をFDに蓄積するための時間が長くなる。このため、FDのリークを低減することは表面型イメージセンサよりも重要となる。FDのリークを低減することにより、低照度の場合に画像がノイズによりざらつく、いわゆる低照度ザラも改善できる。

[0047] リセットトランジスタの V_t のばらつきを低減する効果について、さらに説明をする。図1において説明したように、リセットトランジスタのkTCノイズを低減するため、フィードバック回路が単位画素セルに接続されている。フィードバック回路は、光を光電変換部に露光させる前に行うリセット動作の際に、リセットトランジスタのゲート電圧をテーパ状に変化させる。リセットトランジスタのゲート電圧をテーパ状に変化させるテーパリセット動作を行うことにより、リセットトランジスタの V_t のばらつきをキ

キャンセルさせることができる。本実施形態の固体撮像装置の製造方法では、 V_t のばらつきを低減することができる。このため、テーパーリセット動作の際にリセットトランジスタに与えるゲート電圧の変動幅（テーパー振幅）を小さくすることができ、ランダムノイズの低減が可能となる。

[0048] 本実施形態に係る固体撮像装置は、半導体基板の上に形成された単位画素セルを備えている。単位画素セルは、入射光を光電変換して信号電荷を生成する光電変換部と、半導体基板に形成された拡散層で、信号電荷を蓄積する蓄積領域と、蓄積領域よりも半導体基板の浅い位置に形成された拡散層であるピニング層と、半導体基板の上に形成されたゲート電極、並びに半導体基板におけるゲート電極の側方にそれぞれ形成されたソース拡散層及びドレイン拡散層を含む画素トランジスタとを有している。ソース拡散層及びドレイン拡散層の少なくとも一方は、蓄積領域として機能し、ピニング層は下方及び画素トランジスタのチャンネル側の側方が蓄積領域に覆われている。

[0049] 本実施形態に係る固体撮像装置の製造方法は、半導体基板の上に、画素トランジスタのゲート電極を形成する工程と、ゲート電極をマスクとして、半導体基板に第1の不純物を注入することによりピニング層を形成する工程と、ゲート電極をマスクとして、半導体基板に第2の不純物を注入することにより蓄積領域を形成する工程とを備えている。蓄積領域を形成する工程において、ピニング層よりも深い位置に第2の不純物を注入し、蓄積領域をピニング層における下方及び画素トランジスタのチャンネル側の側方を覆うように形成する。

[0050] 従って、画素トランジスタであるリセットトランジスタのゲート電極に対して、セルフアラインによりピニング層及びFDを形成する。このため、注入条件の設定のみにより、ゲート電極とFDとのオーバーラップ量を高精度に制御することができる。FDをリセットトランジスタの拡散層として機能させるためには、少なくともゲート電極側において、FDが深さ方向及び水平方向においてピニング層を覆うようにすればよい。このため、FDの深さ方向及び水平方向の不純物の広がり、ピニング層の不純物の広がりよりも

大きくする。

[0051] FDのリークを低減するという観点からは、FDを形成するための不純物注入を低ドーズ量で行うことが好ましい。本実施形態の製造方法によれば、FDを形成するための不純物注入を傾斜イオン注入により行うことができるため、FDを形成する際の注入量を必要以上に増加させることなく、FDとゲート電極とのオーバーラップを確保することが可能となる。

[0052] なお、本実施形態においては、積層型イメージセンサにおけるリセットトランジスタについて説明を行った。しかし、表面型イメージセンサにおけるリセットトランジスタにおいても、本実施形態と同様の構造及び製造方法を適用すれば、暗電流の抑制、FDのリーク低減、及び V_t のばらつき低減を実現できる。

[0053] 本実施形態においては、ピング層をリセットトランジスタのソース／ドレイン拡散層の蓄積領域として機能する側にのみ設ける例を示したが、蓄積領域と反対側のソース／ドレイン拡散層にもピング層を設けてもよい。また、ピング層はリセットトランジスタ以外の他の画素トランジスタに設けられていてもよく、ピング層は複数の画素トランジスタに設けられていてもよい。

産業上の利用可能性

[0054] 本開示に係る固体撮像装置及びその製造方法は、暗電流及び残像の発生を抑制すると共に、画素トランジスタの V_t のばらつき及びFDのリークを低減した固体撮像装置を実現でき、固体撮像装置及びその製造方法等として有用である。

符号の説明

- [0055] 1 1 単位画素セル
1 2 蓄積領域
1 3 画素トランジスタ
1 5 光電変換部
1 7 電源線

1 8	アンプ
1 9	垂直信号線
2 0	フィードバック線
3 1	リセットトランジスタ
3 3	増幅トランジスタ
3 4	選択トランジスタ
1 0 1	半導体基板
1 0 5	チャンネル
1 1 1	ゲート絶縁膜
1 2 1	素子分離領域
1 3 1	ゲート電極
1 3 3	ゲート電極
1 3 5	ローカル配線
1 3 6	コンタクトプラグ
1 3 7	電荷配線
1 4 1	第 1 配線層
1 4 2	第 2 配線層
1 4 3	第 3 配線層
1 5 1	下部電極
1 5 2	有機光電変換膜
1 5 3	上部電極
1 6 1	平坦化層
1 6 2	カラーフィルタ
1 6 3	マイクロレンズ
2 0 1	拡散層
2 0 2	拡散層
2 0 5	ピニング層
2 1 1	レジストマスク

請求の範囲

- [請求項1] 半導体基板の上に形成された単位画素セルを備え、
前記単位画素セルは、
入射光を光電変換して信号電荷を生成する光電変換部と、
前記半導体基板に形成された拡散層であり、前記信号電荷を蓄積する蓄積領域と、
前記蓄積領域よりも前記半導体基板の浅い位置に形成された拡散層であるピニング層と、
前記半導体基板の上に形成されたゲート電極、並びに前記半導体基板における前記ゲート電極の側方にそれぞれ形成されたソース拡散層及びドレイン拡散層を含む画素トランジスタとを有し、
前記ソース拡散層及びドレイン拡散層の一方は、前記蓄積領域として機能し、
前記ピニング層は、下方及び前記画素トランジスタのチャンネル側の側方が前記蓄積領域に覆われ、
前記蓄積領域の導電型と、前記ピニング層の導電型とは互いに異なることを特徴とする固体撮像装置。
- [請求項2] 前記蓄積領域及びピニング層は、前記ゲート電極に対してセルフアラインにより形成されていることを特徴とする請求項1に記載の固体撮像装置。
- [請求項3] 前記画素トランジスタは、前記蓄積領域に蓄積された前記信号電荷を排出するリセットトランジスタであることを特徴とする請求項1又は2に記載の固体撮像装置。
- [請求項4] 前記蓄積領域及びピニング層はそれぞれ1つであり、
前記ソース拡散層及びドレイン拡散層の一方が、前記蓄積領域として機能することを特徴とする請求項1～3のいずれか1項に記載の固体撮像装置。
- [請求項5] 前記蓄積領域は、ボロンを含む拡散層であることを特徴とする請求

項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置。

[請求項6] 前記蓄積領域は、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の固体撮像装置。

[請求項7] 前記ゲート電極は、前記蓄積領域に含まれる不純物を含むことを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置。

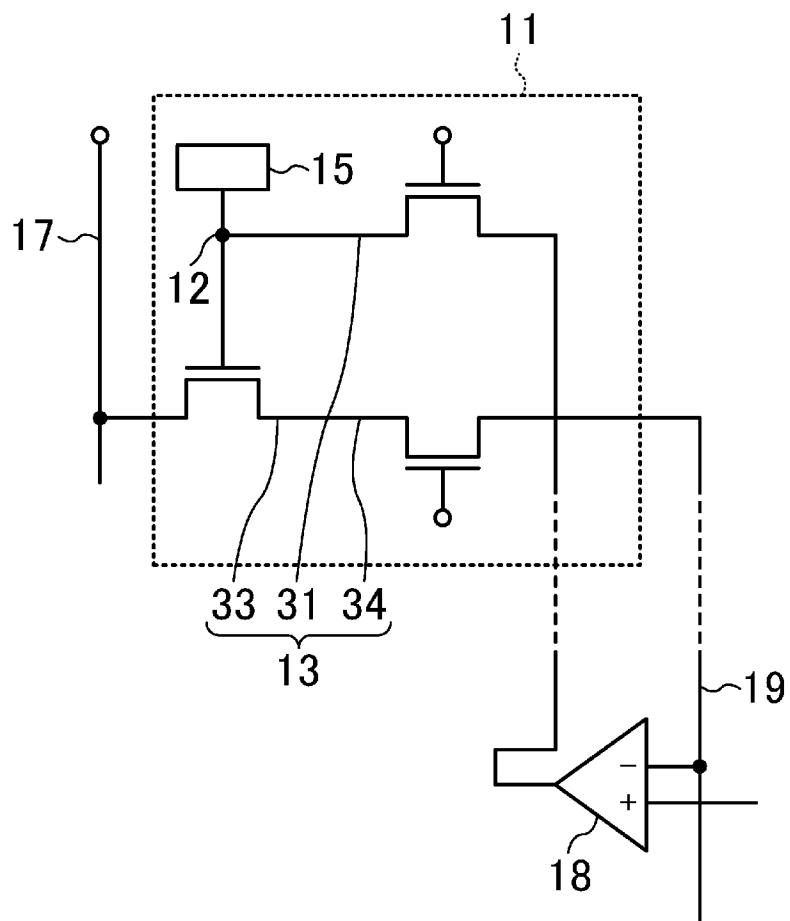
[請求項8] 半導体基板の上に、画素トランジスタのゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板に第 1 の不純物を注入することによりピニング層を形成する工程と、

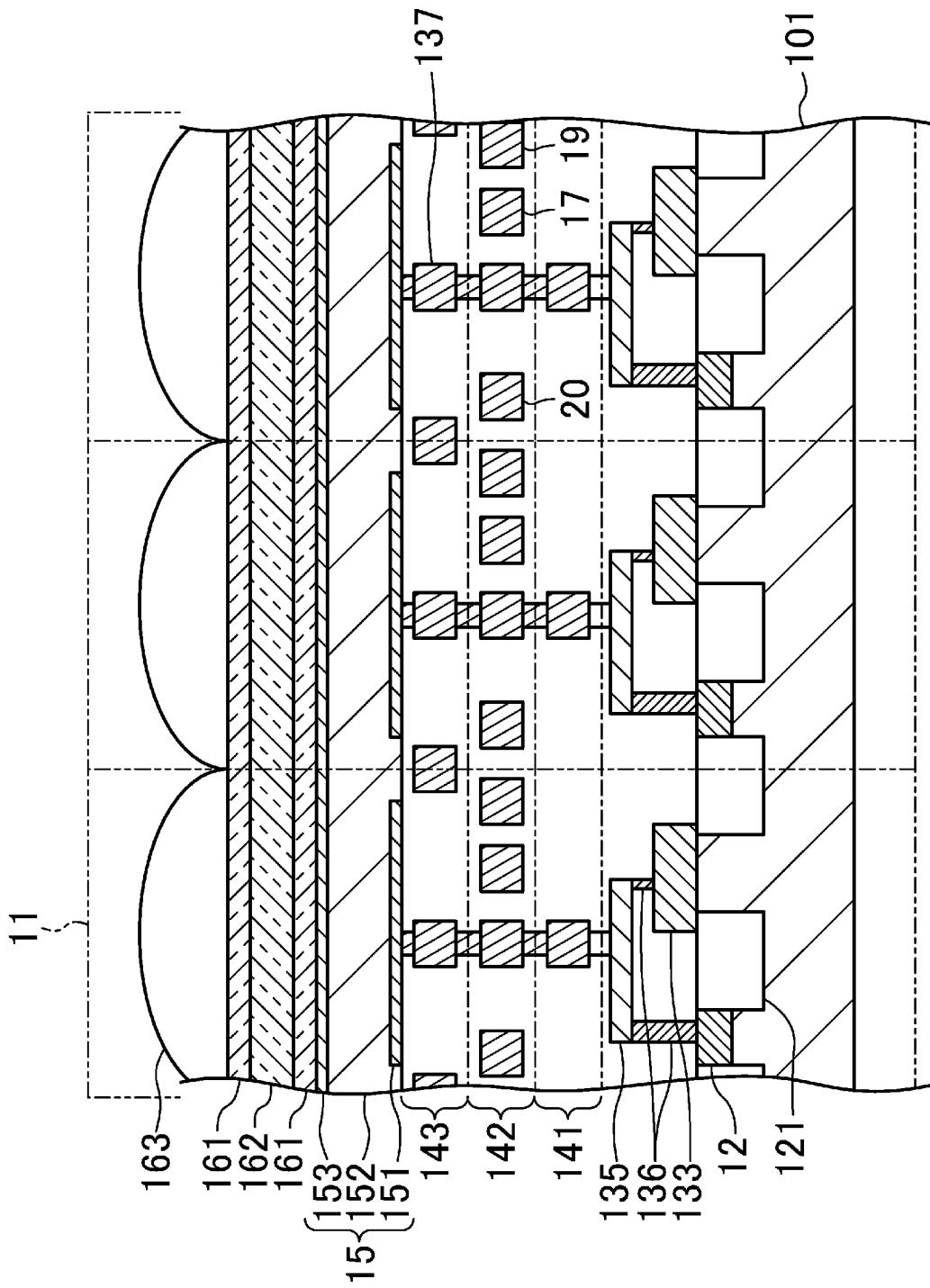
前記ゲート電極をマスクとして、前記半導体基板に第 2 の不純物を注入することにより蓄積領域を形成する工程とを備え、

前記蓄積領域を形成する工程において、前記ピニング層よりも深い位置に前記第 2 の不純物を注入し、前記蓄積領域を前記ピニング層における下方及び前記画素トランジスタのチャンネル側の側方を覆うように形成することを特徴とする固体撮像装置の製造方法。

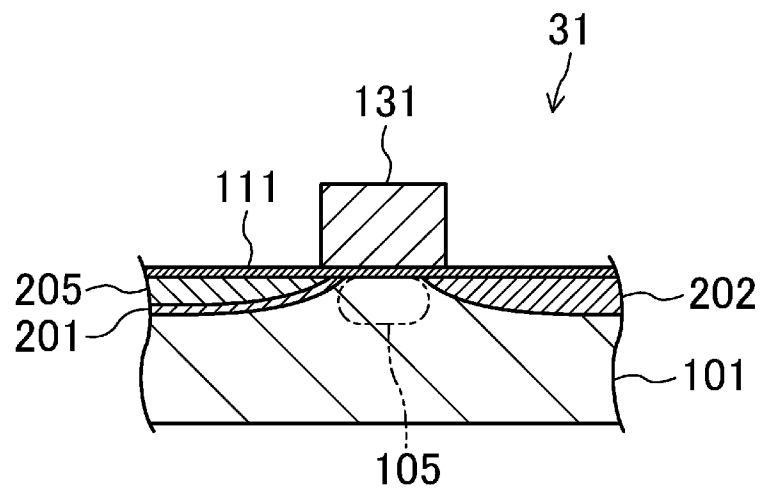
[図1]



[図2]

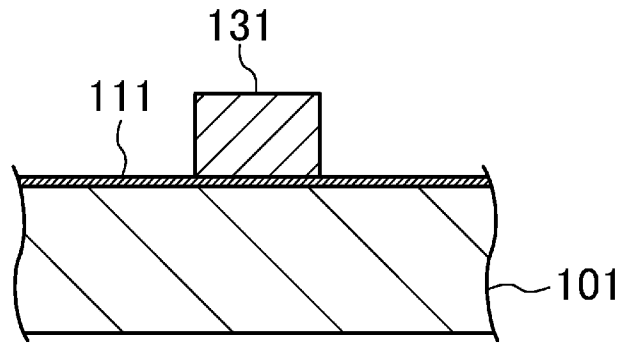


[図3]

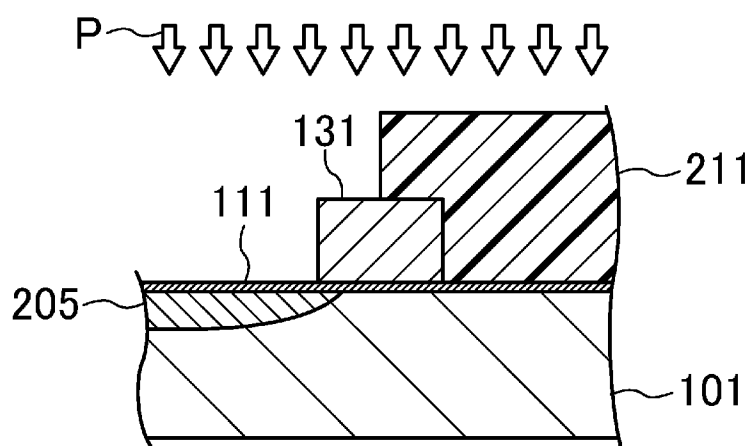


[図4]

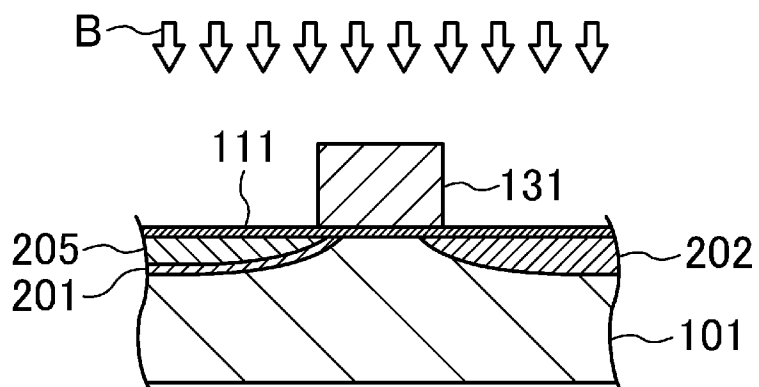
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2013/003096
--

A. CLASSIFICATION OF SUBJECT MATTER
 H01L27/146(2006.01) i, H04N5/361(2011.01) i, H04N5/369(2011.01) i, H04N5/374(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L27/146, H04N5/361, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-283629 A (Sony Corp.), 16 December 2010 (16.12.2010), fig. 6, 20, 22, 23 and explanations thereof & US 2010/0309357 A1 & EP 2262226 A1 & CN 101909167 A & KR 10-2010-0131353 A & TW 201119374 A	1, 3, 4, 6 2, 5, 7, 8
Y	JP 2008-252123 A (Canon Inc.), 16 October 2008 (16.10.2008), fig. 5 to 8 and explanations thereof (Family: none)	2, 7, 8
Y	JP 2006-253321 A (Fuji Photo Film Co., Ltd.), 21 September 2006 (21.09.2006), paragraphs [0047] to [0053]; fig. 10 & US 2006/0214199 A1	5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 July, 2013 (08.07.13)	Date of mailing of the international search report 16 July, 2013 (16.07.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003096

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-120922 A (Fujifilm Microdevices Co., Ltd.), 11 May 2006 (11.05.2006), fig. 3 and explanations thereof (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L27/146(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L27/146, H04N5/361, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-283629 A (ソニー株式会社) 2010.12.16, 図 6, 20, 22, 23 及びその説明箇所 & US 2010/0309357 A1 & EP 2262226 A1 & CN 101909167 A & KR 10-2010-0131353 A & TW 201119374 A	1, 3, 4, 6 2, 5, 7, 8
Y	JP 2008-252123 A (キヤノン株式会社) 2008.10.16, 図 5-8 及びその説明箇所 (ファミリーなし)	2, 7, 8
Y	JP 2006-253321 A (富士写真フイルム株式会社) 2006.09.21, 段落【0047】 - 【0053】, 図 10 & US 2006/0214199 A1	5

C 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 08.07.2013	国際調査報告の発送日 16.07.2013
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 今井 聖和	50	4666
	電話番号 03-3581-1101 内線 3559		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-120922 A (富士フイルムマイクロデバイス株式会社) 2006.05.11, 図3 及びその説明箇所 (ファミリーなし)	1-8