



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0127786
(43) 공개일자 2023년09월01일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) G03F 7/20 (2006.01)
H01L 21/308 (2006.01)

(52) CPC특허분류
H01L 21/0274 (2013.01)
G03F 7/2004 (2013.01)

(21) 출원번호 10-2022-0025512
(22) 출원일자 2022년02월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
나경조
경기도 화성시 동탄기흥로 393-20, 901동 703호
(오산동, 동탄역파라곤)

이재일
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)

(74) 대리인
리엔목특허법인

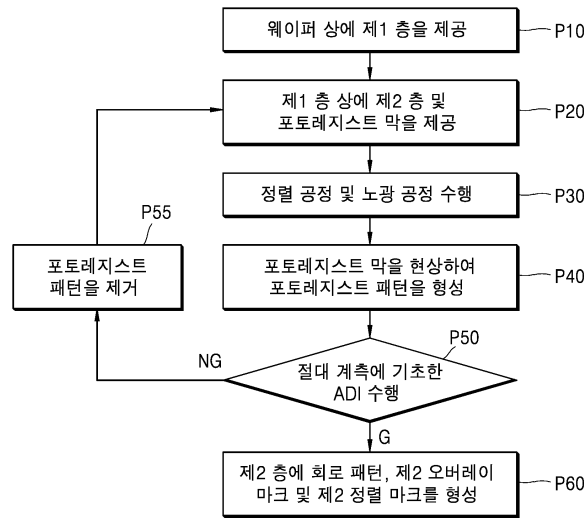
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 소자 제조 방법

(57) 요약

예시적인 실시예들에 따른 반도체 소자 제조 방법은, 반도체 층의 ADI(After Development inspection)를 이용하여 포토레지스트 패턴의 재작업 여부를 결정할 수 있다. 이때 상기 재작업은 오버레이 함수의 SDC(single to dual conversion)를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G03F 7/70633 (2023.05)

G03F 7/70683 (2023.05)

H01L 21/3086 (2013.01)

명세서

청구범위

청구항 1

웨이퍼 상에 싱글 샷 노광을 통해 제1 오버레이 마크들을 포함하는 제1 층을 형성하는 단계;

상기 제1 층 상에 제2 층 및 제1 포토레지스트 막을 형성하는 단계; 및

상기 제1 오버레이 마크들의 절대 계측에 기초하여 생성된 상기 제1 층의 싱글 샷의 제1 오버레이 함수에 기초하여 상기 제1 포토레지스트 막에 상부 샷 및 하부 샷을 노광하는 단계를 포함하되,

상기 상부 샷 및 상기 하부 샷은 서로 동일하고, 및

상기 상부 샷 및 상기 하부 샷 각각은 상기 제1 층의 싱글 샷보다 더 작은 면적을 갖는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 2

제1항에 있어서,

상기 싱글 샷은 DUV(Deep Ultra Violet) 방사선 빔 및 낮은 개구수(Numerical Aperture) EUV(Extreme UV) 방사선 빔 중 어느 하나에 의해 노광되고, 및

상기 상부 샷 및 상기 하부 샷은 높은 개구수 EUV 방사선 빔에 의해 노광되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 3

제1항에 있어서,

상기 상부 샷의 노광 및 상기 하부 샷의 노광은 상기 웨이퍼의 상면에 평행한 제1 방향으로 1/4의 축소비를 갖고, 상기 제1 방향에 수직인 제2 방향으로 1/N의 축소비를 갖고, 및

상기 N은 4 보다 큰 정수인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4

제1항에 있어서,

상기 제1 오버레이 함수에 기초하여 상기 상부 샷에 대응되는 부분의 오버레이를 나타내는 제1 상부 오버레이 함수 및 상기 하부 샷에 대응되는 부분의 오버레이를 나타내는 제1 하부 오버레이 함수를 산출하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5

제4항에 있어서,

상기 상부 샷 내에서, 상기 제1 오버레이 함수의 값은 상기 제1 상부 오버레이 함수의 값과 동일하고, 및

상기 하부 샷 내에서, 상기 제1 오버레이 함수의 값은 상기 제1 하부 오버레이 함수의 값과 동일한 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6

제4항에 있어서,

상기 제1 오버레이 함수는 상기 상부 샷 및 상기 하부 샷을 싱글 샷으로 보는 좌표계에 기초하고,

상기 상부 오버레이 함수는 상기 상부 샷 내부로 한정된 좌표계에 기초하며, 및

상기 하부 오버레이 함수는 상기 하부 샷 내부로 한정된 좌표계에 기초하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7

제1항에 있어서,

상기 제1 포토레지스트 막을 현상하여 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴 및 상기 제1 오버레이 마크들을 절대 계측함으로써, 상기 상부 샷 및 상기 하부 샷의 오버레이를 나타내는 제2 오버레이 함수를 산출하는 단계; 및

상기 제2 오버레이 함수가 임계 범위를 벗어나는 경우 상기 제1 포토레지스트 패턴을 제거하는 단계;

상기 제2 층 상에 제2 포토레지스트 막을 형성하는 단계; 및

상기 제2 오버레이 함수에 기초하여 상기 제1 포토레지스트 막의 상기 상부 샷의 오버레이를 나타내는 제2 상부 오버레이 함수 및 상기 제1 포토레지스트 막의 상기 하부 샷의 오버레이를 나타내는 제2 하부 오버레이 함수를 산출하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8

제7항에 있어서,

상기 제2 상부 오버레이 함수에 기초하여 상기 제2 포토레지스트 막에 상부 샷을 노광하는 단계; 및

상기 제2 하부 오버레이 함수에 기초하여 상기 제2 포토레지스트 막에 하부 샷을 노광하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9

제1 로트의 웨이퍼들 각각의 제1 포토레지스트 막에 서로 동일한 상부 샷 및 하부 샷을 스캐닝 방식으로 노광하는 단계로서, 상기 상부 샷 및 상기 하부 샷 각각의 제1 방향의 길이는 상기 상부 샷 및 상기 하부 샷 각각의 스캐닝 방향인 제2 방향의 길이보다 더 길고, 상기 제1 방향 및 상기 제2 방향은 서로 수직하며;

상기 제1 로트의 웨이퍼들 각각의 상기 상부 샷 및 상기 하부 샷의 오버레이 값을 계측하고, 계측된 상기 오버레이 값을 회귀분석 함으로써 상기 상부 샷 및 상기 하부 샷의 오버레이를 나타내는 오버레이 함수를 생성하는 단계;

상기 오버레이 함수에 기초하여 제2 로트의 웨이퍼들 각각의 제2 포토레지스트 막에 상기 상부 샷 및 상기 하부 샷을 스캐닝 방식으로 노광하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10

제9항에 있어서,

상기 오버레이 함수에 기초하여, 상기 상부 샷의 오버레이를 나타내는 상부 오버레이 함수 및 상기 하부 샷의 오버레이를 나타내는 하부 오버레이 함수를 생성하는 단계를 더 포함하는 반도체 소자 제조 방법.

청구항 11

제10항에 있어서,

상기 오버레이 함수, 상기 상부 오버레이 함수 및 상기 하부 오버레이 함수 각각은 서로 다른 좌표계에 기초한 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 12

제9항에 있어서,

상기 상부 샷 및 상기 하부 샷의 오버레이 값은 상기 제1 포토레지스트 막의 현상에 의해 생성된 제1 포토레지스트 패턴으로부터 계측되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 13

제9항에 있어서,

상기 제1 포토레지스트 막을 현상하여 제1 포토레지스트 패턴을 형성하는 단계; 및

상기 제1 포토레지스트 패턴을 이용하여 상기 제1 로트의 웨이퍼들을 식각하는 단계;를 더 포함하고,

상기 상부 샷 및 상기 하부 샷의 오버레이 값은 상기 제1 포토레지스트 패턴을 이용한 식각에 의해 생성된 패턴 으로부터 측정되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 14

웨이퍼 상에 제1 오버레이 마크들을 포함하는 제1 층을 형성하는 단계;

상기 제1 층 상에 제2 층 및 제1 포토레지스트 막을 형성하는 단계;

상기 제1 포토레지스트 막에 서로 동일한 상부 샷 및 하부 샷을 노광하는 단계;

상기 제1 포토레지스트 막을 현상하여 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴과 상기 제1 오버레이 마크들 사이의 오버레이를 측정함으로써, 상기 상부 샷 및 상기 하부 샷의 오버레이를 나타내는 오버레이 함수를 산출하는 단계; 및

상기 오버레이 함수가 임계 범위를 벗어나는 경우 상기 제1 포토레지스트 패턴을 제거하는 단계;

상기 제2 층 상에 제2 포토레지스트 막을 형성하는 단계; 및

상기 오버레이 함수에 기초하여 상기 제2 포토레지스트 막에 상기 상부 샷 및 상기 하부 샷을 노광하는 단계를 포함하되,

상기 제1 포토레지스트 막 및 상기 제2 포토레지스트 막은 에너지폭 축소 투영에 의해 노광되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 15

제14항에 있어서,

상기 오버레이 함수에 기초하여, 상기 제1 포토레지스트 패턴의 상기 상부 샷의 오버레이를 나타내는 상부 오버레이 함수 및 상기 제1 포토레지스트 패턴의 상기 하부 샷의 오버레이를 나타내는 하부 오버레이 함수를 산출하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 16

제15항에 있어서,

상기 제2 포토레지스트 막에 대한 상기 상부 샷의 노광은 상기 상부 오버레이 함수에 기초하여 보정되고, 및

상기 제2 포토레지스트 막에 대한 상기 하부 샷의 노광은 상기 하부 오버레이 함수에 기초하여 보정되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 17

제15항에 있어서,

상기 상부 오버레이 함수 및 상기 하부 오버레이 함수를 산출하는 단계는,

상기 상부 샷 내의 임의의 위치에서, 상기 상부 오버레이 함수가 상기 오버레이 함수와 동일한 값을 갖도록 상기 상부 오버레이 함수의 파라미터들을 결정하고, 및

상기 하부 샷 내의 임의의 위치에서, 상기 하부 오버레이 함수가 상기 오버레이 함수와 동일한 값을 갖도록 상기 상부 오버레이 함수의 파라미터들을 결정하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 18

제14항에 있어서,

상기 제1 포토레지스트 패턴과 상기 제1 오버레이 마크들 사이의 오버레이는 절대 방식으로 계측되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 19

제18항에 있어서,

상기 제1 포토레지스트 패턴과 상기 제1 오버레이 마크들 사이의 오버레이는 오버레이 계측 장치의 관측 시야의 기준점으로부터의 변위에 기초하여 결정되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 20

제14항에 있어서,

상기 제1 포토레지스트 막의 상기 상부 샷 및 상기 하부 샷은 상기 제1 층의 절대 오버레이 값에 기초하여 노광되는 것을 특징으로 하는 반도체 소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자 제조 방법에 관한 것이다. 보다 구체적으로, 신뢰성 및 제조 수율이 제고된 반도체 소자 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 정보 통신 장치의 고집적화를 위해 메모리 셀 크기의 축소에 따라, 반도체 소자의 동작 및 전기적 연결을 위해 메모리 소자에 포함되는 동작 회로들 및/또는 배선 구조도 복잡해지고 있다. 이에 따라, 반도체 소자 제조에 있어서 EUV(Extreme Ultraviolet) 리소그래피 공정의 적용이 증가하고 있다. EUV 리소그래피는 예컨대, 4nm 내지 124nm의 범위, 바람직하게는 13.5nm의 파장의 광을 이용하는 리소그래피 기술로서, 기존의 ArF 엑시머 레이저광을 이용한 리소그래피 기술로는 구현하기 어려운 20nm이하(Sub-20nm)의 초 미세 치수 가공을 가능하게 한다.

[0003] 고 신뢰성 및 고정밀도의 오버레이 계측 및 분석을 통한 피드백 공정은 EUV 리소그래피 공정의 신뢰성을 확보하기 위한 핵심 요소 중 하나이다. 이에 따라, 오버레이 계측의 정확성 및 신뢰성을 제고하기 위한 다양한 연구들이 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 기술적 사상이 해결하려는 과제는 신뢰성, 생산성 및 제조 수율이 제고된 반도체 소자 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상술한 과제를 해결하기 위한, 예시적인 실시예들에 따르면 반도체 소자 제조 방법이 제공된다. 상기 방법은, 웨이퍼 상에 싱글 샷 노광을 통해 제1 오버레이 마크들을 포함하는 제1 층을 형성하는 단계; 상기 제1 층 상에 제2 층 및 제1 포토레지스트 막을 형성하는 단계; 및 상기 제1 오버레이 마크들의 절대 계측에 기초하여 생성된 상기 제1 층의 싱글 샷의 제1 오버레이 함수에 기초하여 상기 제1 포토레지스트 막에 상부 샷 및 하부 샷을 노광하는 단계를 포함하되, 상기 상부 샷 및 상기 하부 샷은 서로 동일하고, 및 상기 상부 샷 및 상기 하부 샷 각각은 상기 제1 층의 싱글 샷보다 더 작은 면적을 갖는다.

[0006] 예시적인 실시예들에 따르면 반도체 소자 제조 방법이 제공된다. 제1 로트의 웨이퍼들 각각의 제1 포토레지스트 막에 서로 동일한 상부 샷 및 하부 샷을 스캐닝 방식으로 노광하는 단계로서, 상기 상부 샷 및 상기 하부 샷 각

각의 제1 방향의 길이는 상기 상부 샷 및 상기 하부 샷 각각의 스캐닝 방향인 제2 방향의 길이보다 더 길고, 상기 제1 방향 및 상기 제2 방향은 서로 수직하며; 상기 제1 로트의 웨이퍼들 각각의 상기 상부 샷 및 상기 하부 샷의 오버레이 값을 측정하고, 측정된 상기 오버레이 값을 회귀분석 함으로써 상기 상부 샷 및 상기 하부 샷의 오버레이를 나타내는 오버레이 함수를 생성하는 단계; 상기 오버레이 함수에 기초하여 제2 로트의 웨이퍼들 각각의 제2 포토레지스트 막에 상기 상부 샷 및 상기 하부 샷을 스캐닝 방식으로 노광하는 단계를 포함하는 것을 특징으로 한다.

[0007] 예시적인 실시예들에 따르면, 반도체 소자 제조 방법이 제공된다. 상기 방법은, 웨이퍼 상에 제1 오버레이 마크들을 포함하는 제1 층을 형성하는 단계; 상기 제1 층 상에 제2 층 및 제1 포토레지스트 막을 형성하는 단계; 상기 제1 포토레지스트 막에 서로 동일한 상부 샷 및 하부 샷을 노광하는 단계; 상기 제1 포토레지스트 막을 현상하여 제1 포토레지스트 패턴을 형성하는 단계; 상기 제1 포토레지스트 패턴과 상기 제1 오버레이 마크들 사이의 오버레이를 측정함으로써, 상기 상부 샷 및 상기 하부 샷의 오버레이를 나타내는 오버레이 함수를 산출하는 단계; 및 상기 오버레이 함수가 임계 범위를 벗어나는 경우 상기 제1 포토레지스트 패턴을 제거하는 단계; 상기 제2 층 상에 제2 포토레지스트 막을 형성하는 단계; 및 상기 오버레이 함수에 기초하여 상기 제2 포토레지스트 막에 상기 상부 샷 및 상기 하부 샷을 노광하는 단계를 포함하되, 상기 제1 포토레지스트 막 및 상기 제2 포토레지스트 막은 에너지빔 축소 투영에 의해 노광된다.

발명의 효과

[0008] 본 발명의 기술적 사상에 따르면, 높은 개구수(Numerical Aperture)의 EUV(Extreme Ultra Violet) 환경에서 레이어 간의 샷의 크기가 다른 경우에도, 기존의 APC(Advanced Process Control)를 이용한 오버레이 피드백 및 오버레이 피드 포워드가 가능하다. 이에 따라, 추가적인 설비 투자 비용(Capex) 없이 반도체 소자 제조의 신뢰성이 제고될 수 있다.

[0009] 본 발명의 예시적인 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 않은 다른 효과들은 이하의 설명으로부터 본 개시의 예시적인 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적인 실시예들을 실시함에 따른 의도하지 않은 효과들 역시 본 개시의 예시적인 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0010] 도 1은 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 2a 내지 도 6b는 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 도면들이다.

도 7은 다른 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 도면이다.

도 8은 다른 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 9는 다른 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

도 10은 다른 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.

[0012] 도 1은 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

[0013] 도 2a 내지 도 6b는 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 도면들이다.

[0014] 보다 구체적으로, 도 2a는 웨이퍼(W) 상에 형성된 제1 층(L1)을 나타내는 평면도이고, 도 2b는 도 2a의 절단선 2I-2I'를 따라 취한 단면도이다. 도 3은 도 2b에 대응되는 부분을 나타낸다. 도 4a는 웨이퍼(W) 상에 형성된 포토레지스트 패턴(PP)을 나타내는 평면도이고, 도 4b는 도 4a의 절단선 4I-4I'를 따라 취한 단면도이다. 도 5는 절대 오버레이 계측의 양상을 설명하는 개략적인 도면이다. 도 6a는 웨이퍼(W) 상에 형성된 제2 오버레이 마크들(OVM2)이 형성된 제2 층(L2)을 나타내는 평면도이고, 도 6b는 도 6a의 절단선 6I-6I'를 따라 취한 단면도이다.

- [0015] 도 1 내지 도 2b를 참조하면, P10에서, 웨이퍼(W) 상에 제1 층(L1)을 형성할 수 있다.
- [0016] 제1 층(L1) 형성은, 포토레지스트의 제공, 노광 및 현상 공정을 포함하는 리소그래피 공정, 포토레지스트 패턴을 이용한 제1 층의 패터닝 및 제1 오버레이 마크(OVM1) 및 회로 패턴의 형성을 포함할 수 있다.
- [0017] 포토레지스트의 제공은, 접착 촉진 공정 및 스핀 코팅 공정을 포함할 수 있다. 접착 촉진 공정은 포토레지스트를 웨이퍼(W) 또는 웨이퍼(W) 상에 형성된 절연층 및 회로 패턴들에 접착시키기 위한 공정이다. 포토레지스트 물질은 실리콘 또는 실리콘 함유 물질의 표면에 대해 낮은 접착력을 가질 수 있다. 따라서, 웨이퍼(W) 상에 포토레지스트 물질을 제공하기 전, 웨이퍼(W) 표면(또는 웨이퍼(W) 상에 형성된 물질층의 표면) 상에 접착 촉진 공정을 수행할 수 있다. 예를 들어, 웨이퍼(W)의 표면을 헥사메틸디실라잔(Hexamethyldisilazane, HMDS)으로 처리하는 것은 대표적인 접착 촉진 방법이다. HMDS는 웨이퍼(W)의 표면을 소수성화할 수 있는 바, 포토레지스트 물질과 웨이퍼(W) 사이의 접착력을 제거할 수 있다.
- [0018] 스핀 코팅 공정은 웨이퍼(W) 상에 포토레지스트를 제공하는 공정이다. 포토레지스트는 유기 폴리머를 포함할 수 있다. 웨이퍼(W) 상에 포토레지스트를 코팅하기 위해, 솔루션 상태의 포토레지스트가 제공된 웨이퍼(W)를 고속으로 스핀 회전시킬 수 있다. 웨이퍼(W)의 스핀 회전에 의해 균일한 두께의 포토레지스트막이 형성될 수 있다.
- [0019] 스핀 코팅 공정 이후 선택적으로 소프트 베이크 공정이 수행될 수 있다. 경우에 따라, 웨이퍼 상에 코팅된 포토레지스트 물질막의 밀도는 후속 공정을 진행하기에 부족할 수 있다. 소프트 베이크 공정은 포토레지스트 물질막을 조밀하게 하고 포토레지스트 물질막 상에 잔류하는 용매를 제거할 수 있다. 소프트 베이크 공정은 노광 장치의 베이크 플레이트에 의해 수행될 수 있다. 소프트 베이크 공정이 수행된 웨이퍼는 선택적으로 질 플레이트에 배치되어 냉각될 수 있다.
- [0020] 이어서 리소그래픽 마스크에 미리 형성된 회로 패턴, 제1 오버레이 마크들(OVM1) 및 제1 정렬 마크들(AGNM1)을 웨이퍼(W)에 전사하는 노광 공정이 수행될 수 있다. 노광 공정은 DUV(deep Ultra Violet) 방사선 빔 및/또는 낮은 개구수(Numerical Aperture) EUV(Extreme UV) 방사선 빔 중 어느 하나를 이용할 수 있다. 낮은 개구수 EUV 방사선 빔을 이용하여 노광 공정이 수행되는 경우, 후술하는 P30의 노광 공정과 달리, 본 단계의 노광 공정의 X 방향 축소 비율 및 Y 방향 축소 비율은 각각 1/4일 수 있다. 여기서, 낮은 개구수는 약 0.35 미만의 개구수를 의미하며 높은 개구수는 약 0.35 미만의 개구수를 의미한다.
- [0021] 노광 공정 후, 현상 공정 수행 전에 선택적으로 노광 후 베이크 공정이 수행될 수 있다. 노광 후 베이크 공정은 베이크 플레이트에 의해 수행될 수 있다. 노광 후 베이크 공정은 추가적인 화학 반응 또는 포토레지스트 막 내의 특정 성분의 확산을 통한 포토레지스트 막의 균일성 제고를 유도하기 위해 사용되는 선택적인 공정이다.
- [0022] 이어서, 포토레지스트의 노출된 부분 또는 노출되지 않은 부분을 제거하는 현상 공정이 수행될 수 있다. 현상 공정에 의해 포토레지스트 패턴이 형성될 수 있다.
- [0023] 이어서, 포토레지스트 패턴을 이용하여, 제1 층(L1)을 패터닝하고, 패터닝된 제1 층(L1) 상에 회로 패턴, 제1 오버레이 마크들(OVM1) 및 제1 정렬 마크들(AGNM1)을 형성할 수 있다. 제1 층(L1)은 건식 식각 또는 습식 식각에 의해 패터닝될 수 있다. 제1 층(L1)의 두께(예컨대 Z 방향 길이)가 충분히 큰 경우, 포토레지스트와 제1 층(L1) 사이에 제1 층(L1)을 식각하기 위한 하드마스크 층이 더 제공될 수 있다.
- [0024] 도 2a는 하나의 풀 샷에 대응하는 제1 층(L1)의 평면도를 나타낸다. 풀 샷은 리소그래피 마스크 등과 같은 패터닝 디바이스 상에 형성된 패턴 전체가 전사되는 웨이퍼(W) 상의 부분이다. 하나의 풀 샷 내에는 복수의 칩 영역들(CHP)이 정의될 수 있다. 복수의 칩 영역들(CHP)은 반도체 소자를 형성하기 위한 복수의 회로 레이아웃들이 중첩되어 반도체 칩이 형성되는 영역일 수 있다. 일부 실시예들에 따르면, 풀 샷은 x축으로 약 26mm 그리고 y축으로 약 33mm 정도의 사이즈를 가질 수 있으나 이에 제한되는 것은 아니다. 하나의 풀 샷에는 형성하려는 소자의 종류와 사양에 따라 다양한 개수와 크기의 칩 영역들(CHP)이 포함될 수 있다. 예컨대, 풀 샷은 하나의 칩 영역만을 포함할 수도 있다.
- [0025] 일부 실시예에 따르면, 칩 영역들(CHP) 내에 메모리 소자가 형성될 수 있다. 일부 실시예에 따르면, 칩 영역들(CHP) 내에 비휘발성 메모리 소자(non-volatile memory device)일 수 있다. 일부 실시예에 따르면, 상기 비휘발성 메모리 소자는 비휘발성 낸드 플래시 메모리(NAND-type Flash memory)일 수 있다. 일부 실시예에 따르면, 상기 비휘발성 메모리 소자는 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 중 어느 하나일 수 있다. 또한, 칩 영역들(CHP) 내에 DRAM 및 SRAM 등과 같이, 전원이 차단되면 데이터가 손실되는 휘발성 메모리 소자(volatile memory device)가 형성될 수도 있다.

- [0026] 일부 실시예들에 따르면, 예컨대 칩 영역들(CHP) 내에 로직 칩이나 계측 소자, 통신 소자, 디지털 신호 프로세서(Digital Signal Processor: DSP) 또는 시스템-온-칩(System-On-Chip: SOC) 중 어느 하나가 형성될 수도 있다.
- [0027] 칩 영역들(CHP)이 대략 정사각형의 프로파일을 갖는 것으로 도시되었으나 이에 제한되는 것은 아니다. 예컨대 칩들은 드라이버 구동 IC 칩일 수 있고, 이 경우 칩들의 한 쌍의 에지들은 다른 한 쌍의 에지들보다 더 길 수 있다.
- [0028] 스크라이브 레인(SL)은 칩 영역들(CHP) 사이로 연장되며 칩 영역들(CHP)을 서로 수평적으로(즉, X 방향 및 Y 방향 중 어느 하나로) 분리할 수 있다. 스크라이브 레인(SL)은 소잉 공정에서 칩 영역들(CHP) 상에 형성된 반도체 칩을 개별 소자로 분리하기 위한 영역일 수 있다.
- [0029] 제1 정렬 마크들(AGNM), 제1 오버레이 마크들(OVM1)은 스크라이브 레인(SL) 상에 배치될 수 있다. 도 2a에서 제1 정렬 마크들(AGNM1) 및 제1 오버레이 마크들(OVM1)이 스크라이브 레인(SL) 상에만 형성된 것으로 도시되었으나 이에 제한되는 것은 아니다. 예컨대, 제1 정렬 마크들(AGNM1) 및 제1 오버레이 마크들(OVM1) 중 일부가 칩 영역들(CHP) 내에 형성될 수 있다.
- [0030] 일부 실시예들에 따르면, 제1 정렬 마크들(AGNM1)은 노광 공정을 수행하는 동안 웨이퍼의 노광되는 부분을 정확하게 설정하기 위한 패턴일 수 있다. 일부 실시예들에 따르면, 제1 오버레이 마크들(OVM1)은 오버레이의 측정을 위한 패턴일 수 있다. 일부 실시예들에 따르면, 제1 오버레이 마크들(OVM1)은 제1 정렬 마크들(AGNM1)보다 높은 밀도로 배치될 수 있다.
- [0031] 스크라이브 레인(SL) 상에 내에 다양한 기능을 갖는 마크들이 추가적으로 제공될 수 있다. 예컨대, 완성된 반도체 소자의 특성을 전기적으로 테스트하기 위한 마크, CMP(Chemical Mechanical Polishing) 공정 후 최상부층의 두께를 측정하기 위한 마크 및 광학적으로 임계 선편이나 내부의 두께를 측정하기 위한 마크 등이 제1 층(L1)에 추가로 제공될 수 있다.
- [0032] 여기서 제1 오버레이 마크들(OVM1) 및 제1 정렬 마크들(AGNM1)은 박스 인 박스(Box in box) 구조 및 그레이팅 구조 중 어느 하나를 포함할 수 있다. 박스 인 박스 구조의 제1 오버레이 마크들(OVM1) 및 제1 얼라인 마크들(AGNM1)은 주변에 제1 오버레이 마크들(OVM1) 및 제1 얼라인 마크들(AGNM1) 등과 같은 다른 패턴들이 형성되지 않는 배타 영역을 필요로 한다. 그레이팅 형태의 오버레이 마크들은 배타 영역을 필요로 하지 않으며, 박스 인 박스 구조의 오버레이 마크에 비해 높은 밀도로 오버레이 마크들을 제공할 수 있다.
- [0033] 이하에서는 설명의 편의상, 제1 오버레이 마크들(OVM1) 및 오버레이 몰드(OVM, 도 4a 참조)이 박스 인 박스 구조를 갖는 예시를 중심으로 본 발명의 예시적인 실시예들을 설명하나, 당업계의 통상의 기술자들은 여기에 설명된 바에 기초하여 제1 오버레이 마크들(OVM1) 및 오버레이 몰드들(OVM, 도 4a 참조) 각각이 그레이팅 구조를 갖는 오버레이 마크들을 이용한 예시에 용이하게 도달할 수 있을 것이다.
- [0034] 이어서, 도 1 및 도 3을 참조하면, P20에서, 제1 층상에 포토레지스트 막(PR)을 제공할 수 있다.
- [0035] 포토레지스트 막(PR)의 제공은 P10에서 설명한 것과 유사하게, 접촉 촉진 공정 및 스핀 코팅 공정을 포함할 수 있다. 포토레지스트 막(PR)은 EUV용 포토레지스트일 수 있다. EUV 노광 공정의 경우, 노광 시 포톤 수가 DUV 등의 노광 공정에 비해 적기 때문에 EUV 흡수율이 높은 물질의 사용이 요구된다. 이에 따라, 포토레지스트 막(PR)은 예컨대, 폴리머인 히드록시 스티렌(Hydroxy styrene)을 포함할 수 있다. 나아가, 포토레지스트 막(PR)에 첨가제로서 요오도 페놀(iodophenol)이 제공될 수 있다.
- [0036] 일부 실시예들에 따르면, 상기 포토레지스트 막(PR)의 두께는 약 0.1 μm 내지 약 2 μm 의 범위에 있을 수 있다 (ranges from about 0.1 μm to about 2 μm). 일부 실시예들에 따르면, 상기 포토레지스트 막(PR)의 두께는 약 200 nm 내지 약 600 nm의 범위에 있을 수 있다. EUV 용 포토레지스트 막(PR)의 경우, 묽은 농도의 포토레지스트 용액을 스핀 코팅함으로써 얇은 두께로 제공될 수 있다.
- [0037] 경우에 따라, 포토레지스트 막(PR)은 산화 주석과 같은 무기 물질을 포함할 수 있다. 이 경우, 리소그래피 공정 및 후속 공정이 끝나서 상기 포토레지스트 막(PR)이 스트립 공정을 통해 제거된 경우에도, 상기 포토레지스트 막(PR)의 하지층(예컨대, 제1 층(L1))에 상기 무기 물질이 약 $1 \times 10^{11} / \text{cm}^3$ 이하의 농도로 잔존할 수 있다. 포토레지스트 막(PR)이 무기 물질을 포함하는 경우, 포토레지스트 막(PR)의 두께를 얇게하는 것이 용이하며, 식각 선택성이 높은바, 식각 공정 시 포토레지스트 막(PR) 아래에 얇은 두께의 하드 마스크를 형성할 수 있는 장점이

있다.

- [0038] 식각 대상 층의 두께가 큰 경우, 포토레지스트 막(PR) 아래에 비정질 탄소를 포함하는 하드 마스크층을 더 제공할 수 있다. 일부 실시예들에 따르면, 하드 마스크 층은 불소를 더 포함할 수 있다. 하드 마스크 층이 불소를 포함하는 경우, 포토레지스트 막(PR)의 EUV 민감성이 제고될 수 있다. 또한, 하드 마스크 층과 포토레지스트 막(PR) 사이에 반사 방지층이 더 제공될 수도 있다.
- [0039] 이어서, P30에서 정렬 공정 및 노광 공정이 수행될 수 있다.
- [0040] 노광 공정은 반도체 회로 형성을 위한 포토레지스트 패턴(PP, 도 4b 참조)을 형성하기 위해 포토레지스트 막(PR) 성질을 부분적으로 변화시키는 공정이다. 포토레지스트는 빛에 노출되면 광 화학 반응을 일으키는 물질이다. 포토 마스크 등의 패턴링 디바이스에 의해 포토레지스트 막(PR)은 부분적으로 노광될 수 있다. 패턴링 디바이스를 투과한 광을 포토레지스트 막(PR) 상으로 투영함으로써, 반도체 소자를 구성하는 한 층의 회로 패턴이 웨이퍼(W) 상의 포토레지스트 막(PR)으로 전사될 수 있다.
- [0041] 노광 공정은 제1 층(L1) 상에 형성된 제1 정렬 마크들(AGNM1)의 계측(즉, 정렬 공정)에 기초하여 수행될 수 있다. 노광 전, 제1 정렬 마크들(AGNM1)의 위치를 식별함으로써, 제1 정렬 마크들(AGNM1)의 디자인된 위치와 제1 층(L1)에 구현된 제1 정렬 마크들(AGNM1)의 식별된 위치 사이의 차이를 결정할 수 있다. 웨이퍼(W) 전체에 걸쳐 복수의 위치로부터 제1 정렬 마크들(AGNM1)의 위치를 식별한 후 이를 회귀 분석함으로써, 제1 층(L1) 상의 임의의 요소의 디자인된 위치와 상기 임의의 요소의 식별된 위치 사이의 차이를 나타내는 모델 함수를 결정할 수 있다.
- [0042] 예시적인 실시예들에 따르면, 다른 파장을 갖는 복수의 광에 의해 정렬 마크들(AGNM)의 위치가 식별될 수 있다. 예컨대, 서로 다른 4개의 파장의 광에 의해 정렬 마크들(AGNM)의 위치가 식별되는 경우, 상기 서로 다른 4개의 파장의 광들에 대응되는 4개의 모델 함수가 제공될 수 있고, 상기 4개의 모델 함수의 가중 합(또는 단순합)에 기초하여 생성된 조합된 모델 함수에 기초하여 노광 공정이 수행될 수 있다.
- [0043] 반도체 소자는 수직으로 적층되는 복수개의 물질층들에 대한 일련의 패턴링 공정들에 의해 제조되는 바, 기 형성된 회로 패턴(예컨대, 제1 층(L1)에 형성된 패턴)에 대한 새로운 패턴(예컨대, 포토레지스트 막(PR)에 전사되는 패턴 및 결과적으로 제2 층(L2)에 전사되는 패턴)의 정렬은 반도체 소자 제조의 수율을 높이는 데 있어 핵심적인 요소이다.
- [0044] 여기서 웨이퍼(W)의 상면과 평행하고 서로 실질적으로 수직인 두 방향을 각각 X 방향 및 Y 방향으로 지칭한다. 또한 웨이퍼(W)의 상면과 실질적으로 수직인 방향을 Z 방향으로 지칭한다. 여기서, X 방향과 Y 방향은 서로 구분되는 방향일 수 있다. 보다 구체적으로, Y 방향은 스캐닝 방식의 노광에서 스캐닝이 진행되는 방향일 수 있다. X 방향은 스캐닝이 진행되는 방향에 대해 실질적으로 수직하는 방향일 수 있으며, 이러한 설명은 이하의 모든 도면에 대해서도 동일하다.
- [0045] 명시적으로 도시되지 않았으나, 제1 층(L1)과 웨이퍼(W) 사이에 회로 패턴, 오버레이 마크들 및 정렬 마크를 포함하는 추가적인 층이 개재될 수 있다. 이 경우, 제1 층(L1)의 제1 오버레이 마크들(OVM1) 및 상기 추가적인 층의 오버레이 마크들의 계측에 기초하여 오버레이 함수가 생성될 수 있고, 상기 포토레지스트 막(PR)은 상기 모델 함수 및 상기 오버레이 함수에 기초하여 노광될 수 있다.
- [0046] 예시적인 실시예들에 따르면, 도 5를 참조하여 다시 설명되는 것과 같이 제1 층(L1)과 제1 층(L1) 아래의 하지 층 사이의 오버레이는 절대 계측에 의해 수행될 수 있다. 오버레이의 절대 계측에 의해, 제1 층(L1) 아래에 다수의 층이 배치된 경우에도, 다수의 층들 각각의 상대적인 오버레이 함수에 대한 히스토리컬 연산 없이 곧바로 제1 층(L1)의 오버레이의 절대량을 나타내는 오버레이 함수를 알 수 있다.
- [0047] 종래의 상대적인 오버레이 계측의 경우, 웨이퍼 바로 위에 형성된 회로 층의 오버레이 함수는 샷의 테두리에서 계측된 오버레이 값에 기초하여 산출되는 바, 고차의 파라미터를 보정할 수 없다. 또한, 다수의 하부 층들의 상대 오버레이 함수들의 누적 합을 더하는 경우, 누적 합에 따라 산출된 절대 오버레이는 각 층의 상대 오버레이 함수들 각각에 포함된 오차의 누적으로 인해 부정확한 값을 갖는다.
- [0048] 예시적인 실시예들에 따르면, 오버레이의 절대 계측에 의해 산출된 제1 층(L1)의 오버레이 함수는 뒤에 보다 자세히 설명되는 SDC(Single to dual conversion)를 통해 상부 샷(PU, 도 4a 참조)의 상부 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 하부 오버레이 함수로 변환될 수 있다. 이에 따라, 제1 층(L1)의 제1 정렬 마크들(AGNM1)로부터 생성된 모델 함수를 이용한 포토레지스트 막(PR)의 노광에서, 상부 샷(PU, 도 4a 참조) 및 하부

샷(PL, 도 4a 참조) 각각의 오버레이의 보정이 가능하게 된다. 이와 같이 타겟 레이어(예컨대, 포토레지스트 막(PR))의 하지층(Underlying layer)(예컨대, 제1 층(L1))의 오버레이 함수에 기초하여 타겟 레이어의 노광을 조정하는 것을 피드 포워드라고 지칭한다.

- [0049] 본 명세서에서, 제1 층(L1)의 오버레이 함수는 경우에 따라 제1 오버레이 함수라고 대체적으로(Alternatively) 지칭될 수 있고, 제1 층(L1)의 오버레이 함수의 SDC에 의해 산출된 상부 샷(PU, 도 4a 참조)의 상부 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 하부 오버레이 함수는 각각 순서대로 제1 상부 오버레이 함수 및 제1 하부 오버레이 함수라고 대체적으로 지칭될 수도 있다.
- [0050] 도 4a 및 도 4b를 참조하여 다시 설명되는 것과 같이, P40에서 전사된 상부 샷(PU) 및 하부 샷(PL) 각각의 면적은 P20에서 전사된 풀 샷의 면적보다 더 작을 수 있다. 예컨대, 도 4a 및 도 4b를 참조하여 다시 설명되는 것과 같이, P20에서 전사된 풀 샷의 면적은 P40에서 전사된 상부 샷(PU) 및 하부 샷(PL)의 면적의 합과 실질적으로 같을 수 있다. 예컨대, 도 4a 및 도 4b를 참조하여 다시 설명되는 것과 같이, P20에서 전사된 풀 샷의 면적은 P40에서 전사된 상부 샷(PU) 및 하부 샷(PL)의 각각의 면적의 약 두 배일 수 있다.
- [0051] 노광 공정에서, EUV 방사선 빔이 사용될 수 있다. 예시적인 실시예들에 따르면, EUV 방사선 빔의 파장은 약 4nm 내지 약 124nm의 범위에 있을 수 있다. 예시적인 실시예들에 따르면, EUV 방사선 빔의 파장은 약 5nm 내지 약 20nm의 범위에 있을 수 있다. 예시적인 실시예들에 따르면, EUV 방사선 빔의 파장은 약 13nm 내지 약 14nm의 범위에 있을 수 있다. 예시적인 실시예들에 따르면, EUV 방사선 빔의 파장은 약 13.5nm일 수 있다.
- [0052] EUV 방사선을 생성하기 위한 방사선 시스템은 플라즈마 소스를 여기시키도록 구성된 레이저 및 플라즈마 소스를 저장하도록 구성된 소스 수집기 모듈을 포함할 수 있다. 플라즈마 소스의 예는 주석의 입자 및 Xe 가스 또는 Li 증기를 포함할 수 있다. 이러한 플라즈마 소스에 여기 레이저 빔을 조사함으로써 플라즈마가 생성될 수 있다. 플라즈마 소스를 이용한 방사선 시스템은 레이저 생산 플라즈마 소스라고 지칭될 수도 있다. 대체 가능한 플라즈마 소스로 방전 플라즈마 소스 또는 전자 저장 링에 의해 제공되는 싱크로트론 복사에 기반한 소스가 있다.
- [0053] EUV 방사선 빔에 의해 전사되는 회로 패턴을 포함하는 EUV 포토 마스크는 실리콘 기관 및 상기 실리콘 기관 상에 교대로 배치된 복수의 실리콘 층 및 몰리브덴 층을 포함할 수 있다. 교대로 적층된 실리콘-몰리브덴 층 상에 루테튬(Ru) 함유 층이 더 제공될 수 있다. 상기 루테튬 함유 층 상에, 탄탈륨 질화 붕소(TaBN) 함유 층 및 로렌슘 함유층으로 구성된 레이어아웃 패턴이 형성될 수 있다. EUV 포토 마스크에 대해 본 명세서에 개시된 다양한 재료 및 층은 단지 예시를 위한 것일 뿐 어떠한 의미에서도 본 발명의 기술적 사상을 제한하지 않는다.
- [0054] 일부 실시예들에 따르면, 웨이퍼(W)가 노광되는 동안, 웨이퍼를 지지하는 웨이퍼 테이블은 웨이퍼(W) 상의 설정된 위치에 방사선 빔이 포커싱 되도록 구동될 수 있다. 상기 웨이퍼 상의 설정된 위치는 상기 모델 함수로부터 규정될 수 있다.
- [0055] 여기서, EUV 노광은 스캐닝 방식으로 수행될 수 있다. 또한, EUV 노광은 EUV 방사선 빔을 마스크 상의 일부 영역으로 제한하는 슬릿을 이용할 수 있다. 슬릿을 통해 광이 마스크의 일부 영역으로 조사되도록 제한하면서, 슬릿의 연장방향과 수직인 방향으로 리소그래피 마스크를 이동시키면서 EUV 방사선 빔을 리소그래피 마스크에 연속적으로 조사할 수 있다. 이와 같이 마스크의 전 영역에 걸친 스캐닝을 통해 웨이퍼(W) 상에 광이 조사된 영역은 전술한 것과 같이 풀 샷일 수 있다. 도면 상 X 방향은 슬릿의 연장 방향이며, Y 방향은 스캐닝 방향이다.
- [0056] P40에서의 EUV 노광 공정은 에너지 축소 투영일 수 있다. EUV 노광 공정에서 X 방향 축소비는 Y 방향 축소비와 다를 수 있다. 보다 구체적으로, EUV 노광에서 슬릿 방향(예컨대, X 방향)의 축소비는 1/4이고, 스캐닝 방향(예컨대, Y 방향)의 축소비는 1/8이다. 즉, 웨이퍼 상에 전사된 패턴의 X 방향 길이는 EUV 마스크 상의 대응되는 패턴의 X 방향 길이의 약 1/4이고, 웨이퍼 상에 전사된 패턴의 Y 방향 길이는 EUV 마스크 상의 대응되는 패턴의 Y 방향 길이의 약 1/8이다.
- [0057] 이에 따라, EUV 포토 마스크에 형성되는 패턴이 실제 웨이퍼(W)에 전사되는 패턴보다 큰 임계 치수를 갖는 바 패턴의 정밀도가 제고될 수 있고, EUV 포토 마스크를 이용한 리소그래피 공정의 신뢰성이 제고될 수 있다.
- [0058] 일부 실시예들에 따르면, 노광 공정이 수행되는 동안 웨이퍼(W) 상의 공간에 물과 같이 높은 굴절률을 갖는 액체로 채워질 수 있다. 이에 따라, 웨이퍼(W)의 적어도 일부가 상기 액체에 의해 커버될 수 있다. 상기의 액체는 침지 액체라 지칭되며, 웨이퍼(W)가 침지되었음은 단순히 웨이퍼(W)가 액체에 잠겨 있는 것뿐만 아니라, 침지 액체가 노광을 수행하기 위한 방사선 빔의 경로 상에 놓이는 것을 의미할 수도 있다.
- [0059] 도 1, 도 4a 및 도 4b를 참조하면, P40에서 포토레지스트 막(PR, 도 3 참조)을 현상하여 포토레지스트 패턴(P

P)을 형성할 수 있다.

- [0060] 도 4a에 도시된 포토레지스트 패턴(PP)의 레이아웃은 상부 샷(PU) 및 하부 샷(PL)을 포함할 수 있다. 예시적인 실시예들에 따르면, 상부 샷(PU) 및 하부 샷(PL)은 서로 실질적으로 동일할 수 있다. 상부 샷(PU) 및 하부 샷(PL)은 동일한 EUV 용 리소그래픽 마스크의 노광에 의해 형성될 수 있다.
- [0061] 상부 샷(PU) 및 하부 샷(PL)은 포토레지스트 패턴(PP)을 수평적으로 구획할 수 있다. 상부 샷(PU) 및 하부 샷(PL) 각각의 X 방향 길이는 제1 층(L1)의 풀 샷의 X 방향 길이와 실질적으로 동일할 수 있다. 상부 샷(PU) 및 하부 샷(PL) 각각의 Y 방향 길이는 제1 층(L1)의 풀 샷의 Y 방향 길이 보다 더 짧을 수 있다. 상부 샷(PU) 및 하부 샷(PL) 각각의 X 방향 길이는 상부 샷(PU) 및 하부 샷(PL) 각각의 Y 방향 길이보다 더 길 수 있다. 상부 샷(PU) 및 하부 샷(PL) 각각의 X 방향 길이는 약 26mm일 수 있고, 상부 샷(PU) 및 하부 샷(PL) 각각의 Y 방향 길이는 약 16.5mm일 수 있다.
- [0062] 이어서 P50에서 절대 계측에 기초한 현상 후 검사(After Development Inspection, 이하 ADI)를 수행할 수 있다.
- [0063] ADI는 웨이퍼(W) 상의 포토레지스트 패턴(PP)의 다양한 특성을 검사하고 측정하는 공정이다. 일부 실시예들 따르면, 검사하거나 측정되는 포토레지스트 패턴의 특성은, 포토레지스트 패턴(PP)에 형성된 피쳐들의 크기, 형상 및 프로파일, 선행하는 층(예컨대, 제1 층(L1))과 포토레지스트 패턴(PP)의 피쳐들의 정합성인 오버레이, 및 포토레지스트 패턴(PP)의 결합 유무 등을 포함할 수 있다.
- [0064] 일부 실시예들에 따르면, ADI는 상부 샷(PU) 및 하부 샷(PL) 전체의 제1 오버레이 마크들(OVM1) 및 포토레지스트 패턴에 형성된 오버레이 몰드들(OVM)을 계측함으로써, 오버레이 마크들(OVM1) 및 오버레이 몰드들(OVM)의 위치별 오버레이 값을 측정하고, 계측된 오버레이 값을 회귀 분석함으로써 상부 샷(PU) 및 하부 샷(PL) 전면에 걸친 임의의 요소(예컨대, 포토레지스트 패턴(PP)에 형성된 피쳐) 오버레이의 양을 나타내는 오버레이 함수를 산출하는 것을 포함할 수 있다.
- [0065] 예시적인 실시예들에 따르면, 오버레이는 이미지 베이스 광학계 및 산란 광학계 중 어느 하나에 의해 계측될 수 있다. 예시적인 실시예들에 따르면, ADI는 절대 오버레이 계측에 의해 수행될 수 있다. 이하에서, 도 5를 참조하여, 절대 오버레이 계측의 양상에 대해서 설명하도록 한다.
- [0066] 도 5를 참조하면, 검사 장치가 제1 오버레이 마크들(OVM1) 중 하나 및 오버레이 몰드들(OVM) 중 이에 대응하는 하나 사이의 오버레이를 측정하는 검사 장치의 관측 시야(Field of View)(FOV)가 도시되어 있다.
- [0067] 제1 오버레이 마크들(OVM1) 각각은 어미자일 수 있고, 및 오버레이 몰드들(OVM) 각각은 아들자일 수 있다. 제1 오버레이 마크들(OVM1) 각각은 외부 박스일 수 있고, 오버레이 몰드들(OVM) 각각은 제1 오버레이 마크들(OVM1) 각각보다 작은 크기를 갖는 내부 박스일 수 있다.
- [0068] 예시적인 실시예들에 따르면, 제1 오버레이 마크들(OVM1) 각각의 중심(OVMIC)과 관측 시야(FOV)의 기준 위치(RP) 사이의 변위 벡터를 결정함으로써 제1 오버레이 마크들(OVM1)의 절대 오버레이를 계측할 수 있고, 오버레이 몰드들(OVM) 각각의 중심(OVMC)과 관측 시야(FOV)의 기준 위치(RP) 사이의 변위 벡터를 결정함으로써 오버레이 몰드들(OVM)의 절대 오버레이를 계측할 수 있다.
- [0069] 예컨대, 기준 위치(RP)의 좌표를 (0,0)으로 정의할 때, 제1 오버레이 마크들(OVM1)의 중심(OVMIC)의 좌표는 (x1, y1)일 수 있고, 이는 제1 오버레이 마크들(OVM1)의 절대 오버레이 벡터이다. 유사하게, 기준 위치(RP)의 좌표가 (0,0)일 때, 오버레이 몰드들(OVM)의 중심(OVMC)의 좌표는 (x2, y2)이고, 이는 오버레이 몰드들(OVM)의 절대 오버레이 벡터이다. 예시적인 실시예들에 따르면, 오버레이의 절대 계측을 위해 검사 장치는 관측 시야(FOV)의 정확한 기준점을 제공해야 하므로, 웨이퍼(W)의 위치를 매우 높은 정밀도로 결정할 수 있는 고정밀도의 웨이퍼 스테이지를 포함할 수 있다.
- [0070] 예시적인 실시예들에 따르면, 제1 오버레이 마크들(OVM1) 및 오버레이 몰드들(OVM)의 절대 계측으로부터, 제1 오버레이 마크들(OVM1) 및 오버레이 몰드들(OVM) 사이의 상대적 오버레이는 (x2-x1, y2-y1)으로 결정될 수 있다.
- [0071] 다시 도1, 도 4a 및 도 4b를 참조하면, ADI 결과 오버레이가 임계 범위를 벗어나는 경우(NG), 케미칼을 이용한 스트립 공정 등을 통해 포토레지스트 패턴(PP)을 제거하고, P20에서 다시 포토레지스트 막(PR, 도 3 참조)을 제공할 수 있다. 이어서, P50에서 생성된 오버레이 함수를 보상하도록 P30에서 정렬 공정 및 노광 공정을 수행할

수 있다.

[0072] 본 명세서에서, 설명의 편의상, P55에서 제거된 포토레지스트 패턴(PP) 및 대응되는 포토레지스트막(PR, 도 3 참조)은 각각 제1 포토레지스트 패턴 및 제1 포토레지스트 막이라고 대체적으로 지칭될 수 있고, P55에서 포토레지스트 패턴(PP)이 제거된 이후 재작업 단계에서 다시 제공된 포토레지스트 막(PR, 도 3 참조)은 제2 포토레지스트 막이라고 대체적으로 지칭될 수도 있다.

[0073] 이때, 상부 샷(PU) 및 하부 샷(PL)은 별도의 노광 공정에 의해 전사되는 반면, 오버레이 함수는 상부 샷(PU) 및 하부 샷(PL) 전체에 대해 산출된다. 이에 따라, P50에서 산출된 오버레이 함수의 보상을 위해 하나의 샷인 것을 기준으로 산출된 오버레이 함수를 서로 다른 두 개의 샷(즉 상부 샷(PU) 및 하부 샷(PL))에 대한 오버레이 함수로 변환하는 SDC가 수행될 수 있다.

[0074] 예시적인 실시예들에 따르면, SDC는 하기의 변환식을 따를 수 있다.

$$SSO = USO + LSO$$

$$SSO = \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$USO = A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}), LSO = B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$n = h + i + j + k,$$

$$j + k = 1 \text{ or } 2, j = 0 \text{ or } 1, k = 0 \text{ or } 2,$$

$$0 \leq h + i \leq 3, h = 0, 1, 2 \text{ or } 3, i = 0, 1, 2 \text{ or } 3$$

[0075]

$$\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

[0076] 여기서, $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 는 상부 샷(PU) 및 하부 샷(PL) 전체의 회귀 분석에 의해 산출된 오버레이

$$A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

함수이고, $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 는 상부 샷(PU)의 오버레이를 나타내는 상부 샷(PU)만의 오버레이 함

$$B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

수이며, $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 는 하부 샷(PL)의 오버레이를 나타내는 하부 샷(PL)만의 오버레이 함수이다.

\hat{x}

[0077] A_x 는 h, i, j 및 k에 의존하는 가중 함수이고, B_y 는 h, i, j 및 k에 의존하는 가중 함수일 수 있다. \hat{x} 은 X 방

\hat{y}

향 단위 벡터이고, \hat{y} 은 Y 방향 단위 벡터이다. 경우에 따라, 노광 장치는 X 방향의 y^3 성분을 보정하지 못할 수 있고, 이 경우, RK20은 0인 제한(Constraint) 하에서 회귀 분석을 통해 상부 샷(PU) 및 하부 샷(PL)을 동시에 규정하는 오버레이 함수가 산출될 수 있다.

[0078] 일부 실시예들에 따르면, 오버레이 함수는 다항 함수를 베이스로 하여 회귀 분석될 수 있다. 예컨대, RK1은 X

방향 평행 이동 파라미터이고(즉, 상수 $\cdot \hat{x}$ 성분), RK2는 Y 방향 평행 이동 파라미터이며(즉, 상수 $\cdot \hat{y}$ 성분),

RK3은 X 방향 등방성(Isotropic) 확대 파라미터이고(즉, $x \cdot \hat{x}$ 의 계수), RK4는 Y 방향 등방성 확대 파라미터이

며(즉, $y \cdot \hat{y}$ 의 계수), RK5은 X 방향 회전 파라미터이고(즉, $y \cdot \hat{x}$ 의 계수), RK6은 Y 방향 회전 파라미터(즉, x

$\cdot \hat{y}$ 의 계수)이다.

[0079] RK7 내지 RK12은 2차 비선형 성분일 수 있다. RK7는 $x^2 \cdot \hat{x}$ 의 계수인 파라미터이고, RK8은 $y^2 \cdot \hat{y}$ 의 계수인 파라

미터이며, RK9는 $xy \cdot \hat{x}$ 의 계수인 파라미터이고, RK10은 $yx \cdot \hat{y}$ 의 계수인 파라미터이며, RK11은 $y^2 \cdot \hat{x}$ 의 계수인 파라미터 이고, RK12는 $x^2 \cdot \hat{y}$ 의 계수인 파라미터이다.

[0080] RK13 내지 RK20은 3차 비선형 성분일 수 있다. RK13은 $x^3 \cdot \hat{x}$ 의 계수인 파라미터이고, RK14은 $y^3 \cdot \hat{y}$ 의 계수인 파라미터이며, RK15은 $x^2y \cdot \hat{x}$ 의 계수인 파라미터이고, RK16은 $y^2x \cdot \hat{y}$ 의 계수인 파라미터이며, RK17은 $xy^2 \cdot \hat{x}$ 의 계수인 파라미터이고, RK18은 $yx^2 \cdot \hat{y}$ 의 계수인 파라미터이며, RK19은 $x^3 \cdot \hat{y}$ 의 계수인 파라미터이고, RK20은 $y^3 \cdot \hat{x}$ 의 계수인 파라미터일 수 있다.

[0081] 상부 샷(PU) 영역 상에서, 상부 샷(PU) 및 하부 샷(PL) 전체를 나타내는 싱글 샷의 오버레이 함수 SSO의 값은 상부 샷(PU)만을 나타내는 상부 오버레이 함수 USO의 값과 실질적으로 동일할 수 있다. 마찬가지로, 하부 샷(PL) 영역 상에서, 상부 샷(PU) 및 하부 샷(PL) 전체를 나타내는 싱글 샷의 오버레이 함수 SSO의 값은 하부 샷(PL)만을 나타내는 하부 오버레이 함수 LSO의 값과 실질적으로 동일할 수 있다.

[0082] 이때 싱글 샷의 오버레이 함수 SSO는 상부 샷(PU) 및 하부 샷(PL)을 단일의 샷으로 보는 좌표계에 기초하고, 상부 오버레이 함수 USO는 상부 샷(PU) 내부로 한정된 좌표계에 기초하며, 하부 오버레이 함수 LSO는 하부 샷(PL) 내부로 한정된 좌표계에 기초할 수 있다.

[0083] 예시적인 실시예들에 따르면, 고급 프로세서 컨트롤러(Advanced process controller) 또는 고급 프로세스 제어 시스템(Advanced process controlling system)은 상부 샷(PU) 및 하부 샷(PL)이 일체로서 하나의 샷으로 회귀 분석하고, 상기 하나의 샷의 오버레이 함수를 변환함으로써 상부 샷(PU)의 오버레이 함수 및 하부 샷(PL)의 오버레이 함수를 산출하도록 구성될 수 있다. 예시적인 실시예들에 따르면, 고급 프로세서 컨트롤러 또는 고급 프로세스 제어 시스템은, P40에서 상부 샷(PU)의 오버레이 함수 및 하부 샷(PL)의 오버레이 함수에 기초하여 포토 레지스트 막(PR, 도 3 참조)을 노광하기 위한 피드백 신호를 생성하도록 구성될 수 있다.

[0084] 본 명세서에서, 포토레지스트 패턴(PP)의 오버레이 함수는 경우에 따라 제2 오버레이 함수라고 대체적으로 지칭될 수 있고, 포토레지스트 패턴(PP)의 오버레이 함수의 SDC에 의해 산출된 상부 샷(PU, 도 4a 참조)의 상부 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 하부 오버레이 함수는 각각 순서대로 제2 상부 오버레이 함수 및 제2 하부 오버레이 함수라고 대체적으로 지칭될 수 있다.

[0085] 이상에서 설명된 바와 같이, 예시적인 실시예들에 따른 ADI 후의 재작업(Rework)에서의 노광 공정을 보정하기 위해, 상부 샷(PU) 및 하부 샷(PL)을 동시에 계측함으로써 산출된 싱글 오버레이 함수 SSO에 기초하여 상부 샷(PU)의 오버레이 함수 USO 및 하부 샷(PL)의 오버레이 함수 LSO를 산출할 수 있다.

[0086] 이에 따라, 상부 샷(PU)과 하부 샷(PL)을 별도로 계측하는 경우에 비해 계측에 소요되는 시간을 절감할 수 있고, 반도체 소자의 처리 시간(Turnaround time)을 감소시킬 수 있는바, 반도체 소자 제조의 생산성이 제고될 수 있다.

[0087] 또한, 상부 샷(PU) 및 하부 샷(PL) 중 어느 하나만의 계측에 기초하여 오버레이 함수를 산출하는 경우, 회귀 분석에 사용되는 오버레이 계측되는 위치의 수가 지나치게 적은바, 과적합에 의해 오버레이 함수가 부정확한 경우가 있다. 예시적인 실시예들에 따르면, 상부 샷(PU) 및 하부 샷(PL) 전체의 제1 오버레이 마크들(OVM1) 및 오버레이 몰드들(OVM)으로부터 오버레이들을 계측치에 기초하여 오버레이 함수를 산출하는 바, 충분한 수의 오버레이 계측치들을 제공할 수 있고 오버레이 함수의 신뢰성이 제고될 수 있다. 오버레이 함수의 신뢰성의 제고는 반도체 소자 제조의 수율의 제고를 야기한다.

[0088] 나아가, 높은 개구수(High Numerical Aperture) 환경에서 Y 방향 축소 배율이 1/8인 에너지밀도 축소 투영의 경우에도, 상부 샷(PU) 및 하부 샷(PL)의 오버레이를 함께 계측하는 바, 기존의 고급 프로세서 컨트롤러 또는 고급 프로세스 제어 시스템을 활용할 수 있어, 비필수적 시설 투자비(Capex)를 절감할 수 있다.

[0089] 이상에서, 다항 함수를 베이스로 이용하는 오버레이 회귀 분석에 대한 본 발명의 비제한적 예시에 대해 설명하였다. 당업계의 통상의 기술자는 여기에 설명된 바에 기초하여, 불연속적 체비셰프(Chebyshev) 다항식, 제르니케(Zernike) 다항식 등과 같이 함수 공간의 임의의 완전한 베이스 세트(complete basis set)를 이용한 임의

의 오버레이 회귀 분석 및 회귀 분석된 오버레이 함수의 SDC에 용이하게 도달할 수 있을 것이다. 이 경우, 상기 임의의 완전한 베이스스 세트를 구성하는 베이스스들 각각은 유한 또는 무한한 임의의 이산 직교 다항식 (discrete orthogonal polynomial)일 수 있다.

- [0090] 도 1, 도 6a 및 도 6b를 참조하면, P50에서, 오버레이가 임계 범위 내에 있는 경우, P60에서, 식각, 퇴적 및 평탄화 등의 공정을 이용하여 제2 층(L2)에 회로 패턴 및 제2 정렬 마크들(AGNM2) 및 제2 오버레이 마크들(OVM2)을 형성할 수 있다.
- [0091] 도 7은 다른 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 도면이다. 보다 구체적으로, 도 7은, 도 4a에 대응되는 부분을 나타낸다.
- [0092] 설명의 편의상 도 1 내지 도 6b를 참조하여 설명한 것과 중복되는 것은 생략하고, 차이점을 위주로 설명하도록 한다.
- [0093] 도 7을 참조하면, 포토레지스트 패턴(PP)은 제1 내지 제4 샷들(P1, P2, P3, P4)을 포함할 수 있다. 제1 내지 제4 샷들(P1, P2, P3, P4)은 동일하거나, 반전을 통해 동일하게 될 수 있다. 예컨대, 제1 샷(P1)은 제4 샷(P4)과 동일할 수 있고, 제2 샷(P2)은 제3 샷(P3)과 동일할 수 있다. 제1 샷(P1)과 제2 샷(P2)은 X 방향에 평행한 축에 대해 대칭일 수 있다. 이에 따라, X 방향에 평행한 축에 대해 반전된 제1 샷(P1)은 제2 샷(P2)과 동일할 수 있다. 유사하게, X 방향에 평행한 축에 대해 반전된 제3 샷(P3)은 제4 샷(P4)과 동일할 수 있다. 비제한적 예시로서, 제1 내지 제4 샷들(P1, P2, P3, P4)은 서로 실질적으로 동일할 수도 있다.
- [0094] 예시적인 실시예들에 따르면, ADI에서, 제1 내지 제4 샷들(P1, P2, P3, P4)에 형성된 오버레이 몰드들(OVM)은 동시에 계측될 수 있다. 이에 따라, 제1 내지 제4 샷들(P1, P2, P3, P4) 내의 임의의 요소의 오버레이를 규정하는 오버레이 함수가 산출될 수 있다.
- [0095] 예시적인 실시예들에 따르면, 도 1 내지 도 6b를 참조하여 설명한 것과 유사하게, 오버레이 값이 임계 범위를 넘어서는 경우, 포토레지스트 패턴(PP)을 제거하고, 재작업할 수 있다.
- [0096] 예시적인 실시예들에 따르면, 재작업은, 상기 오버레이 함수의 SQC(Single to Quadruple Conversion)를 통해 제1 샷(P1)의 오버레이 함수, 제2 샷(P2)의 오버레이 함수, 제3 샷(P3)의 오버레이 함수 및 제4 샷(P4)의 오버레이 함수를 생성하는 것을 포함할 수 있다.
- [0097] 예시적인 실시예들에 따르면, SQC는 하기의 변환식을 따를 수 있다.

$$SSO = SO1 + SO2 + SO3 + SO4$$

$$SSO = \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$SO1 = A_w \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}), \quad SO2 = B_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}), \quad SO3$$

$$= C_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}),$$

$$SO4 = D_z \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$n = h + i + j + k$$

$$j + k = 1 \text{ or } 2, j = 0 \text{ or } 1, k = 0 \text{ or } 2$$

$$0 \leq h + i \leq 3, h = 0, 1, 2 \text{ or } 3, i = 0, 1, 2 \text{ or } 3$$

[0098]

$$\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

[0099]

여기서, $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 는 제1 내지 제4 샷들(P1, P2, P3, P4) 전체의 회귀 분석에 의해 산출된

$$A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

오버레이 함수이고,

$A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 는 제1 샷(P1)의 오버레이를 나타내는 상부 샷(P1)만의 오

$$B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

버레이 함수이며, 는 제2 샷(P2)의 오버레이를 나타내는 제2 샷(P2)만의 오버레이

$$C_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

이 함수이고, 는 제3 샷(P3)의 오버레이를 나타내는 제3 샷(P3)만의 오버레이

$$D_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

함수이며, 는 제4 샷(P4)의 오버레이를 나타내는 제4 샷(P4)만의 오버레이 함수이다.

[0100] Aw는 h, i, j 및 k에 의존하는 가중 함수이고, Bx는 h, i, j 및 k에 의존하는 가중 함수이며, Cy는 h, i, j 및 k에 의존하는 가중 함수이고, Dz는 h, i, j 및 k에 의존하는 가중 함수일 수 있다. 경우에 따라, 노광 장치는 X 방향의 y^3 성분을 보정하지 못할 수 있고, 이 경우, RK20은 0인 제한 하에서 회귀 분석을 통해 싱글 샷의 오버레이 함수가 산출될 수 있다.

[0101] 도 7의 실시예에서, EUV 노광의 X 방향의 축소 비율은 1/4이고, Y 방향의 축소비율은 1/16이며, 이에 따라 하나의 오버레이 함수가 4개의 샷들의 오버레이 함수들로 변환되는 것을 제외하고, 도 1 내지 도 6b를 참조하여 설명한 것과 실질적으로 동일하다.

[0102] 또한, 당업계의 통상의 기술자는 여기에 설명된 바에 기초하여, EUV 노광의 Y 방향의 축소비율이 1/32이고, 하나의 오버레이 함수가 8개의 샷들의 오버레이 함수들로 변환되는 실시예 및, EUV 노광의 Y 방향의 축소비율이 1/(4n)이고, 하나의 오버레이 함수가 n개(여기서 n은 3 이상의 정수)의 샷들의 오버레이 함수들로 변환되는 실시예에 용이하게 도달할 수 있을 것이다.

[0103] 도 8은 다른 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

[0104] 설명의 편의상 도 1 내지 도 6b를 참조하여 설명한 것과 중복되는 것을 생략하고 차이점을 위주로 설명하도록 한다.

[0105] 도 8을 참조하면, P210 내지 P240은 각각 순서대로 도 1을 참조하여 설명한 P10 내지 P40과 실질적으로 동일할 수 있다.

[0106] 이어서 도 8 및 도 4b를 참조하면, P250에서, 포토레지스트 패턴(PP)을 이용하여 제2 층(L2)을 식각할 수 있다. 이에 따라, 포토레지스트 패턴(PP) 전사된 EUV 리소그래피 마스크의 패턴이 제2 층(L2)에 전사될 수 있다.

[0107] 이어서 도 8 및 도 6b를 P260에서, 절대 계측에 기초한 AEI(After Etch Inspection)을 수행할 수 있다. 여기서, 절대 계측은 앞서 도 5를 참조하여 설명한 오버레이의 계측 방법을 의미한다. P260의 AEI는 제2 층에 전사된 제2 오버레이 마크들(OVM2, 도 6b 참조)을 이용하는 것을 제외하고, P50의 웨이퍼의 검사와 실질적으로 동일할 수 있다.

[0108] P260에서, 오버레이가 임계치 내에 있는 경우(G), P271에서, 후속 공정을 수행할 수 있다. P260에서, 오버레이가 임계치를 벗어나는 경우(NG), 이미 식각이 수행된 이후이므로, P275에서 웨이퍼(W)를 폐기할 수 있다. 이에 따라, 불량인 웨이퍼(W)에 추가적인 공정을 수행하여 발생하는 불필요한 비용을 절감할 수 있다.

[0109] 도 9는 다른 예시적인 실시예들에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.

[0110] 도 9를 참조하면, P310에서 도 1, 도 8 및 도9를 참조하여 설명한 방법들과 유사한 방식을 통해, 복수개의 웨이퍼들의 그룹, 예컨대 제1 로트에 대해 리소그래피 공정을 수행할 수 있다.

[0111] 이어서, P320에서 제1 로트에 대한 싱글 샷의 오버레이 함수를 SDC함으로써, 생성된 상부 샷(PU, 도 4a 참조)의 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 오버레이 함수에 기초하여 제2 로트에 대해 리소그래피 공정을 수행할 수 있다.

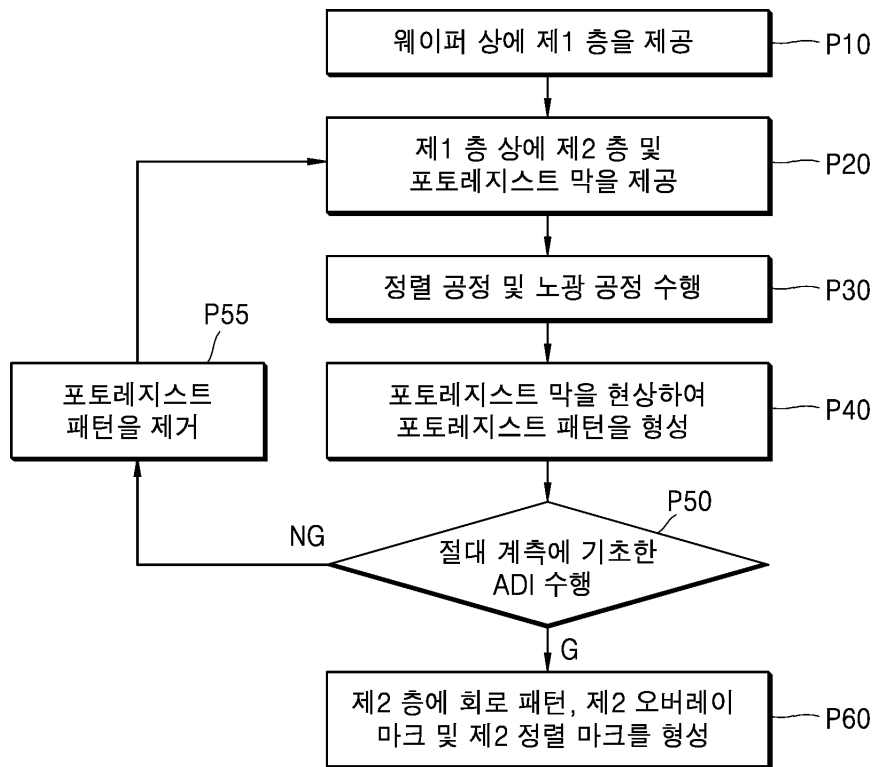
[0112] 일부 실시예들에 따르면, 제2 로트에 대한 리소그래피 공정은, 정렬 마크들로부터 생성된 모델 함수를 상부 샷(PU, 도 4a 참조)의 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 오버레이 함수에 기초하여 수행될 수 있다. 일부 실시예들에 따르면, P320의 리소그래피 공정에서 정렬 마크들로부터 생성된 모델 함수는 상부 샷(PU, 도 4a 참조)의 오버레이 함수 및 하부 샷(PL, 도 4a 참조)의 오버레이 함수를 보상하도록 수정될 수 있다. 일부 실시예들에 따르면, 리소그래피 공정의 수정은 광의 세기, 스캔 속도, 스캔 방향, 오프셋, 회전 및 크기 조정 등

을 포함할 수 있다.

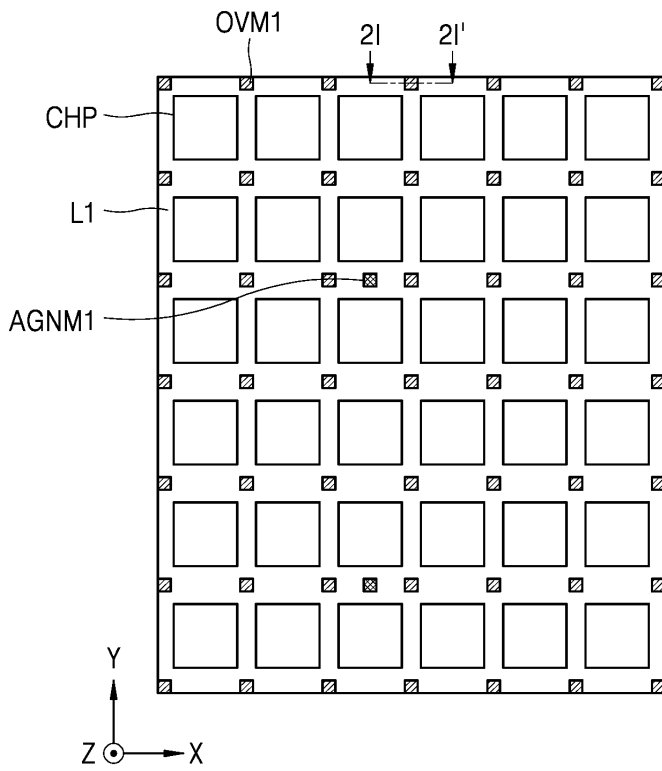
- [0113] 도 9의 반도체 소자 제조 방법은 로트 투 로트 피드백 공정이라 지칭될 수 있다. 상기 로트 투 로트 피드백은, 도 1의 ADI 및 도 8의 AEI 중 어느 하나에 기초할 수 있다.
- [0114] 도 10은 예시적인 실시예들에 따른 반도체 소자 제조방법을 설명하기 위한 순서도이다.
- [0115] 도 10을 참조하면, P410에서 제1 웨이퍼에 대해 리소그래피 공정을 수행할 수 있다. P410의 리소그래피 공정의 수행은 도 1을 참조하여 설명한 것과 실질적으로 동일할 수 있다. 따라서 P410에서 포토레지스트 패턴(PP)의 싱글 샷의 오버레이 합수를 산출할 수 있다.
- [0116] 이어서, P420에서 제1 웨이퍼에 대해 측정된 싱글 샷의 오버레이 합수를 SDC함으로써 제2 웨이퍼에 대해 리소그래피 공정을 수행할 수 있다. 일부 실시예들에 따르면, 제2 웨이퍼에 대한 리소그래피 공정은 제1 웨이퍼의 싱글 샷의 오버레이 합수를 SDC 함으로써 생성된 상부 샷(PU, 도 4a 참조)의 오버레이 합수 및 하부 샷(PL, 도 4a 참조)의 오버레이 합수에 의해 수정된 리소그래피 공정일 수 있다. 일부 실시예들에 따르면, P420의 리소그래피 공정은 상부 샷(PU, 도 4a 참조)의 오버레이 합수 및 하부 샷(PL, 도 4a 참조)의 오버레이 합수를 보상하도록 수정될 수 있다.
- [0117] 도 10을 참조하여 설명된 상기의 반도체 소자 제조 방법은 웨이퍼 투 웨이퍼 피드백 공정이라 지칭될 수도 있다. 상기 웨이퍼 투 웨이퍼 피드백은, 도 1의 ADI 및 도 8의 AEI 중 어느 하나에 기초할 수 있다.
- [0118] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

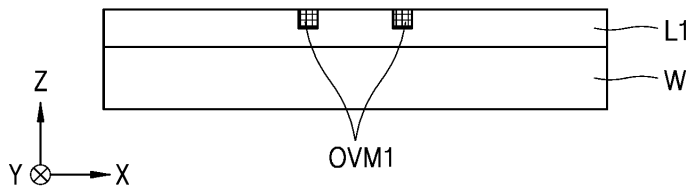
도면1



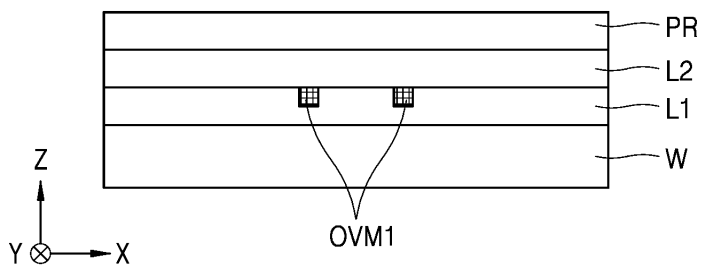
도면2a



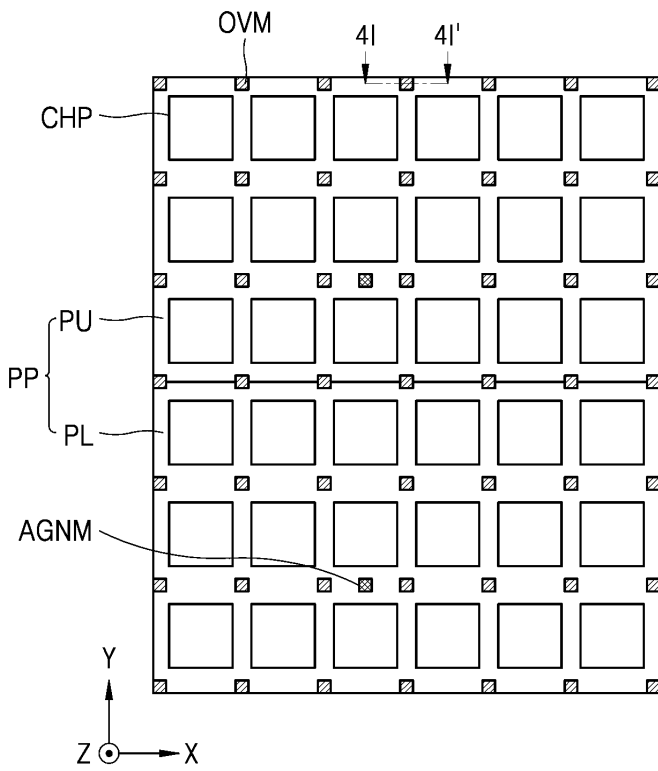
도면2b



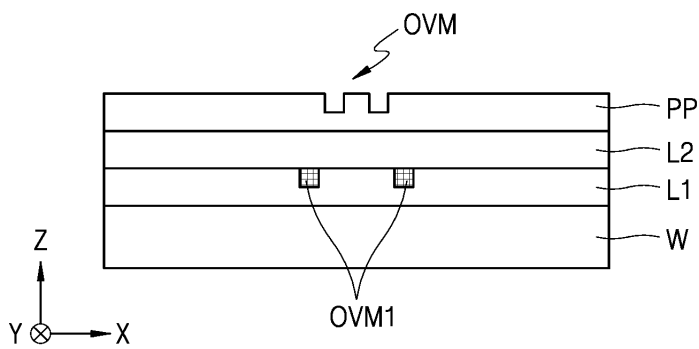
도면3



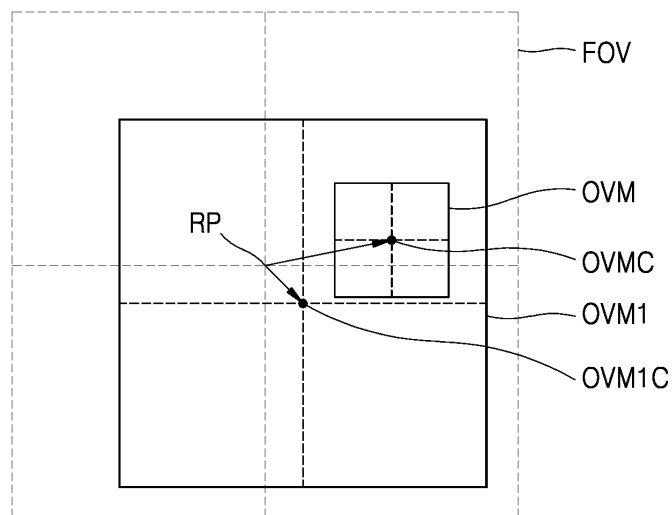
도면4a



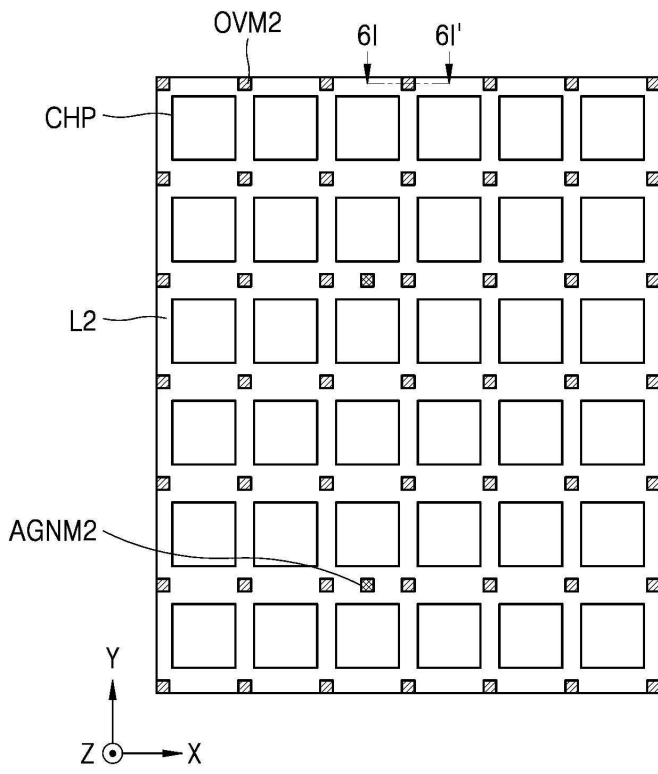
도면4b



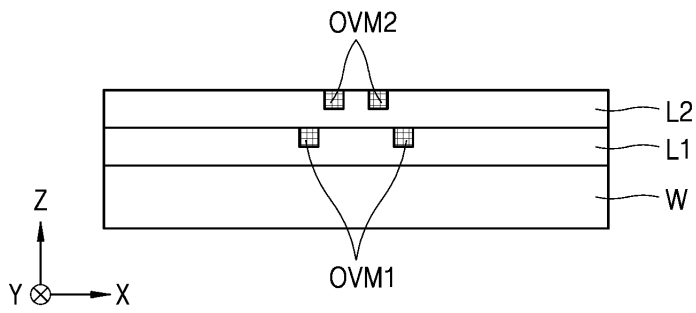
도면5



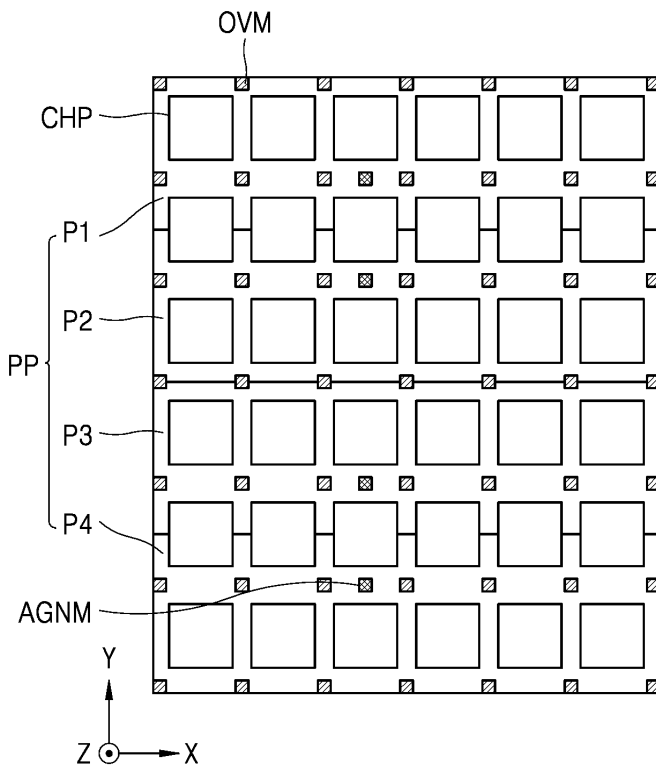
도면6a



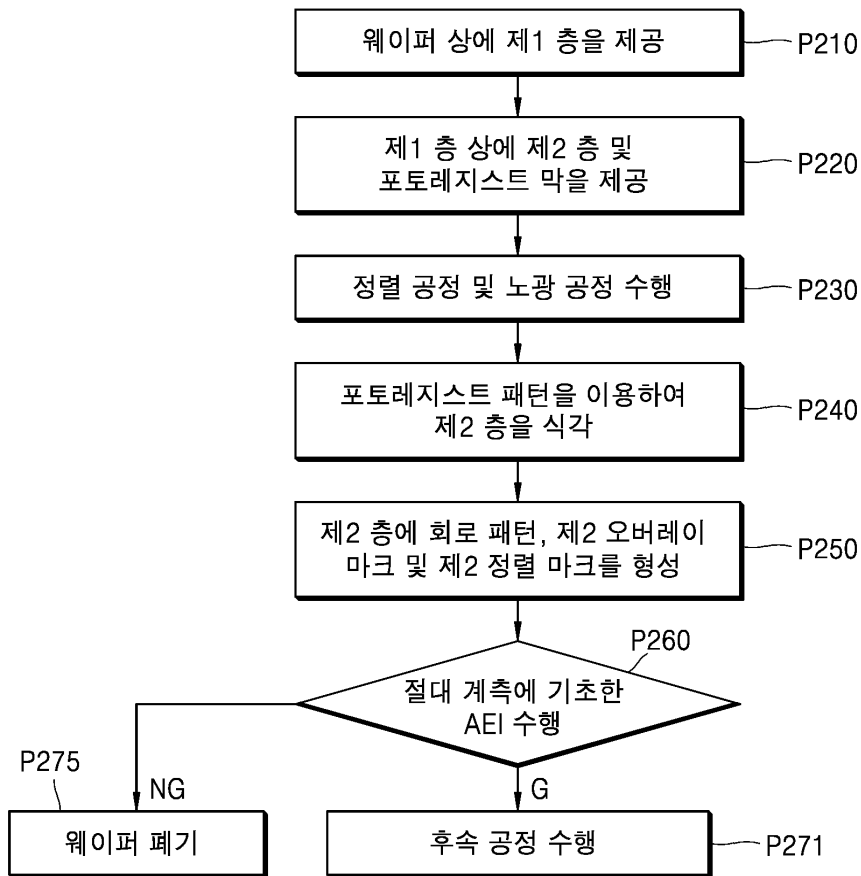
도면6b



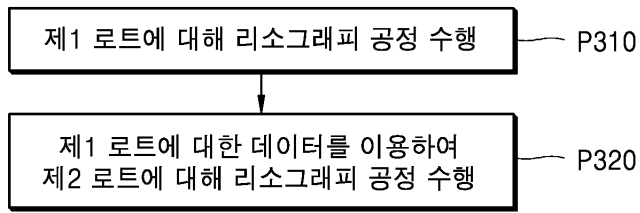
도면7



도면8



도면9



도면10

