



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0019091
(43) 공개일자 2012년03월06일

(51) 국제특허분류(Int. Cl.)
H01L 23/34 (2006.01) H01L 23/12 (2006.01)
(21) 출원번호 10-2010-0082237
(22) 출원일자 2010년08월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
강운병
경기 화성시 반송동 시범한빛마을삼부르네상스아파트 205동 604호
이종주
경기도 수원시 영통구 대장로54번길 122, 204동 1103호 (망포동, 동수원2차 쌍용스윗닷홈)
(74) 대리인
박영우

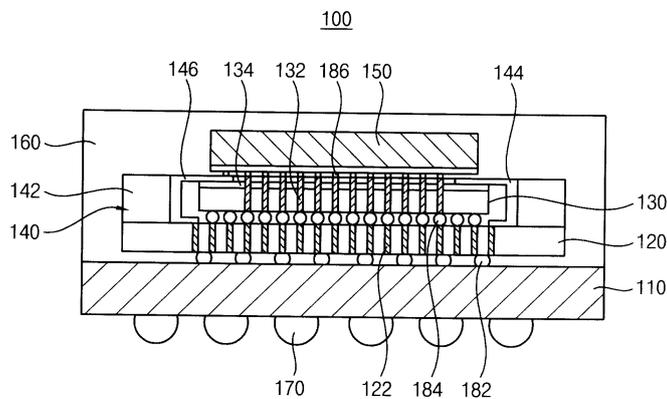
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 멀티-칩 패키지 및 그의 제조 방법

(57) 요약

멀티-칩 패키지는 패키지 기판, 인터포저 칩, 제 1 반도체 칩, 방열 구조물 및 제 2 반도체 칩을 포함한다. 인터포저 칩은 상기 패키지 기판 상에 실장된다. 제 1 반도체 칩은 상기 인터포저 칩 상에 실장되고, 상기 인터포저 칩보다 작은 면적을 갖는다. 방열 구조물은 상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성되어, 상기 제 1 반도체 칩의 열을 상기 인터포저 칩으로 전달한다. 제 2 반도체 칩은 상기 제 1 반도체 칩 상에 실장된다. 따라서, 제 1 반도체 칩의 열이 방열 라인을 통해서 인터포저 칩으로 효과적으로 방출될 수 있다.

대표도 - 도1



(72) 발명자

김용훈

경기도 수원시 영통구 청명북로 81, 청명주공아파트 407동 1301호 (영통동)

민태홍

경북 구미시 구평동 대우아파트 102동 501호

특허청구의 범위

청구항 1

패키지 기판;

상기 패키지 기판 상에 실장된 인터포저 칩;

상기 인터포저 칩 상에 실장되고, 상기 인터포저 칩보다 작은 면적을 갖는 제 1 반도체 칩;

상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성되어, 상기 제 1 반도체 칩의 열을 상기 인터포저 칩으로 전달하는 방열 구조물; 및

상기 제 1 반도체 칩 상에 실장된 제 2 반도체 칩을 포함하는 멀티-칩 패키지.

청구항 2

제 1 항에 있어서, 상기 방열 구조물은

상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성된 절연막; 및

상기 인터포저 칩과 상기 제 1 반도체 칩에 각각 접촉하도록 상기 절연막에 내장되어, 상기 열의 전달 경로를 형성하는 방열 라인(thermal dissipation line)을 포함하는 멀티-칩 패키지.

청구항 3

제 2 항에 있어서, 상기 제 1 반도체 칩은 상기 제 1 반도체 칩의 상부면에 배치된 액티브 영역을 갖고, 상기 방열 라인은 상기 액티브 영역과 접촉하는 멀티-칩 패키지.

청구항 4

제 1 항에 있어서, 상기 방열 구조물에 내장되어, 상기 제 1 반도체 칩의 파워 패드를 상기 인터포저 칩에 전기적으로 연결시키는 파워 라인을 더 포함하는 멀티-칩 패키지.

청구항 5

제 1 항에 있어서, 상기 인터포저 칩은

상기 인터포저 칩을 수직으로 관통하여, 상기 제 1 반도체 칩과 전기적으로 연결된 상단을 갖는 인터포저 플러그들; 및

상기 인터포저 플러그들의 하단에 실장되어, 상기 패키지 기판과 전기적으로 연결된 인터포저 범프들을 포함하는 멀티-칩 패키지.

청구항 6

제 1 항에 있어서, 상기 제 1 반도체 칩은

상기 제 1 반도체 칩을 수직으로 관통하여, 상기 제 2 반도체 칩과 전기적으로 연결된 상단을 갖는 제 1 플러그들; 및

상기 제 1 플러그들의 하단에 실장되어, 상기 인터포저 칩과 전기적으로 연결된 제 1 도전성 범프들을 포함하는 멀티-칩 패키지.

청구항 7

제 1 항에 있어서, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩과 전기적으로 연결된 제 2 도전성 범프들을 포함하는 멀티-칩 패키지.

청구항 8

패키지 기판 상에 인터포저 칩을 실장하는 단계;

상기 인터포저 칩 상에 상기 인터포저 칩보다 작은 면적을 갖는 제 1 반도체 칩을 실장하는 단계;

상기 인터포저 칩 상에 상기 제 1 반도체 칩을 둘러싸도록 방열 구조물을 형성하는 단계; 및

상기 제 1 반도체 칩 상에 제 2 반도체 칩을 실장하는 단계를 포함하는 멀티-칩 패키지의 제조 방법.

청구항 9

제 8 항에 있어서, 상기 방열 구조물을 형성하는 단계는

상기 인터포저 칩 상에 절연막을 형성하는 단계; 및

상기 절연막 내에 상기 인터포저 칩과 상기 제 1 반도체 칩에 각각 접촉하여 상기 제 1 반도체 칩으로부터 상기 인터포저 칩으로의 열전달 경로를 형성하는 방열 라인(thermal dissipation line)을 형성하는 단계를 포함하는 멀티-칩 패키지의 제조 방법.

청구항 10

제 9 항에 있어서, 상기 방열 구조물을 형성하는 단계는 상기 절연막 내에 상기 제 1 반도체 칩의 파워 패드를 상기 인터포저 칩에 전기적으로 연결시키는 파워 라인을 형성하는 단계를 더 포함하는 멀티-칩 패키지의 제조 방법.

명세서

기술분야

[0001] 본 발명은 멀티-칩 패키지 및 그의 제조 방법에 관한 것으로서, 보다 구체적으로는 복수개의 반도체 칩들이 적층된 구조를 갖는 멀티-칩 패키지, 및 이러한 멀티-칩 패키지를 제조하는 방법에 관한 것이다.

배경기술

[0002] 일반적으로, 반도체 기판에 여러 가지 반도체 공정들을 수행하여 복수개의 반도체 칩들을 형성한다. 그런 다음, 각 반도체 칩들을 인쇄회로기판에 실장하기 위해서, 반도체 칩에 대해서 패키징 공정을 수행하여 반도체 패키지를 형성한다.

[0003] 반도체 패키지의 저장 능력을 증가시키기 위해서, 패키지 기판 상에 복수개의 반도체 칩들이 적층된 구조를 갖는 멀티-칩 패키지에 대한 연구가 활발하게 이루어지고 있다. 또한, 패키지 기판보다 반도체 칩의 크기가 작을 경우, 반도체 칩과 패키지 기판 간의 전기적 연결 길이를 줄이기 위한 인터포저 칩이 사용된다.

[0004] 하부 반도체 칩의 액티브 영역이 하부 반도체 칩의 상부면에 배치될 경우, 액티브 영역이 상부 반도체 칩에 접촉하게 된다. 이러한 경우, 하부 반도체 칩의 액티브 영역에서 발생하는 고열이 인터포저 칩으로 전달되기가 어려운 문제가 있다.

[0005] 또한, 상부 반도체 칩의 파워 패드가 작은 크기의 도전성 범프를 통해서 인터포저 칩으로 연결되므로, 충분한 파워가 상부 반도체 칩으로 전달되지 못할 수가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 반도체 칩의 열을 효과적으로 방출시킬 수 있으면서 충분한 파워도 제공받을 수 있는 구조를 갖는 멀티-칩 패키지를 제공한다.

[0007] 또한, 본 발명은 상기된 멀티-칩 패키지를 제조하는 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 일 견지에 따른 멀티-칩 패키지는 패키지 기판, 인터포저 칩, 제 1 반도체 칩, 방열 구조물 및 제 2 반도체 칩을 포함한다. 인터포저 칩은 상기 패키지 기판 상에 실장된다. 제 1 반도체 칩은 상기 인터포저 칩 상

에 실장되고, 상기 인터포저 칩보다 작은 면적을 갖는다. 방열 구조물은 상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성되어, 상기 제 1 반도체 칩의 열을 상기 인터포저 칩으로 전달한다. 제 2 반도체 칩은 상기 제 1 반도체 칩 상에 실장된다.

- [0009] 본 발명의 일 실시예에 따르면, 상기 방열 구조물은 상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성된 절연막, 및 상기 인터포저 칩과 상기 제 1 반도체 칩에 각각 접촉하도록 상기 절연막에 내장되어, 상기 열의 전달 경로를 형성하는 방열 라인(thermal dissipation line)을 포함할 수 있다. 상기 제 1 반도체 칩은 상기 제 1 반도체 칩의 상부면에 배치된 액티브 영역을 갖고, 상기 방열 라인은 상기 액티브 영역과 접촉할 수 있다. 상기 방열 라인은 금속을 포함할 수 있다.
- [0010] 본 발명의 다른 실시예에 따르면, 상기 멀티-칩 패키지는 상기 방열 구조물에 내장되어, 상기 제 2 반도체 칩의 파워 패드를 상기 인터포저 칩에 전기적으로 연결시키는 파워 라인을 더 포함할 수 있다.
- [0011] 본 발명의 또 다른 실시예에 따르면, 상기 인터포저 칩은 상기 인터포저 칩을 수직으로 관통하여, 상기 제 1 반도체 칩과 전기적으로 연결된 상단을 갖는 인터포저 플러그들, 및 상기 인터포저 플러그들의 하단에 실장되어, 상기 패키지 기판과 전기적으로 연결된 인터포저 범프들을 포함할 수 있다.
- [0012] 본 발명의 또 다른 실시예에 따르면, 상기 제 1 반도체 칩은 상기 제 1 반도체 칩을 수직으로 관통하여, 상기 제 2 반도체 칩과 전기적으로 연결된 상단을 갖는 제 1 플러그들, 및 상기 제 1 플러그들의 하단에 실장되어, 상기 인터포저 칩과 전기적으로 연결된 제 1 도전성 범프들을 포함할 수 있다.
- [0013] 본 발명의 또 다른 실시예에 따르면, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩과 전기적으로 연결된 제 2 도전성 범프들을 포함할 수 있다.
- [0014] 본 발명의 또 다른 실시예에 따르면, 멀티-칩 패키지는 상기 패키지 기판 상에 형성되어, 상기 인터포저 칩, 상기 방열 구조물 및 상기 제 2 반도체 칩을 덮는 몰딩 부재를 더 포함할 수 있다.
- [0015] 본 발명의 또 다른 실시예에 따르면, 멀티-칩 패키지는 상기 패키지 기판의 하부면에 실장된 외부접속단자들을 더 포함할 수 있다.
- [0016] 본 발명의 다른 견지에 따른 멀티-칩 패키지는 패키지 기판, 인터포저 칩, 인터포저 범프, 제 1 반도체 칩, 제 1 도전성 범프들, 절연막, 방열 라인, 제 2 반도체 칩 및 제 2 도전성 범프들을 포함한다. 인터포저 칩은 상기 패키지 기판 상에 배치되고, 수직 방향을 따라 내장되어 상기 패키지 기판과 전기적으로 연결된 인터포저 플러그들을 갖는다. 인터포저 범프는 상기 패키지 기판과 상기 인터포저 플러그들 사이에 개재된다. 제 1 반도체 칩은 상기 인터포저 칩 상에 배치되고 상기 인터포저 칩보다 작은 면적을 가지며, 수직 방향을 따라 내장되어 상기 인터포저 칩과 전기적으로 연결된 제 1 플러그들을 갖는다. 제 1 도전성 범프들은 상기 제 1 플러그들과 상기 인터포저 칩 사이에 개재된다. 절연막은 상기 제 1 반도체 칩을 둘러싸도록 상기 인터포저 칩 상에 형성된다. 방열 라인은 상기 인터포저 칩과 상기 제 1 반도체 칩에 각각 접촉하도록 상기 절연막에 내장되어, 상기 제 1 반도체 칩으로부터 상기 인터포저 칩으로의 열전달 경로를 형성한다. 제 2 반도체 칩은 상기 제 1 반도체 칩 상에 배치된다. 제 2 도전성 범프들은 상기 제 2 반도체 칩과 상기 제 1 반도체 칩 사이에 개재된다.
- [0017] 본 발명의 일 실시예에 따르면, 멀티-칩 패키지는 상기 절연막에 내장되어, 상기 제 2 반도체 칩의 파워 패드를 상기 인터포저 칩의 인터포저 플러그에 전기적으로 연결시키는 파워 라인을 더 포함할 수 있다.
- [0018] 본 발명의 다른 실시예에 따르면, 멀티-칩 패키지는 상기 패키지 기판 상에 형성되어, 상기 인터포저 칩, 상기 방열 구조물 및 상기 제 2 반도체 칩을 덮는 몰딩 부재를 더 포함할 수 있다.
- [0019] 본 발명의 또 다른 실시예에 따르면, 멀티-칩 패키지는 상기 패키지 기판의 하부면에 실장된 외부접속단자들을 더 포함할 수 있다.
- [0020] 본 발명의 또 다른 견지에 따른 멀티-칩 패키지의 제조 방법에 따르면, 패키지 기판 상에 인터포저 칩을 실장한다. 상기 인터포저 칩 상에 상기 인터포저 칩보다 작은 면적을 갖는 제 1 반도체 칩을 실장한다. 상기 인터포저 칩 상에 상기 제 1 반도체 칩을 둘러싸도록 방열 구조물을 형성한다. 상기 제 1 반도체 칩 상에 제 2 반도체 칩을 실장한다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 방열 구조물을 형성하는 단계는 상기 인터포저 칩 상에 절연막을 형성하는 단계, 및 상기 절연막 내에 상기 인터포저 칩과 상기 제 1 반도체 칩에 각각 접촉하여 상기 제 1 반도체 칩으로부터 상기 인터포저 칩으로의 열전달 경로를 형성하는 방열 라인(thermal dissipation line)을 형성하는 단계를

포함할 수 있다.

- [0022] 본 발명의 다른 실시예에 따르면, 상기 방열 구조물을 형성하는 단계는 상기 절연막 내에 상기 제 2 반도체 칩의 파워 패드를 상기 인터포저 칩에 전기적으로 연결시키는 파워 라인을 형성하는 단계를 더 포함할 수 있다.
- [0023] 본 발명의 또 다른 실시예에 따르면, 상기 제조 방법은 상기 패키지 기판과 상기 인터포저 칩 사이, 상기 인터포저 칩과 상기 제 1 반도체 칩 사이, 및 상기 제 1 반도체 칩과 상기 제 2 반도체 칩 사이에 도전성 범프들을 개재시키는 단계를 더 포함할 수 있다.
- [0024] 본 발명의 또 다른 실시예에 따르면, 상기 제조 방법은 상기 패키지 기판 상에 상기 인터포저 칩, 상기 방열 구조물 및 상기 제 2 반도체 칩을 덮는 몰딩 부재를 형성하는 단계를 더 포함할 수 있다.
- [0025] 본 발명의 또 다른 실시예에 따르면, 상기 제조 방법은 상기 패키지 기판의 하부면에 외부접속단자들을 실장하는 단계를 더 포함할 수 있다.

발명의 효과

- [0026] 상기와 같은 본 발명에 따르면, 방열 구조물의 방열 라인이 제 1 반도체 칩과 인터포저 칩을 연결시키므로, 제 1 반도체 칩의 열이 방열 라인을 통해서 인터포저 칩으로 효과적으로 방출될 수 있다. 또한, 충분히 큰 면적을 갖는 파워 라인이 제 2 반도체 칩의 파워 패드를 인터포저 칩에 연결시키므로, 충분한 파워가 파워 라인을 통해서 제 2 반도체 칩으로 제공될 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시예에 따른 멀티-칩 패키지를 나타낸 단면도이다.
 도 2 내지 도 6은 도 1의 멀티-칩 패키지를 제조하는 방법을 순차적으로 나타낸 단면도들이다.

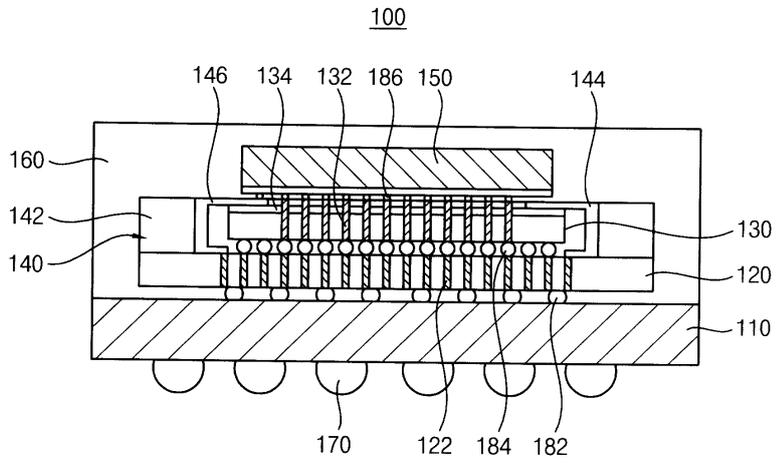
발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.
- [0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0031] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0033] 멀티-칩 패키지
- [0034] 도 1은 본 발명의 실시예에 따른 멀티-칩 패키지를 나타낸 단면도이다.
- [0035] 도 1을 참조하면, 본 실시예에 따른 멀티-칩 패키지(100)는 패키지 기판(110), 인터포저 칩(120), 제 1 반도체 칩(130), 방열 구조물(140), 제 2 반도체 칩(150), 몰딩 부재(160) 및 외부접속단자(170)들을 포함한다.

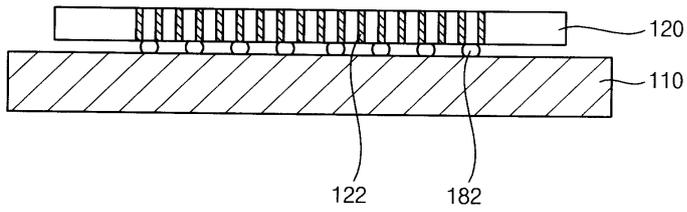
- [0036] 인터포저 칩(120)은 패키지 기관(110)의 상부면에 실장된다. 본 실시예에서, 인터포저 칩(120)은 복수개의 인터포저 플러그(122)들을 갖는다. 인터포저 플러그(122)들은 인터포저 칩(120)에 수직 방향을 따라 관통 형성된다.
- [0037] 인터포저 범프(182)들이 인터포저 칩(120)과 패키지 기관(110) 사이에 개재된다. 본 실시예에서, 인터포저 범프(182)들은 인터포저 플러그(122)들의 하단들과 패키지 기관(110)의 패드(미도시)들을 전기적으로 연결시킨다.
- [0038] 제 1 반도체 칩(130)은 인터포저 칩(120)의 상부면에 실장된다. 본 실시예에서, 제 1 반도체 칩(130)은 복수개의 제 1 플러그(132)들을 갖는다. 제 1 플러그(132)들은 제 1 반도체 칩(130)에 수직 방향을 따라 관통 형성된다. 또한, 제 1 반도체 칩(130)은 액티브 영역(134)을 갖는다. 액티브 영역(134)은 제 1 반도체 칩(130)의 상부면에 배치된다. 따라서, 본 실시예에서 다른 멀티-칩 패키지는 페이스-업(face-up) 형태의 플립 칩 패키지에 해당한다.
- [0039] 제 1 도전성 범프(184)들이 제 1 반도체 칩(130)과 인터포저 칩(120) 사이에 개재된다. 본 실시예에서, 제 1 도전성 범프(184)들은 제 1 플러그(132)들의 하단들과 인터포저 플러그(122)들의 상단들 사이에 개재되어, 제 1 플러그(132)와 인터포저 플러그(122)들을 전기적으로 연결시킨다.
- [0040] 본 실시예에서, 제 1 반도체 칩(130)은 인터포저 칩(120)보다 작은 크기를 갖는다. 즉, 제 1 반도체 칩(130)은 인터포저 칩(120)보다 좁은 면적을 갖는다. 제 1 반도체 칩(130)이 인터포저 칩(120)의 상부면 중앙부에 배치되므로, 인터포저 칩(120)의 상부면 가장자리는 노출된다.
- [0041] 방열 구조물(140)은 인터포저 칩(120)의 상부면 가장자리 상에 형성되어, 제 1 반도체 칩(130)을 둘러싼다. 방열 구조물(140)은 제 1 반도체 칩(130)으로부터 발생된 열을 인터포저 칩(120)으로 전달하는 역할을 한다.
- [0042] 본 실시예에서, 방열 구조물(140)은 인터포저 칩(120)의 상부면 가장자리에 형성되어 제 1 반도체 칩(130)을 둘러싸는 절연막(142), 및 절연막(142)에 내장된 방열 라인(144)을 포함한다.
- [0043] 본 실시예에서, 절연막(142)은 인터포저 칩(120)의 면적과 유사한 면적, 및 제 1 반도체 칩(130)보다 약간 두꺼운 두께를 갖는다. 또한, 절연막(142)은 방열 라인(144)을 수용하는 제 1 관통공을 갖는다.
- [0044] 방열 라인(144)은 절연막(142)의 제 1 관통공에 수용된다. 방열 라인(144)은 인터포저 칩(120)의 인터포저 플러그(122)의 상단과 접촉하는 하단, 및 제 1 반도체 칩(130)의 액티브 영역(134)과 접촉하는 상단을 갖는다. 따라서, 제 1 반도체 칩(130)의 액티브 영역(134)에서 발생된 고열은 방열 라인(144)을 통해서 인터포저 칩(120)의 인터포저 플러그(122)로 신속하게 전달될 수 있다. 본 실시예에서, 방열 라인(144)은 금속을 포함할 수 있다.
- [0045] 제 2 반도체 칩(150)은 제 1 반도체 칩(130)의 상부면에 실장된다. 본 실시예에서, 제 2 반도체 칩(150)은 제 2 도전성 범프(186)들을 매개로 제 1 반도체 칩(130)의 제 1 플러그(132) 상단에 전기적으로 연결된다.
- [0046] 본 실시예에서, 제 2 도전성 범프(186)들 중에서 제 2 반도체 칩(150)의 파워 패드(미도시)에 연결된 것이 있다. 이러한 제 2 도전성 범프(186)는 제 2 반도체 칩(150)의 파워 범프로 사용된다.
- [0047] 충분한 파워를 제 2 반도체 칩(150)으로 전달하기 위해서, 방열 구조물(140)은 파워 라인(146)을 더 포함할 수 있다. 본 실시예에서, 절연막(142)은 파워 라인(146)을 수용하는 제 2 관통공을 갖는다. 따라서, 파워 라인(146)은 파워용 제 2 도전성 범프(186)와 접촉한 상단, 및 인터포저 칩(120)의 인터포저 플러그(122)와 접촉한 하단을 갖는다. 이러한 파워 라인(146)은 제 1 플러그(132)보다 넓은 면적을 가질 수 있으므로, 제 2 반도체 칩(150)의 성능이 충분하게 발휘될 수 있도록 하는 파워를 파워 라인(146)을 통해서 제 2 반도체 칩(150)으로 공급할 수가 있다. 파워 라인(146)은 금속을 포함할 수 있다.
- [0048] 몰딩 부재(160)는 패키지 기관(110) 상에 형성되어, 인터포저 칩(120)과 방열 구조물(140) 및 제 2 반도체 칩(150)을 덮는다. 몰딩 부재(160)는 외부 충격으로부터 인터포저 칩(120), 방열 구조물(140), 제 1 반도체 칩(130) 및 제 2 반도체 칩(150)을 보호한다. 본 실시예에서, 몰딩 부재(160)는 에폭시 몰딩 컴파운드(epoxy molding compound:EMC)를 포함할 수 있다.
- [0049] 외부접속단자(170)들은 패키지 기관(110)의 하부면에 실장된다. 외부접속단자(170)들은 인터포저 범프(182)들과 전기적으로 연결된다. 본 실시예에서, 외부접속단자(170)들은 솔더 볼을 포함할 수 있다.
- [0050] 멀티-칩 패키지의 제조 방법
- [0051] 도 2 내지 도 6은 도 1의 멀티-칩 패키지를 제조하는 방법을 순차적으로 나타낸 단면도들이다.
- [0052] 도 2를 참조하면, 인터포저 칩(120)을 인터포저 범프(182)를 매개로 패키지 기관(110) 상에 실장한다. 인터포저

도면

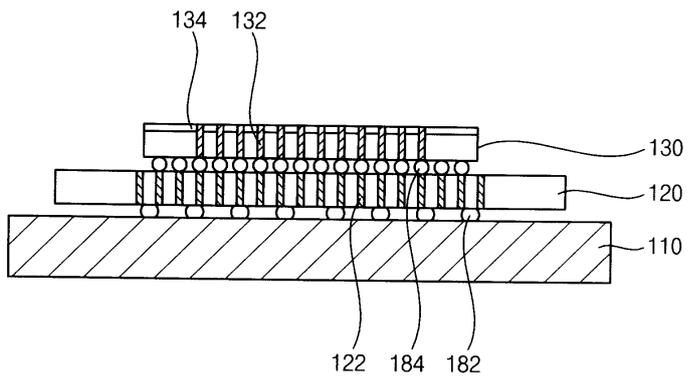
도면1



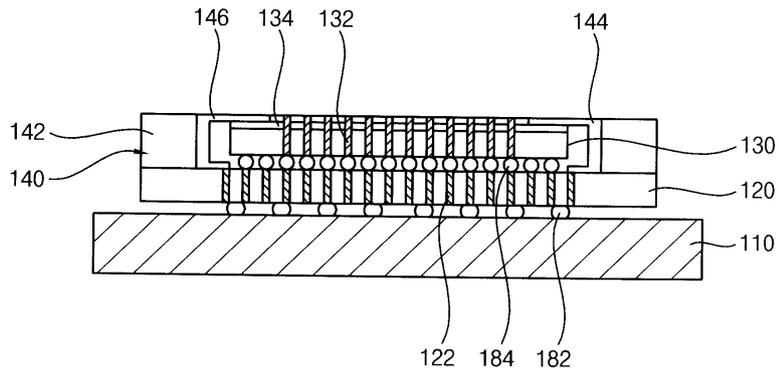
도면2



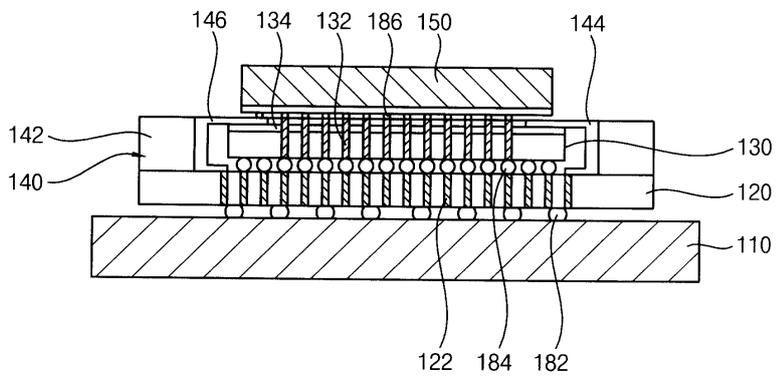
도면3



도면4



도면5



도면6

