



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월07일  
(11) 등록번호 10-2250213  
(24) 등록일자 2021년05월03일

- (51) 국제특허분류(Int. Cl.)  
H01L 21/3213 (2006.01) H01L 21/02 (2006.01)  
H01L 21/033 (2006.01) H01L 21/3065 (2006.01)  
H01L 29/66 (2006.01)
- (52) CPC특허분류  
H01L 21/32136 (2013.01)  
H01L 21/02274 (2013.01)
- (21) 출원번호 10-2017-0110261
- (22) 출원일자 2017년08월30일  
심사청구일자 2020년08월25일
- (65) 공개번호 10-2018-0025273
- (43) 공개일자 2018년03월08일
- (30) 우선권주장  
62/382,110 2016년08월31일 미국(US)  
15/486,928 2017년04월13일 미국(US)
- (56) 선행기술조사문헌  
JP2007043156 A\*  
KR1020110114559 A\*  
KR1020120024616 A\*  
US20160247883 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
도쿄엘렉트론가부시키가이샤  
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고
- (72) 발명자  
리우 에릭 치흐-광  
미국 뉴욕주 12203 올버니 스위트 244 풀러 로드  
255 사우스 나노랩 300  
렐리 안젤리크  
미국 뉴욕주 12118 하프문 서밋 트레일 15  
고 아키테루  
미국 뉴욕주 12203 올버니 스위트 244 풀러 로드  
255 사우스 나노랩 300
- (74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 21 항

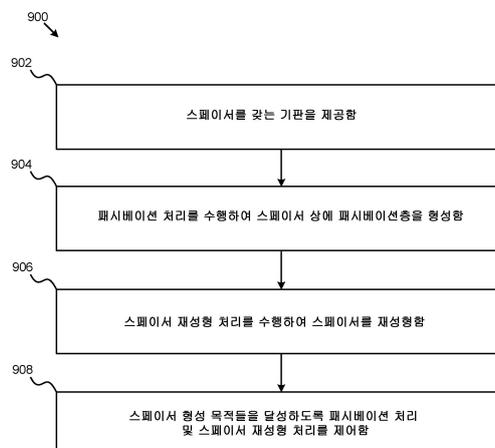
심사관 : 손희수

(54) 발명의 명칭 자가 정렬 다중 패터닝 방법들 및 시스템들에 대한 인시츄 스페이서 재성형

(57) 요약

자가 정렬 다중 패터닝에 대한 인시츄 스페이서 재성형을 위한 방법들 및 시스템들이 설명된다. 실시예에서, 기관 상에 스페이서 패턴을 형성하는 방법은 스페이서를 갖는 기관을 제공하는 단계를 포함할 수 있다. 방법은 또한 패시베이션 처리를 수행하여 스페이서 상에 패시베이션층을 형성하는 단계를 포함할 수 있다. 추가적으로, 방법은 스페이서 재성형 처리를 수행하여 스페이서를 재성형하는 단계를 포함할 수 있다. 방법은 또한 스페이서 형성 목적들을 달성하도록 패시베이션 처리 및 스페이서 재성형 처리를 제어하는 단계를 포함할 수 있다.

대표도 - 도9



(52) CPC특허분류

*H01L 21/0337* (2013.01)

*H01L 21/3065* (2013.01)

*H01L 29/66795* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

기판 상에 스페이서 패턴을 형성하는 방법에 있어서,

스페이서 코어(spacer core) 및 상기 스페이서 코어 상에 형성된 컨포멀층(conformal layer)을 갖는 기판을 제공하는 단계;

상기 컨포멀층 및 상기 스페이서 코어를 에칭하여 실리콘, 실리콘 산화물, 실리콘 질화물, 금속 산화물 또는 금속 질화물로부터 선택되는 스페이서 재료를 포함하는 스페이서를 생성하는, 상기 컨포멀층을 에칭하는 단계;

패시베이션 처리(passivation treatment)를 수행하여 생성된 상기 스페이서의 상면 및 측벽 표면들 상에 패시베이션층을 형성하는, 상기 패시베이션 처리를 수행하는 단계 - 상기 측벽 표면들은 상기 스페이서 코어가 에칭되어 노출된 표면을 포함하고, 상기 패시베이션층은 질화물 또는 산화물로부터 선택되는 패시베이션 재료를 포함하고, 상기 패시베이션 재료는 상기 스페이서 재료와 상이함 - ;

스페이서 재성형 처리(spacer reshaping treatment)를 수행하여 상기 스페이서를 재성형하는, 상기 스페이서 재성형 처리를 수행하는 단계 - 상기 스페이서 재성형 처리는 상기 상면 상에 형성된 상기 패시베이션층을 뚫고(break through) 이어서 상기 패시베이션층보다 빠른 레이트(rate)로 상기 스페이서의 상면을 에칭하기 위한 플라즈마 에칭을 포함함 - ; 및

스페이서 형성 목적(spacer formation objective)들을 달성하기 위해 상기 패시베이션 처리 및 상기 스페이서 재성형 처리를 제어하는 단계를 포함하는, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 2**

제 1 항에 있어서, 상기 패시베이션 재료는 산화물인 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 3**

제 2 항에 있어서, 상기 스페이서 재료는 실리콘 질화물 또는 금속 질화물인 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 4**

제 1 항에 있어서, 상기 패시베이션 재료는 질화물인 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 5**

제 4 항에 있어서, 상기 스페이서 재료는 실리콘 산화물 또는 금속 산화물인 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 6**

제 1 항에 있어서, 상기 패시베이션 처리를 수행하는 단계는, 화학적 기상 증착 프로세스를 수행하는 것을 포함하는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 7**

제 6 항에 있어서, 상기 화학적 기상 증착 프로세스는, 플라즈마가 지원되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 8**

제 7 항에 있어서, 상기 패시베이션 처리는, N<sub>2</sub>, O<sub>2</sub>, CO, CO<sub>2</sub>, H<sub>2</sub>, C<sub>x</sub>H<sub>y</sub>, C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>, Ar, 및 He으로 구성되는 그룹으로부터 선택되는 가스를 포함하는 플라즈마 가스 화합물을 사용하여 수행되는 것인, 기판 상에 스페이서 패턴을

형성하는 방법.

**청구항 9**

제 1 항에 있어서, 상기 플라즈마 에칭은,  $N_2$ ,  $O_2$ , CO,  $CO_2$ ,  $H_2$ , HBr,  $Cl_2$ ,  $C_xH_y$ , Ar, He,  $C_xH_yF_z$ , 및  $C_xF_y$ 로 구성되는 그룹으로부터 선택되는 플라즈마 에칭 가스를 포함하는 플라즈마 에칭 가스 화학물을 사용하여 수행되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 10**

제 9 항에 있어서, 상기 플라즈마 에칭은,  $CHF_3$ ,  $O_2$ , 및 Ar의 혼합물을 사용하여 수행되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 11**

제 1 항에 있어서, 상기 스페이서 재성형 처리는, 상기 기판에 대해 원위(distal)에 있는 상기 스페이서의 단부(end)를 평탄화(flattening)하는 것을 더 포함하는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 12**

제 1 항에 있어서, 상기 스페이서는, 하드마스크층에 근접하여 형성되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 13**

제 12 항에 있어서, 상기 스페이서에 의해 규정되는 패턴으로 상기 하드마스크층을 에칭하는 단계를 더 포함하는, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 14**

제 13 항에 있어서, 상기 하드마스크층을 에칭하는 단계는,  $N_2$ ,  $O_2$ , CO,  $CO_2$ ,  $H_2$ , HBr,  $Cl_2$ ,  $C_xH_y$ , Ar, He,  $C_xH_yF_z$ , 및  $C_xF_y$ 로 구성되는 그룹으로부터 선택되는 플라즈마 에칭 가스를 포함하는 플라즈마 에칭 가스 화학물을 사용하여 수행되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 15**

제 14 항에 있어서, 상기 기판 내에 물리적 구조물을 형성하기 위해, 상기 하드마스크층에 의해 규정되는 패턴으로 상기 기판을 에칭하는 단계를 더 포함하는, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 16**

제 15 항에 있어서, 상기 기판을 에칭하는 단계는,  $N_2$ ,  $O_2$ , CO,  $CO_2$ ,  $H_2$ , HBr,  $Cl_2$ ,  $C_xH_y$ , Ar, He,  $C_xH_yF_z$ , 및  $C_xF_y$ 로 구성되는 그룹으로부터 선택되는 플라즈마 에칭 가스를 포함하는 플라즈마 에칭 가스 화학물을 사용하여 수행되는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 17**

제 1 항에 있어서, 상기 스페이서 패턴을 형성하는 것은, 핀형 전계 효과 트랜지스터(fin-type field effect transistor; FinFET) 구조물을 형성하기 위한 자기 정렬 다중 패터닝(Self-Aligned Multi-Patterning; SAMP) 기술을 포함하는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 18**

제 17 항에 있어서, 상기 FinFET은, 22 nm 이하 트랜지스터 아키텍처를 포함하는 것인, 기판 상에 스페이서 패턴을 형성하는 방법.

**청구항 19**

제 1 항에 있어서, 상기 스페이서 코어는, 실리콘, 비정질 탄소(amorphous carbon), 포토레지스트, 산화물, 및

질화물 중 적어도 하나를 포함하고, 에칭 동안 상기 스페이스 코어가 에칭되는 것인, 기판 상에 스페이스 패턴을 형성하는 방법.

**청구항 20**

제 3 항에 있어서, 상기 스페이스 코어는, 실리콘, 비정질 탄소, 포토레지스트, 및 산화물 중 적어도 하나를 포함하고, 에칭 동안 상기 스페이스 코어가 에칭되는 것인, 기판 상에 스페이스 패턴을 형성하는 방법.

**청구항 21**

제 5 항에 있어서, 상기 스페이스 코어는, 실리콘, 비정질 탄소, 포토레지스트, 및 질화물 중 적어도 하나를 포함하고, 에칭 동안 상기 스페이스 코어가 에칭되는 것인, 기판 상에 스페이스 패턴을 형성하는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2016년 8월 31일에 출원된 미국 가출원 제 62/382110 호에 관련되고 이 가출원을 우선권으로 주장하며, 이 가출원의 전체 내용은 참조로서 본원에 포함된다.

[0002] 본 발명은 기판 프로세싱에 대한 시스템들 및 방법들, 더 구체적으로 자가 정렬 다중 패터닝 방법들 및 시스템들에 대한 인시츄 스페이스 재성형에 관한 것이다.

**배경 기술**

[0003] 자가 정렬 다중 패터닝(Self-Aligned Multi-Patterning; SAMP) 기술들은 핀형 전계 효과 트랜지스터(fin-type field effect transistor; FinFET) 디바이스들 등의 컴포넌트들의 형성을 위해 사용되어 왔다. 치수 축소(dimension shrinkage)는 집적 회로 프로세싱의 개발에서의 원동력들 중 하나이다. 사이즈 치수들을 감소시킴으로써, 비용 편익(cost-benefit) 및 디바이스 성능 신장(boost)이 획득될 수 있다. 이 확장성(scalability)은 프로세스 플로우에서의, 특히 패터닝 기술들 상의 불가피한 복잡성을 야기한다. SAMP 기술들은 22 nm 이하 FinFET 아키텍처에서 널리 적용되어 왔고, 피치 감소 조건들을 달성하기 위해 추가의 스페이스 에칭 단계들을 사용한다. 종래의 SAMP 플로우는 코어 에칭, 스페이스 퇴적, 스페이스 에칭 및 코어 풀(pull)을 포함하여, 몇몇 단계들을 갖는다. 이 접근법에서, 최종 피치 임계 치수(critical dimension; CD)는 라인 에지 거칠기(line edge roughness; LER) 및 라인 폭 거칠기(line width roughness; LWR)와 같은 스페이스 퇴적 두께 및 스페이스 물리적 피치들에 의해 제어된다.

[0004] 종래의 SAMP 접근법들에서, 스페이스 에칭은 종종 스페이스 패킷(facet) 및 CD 손실과 같은 최종 스페이스 프로파일의 왜곡을 겪는다. 그러나, 스페이스 프로파일이 최종 구조물에 대한 CD 타게팅 및 마스크 버짓(budget), 피치 워킹 효과(pitch-walking effect)에 상당한 영향을 미치기 때문에, 스페이스 프로파일 및 CD를 지원하는 것이 중요하다.

[0005] 이전의 프로세싱 기술들이 갖는 추가적인 문제들은, 게이트 코어 재료와 스페이스 재료 사이의 선택성의 부족 및 비균일한 에칭으로 인한 스페이스 높이 손실을 포함한다. 추가적으로, 스페이스 재료의 부적절한 에칭이 스페이스 푸팅(footing), 코어 대 스페이스 단(step) 높이 차이들 등을 초래할 수 있다. 그러한 제조 결함들은 또한 디바이스 결함들을 유발하고, 제품 생산율을 감소시키며, 제조가능한 디바이스들 등의 스케일을 제한할 수 있다.

**발명의 내용**

[0006] 자가 정렬 다중 패터닝에 대한 인시츄 스페이스 재성형을 위한 방법들 및 시스템들이 설명된다. 실시예에서, 기판 상에 스페이스 패턴을 형성하는 방법은 스페이스를 갖는 기판을 제공하는 단계를 포함할 수 있다. 방법은 또한 패시베이션 처리를 수행하여 스페이스 상에 패시베이션층을 형성하는 단계를 포함할 수 있다. 추가적으로, 방법은 스페이스 재성형 처리를 수행하여 스페이스를 재성형하는 단계를 포함할 수 있다. 방법은 또한 스페이스 형성 목적들(objectives)을 달성하도록 패시베이션 처리 및 스페이스 재성형 처리를 제어하는 단계를 포함할 수 있다.

[0007] 기판 상에 스페이스 패턴을 형성하기 위한 시스템은, 스페이스를 갖는 기판을 수용하고, 패시베이션 처리를 수

행하여 스페이서 상에 패시베이션층을 형성하며, 스페이서 재성형 처리를 수행하여 스페이서를 재성형하도록 구성되는 이온 에칭 챔버를 포함할 수 있다. 추가적으로, 시스템은 이온 에칭 챔버에 커플링되는 컨트롤러를 포함할 수 있으며, 컨트롤러는 스페이서 형성 목적들을 달성하도록 패시베이션 처리 및 스페이서 재성형 처리를 제어하도록 구성된다.

**도면의 간단한 설명**

[0008]

본 명세서에 포함되어 그 일부를 구성하는 첨부 도면들은 본 발명의 실시예들을 예시하고, 위에 주어진 본 발명의 일반적인 설명 및 아래에 주어지는 상세한 설명과 함께, 본 발명을 설명하는 역할을 한다.

도 1은 자가 정렬 다중 패터닝 방법들 및 시스템들에 대한 인시츄 스페이서 재성형을 위해 구성되는 플라즈마 에칭 시스템의 일 실시예를 예시하는 개략적인 블록도이다.

도 2a는 스페이서 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 2b는 스페이서 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 2c는 스페이서 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 2d는 스페이서 형성에 대한 워크피스의 일 실시예의 단면 x선(x-ray) 이미지이다.

도 3a는 기관 내의 피처의 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 3b는 기관 내의 피처의 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 3c는 기관 내의 피처의 형성에 대한 워크피스의 일 실시예의 단면 x선 이미지이다.

도 3d는 기관 내의 피처의 형성에 대한 워크피스의 일 실시예의 단면 x선 이미지이다.

도 4a는 기관 내의 피처의 향상된 형성에 대한 프로세스의 일 실시예를 예시하는 개략적인 단면도이다.

도 4b는 기관 내의 피처의 향상된 형성에 대한 워크피스의 일 실시예의 단면 x선 이미지이다.

도 5a는 기관 내의 피처의 향상된 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 5b는 기관 내의 피처의 향상된 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 5c는 기관 내의 피처의 향상된 형성에 대한 워크피스의 일 실시예의 단면 x선 이미지이다.

도 5d는 기관 내의 피처의 향상된 형성에 대한 워크피스의 일 실시예의 단면 x선 이미지이다.

도 6a는 기관 내의 피처의 향상된 형성에 대한 패시베이션 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 6b는 기관 내의 피처의 향상된 형성에 대한 패시베이션 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 7a는 기관 내의 피처의 향상된 형성에 대한 스페이서 재성형 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 7b는 기관 내의 피처의 향상된 형성에 대한 스페이서 재성형 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 8a는 기관 내의 피처의 향상된 형성에 대한 스페이서 재성형 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 8b는 기관 내의 피처의 향상된 형성에 대한 스페이서 재성형 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 8c는 기관 내의 피처의 향상된 형성에 대한 스페이서 재성형 프로세스의 실시예를 예시하는 워크피스의 일 실시예를 예시하는 개략적인 단면도이다.

도 9는 자가 정렬 다중 패터닝에 대한 인시츄 스페이서 재성형을 위한 방법의 일 실시예를 예시하는 개략적인 플로우차트이다.

도 10은 자가 정렬 다중 패터닝에 대한 인시츄 스페이스 재성형을 위한 방법에 의해 형성되는 디바이스를 갖는 시스템의 일 실시예를 예시하는 도해(cut-away view) 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0009] 자가 정렬 다중 패터닝에 대한 인시츄 스페이스 재성형을 위한 방법들 및 시스템들이 설명된다. 그러나, 당업자는 다양한 실시예들이 특정한 상세사항들 중 하나 이상 없이, 또는 다른 대체 및/또는 추가적 방법들, 재료들, 또는 컴포넌트들과 함께 실시될 수 있다는 점을 인식할 것이다. 다른 예시들에서, 잘 알려진 구조물들, 재료들, 또는 동작들은 본 발명의 다양한 실시예들의 양태들을 모호하게 하는 것을 방지하기 위해 상세히 도시되지 않거나 또는 설명되지 않는다.
- [0010] 유사하게, 본 발명의 철저한 이해를 제공하기 위해, 설명의 목적들을 위한, 특정한 개수들, 재료들, 및 구성들이 제시된다. 그럼에도 불구하고, 본 발명은 특정한 상세사항들 없이 실시될 수 있다. 또한, 도면들에 도시된 다양한 실시예들이 예시적인 표현들이며 반드시 축척대로 도시되지 않는 점이 이해되어야 한다. 도면들을 참조하면, 동일한 도면부호들은 전반적으로 동일한 부분들을 지칭한다.
- [0011] "일 실시예" 또는 "실시예" 또는 그 변형들에 대한 본 명세서 전반에 걸친 참조는, 실시예와 관련하여 설명된 특정한 피쳐, 구조물, 재료, 또는 특징이 본 발명의 적어도 하나의 실시예에 포함되는 것을 의미하지만, 그들이 모든 실시예에 존재하는 것을 나타내지는 않는다. 따라서, 본 명세서 전반에 걸친 다양한 위치들에서의 "일 실시예에서" 또는 "실시예에서"와 같은 문구들의 등장은 반드시 본 발명의 동일한 실시예를 지칭하는 것은 아니다. 또한, 특정한 피쳐들, 구조물들, 재료들 또는 특징들은 하나 이상의 실시예들에서 임의의 적절한 방식으로 조합될 수 있다. 다른 실시예들에서 다양한 추가적인 층들 및/또는 구조물들이 포함될 수 있고/있거나 설명된 피쳐들이 생략될 수 있다.
- [0012] 추가적으로, 달리 명시적으로 언급되지 않는 한, 단수 표현들이 "하나 이상"을 의미할 수 있다는 점이 이해되어야 한다.
- [0013] 다양한 동작들은 결국, 본 발명을 이해하는데 있어서 가장 도움이 되는 방식으로 다수의 개별적인 동작들로서 기술될 것이다. 그러나, 설명의 순서는 이들 동작들이 필수적인 종속적 순서임을 암시하는 것으로 해석되지 않아야 한다. 특히, 이들 동작들은 제시의 순서대로 수행될 필요가 없다. 설명된 동작들은 설명된 실시예와 상이한 순서로 수행될 수 있다. 다양한 추가적인 동작들이 수행될 수 있고/있거나 설명된 동작들이 추가적인 실시예들에서 생략될 수 있다.
- [0014] 본원에서 사용되는 바와 같이, 용어 "기판"은 그 위에 재료들이 형성되는 구성물 또는 기본 재료를 의미하고 이들을 포함한다. 기판이 단일 재료, 상이한 재료들의 복수의 층들, 내부에 상이한 재료들 또는 상이한 구조물들의 영역들을 갖는 층 또는 층들 등을 포함할 수 있다는 점이 이해될 것이다. 이들 재료들은 반도체들, 절연체들, 컨덕터들, 또는 이들의 조합들을 포함할 수 있다. 예를 들어, 기판은 반도체 기판, 지지 구조물 상의 기본 반도체층, 하나 이상의 층을 갖는 금속 전극 또는 반도체 기판, 그 위에 형성되는 구조물들 또는 영역들일 수 있다. 기판은 종래의 실리콘 기판 또는 반도체 재료층을 포함하는 다른 벌크 기판일 수 있다. 본원에서 사용되는 바와 같이, 용어 "벌크 기판"은 실리콘 웨이퍼들뿐만 아니라, 실리콘 온 사파이어(silicon-on-sapphire; "SOS") 기판들 및 실리콘 온 글래스(silicon-on-glass; "SOG") 기판들과 같은 실리콘 온 절연체(silicon-on-insulator; "SOI") 기판들, 기본 반도체 토대(foundation) 상의 실리콘의 에피택셜 층들, 및 실리콘 게르마늄, 게르마늄, 갈륨 비소, 갈륨 질화물 및 인듐 인과 같은 다른 반도체 또는 광전자(optoelectronic) 재료들을 의미하고 이들을 포함한다. 기판은 도핑되거나 또는 도핑되지 않을 수 있다.
- [0015] 이제, 동일한 참조 번호들이 여러 도면들에 걸쳐 동일하거나 대응하는 부분들을 나타내는 도면들을 참조한다.
- [0016] 도 1은 자가 정렬 다중 패터닝에 대한 인시츄 스페이스 재성형을 위한 시스템(100)의 실시예이다. 추가적인 실시예에서, 시스템은 도 2a 내지 도 9를 참조하여 설명되는 바와 같이 자가 정렬 다중 패터닝에 대한 인시츄 스페이스 재성형을 수행하도록 구성될 수 있다. 프로세싱 챔버(110), 프로세싱될 웨이퍼(125)가 그 위에 고정되는 기판 홀더(120), 및 진공 펌핑 시스템(150)을 포함하는, 위에서 식별된 프로세스 조건들을 수행하도록 구성되는 에칭 및 후열 처리 시스템(100)이 도 1에 도시된다. 웨이퍼(125)는 반도체 기판, 웨이퍼, 평면(flat) 패널 디스플레이, 또는 액정 디스플레이일 수 있다. 프로세싱 챔버(110)는 웨이퍼(125)의 표면 부근에 있는 프로세싱 영역(145)의 에칭을 용이하게 하도록 구성될 수 있다. 이온화가능(ionizable) 가스 또는 프로세스 가스들의 혼합물이 가스 분배 시스템(140)을 통해 도입된다. 프로세스 가스의 주어진 유동(flow)에 대해, 프로세스

압력은 진공 펌핑 시스템(150)을 사용하여 조절된다.

- [0017] 웨이퍼(125)는 기계적 클램핑(clamping) 시스템 또는 전기적 클램핑 시스템[예를 들어, 정전(electrostatic) 클램핑 시스템]과 같은 클램핑 시스템(도시 생략)을 통해 기관 홀더(120)에 고정될 수 있다. 또한, 기관 홀더(120)는, 기관 홀더(120) 및 웨이퍼(125)의 온도를 조절하고/조절하거나 제어하도록 구성되는 가열 시스템(도시 생략) 또는 냉각 시스템(도시 생략)을 포함할 수 있다. 가열 시스템 또는 냉각 시스템은 냉각시에 기관 홀더(120)로부터 열을 전달받아 열 교환기 시스템(도시 생략)에 열을 전달하거나, 가열시에 열 교환기 시스템으로부터의 열을 기관 홀더(120)에 전달하는 열 전달 유체(fluid)의 재순환(re-circulating) 유동을 포함할 수 있다. 다른 실시예들에서, 저항성 가열 엘리먼트들, 또는 열전기(thermo-electric) 히터들/쿨러들과 같은 가열/냉각 엘리먼트들은, 프로세싱 챔버(110)의 챔버 벽 및 프로세싱 시스템(100) 내의 임의의 다른 컴포넌트뿐만 아니라, 기관 홀더(120) 내에 포함될 수 있다.
- [0018] 추가적으로, 열 전달 가스는 웨이퍼(125)와 기관 홀더(120) 사이의 가스-겍 열컨덕턴스를 향상시키도록, 후측부(backside) 가스 공급 시스템(126)을 통해 웨이퍼(125)의 후측부에 전달될 수 있다. 그러한 시스템은 상승된 또는 감소된 온도로 웨이퍼(125)의 온도 제어가 필요될 때 이용될 수 있다. 예를 들어, 후측부 가스 공급 시스템은, 웨이퍼(125)의 중앙과 에지 사이에서 헬륨 가스-겍 압력이 독립적으로 변화될 수 있는 2구역(two-zone) 가스 분배 시스템을 포함할 수 있다.
- [0019] 도 1에 도시된 실시예에서, 기관 홀더(120)는, RF 전력이 이를 통해 프로세싱 영역(145)에 커플링되는 전극(122)을 포함할 수 있다. 예를 들어, 기관 홀더(120)는 RF 생성기(130)로부터, 선택적인 임피던스 매칭 네트워크(132)를 통한 기관 홀더(120)로의 RF 전력의 전송을 통해, RF 전압으로 전기적으로 바이어싱될 수 있다. 전기적 RF 바이어싱은 플라즈마를 형성하고 유지하도록 전자들을 가열하는 역할을 할 수 있다. 이러한 구성으로, 시스템(100)은, 챔버 및 상단 가스 주입 전극이 접지면들로서 역할하는 반응성 이온 에칭(reactive ion etch; RIE) 반응기로서 동작할 수 있다.
- [0020] 또한, RF 전압으로의 전극(122)의 전기적 바이어싱은 펄스 바이어싱 신호 제어기(131)를 사용하여 펄싱될 수 있다. RF 생성기(130)로부터의 RF 전력 출력은, 예를 들어 오프 상태와 온 상태 사이에서 펄싱될 수 있다. 대안적으로, RF 전력은 다중 주파수들로 기관 홀더 전극에 인가된다. 또한, 임피던스 매칭 네트워크(132)는 반사되는 전력을 감소시킴으로써 플라즈마 프로세싱 챔버(110) 내의 플라즈마로의 RF 전력의 전달을 향상시킬 수 있다. 매칭 네트워크 토폴로지들(예를 들어, L형,  $\pi$ 형, T형 등) 및 자동 제어 방법들은 당업자들에게 잘 알려져 있다.
- [0021] 가스 분배 시스템(140)은 프로세스 가스들의 혼합물을 도입시키기 위한 샤워헤드(showerhead) 설계를 포함할 수 있다. 대안적으로, 가스 분배 시스템(140)은, 프로세스 가스들의 혼합물을 도입시키고 프로세스 가스들의 혼합물의 웨이퍼(125) 위로의 분배를 조절하기 위한 다구역(multi-zone) 샤워헤드 설계를 포함할 수 있다. 예를 들어, 다구역 샤워헤드 설계는, 프로세스 가스 유동 또는 프로세스 가스 유동의 양에 관한 웨이퍼(125) 위의 실질적인 주변 영역에 대한 조성 또는 웨이퍼(125) 위의 실질적인 중앙 영역에 대한 조성을 조절하도록 구성될 수 있다. 그러한 실시예에서, 가스들은 프로세싱 챔버(110) 내에 매우 균일한 플라즈마를 형성하도록 적절한 조합으로 공급될 수 있다.
- [0022] 진공 펌핑 시스템(150)은 초당 약 8000 리터까지(또한 그 이상) 펌핑 속도를 올릴 수 있는 터보 분자 진공 펌프(turbo-molecular vacuum pump; TMP) 및 챔버 압력을 스로틀링(throttling)하기 위한 게이트 밸브를 포함할 수 있다. 건식 플라즈마 에칭을 위해 이용되는 종래의 플라즈마 프로세싱 디바이스들에서, 초당 800 리터 내지 3000 리터 TMP가 이용될 수 있다. TMP들은 일반적으로 약 50 m토르(Torr)보다 낮은, 저압력 프로세싱을 위해 유용하다. 고압력 프로세싱(즉, 약 80 m토르보다 더 높음)을 위해, 기계적 부스터 펌프 및 건식 러핑(dry roughing) 펌프가 사용될 수 있다. 또한, 챔버 압력을 모니터링하기 위한 디바이스(도시 생략)가 플라즈마 프로세싱 챔버(110)에 커플링될 수 있다.
- [0023] 실시예에서, 소스 컨트롤러(155)는 시스템(100)으로부터의 출력들을 모니터링하는 것 뿐만 아니라 시스템(100)에 입력들을 전달하고 활성화시키기에 충분한 제어 전압들을 생성할 수 있는 디지털 I/O 포트, 마이크로프로세서, 및 메모리를 포함할 수 있다. 또한, 소스 컨트롤러(155)는 기관 가열/냉각 시스템(도시 생략), 후측부 가스 공급 시스템(126), 및/또는 정전 클램핑 시스템(128)뿐만 아니라, RF 생성기(130), 펄스 바이어싱 신호 컨트롤러(131), 임피던스 매칭 네트워크(132), 가스 분배 시스템(140), 가스 공급기(190), 진공 펌핑 시스템(150)에 커플링될 수 있고 이들과 정보를 교환할 수 있다. 예를 들어, 메모리 내에 저장되는 프로그램은, 웨이퍼(125) 상에 플라즈마 에칭 프로세스 또는 후열 처리 프로세스와 같은 플라즈마 지원 프로세스를 수행하도록, 프로세스

레시피에 따른 시스템(100)의 전술한 컴포넌트들로의 입력들을 활성화하는데 이용될 수 있다.

- [0024] 또한, 시스템(100)은 RF 전력이 RF 생성기(172)로부터, 선택적인 임피던스 매칭 네트워크(174)를 통해 커플링될 수 있는 상단 전극(170)을 더 포함할 수 있다. 상단 전극으로의 RF 전력의 인가를 위한 주파수는 일 실시예에서 약 0.1 MHz 내지 약 200 MHz 범위일 수 있다. 대안적으로, 본 실시예들은 유도 결합 플라즈마(Inductively Coupled Plasma; ICP) 소스들, 용량 결합 플라즈마(Capacitive Coupled Plasma; CCP) 소스들, GHz 주파수 범위에서 동작하도록 구성되는 방사 라인 슬롯 안테나(Radial Line Slot Antenna; RLSA) 소스들, GHz 이하 내지 GHz 범위에서 동작하도록 구성되는 전자 사이클론 공명(Electron Cyclotron Resonance; ECR) 소스들 등과 관련하여 사용될 수 있다. 추가적으로, 하단 전극으로의 전력의 인가를 위한 주파수는 약 0.1 MHz 내지 약 80 MHz 범위일 수 있다. 또한, 소스 컨트롤러(155)는 상단 전극(170)으로의 RF 전력의 인가를 제어하도록 RF 생성기(172) 및 임피던스 매칭 네트워크(174)에 커플링된다. 상단 전극의 설계 및 구현은 당업자들에게 잘 알려져 있다. 상단 전극(170) 및 가스 분배 시스템(140)은 도시된 바와 같이 동일한 챔버 어셈블리 내에 설계될 수 있다. 대안적으로, 상단 전극(170)은 웨이퍼(125) 위의 플라즈마에 커플링되는 RF 전력 분배를 조절하기 위한 다구역 전극 설계를 포함할 수 있다. 예를 들어, 상단 전극(170)은 중앙 전극 및 에지 전극으로 분할될 수 있다.
- [0025] 응용들에 따라, 센서들 또는 계측 디바이스들과 같은 추가적인 디바이스들이 프로세싱 챔버(110)에 그리고 소스 컨트롤러(155)에 커플링되어 실시간 데이터를 수집하고 그러한 실시간 데이터를 사용하여 통합 기법(integration scheme)의 퇴적 프로세스들, RIE 프로세스들, 풀 프로세스들, 프로파일 재형성 프로세스들, 가열 처리 프로세스들 및/또는 패턴 전사 프로세스들을 포함하는 2개 이상의 단계들에서의 2개 이상의 선택된 통합 동작 변수들을 동시에 제어할 수 있다. 또한, 동일한 데이터가 사용되어 후열 처리의 완료, 패턴링 균일성(균일성), 구조물들의 폴다운(폴다운), 구조물들의 슬리밍(slimming)(슬리밍), 구조물들의 애스펙트비(애스펙트비), 라인 폭 거칠기, 기관 스루풋, 소유 비용 등을 포함하는 통합 타겟들이 달성되는 것을 보장할 수 있다.
- [0026] 일반적으로 펄스 주파수 및 듀티비의 변화를 통해, 인가되는 전력을 변조함으로써, 연속파(continuous wave; CW)에서 생성된 플라즈마 특성들과는 현저하게 상이한 플라즈마 특성들을 획득하는 것이 가능하다. 결론적으로, 전극들의 RF 전력 변조는 시간 평균적 이온 플럭스 및 이온 에너지에 대한 제어를 제공할 수 있다.
- [0027] 스페이서 에칭 프로세스의 일 실시예가 도 2a 내지 도 2c에서 설명된다. 실시예에서, 워크피스는 하드마스크(202)가 그 위에 형성되는 기관(200)을 포함하고, 하드마스크(202)는 그 위에 형성되는 하나 이상의 스페이서 코어(204) 및 스페이서 재료의 공형(conformal)층(206)을 갖는다. 실시예에서, 공형층(206)은 스페이서 코어들(204) 위에 배치되는 하나 이상의 에칭 표면(208)을 포함할 수 있다. 실시예에서, 공형층(206)은 에칭 방향(210)으로 에칭될 수 있다. 하나의 그러한 실시예에서, 웨이퍼(125)는 기관(200)을 포함할 수 있다. 하드마스크(202)는, 도 3a와 도 3b 및 도 5a와 도 5b에 도시된 바와 같이 스페이서들(216)을 사용하여 패턴링되고 에칭될 수 있는, 기관(200)을 커버하기 위한 질화물층과 같은 재료를 포함할 수 있다.
- [0028] 실시예에서, 기관(200)은 실리콘 또는 갈륨 비소를 포함하는 재료들로 형성될 수 있다. 하드마스크층(202)은 산화물, 질화물, 금속 산화물, 및 금속 질화물을 포함하는 재료들로 형성될 수 있다. 스페이서 코어들(204)은 실리콘, 비정질 탄소, 포토레지스트, 산화물, 질화물 등을 포함하는 재료들을 포함할 수 있다. 공형층(206)은 산화물, 질화물, 실리콘, 금속 산화물, 및 금속 질화물을 포함하는 재료들을 포함할 수 있다.
- [0029] 도 2b의 단계에서, 공형층(206) 및 스페이서 코어들(204)은 반응성 이온 에칭 프로세스를 사용하여 에칭될 수 있다. 반응성 이온 에칭 프로세스에서, 하나 이상의 반응성 이온(214)을 포함하는 플라즈마 필드(212)가 워크피스 위에 형성될 수 있다. 그러한 실시예에서, 반응성 이온들(214)은 에칭 표면들(208)을 개방시키고 스페이서 코어들(204)을 선택적으로 에칭할 수 있다. 반응성 이온 에칭 프로세스에 이어서, 도 2c의 워크피스가 형성될 수 있다.
- [0030] 도 2c의 실시예에서, 복수의 스페이서들(216)이 형성될 수 있다. 각각의 스페이서(216)는 다량의(heavy) 이온 에칭으로 인해 원래의 스페이서 높이로부터 상당히 감소된 높이(220)를 가질 수 있다. 부적절한 에칭 선택비의 결과로서 스페이서들(216) 사이의 트렌치들 내에 추가적인 스페이서 푸팅들이 남을 수 있다. 또한, 기관(202)에서의 코어 대 스페이서 높이 차이(218)는 이온 에칭 프로세스의 결과일 수 있다. 실시예에서, 코어 대 스페이서 높이 차이(218)는 스페이서 코어(204)를 에칭하는데 필요되는 시간과 연관될 수 있다. 도 2d는 도 2c에 예시된 바와 같은 스페이서 에칭 프로세스의 일 실시예의 단면 x선 이미지이다.
- [0031] 도 3a는 기관 내의 피처의 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다. 도 3a의 실시

예에서, 하드마스크층(202)의 일부가 에칭되어 패터닝된 마스크(302)를 형성할 수 있다. 다양한 실시예들에서, 기관을 에칭하는 것은 N<sub>2</sub>, O<sub>2</sub>, CO, CO<sub>2</sub>, H<sub>2</sub>, HBr, Cl<sub>2</sub>, C<sub>x</sub>H<sub>y</sub>, Ar, He, C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>, 및 C<sub>x</sub>F<sub>y</sub> 중 하나 이상을 포함할 수 있는 플라즈마 에칭 가스 화학물(chemistry)을 사용하여 수행된다.

[0032] 도 3a에 예시된 바와 같이, 패터닝된 마스크(302)는 위에서 설명된 스페이서 형성에서의 결점들로 인한 결점들을 포함할 수 있고, 스페이서(216)는 하드마스크층(202)에 근접하여 형성된다. 예를 들어, 스페이서 형태는 스페이서들간의 작은 공간들 때문에 패터닝 전사에 상당한 영향을 미칠 수 있다. 실험 동안 코어와 공간 부위들 사이에서 하드마스크 프로파일 변형이 발견되었다. 그러한 하드마스크 변형은 CD 시프트 - "피치워킹(pitchwalking)"으로도 칭해짐 - 기관 프로파일 시프트, 및 도 3b에 도시된 바와 같이 깊이 로딩/loading(308)을 유발할 수 있다.

[0033] 도 3a 및 도 3b의 예시에서, 도 3c의 단면 x선 이미지에 도시된 바와 같이 기관 에칭 후 변형들이 명백하다. 예시된 바와 같이, 프로세스는 기관(200) 내에 물리적 피처(306)를 형성하기 위해 하드마스크층(202)의 패터닝된 마스크(302)에 의해 규정되는 패턴으로 기관(200)을 에칭하는 것을 포함할 수 있다. 실시예에서, 물리적 구조물은 finFET 디바이스용 핀일 수 있다. 실시예에서, 기관을 에칭하는 것은 N<sub>2</sub>, O<sub>2</sub>, CO, CO<sub>2</sub>, H<sub>2</sub>, HBr, Cl<sub>2</sub>, C<sub>x</sub>H<sub>y</sub>, Ar, He, C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>, 및 C<sub>x</sub>F<sub>y</sub> 중 하나 이상을 포함하는 플라즈마 에칭 가스 화학물을 사용하여 수행된다. 도 3d는 도 3b에 예시된 프로세스의 결과의 실시예를 예시하는 단면 x선 이미지이다.

[0034] 도 4a는 기관 내의 물리적 피처(306)의 향상된 형성을 위한 스페이서 처리 프로세스(402)의 일 실시예를 예시하는 개략적인 단면도이다. 일 실시예에서, 스페이서 처리 프로세스(402)는 패시베이션 처리(404) 및 스페이서 재성형 처리(406)를 포함한다. 패시베이션 처리(404)에서, 스페이서(216)가 패시베이션층(408)으로 커버된다. 일 실시예에서, 패시베이션층(408)은 산화물층 또는 질화물층일 수 있다. 일 실시예에서 스페이서 재료가 질화물 재료이면, 패시베이션층(408)은 산화물 재료일 수 있다. 대안적으로, 스페이서 재료가 산화물 재료이면, 패시베이션층(408)은 질화물 재료일 수 있다. 몇몇 실시예들에서, 패시베이션층(408)은 화학적 기상 증착(CVD)에 의해 형성될 수 있다. 추가적인 실시예에서, CVD 프로세스는 플라즈마 지원 CVD일 수 있다. 그러한 실시예에서, 패시베이션 처리는 N<sub>2</sub>, O<sub>2</sub>, CO, CO<sub>2</sub>, H<sub>2</sub>, C<sub>x</sub>H<sub>y</sub>, C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>, Ar, He, 및 다른 적절한 가스들 중 하나 이상을 포함하는 플라즈마 가스 화학물을 사용하여 수행된다.

[0035] 실시예에서, 스페이서 재성형 처리(406)는 플라즈마 에칭을 사용하여 수행된다. 스페이서 재성형 처리(406)에서, 에칭 가스 화학물은 패시베이션 재료보다 더 빠르게 스페이서 재료를 에칭하도록 선택된다. 예를 들어, 플라즈마 에칭은 N<sub>2</sub>, O<sub>2</sub>, CO, CO<sub>2</sub>, H<sub>2</sub>, HBr, Cl<sub>2</sub>, C<sub>x</sub>H<sub>y</sub>, Ar, He, C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>, C<sub>x</sub>F<sub>y</sub>, 및 다른 적절한 가스들을 포함하는 플라즈마 에칭 가스 화학물을 사용하여 수행된다. 따라서, 스페이서(216)는 미리결정된 재성형 프로파일에 따라 재성형될 수 있다. 일 실시예에서, 스페이서 처리는 기관(200)에 대해 원위(distal)에 있는 스페이서(216)의 단부(410)를 평탄화하는 것을 포함한다. 본 실시예들은 특히 CHF<sub>3</sub>, O<sub>2</sub>, 및 Ar의 혼합물로 테스트되었으며, 이는 도 3a 및 도 3b에 도시된 결과들과 비교하여 바람직한 결과들을 생성했다.

[0036] 본원에서 설명되는 다양한 가스들에 대한 유동률 범위들이 표 1에 목록화된다. 표 1 내의 모든 유동률들은 sccm(standard cubic centimeters per minute)으로 측정된다.

표 1

가스	범위
CHF <sub>3</sub>	14~250sccm
O <sub>2</sub>	3~390sccm
Ar	70~1400sccm
CH <sub>3</sub> F	4~90sccm
N <sub>2</sub>	15~300sccm
CH <sub>4</sub>	3~65sccm
SO <sub>2</sub>	12~250sccm
HBr	30~600sccm
CF <sub>4</sub>	10~400sccm

[0037]

[0038] 이온 가스들에 대한 유동률 범위들

- [0040] 실시예에서, 표 1 내의 가스들의 챔버 압력들의 범위는 3mT 내지 300mT일 수 있다. 실시예에서, RF 생성기(172)에 의해 생성되는 고주파 전력은 0W 내지 1500W의 범위 내에 있을 수 있고, 전력 공급기(130)에 의해 생성되는 저주파 전력은 0W 내지 1000W의 범위 내에 있을 수 있다. 실시예에서, 프로세싱 챔버(110) 내의 온도는 -10C ~110C의 범위 내에 있을 수 있다. 도 4b는 스페이서 처리 프로세스(402)의 일 실시예의 결과의 단면 x선 이미지이다.
- [0041] 도 5a 및 도 5b는 기판 내의 피치의 향상된 형성에 대한 워크피스의 일 실시예를 예시하는 개략적인 단면도이다. 도 5a 및 도 5b의 실시예들은 도 4a에 예시된 스페이서 처리 프로세스(402)에 응답한 형성 프로세스의 결과를 예시한다. 재성형된 스페이서(216) 및 패시베이션층(408)은 도 3a에서 설명된 바와 같은 패터닝된 마스크(302)를 형성하기 위한 패터닝된 층을 제공할 수 있다. 그러나, 도 5a의 실시예에서 하드마스크의 프로파일(502)은 도 3a의 결과와 비교했을 때 매우 향상된다. 도 5c의 단면 x선 이미지는 도 5a에 예시된 프로세스의 결과를 확인한다. 따라서, CD 피치위킹 문제들이 실질적으로 해결된다. 유사하게, 기판(200) 내의 형성된 물리적 피치(306)는 도 3b의 결과와 비교했을 때, 피치위킹, 기판 프로파일 시프트, 및 깊이 로딩에 관하여 상당히 향상될 수 있다. 이들 결과들은 도 5b의 예시에 대응하는 도 5d에 예시된 x선 이미지에 의해 확인된다.
- [0042] 패시베이션 처리(404)의 추가 상세사항들이 도 6a 및 도 6b에 예시된다. 도 6a에 예시된 바와 같이, 워크피스는 도 2b에서 설명된 에칭 및 코어 풀 프로세스에 의해 생성된 하나 이상의 스페이서(216)를 포함할 수 있다. 도 6b에 도시된 바와 같이, 워크피스 근방에 플라즈마 필드(602)가 형성될 수 있다. 다양한 실시예들에서, 플라즈마 필드(602)는 스페이서 재료의 조성에 따라 N<sub>2</sub> 또는 O<sub>2</sub> 가스로 형성될 수 있고, 따라서 스페이서(216) 근방에 있는 구역 내에 질소 또는 산소 이온들(604)을 도입시킨다. 따라서, 스페이서(216) 상에 질화물 또는 산화물 패시베이션층(408)이 형성될 수 있다.
- [0043] 도 7a 및 도 7b는 스페이서 라디칼(radical) 엘리먼트들(706)의 추가 상세사항들을 예시한다. 도 7a에 예시된 바와 같이, 워크피스 근방에 있는 영역 내에 플라즈마 필드(702)가 형성될 수 있다. 플라즈마 필드(702)는 이온 엘리먼트들(704) 및 라디칼 엘리먼트들(706)을 포함할 수 있다. 이온 엘리먼트들(704)은 패시베이션층(408)의 팁(tip)을 뚫고 스페이서 재료 내로 들어가서 스페이서(216)에 충돌할 수 있다. 그러한 실시예에서, 스페이서 재료는, 박스(708) 내의 워크피스의 부분에 대해 도 8a 내지 도 8c에 또한 예시된 바와 같이 패시베이션 재료보다 더 빠르게 에칭될 수 있다. 도 7b는 도 7a에 예시된 재성형 프로세스의 재성형 후 결과를 예시한다. 예시된 바와 같이, 스페이서(216)는 재성형된 영역(410)을 가질 수 있다. 예를 들어, 일 실시예에서, 재성형된 영역(410)은 도 7b의 도면에서 배향된 바와 같이 스페이서(216)의 최상부 상의 평탄화된 부분일 수 있다.
- [0044] 도 8a 내지 도 8c는 도 4에 도시된 재성형 처리(406)의 실시예의 메커니즘의 추가 상세사항들을 예시한다. 예시된 바와 같이, 플라즈마 필드(702)의 이온 엘리먼트들(704)은 도 7에 도시된 바와 같이 다양한 위치들에서 스페이서(216)에 충돌할 수 있다. 스페이서(216)의 경사진 또는 각진 영역일 수 있는 제 1 위치(802)에 충돌하는 이온 엘리먼트들(704)은 예시된 바와 같이 스페이서를 단지 튕겨 나갈 수 있다. 그러나, 스페이서(216)의 팁과 같은 제 2 영역(804)에 충돌하는 이온 엘리먼트들(704)은 패시베이션층(408)을 관통하고 스페이서 재료를 에칭하는 것을 개시할 수 있다. 도 8b에 예시된 바와 같이, 스페이서 재료는 선택된 에칭 가스 화학물 때문에 패시베이션 재료보다 더 빠르게 에칭될 수 있다. 도 8c에 도시된 바와 같이 결과는, 실질적으로 평탄한 원위 단부를 갖는 스페이서(216)일 수 있다.
- [0045] 도 9는 자가 정렬 다중 패터닝에 대한 인시츄 스페이서 재성형을 위한 방법(900)의 일 실시예를 예시하는 개략적인 플로우차트이다. 실시예에서, 기판 상에 스페이서 패턴을 형성하는 방법(900)은 블록(902)에 도시된 바와 같이 스페이서를 갖는 기판을 제공하는 단계를 포함할 수 있다. 블록(904)에서, 방법(900)은 또한 패시베이션 처리를 수행하여 스페이서 상에 패시베이션층을 형성하는 단계를 포함할 수 있다. 추가적으로, 방법(900)은 블록(906)에 도시된 바와 같이, 스페이서 재성형 처리를 수행하여 스페이서를 재성형하는 단계를 포함할 수 있다. 방법(900)은 또한 블록(908)에 도시된 바와 같이, 스페이서 형성 목적들을 달성하도록 패시베이션 처리 및 스페이서 재성형 처리를 제어하는 단계를 포함할 수 있다.
- [0046] 본원에서 설명되는 프로세스들 및 방법들의 실시예들은, 상업적 제품들에 포함시키기 위한 반도체 기반 제품들을 제조하기 위한 상업적 프로세스들에서 사용될 수 있다. 예를 들어, 도 10은 인쇄 회로 보드(printed circuit board; PCB)를 포함하는 전기 디바이스(1002)를 예시한다. 전기 디바이스(1002)는, 예를 들어 컴퓨터들, 컴퓨터 모니터들, 텔레비전들, 오디오 증폭기들, 카메라들, 스마트폰들 및 개인용 데이터 보조장치들, 태블릿 컴퓨팅 디바이스들, 스마트 위치들, 특수 용도 프로세싱 장비, 센서 디바이스들, 의료 디바이스들 등을 포함하는 몇몇 상업적으로 이용가능한 제품들 중 하나일 수 있다. 당업자는, 본 실시예들에 따라 제조된 디바이스

들이 임의의 특정 분야에 제한되는 것은 아니라는 점을 인식할 것이다.

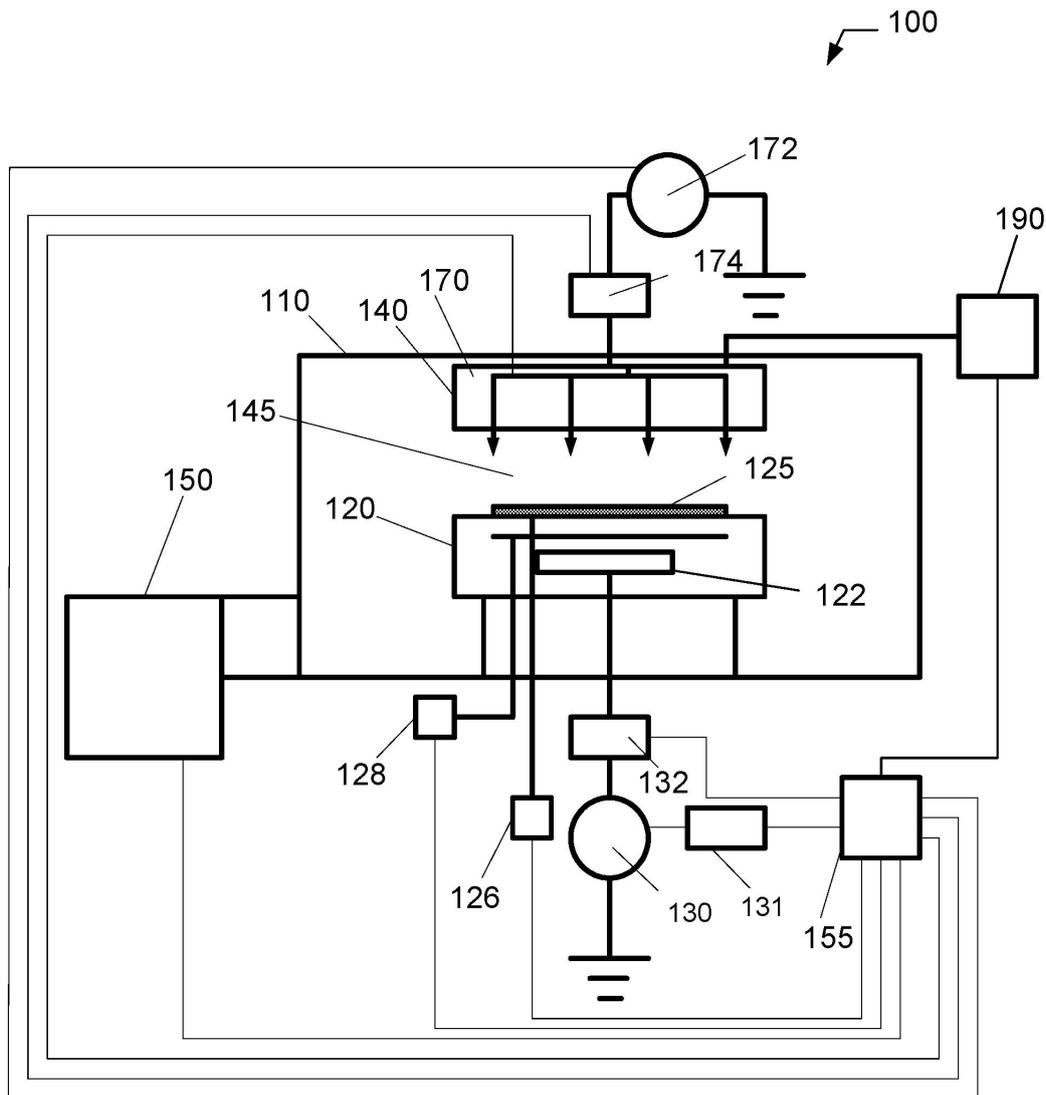
[0047] 전기 디바이스(1002)는 하나 이상의 PCB들(1004)을 포함할 수 있고, PCB들(1004)은 칩 패키지(1006)와 같은 하나 이상의 반도체 기반 전기 컴포넌트들을 포함한다. 칩 패키지(1006)는, 그 위에 배치되는, 도 2a 내지 도 9에서 설명된 프로세스들에 따라 제조되는 FinFET 디바이스와 같은 하나 이상의 피처를 갖는 웨이퍼의 세그먼트화된 칩을 포함할 수 있다. 칩은, 예를 들어 기판(200)을 포함할 수 있다. 칩은, 그 위에 배치되는 피처들의 보호를 위한 내구성 있는 패키지 내에 패키징될 수 있다. 칩 패키지(1006)는 칩 상의 몇몇 접촉 포인트들의 외부 액세스를 제공하도록 구성되는 하나 이상의 접촉 핀을 더 포함할 수 있다.

[0048] 바람직하게, 칩 패키지(1006) 내의 칩 상에 배치되는 피처들의 사이즈 및 밀도는, 패시베이션 처리(404) 및 스페이서 재성형 처리(406)의 사용이 이전의 방법들에 비해 반도체 디바이스의 고해상도 패터닝을 가능하게 하기 때문에, 다른 기술들로 제조된 디바이스들에 비해 작을 수 있다.

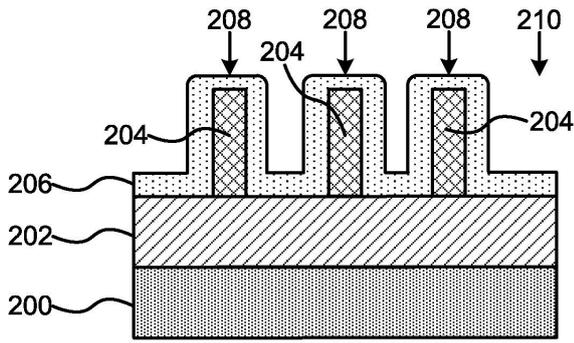
[0049] 추가적인 이점들 및 변형들이 당업자에게 용이하게 나타날 것이다. 따라서, 더 넓은 양태들에서의 본 발명은 도시되고 설명된 특정 상세사항, 대표적인 장치와 방법 및 예시적인 예시들에 제한되는 것은 아니다. 따라서, 일반적인 발명 사상의 범위로부터 벗어나지 않고 일탈들이 그러한 상세사항으로부터 행해질 수 있다.

**도면**

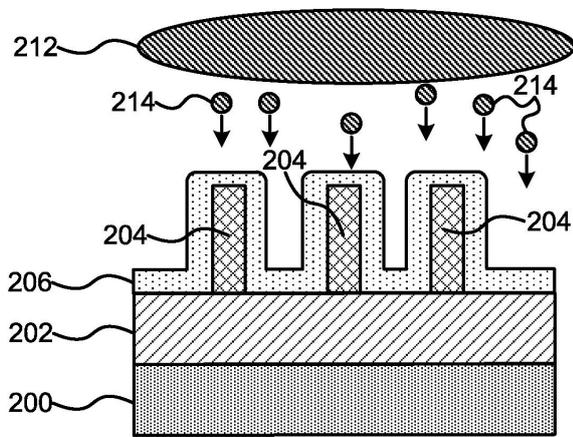
**도면1**



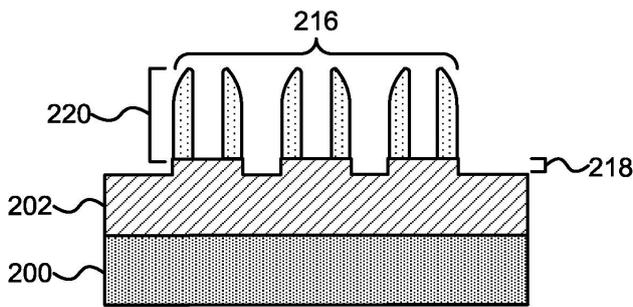
도면2a



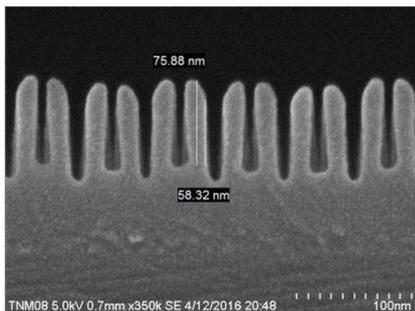
도면2b



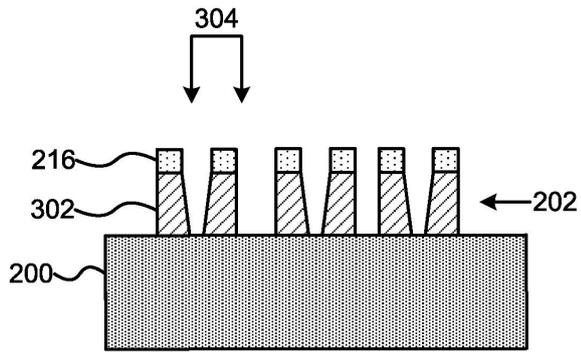
도면2c



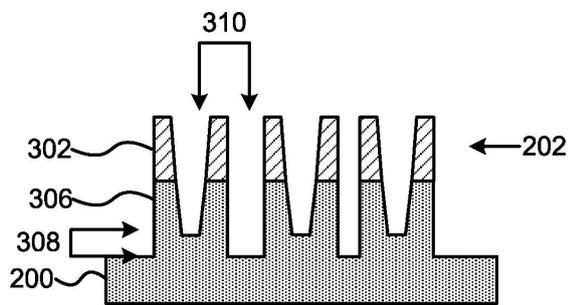
도면2d



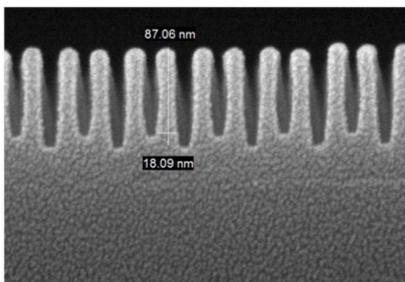
도면3a



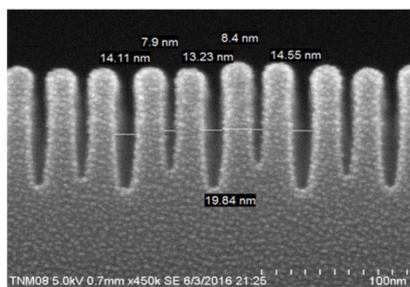
도면3b



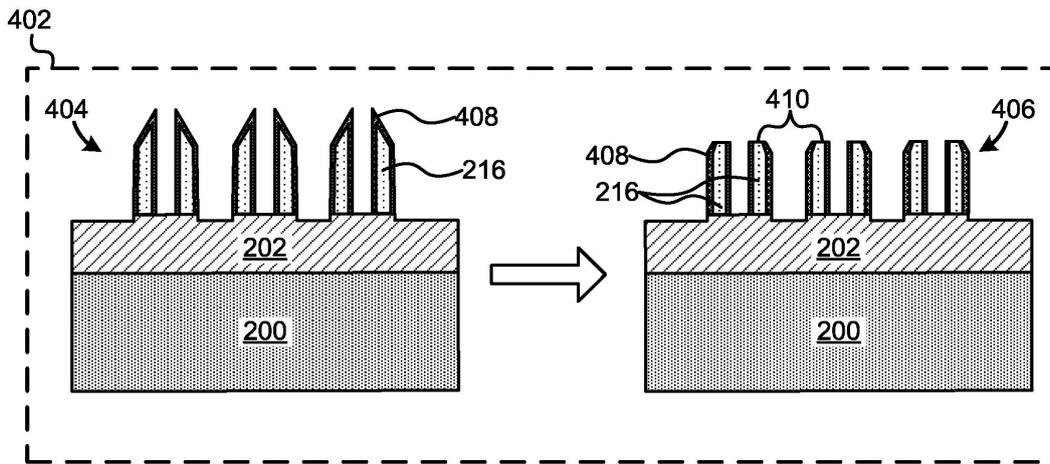
도면3c



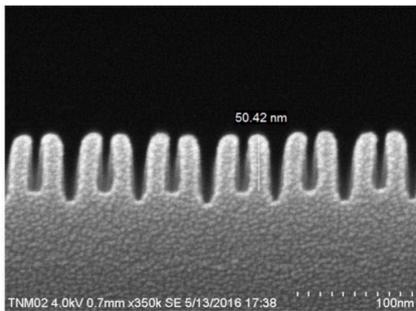
도면3d



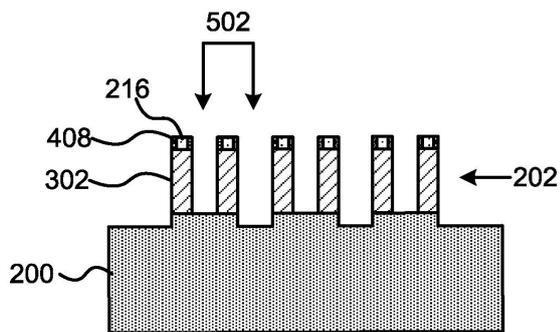
도면4a



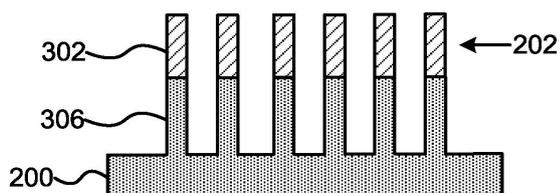
도면4b



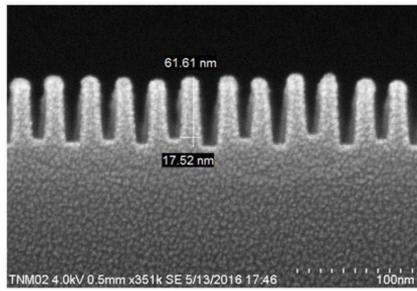
도면5a



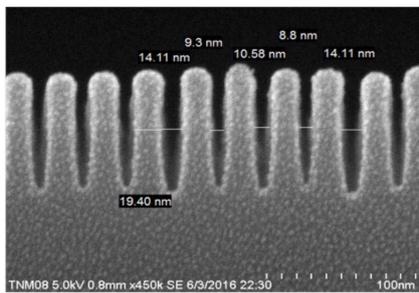
도면5b



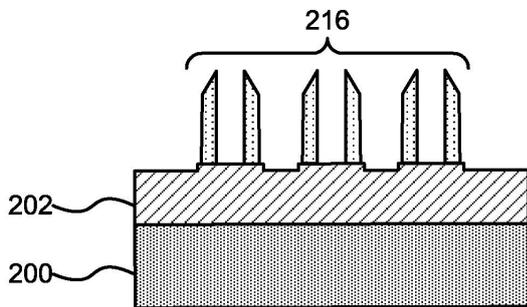
도면5c



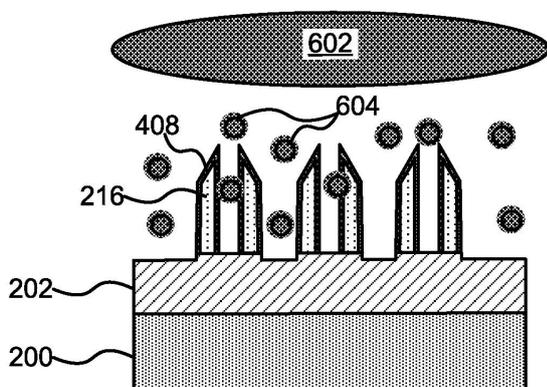
도면5d



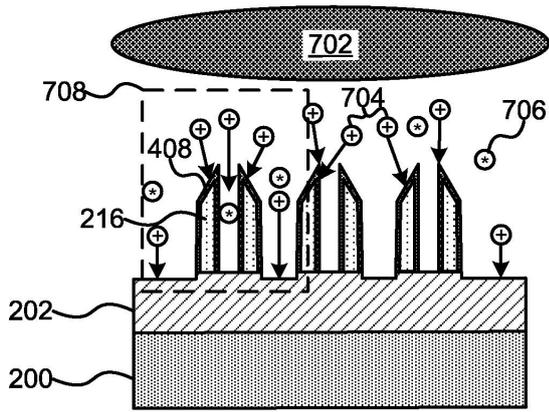
도면6a



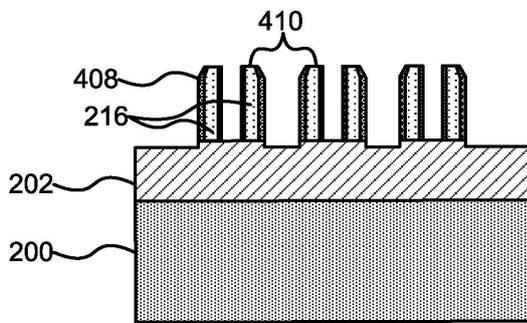
도면6b



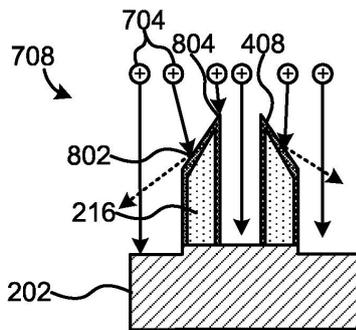
도면7a



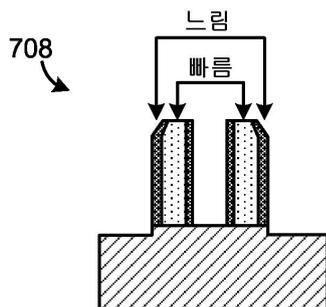
도면7b



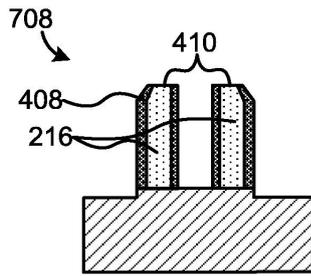
도면8a



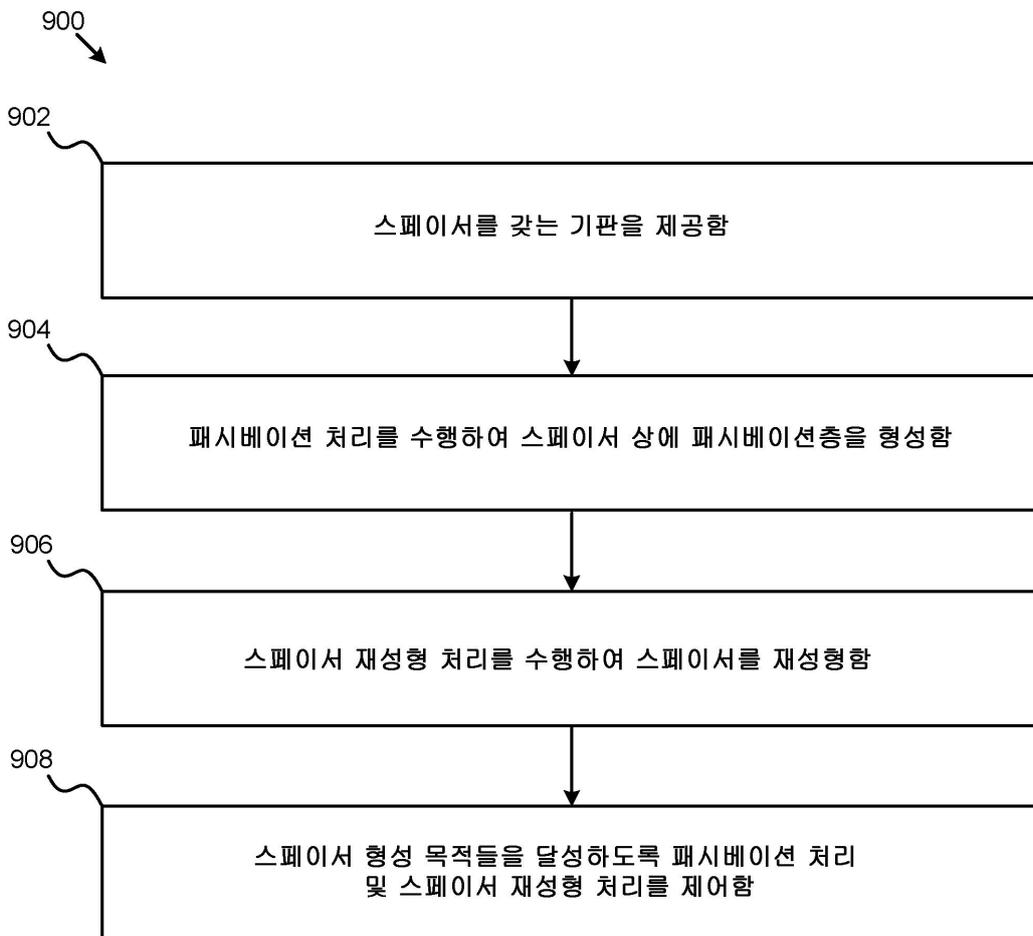
도면8b



도면8c



도면9



도면10

