

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년03월03일
H01L 21/336 (2006.01)	(11) 등록번호	10-0555567
H01L 29/78 (2006.01)	(24) 등록일자	2006년02월21일

(21) 출원번호	10-2004-0060101	(65) 공개번호	10-2006-0011320
(22) 출원일자	2004년07월30일	(43) 공개일자	2006년02월03일

(73) 특허권자                    삼성전자주식회사  
                                  경기도 수원시 영통구 매탄동 416

(72) 발명자                      윤은정  
                                  서울특별시 서초구 잠원동 신반포한신아파트 323동 403호

                                  김성민  
                                  인천광역시 부평구 부개3동 삼부아파트 108동 2204호

                                  이성영  
                                  경기도 수원시 팔달구 영통동 1093번지 풍림3차 101동 803호

(74) 대리인                    리엔목특허법인  
                                  이혜영

심사관 : 정희환

(54) 다중가교채널 트랜지스터 제조 방법

요약

다중가교채널 트랜지스터(MBCFET) 제조 방법을 제시한다. 본 발명에 따르면, 기판 상에 채널층들 및 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하고, 적층체를 선택적으로 식각하여 상호 평행하게 가로질러 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치(trench)들을 형성한다. 트렌치들을 채워 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적으로 피택설로 성장시킨다. 제1적층부의 채널층간층 패턴들의 양 끝단면을 선택적으로 노출하고 선택적으로 제거하여 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성한다. 관통 터널들을 채우고 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성한다.

대표도

도 16a

색인어

MBCFET, 유효 채널 길이, SEG, 더미 게이트 패턴, SiGe

명세서

도면의 간단한 설명

도 1 및 도 2는 종래의 MBCFET(MultiBridge-Channel MOSFET) 구조의 일례들을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 3a는 본 발명의 실시예에 따른 MBCFET 구조를 설명하기 위해서 개략적으로 도시한 평면도이다.

도 3b는 본 발명의 실시예에 따른 MBCFET 구조의 활성 영역을 설명하기 위해서 개략적으로 도시한 사시도이다.

도 4는 본 발명의 실시예에 따른 채널층들 및 채널층간층들의 적층 구조를 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 5는 본 발명의 실시예에 따른 소자 분리 영역을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 6은 본 발명의 실시예에 따른 최상 채널층 상에 더미 게이트 패턴(dummy gate pattern)을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 7은 본 발명의 실시예에 따른 더미 스페이서(dummy spacer)를 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 8은 본 발명의 실시예에 따른 더미 스페이서에 의한 채널층의 노출 부분을 선택적으로 산화시키는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 9는 본 발명의 실시예에 따른 더미 스페이서를 제거하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 10은 본 발명의 실시예에 따른 트렌치(trench)들을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 11은 본 발명의 실시예에 따른 제1소스/드레인 영역을 선택적 에피택셜 성장(SEG)시키는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 12는 본 발명의 실시예에 따른 더미 게이트 패턴을 선택적으로 노출하는 마스크 패턴을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도이다.

도 13a 및 도 13b는 본 발명의 실시예에 따른 더미 게이트 패턴을 제거하고 채널층간층 패턴의 측면을 노출하는 단계를 설명하기 위해서 개략적으로 도시한 사시도들이다.

도 14a 및 도 14b는 본 발명의 실시예에 따른 관통 터널들을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도들이다.

도 15a 및 도 15b는 본 발명의 실시예에 따른 게이트 유전층을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도들이다.

도 16a 및 도 16b는 본 발명의 실시예에 따른 게이트를 형성하는 단계를 설명하기 위해서 개략적으로 도시한 사시도들이다.

도 17은 본 발명의 실시예에 따른 게이트 상에 금속 공정(metal process)을 수행하는 과정을 설명하기 위해서 개략적으로 도시한 사시도이다.

발명의 상세한 설명

발명의 목적

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자에 관한 것으로, 특히, 다중가교채널을 갖는 트랜지스터(MBCFET: MultiBridge-Channel MOSFET)를 제조하는 방법에 관한 것이다.

반도체 소자, 특히, 메모리(memory) 소자가 고집적화됨에 따라, 소자 형성을 위한 활성 영역(active region)의 면적이 크게 감소되고 있다. 활성 영역의 면적이 감소되면, 이러한 활성 영역 상에 구비되는 트랜지스터(transistor)의 유효 채널 길이 또는 유효 채널 폭을 충분히 확보하기 어려워진다.

MOSFET과 같은 트랜지스터의 채널 길이가 감소되면, 단채널 효과(short channel effect)가 우세해져 트랜지스터의 특성에 큰 악영향을 당연히 미치게 된다. 또한, 채널 폭이 감소되면 문턱 전압(threshold voltage)이 증가하는 협채널 효과(narrow width effect)가 우세해져 당연히 트랜지스터에 큰 악영향을 미치게 된다. 이에 따라, 트랜지스터(transistor)의 유효 채널 길이를 제한된 좁은 활성 영역 내에서 보다 효과적으로 충분히 확보하고자 하는 제안들이 많이 제시되고 있다.

이러한 제안들 중 예컨대 다중가교채널을 갖는 MOSFET, 즉, MBCFET는, 예컨대 복수 개의 장방형의 얇은 채널들 및 이러한 채널들을 상하 좌우로 둘러싸게 형성된 게이트를 포함하는 구조로 제시되고 있다. 복수 개의 얇은 채널들은 수직으로 적층된 구조로 도입된다. 채널 구조 상에 도입되는 게이트는 이러한 채널들 사이로 연장되는 게이트의 지층(branch layer)들을 포함하고 있으며, 게이트의 지층들은 채널들 사이로 삽입된다. 이러한 게이트의 지층들이 채널들의 마주 보는 두 측면부들에서 상호 이어진 구조로 게이트가 도입된다.

이러한 MBCFET의 기본적인 구조가 제시되고 있으나, MBCFET 구조를 효과적으로 형성하는 공정에 대해서 여전히 많은 해결해야할 문제점들이 발견되고 있다. 예컨대, MBCFET 구조에서 동작을 위해서 소스/드레인 영역은 이러한 채널들에 이어지게 형성되어야 한다. 그런데, 채널들과 게이트 또는/ 및 게이트의 지층들이 적층된 구조가 형성되면, 소스/드레인 영역을 위한 층은 게이트의 최상층(top layer)에 비해 매우 낮은 위치에 위치하게 되어 이들 사이에는 실질적으로 매우 큰 단차가 발생되게 된다.

도 1은 종래의 MBCFET 구조의 일례를 설명하기 위해서 개략적으로 도시한 단면도이다.

도 1을 참조하면, 종래의 MBCFET 구조는, 기판(10) 상에 복수 개의 장방형의 얇은 채널(11)들 및 이러한 채널(11)들의 상하 또는/ 및 앞뒤로 둘러싸게 형성된 게이트(30) 및 게이트의 지층(31)들을 포함하는 구조를 포함하여 형성된다. 게이트(30) 또는/ 및 게이트의 지층(31)들은 채널(11)들 사이에는 게이트 유전층(20)이 도입된다.

채널(11)들에는 소스/드레인 영역(15)이 전기적으로 연결된다. 채널(11)들과 게이트(30) 또는/ 및 게이트의 지층(31)들이 적층된 구조가 형성되면, 소스/드레인 영역(15)은 최상층의 게이트(30)에 비해 매우 낮은 위치에 위치하게 된다. 이러한 단차를 극복하여 소스/드레인 영역(15)과 채널(11)들을 전기적으로 이어주기 위해서 채널(11) 및 게이트의 지층(31)들이 적층된 구조의 측면에 스페이서(spacer) 형태로 소스/드레인 영역과 채널들을 전기적으로 이어주는 연결층(13)이 도입되게 된다.

이에 따라, 소스/드레인 영역(15)에의 접촉(contact) 지점(17)과 최상층의 게이트(30) 사이의 실질적인 전하 이동은, 이러한 스페이서 형태의 소스/드레인 영역과 채널들을 전기적으로 이어주는 연결층(13)을 통해 이루어지게 된다. 따라서, 실질적으로 전하 이동 거리가 매우 길어지게 되므로, 소스/드레인 영역(15)의 저항이 원하지 않게 커지게 된다.

또한, 기판(10)을 SOI(Silicon On Insulator) 기판으로 형성할 경우, SOI 기판은, 얇은 몸체(thin body)를 구현하기 위해서, 매몰 산화층 또는 바닥 산화층(B<sub>OX</sub>: Bottom OXide layer) 위의 실리콘층의 두께가 대략 30nm 정도나 그 이하이게 형성된다. 이러한 경우, 게이트 지층(31)을 위한 통로를 형성할 때 수반되는 식각 공정에서 오버 에치 마진(over etch margin)의 확보가 어려워 BOX가 노출될 수 있다. 이와 같이 BOX가 노출되게 되면 소스/드레인 영역(15)을 위한 SEG>Selective Epitaxial Growth)를 수행하기가 어렵다. 따라서, 소스/드레인 영역(15)을 형성하기 어려운 문제가 대두되게 된다.

또한, 소스/드레인 영역(15)과 최상층의 게이트(30) 간의 단차의 존재는 소스/드레인 영역(15)의 접촉 지점(17)에 접촉하는 금속 전극층을 선택적으로 형성하는 후속되는 금속화 공정(metalization)을 수행하기가 어렵게 하고 있다. 이는 선택적인 금속층 또는/금속 실리사이드층(metal silicide layer)을 형성하기 위한 절연 스페이서를 연결층(13) 상에 형성하기가 어렵기 때문이다.

이를 해소하기 위해서, 이러한 연결층(13)의 배후에 소스/드레인 영역을 위한 폴리실리콘 플러그(polysilicon plug)를 도입하는 공정이 고려될 수 있다.

도 2는 폴리실리콘 플러그 소스/드레인을 도입한 MBCFET 구조의 일례를 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2를 참조하면, 폴리실리콘 플러그 소스/드레인 영역(55)은, 기판(50) 상에 복수 개의 장방형의 얇은 채널(51)들 및 게이트(70), 게이트의 지층(71)들의 적층 구조의 배후에 형성된다. 즉, 게이트 지층(71)과 게이트 유전층(60)을 사이에 두고 커켜이 적층된 채널(51)들은 연결층(53)에 의해서 소스/드레인 영역(55)에 연결된다. 이때, 소스/드레인 영역(55)은 게이트(70)와 사이에 보다 낮은 단차를 가질 수 있게 폴리실리콘 플러그로 형성된다.

그런데, 이러한 구조는 단차의 완화를 구현할 수는 있으나, 폴리실리콘 플러그를 위해 폴리실리콘층의 증착 및 에치 백 과정 등이 수반되게 되어 공정이 다소 복잡해지게 된다. 그리고, 게이트(70) 아래의 채널(51)의 모서리가 에치 백 과정 중에 식각되어 예리한 각도의 식각면(59)이 연결층(53)의 상측 어깨 모서리에 발생될 수 있는 문제점을 수반한다. 이러한 식각면(59)의 발생은 결국 연결층(53)에 형성되는 소스/드레인 구조의 LDD(Lightly Doped Drain) 영역이 예리한 각도를 가지게 유도하게 되어 저항 문제를 발생하게 된다. 또한, 이와 같이 모서리부에서 식각 발생은 결국 이러한 모서리부에서의 에치 백 마진 확보 문제를 수반하게 된다.

이와 같이, 이러한 단차의 발생은 소스/드레인 영역의 저항을 증가시키는 요인으로 작용할 수 있으므로, 게이트와 소스/드레인 영역 간의 단차를 줄일 수 있는 방법의 개발이 요구되고 있다. 즉, 보다 효과적으로 MBCFET 구조를 형성할 수 있는 방법의 개발이 요구되고 있다.

이와 같이, MBCFET 구조를 구현하기 위한 공정들은 아직까지 다소의 문제점들을 수반하고 있어, MBCFET 구조를 보다 효과적으로 형성할 수 있는 방법의 개발이 요구되고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 게이트 및 채널들이 적층된 구조와 소스/드레인 영역 간의 단차가 실질적으로 배제된 플랫 소스/드레인(fatten source/drain) 구조를 포함하는 다중가교채널 트랜지스터를 제조하는 방법을 제시하는 데 있다.

### 발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 플랫 소스/드레인(fatten source/drain) 구조를 포함하는 다중가교채널 트랜지스터를 제조하는 방법을 제시한다.

상기 트랜지스터 제조 방법은, 기판 상에 채널층들 및 상기 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하는 단계, 상기 적층체를 선택적으로 식각하여 상호 평행하게 가로질러 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 상기 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치들을 형성하는 단계, 상기 트렌치들을 채워 상기 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적 에피택셜로 성장시키는 단계, 상기 제1적층부의 채널층간층 패턴들의 양 끝단면을 선택적으로 노출하는 단계, 상기 노출된 양 끝단면으로부터 상기 제1적층부의 채널층간층 패턴들을 선택적으로 제거하여 상기 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성하는 단계, 및 상기 관통 터널들을 채우고 상기 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성하는 단계를 포함하여 수행될 수 있다.

또한, 상기 트랜지스터 제조 방법은, 기판 상에 채널층들 및 상기 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하는 단계, 상기 적층체의 범위를 설정하는 소자 분리 영역을 형성하는 단계, 상기 적층체 상에 더미(dummy) 게이트 패턴을 형성하는 단계, 상기 더미 게이트 패턴의 측부에 부착되는 더미 스페이서(dummy spacer)를 형성하는 단계, 상기 더미 스페이서에 의해 노출되는 상기 적층체 표면을 산화시켜 제1마스크 패턴을 형성하는 단계, 상기 더미 스페이서를 선택적으로 제거하는 단계, 상기 더미 게이트 패턴 및 상기 제1마스크 패턴을 식각 마스크로 노출되는 부분을 선택적으로 제거하여 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 상기 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치들을 형성하는 단계, 상기 트렌치들을 채워 상기 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적 에피택셜로 성장시키는 단계, 상기 더미 게이트 패턴 측부에 부착되는 제2마스크 패턴을

형성하는 단계, 상기 제2마스크 패턴을 식각 마스크로 하여 상기 더미 게이트 패턴을 선택적으로 제거하고 상기 소자 분리 영역의 상기 더미 게이트 패턴 아래에 노출되는 부분을 선택적으로 제거하여 상기 제1적층부의 채널층간층 패턴들의 양 단면을 노출하는 단계, 상기 노출된 양 끝단면으로부터 상기 제1적층부의 채널층간층 패턴들을 선택적으로 제거하여 상기 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성하는 단계, 및 상기 관통 터널들을 채우고 상기 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성하는 단계를 포함하여 수행될 수 있다.

여기서, 상기 기판은 실리콘 기판 또는 실리콘 온 인슐레이터(SOI) 기판으로 형성될 수 있다.

상기 채널층 및 상기 채널층간층은 상호 간에 식각 선택비를 갖는 단결정 반도체 물질로 각각 형성될 수 있다.

상기 제1소스/드레인 영역은 상기 채널층간층과 식각 선택비를 가지는 반도체층으로 선택적 에피택셜 성장될 수 있다.

상기 채널층은 실리콘층의 에피택셜 성장으로 형성되고, 상기 채널층간층은 실리콘-저메니움층의 에피택셜 성장으로 형성되고, 상기 제1소스/드레인 영역은 실리콘층으로 선택적 에피택셜 성장될 수 있다.

상기 제1적층부가 상기 게이트의 제1적층부 상으로 연장되는 부분의 폭에 대등한 폭을 가지게 상기 트렌치들은 상호 간에 이격되게 형성될 수 있다.

상기 제1소스/드레인 영역은 상기 제1적층부의 표면과 대등한 표면 높이를 가지게 선택적 에피택셜로 성장될 수 있다.

상기 트랜지스터 제조 방법은, 상기 게이트의 제1적층부 상으로 연장되는 부분의 측벽에 게이트 스페이서를 부착하는 단계를 더 포함하고, 상기 트렌치는 상기 게이트 스페이서의 폭과 대등한 폭으로 설정되어 형성될 수 있다.

상기 트랜지스터 제조 방법은, 상기 게이트 스페이서에 의해서 노출되는 상기 게이트 부분 및 상기 제2소스/드레인 영역 표면에 금속 실리사이드층을 선택적으로 형성하는 단계를 더 포함할 수 있다.

상기 유전층은 상기 게이트와 상기 제1적층부의 상기 채널층 패턴들 간의 계면 및 상기 게이트와 상기 제1소스/드레인 영역 간의 계면에 연장되게 형성될 수 있다.

상기 더미 게이트 패턴은 실리콘 산화물층을 포함하여 형성될 수 있다.

상기 더미 스페이서는 실리콘 질화물층을 포함하여 형성될 수 있다.

상기 제2마스크 패턴은 상기 제1소스/드레인 영역을 덮는 실리콘 질화물층을 형성하는 단계, 및 상기 실리콘 질화물층을 상기 더미 게이트 패턴의 상측 표면이 노출되게 평탄화하는 단계를 포함하여 형성될 수 있다.

본 발명에 따르면, 플랫 소스/드레인(fatten source/drain) 구조를 포함하는 MBCFET 구조를 형성할 수 있어, MBCFET의 최상층 게이트와 소스/드레인간의 단차를 크게 줄일 수 있다. 이에 따라, 소스/드레인 저항을 크게 줄일 수 있다.

이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다.

본 발명의 실시예에서는 플랫 소스/드레인(fatten source/drain) 구조를 포함하는 MBCFET 구조를 형성하는 방법을 제시한다. 플랫 소스/드레인 영역의 표면은 실질적으로 채널 및 게이트들의 적층 구조의 최상층의 게이트의 바로 아래에 위치하는 채널의 표면 높이와 대등한 높이 또는/그 이상의 높이를 가지게 소스/드레인 영역을 형성하는 방법을 제시한다.

이러한 본 발명의 실시예에 따른 트랜지스터 제조 방법을 설명하기 위해, 실리콘(Si)층과 실리콘-저메니움(SiGe<sub>x</sub>)층의 다중층들의 적층체를 형성시키고, 그 상에 더미 게이트 패턴(dummy gate pattern)을 도입하는 기술을 제시한다. 또한, 더미 게이트 패턴 측벽에 더미 스페이서(dummy spacer)를 도입하고, 더미 스페이서에 노출된 적층체의 표면에 제1마스크층을

산화층으로 도입하는 기술을 제시한다. 그리고, 더미 스페이서를 제거하고, 더미 스페이서 아래 부분을 선택적으로 제거하여 플랫 소스/드레인 영역을 위한 트렌치(trench)를 형성하고, 이러한 트렌치 내에 SEG를 이용하여 플랫 소스/드레인 층을 성장시키는 기술을 제시한다.

도 3a는 본 발명의 실시예에 따른 MBCFET 구조를 설명하기 위해서 개략적으로 도시한 평면도이다. 도 3b는 본 발명의 실시예에 따른 MBCFET 구조의 활성 영역을 설명하기 위해서 개략적으로 도시한 사시도이다.

도 3a 및 도 3b를 참조하면, 본 발명의 실시예에 따른 MBCFET는, 기판 상에 설정된 활성 영역(101)을 가로지르게 설정된 게이트(400) 및 게이트(400) 좌우에 설정된 제1소스/드레인 영역(205)과 제1소스/드레인 영역(205) 배후에 설정된 제2소스/드레인 영역(201)을 포함하여 형성된다. 이러한 제1 및 제2소스/드레인 영역(201, 205)을 포함하는 활성 영역(101)을 소자 분리 영역(300)이 설정한다.

게이트(400) 아래의 활성 영역(101) 부분에는, 도 3b에 제시된 바와 같이, 다수 개의 채널층(213, 253, 293)들이 터널(tunnel:505)들에 의해서 상호 간에 이격되게 적층되게 구성되는 채널 영역(203)이 형성된다. 개개의 채널층(213, 253, 293)은 측부에 부착되게 형성되는 제1소스/드레인 영역(205)에 의해서 상호 간에 연결되어 다중 가교 채널 구조(multi-bridge channel structure)가 형성된다.

그리고, 터널(505)들의 내부는 게이트(400)에 연결되는 게이트의 지층(branch layer)에 의해서 채워져, 게이트(400) 아래 부분에는 게이트 지층과 채널층(213, 253, 293)이 순차적으로 적층된 구조가 형성된다. 게이트(400) 도 3b에 제시된 채널 영역(203)의 앞면 또는/및 뒷면으로 수직하게 연장되어 터널(505) 내부로 연장되게 형성된다. 이에 따라, 터널(505) 내부로 연장된 게이트(400) 부분은 게이트 지층으로 이해될 수 있다. 이때, 게이트(400) 또는/ 및 게이트 지층과 채널층(213, 253, 293)들 사이 계면에는 게이트 유전층, 예컨대, 실리콘 산화층이 도입될 수 있다.

제1소스/드레인 영역(205)은 실질적으로 최상층의 채널층(293)의 표면과 대등한 표면 높이를 가지고 실질적으로 평탄한 높이를 가지게 형성된다. 제1소스/드레인 영역(205)은 실질적으로 주된 소스/드레인 영역으로 작용하며, 일반적인 트렌치스터 구조에서 얇게 도핑된 드레인(LDD: Lightly Doped Drain) 구조가 형성되는 영역에 해당될 수 있다.

그리고, 제2소스/드레인 영역(201) 이러한 제1소스/드레인 영역(205)인 LDD의 배후에 형성된 확장된 소스/드레인 영역으로 이해될 수 있다. 이러한 제2소스/드레인 영역(201)은 실질적으로 제1소스/드레인 영역(205)과 대등한 표면 높이를 가지는 평탄한 표면을 가지게 형성된다.

이러한 제2소스/드레인 영역(201)은 채널층들(213, 253, 293)과 대등한 제1층들(211, 251, 291)이 그 사이에 이들과 다른 제2층들(231, 271)을 수반하여 적층된 형태로 형성된다. 채널층들(213, 253, 293)은 바람직하게 단결정 실리콘층으로 형성되므로, 이에 대등한 제1층들(211, 251, 291) 또한 단결정 실리콘층으로 형성된다. 그리고, 제2층들(231, 271)은 실질적으로 터널(505)의 형성을 위해 도입되는 층들이 잔류한 것으로 이해될 수 있으며, 채널층들(213, 253, 293)과는 다른 실리콘-저매니움( $\text{SiGe}_x$ )층으로 바람직하게 형성될 수 있다. Si층과  $\text{SiGe}_x$ 층의 적층 구조는 그 계면 주위에 스트레인 영역(strained filed)을 형성하는 데, 이러한 스트레인은 전하의 이동을 촉진하는 작용을 할 수 있다.

이와 같은 기본적 구조를 가지는 본 발명의 실시예에 따른 MBCFET 구조는 먼저 바람직하게 실리콘층/실리콘-저매니움층의 적층 구조를 준비하는 과정으로부터 형성될 수 있다.

도 4는 채널층(210, 250, 290) 및 채널층간층(230, 270)의 적층 구조를 형성하는 단계를 개략적으로 보여주는 사시도다. 도 4는 도 3a의 평면도에서 게이트(400)에 수직하는 방향으로의 단면을 정면으로 도시하고 게이트(400)에 평행한 방향으로의 단면을 측면에 배치한 사시도이다.

도 4를 참조하면, 기판(100) 상에 제1채널층(210), 제1채널층간층(230), 제2채널층(250), 제2채널층간층(270) 및 제3채널층(290)을 순차적으로 형성한다. 이때, 채널층들(210, 250, 290)은 다수 개가 형성될 수 있으며, 채널층간층들(230, 270)이 채널층들(210, 250, 290) 사이에 삽입된 형태로 수직으로 적층된다. 이러한 채널층들(210, 250, 290)은 트랜지스터의 채널을 위한 층들로, 채널에 적합한 단결정층, 예컨대, 실리콘층으로 형성된다.

그리고, 채널층간층들(230, 270) 역시 그 상에 형성되는 채널층들(210, 250, 290)이 바람직하게 단결정층이 되도록 단결정층으로 형성되는 것이 바람직하다. 그럼에도 불구하고, 채널층간층들(230, 270)은 채널층들(210, 250, 290)과 식각 선택비를 구현할 수 있는 반도체 물질로 형성되는 것이 바람직하다.

이러한 층들의 적층체는 공정 상 에피택셜 성장(epitaxial growing) 방법을 이용하는 것이 유리할 수 있다. 따라서, 채널층(210, 250, 290)은 바람직하게 실리콘층으로 에피택셜 성장될 수 있고, 채널층간층(230, 270)은 바람직하게 실리콘-저메니움층으로 에피택셜 성장될 수 있다. 이는, 실리콘층과 실리콘-저메니움층은 식각 선택비를 구현할 수 있는 것으로 알려져 있고, 또한, 실리콘층 또한 채널에 요구되는 단결정층으로 에피택셜 성장될 수 있기 때문이다. 이때, 각각의 층들은 대략 300Å 정도 또는 그 이하의 두께로 형성될 수 있으며, 층들이 적층된 적층체(200)의 전체 두께는 대략 1000Å 내지 1500Å 정도일 수 있다.

이때, 기판(100)은 실리콘 반도체 기판일 수 있고, 또는, SOI 기판일 수 있다.

도 5는 소자 분리 영역(300)을 형성하는 단계를 개략적으로 보여준다.

도 5를 참조하면, 채널층(210, 250, 290) 및 채널층간층(230, 270)의 적층체(200)를 패터닝하여 트렌치(trench)를 형성하고, 트렌치를 메우는 절연층을 증착하여 소자 분리 영역(300)을 형성한다. 소자 분리 영역(300)은 도 3a에 제시된 바와 같이 활성 영역(101)을 설정하게 형성된다.

도 6은 제3채널층(290) 상에 더미 게이트 패턴(510)을 형성하는 단계를 개략적으로 보여준다.

도 6을 참조하면, 제3채널층(290) 상에 더미 게이트 패턴(510)을 형성한다. 이러한 더미 게이트 패턴(510)은 후속 과정에서 도 3a 및 도 3b에 제시된 제1소스/드레인 영역(205)을 위한 트렌치를 형성할 때 그리고 제1소스/드레인 영역(205)을 에피택셜 성장시킬 때 마스크의 일부로 이용되는 제1마스크 패턴으로 이해될 수 있다.

따라서, 더미 게이트 패턴(510)은 채널층(210, 250, 290) 또는/ 및 채널층간층(230, 270)과 식각 선택비를 구현할 수 있는 물질, 예컨대, 실리콘 산화물을 증착하고 패터닝하여 형성될 수 있다. 더미 게이트 패턴(510)은 도 3a에 제시된 바와 같은 게이트(400)를 위한 평면 레이아웃(layout)을 따르는 패턴으로 형성될 수 있다. 실질적으로 더미 게이트 패턴(510)은 게이트(400)와 실질적으로 대등한 높이 및 폭을 가지게 형성된다.

도 7은 더미 게이트 패턴(510) 측부에 더미 스페이서(530)를 형성하는 단계를 개략적으로 보여준다.

도 7을 참조하면, 더미 게이트 패턴(510)의 측부에 더미 스페이서(530)를 형성한다. 이러한 더미 스페이서(530)의 폭에 의해서 도 3a 및 도 3b에 제시된 제1소스/드레인 영역(205)의 폭 또는/ 및 이를 위한 트렌치의 폭이 설정되게 된다. 이러한 더미 스페이서(530)의 폭은 후속에서 게이트(400)의 측부에 소스/드레인 구조를 LDD 구조로 구현하기 위해서 도입될 수 있는 게이트 스페이서(gate spacer)의 폭과 대등한 폭으로 형성될 수 있다. 더미 스페이서(530)는 실질적으로 게이트(400) 측벽에 도입될 게이트 스페이서와 대응한 형태로 형성될 수 있다.

따라서, 이러한 더미 스페이서(530) 더미 게이트 패턴(510)과 함께 마스크로 사용될 수 있는 제2마스크 패턴으로 이해될 수 있다. 그럼에도 불구하고, 이러한 더미 스페이서(530)는 후속 공정에서 선택적으로 제거될 것이므로, 더미 게이트 패턴(510)과 식각 선택비를 구현할 수 있는 물질, 예컨대, 실리콘 질화물( $\text{Si}_3\text{N}_4$ )로 형성될 수 있다. 실리콘 질화물을 증착하고 스페이서 에치(spacer etch)하여 더미 스페이서(530)를 형성한다.

도 8은 더미 스페이서(530)에 의해 노출된 제3채널층(290)의 노출 부분을 선택적으로 산화시키는 단계를 개략적으로 보여준다.

도 8을 참조하면, 더미 스페이서(530), 더미 게이트 패턴(510) 및 소자 분리 영역(300)에 의해서 노출된 제3채널층(290)의 노출 부분을 산화 공정 등으로 산화시켜 산화물층을 형성한다. 이러한 산화물층은 후속 공정에서 하부의 층들을 마스크(masking)하는 역할을 하는 제3마스크 패턴(550)으로 이해될 수 있다.

도 9는 더미 스페이서(530)를 제거하는 단계를 개략적으로 보여준다.

도 9를 참조하면, 실리콘 질화물로 형성된 더미 스페이서(530)를 실리콘 산화물로 이루어진 더미 게이트 패턴(510), 소자 분리 영역(300) 및 제3마스크 패턴(550)에 대해 선택적으로 제거한다. 이에 따라, 더미 스페이서(530) 아래의 제3채널층(290) 부분이 노출된다. 즉, 더미 게이트 패턴(510)의 제1마스크 패턴 및 제3마스크 패턴(550)에 의해서 더미 스페이서(530) 아래 영역, 즉, 제1소스/드레인 영역(도 3a 및 도 3b의 205)이 설정되어 선택적으로 노출된다.

도 10은 더미 스페이서(530) 아래 영역에 트렌치(501)를 형성하는 단계를 개략적으로 보여준다.

도 10을 참조하면, 더미 스페이서(530)의 제거에 의해서 노출된 제3채널층(290) 부분 및 그 아래의 층들을 선택적으로 식각 제거하여 트렌치(501)를 형성한다. 이러한 트렌치(501)는 결국 더미 게이트 패턴(510), 제3마스크 패턴(550) 및 소자 분리 영역(300)에 의해 노출되는 영역을 선택적으로 식각함으로써 형성된다. 이때, 트렌치(501)를 위한 식각 과정은 최하층의 제1채널층간층(230) 부분이 완전히 제거되어 그 아래의 제1채널층(210)이 드러나도록 또는 제1채널층(210) 아래의 기판(100)의 실리콘층이 드러날 때까지 수행될 수 있다.

이러한 트렌치(501)를 형성하는 과정에 의해서, 게이트(도 3a 및 도 3b의 400) 아래의 채널층 패턴(213, 253, 293) 및 채널층간층 패턴(233, 273)들이 적층된 구조가 패터닝된다. 그리고, 제3마스크 패턴(550) 아래에 제2소스/드레인 영역(도 3a 및 도 3b의 201)이 채널잔류층(211, 251, 291) 및 채널층간잔류층(231, 271)들의 적층된 구조로 패터닝된다.

트렌치(501)는 도 10에 제시된 바와 같이 게이트(400)가 중주하는 방향으로의 양 측면 중 하나의 측면에 채널층 패턴(213, 253, 293) 및 채널층간층 패턴(233, 273)들의 적층된 측면이 노출되고, 다른 측면에 채널잔류층(211, 251, 291) 및 채널층간잔류층(231, 271)들의 적층된 측면이 노출되게 된다.

도 11은 제1소스/드레인 영역(205)을 선택적 에피택셜 성장(SEG)시키는 단계를 개략적으로 보여준다.

도 11을 참조하면, 트렌치(501)의 바닥 및 측면으로부터 에피택셜 성장을 유도하여 트렌치(501)를 채우는 제1소스/드레인 영역(205)을 형성한다. 제1소스/드레인 영역(205)은 실리콘의 에피택셜 성장으로 형성된다. 트렌치(501)의 양 측면에는 각각 채널층 패턴(213, 253, 293) 및 채널층간층 패턴(233, 273)들 측면, 및 채널잔류층(211, 251, 291) 및 채널층간잔류층(231, 271)들의 측면이 노출되므로, 결국, 트렌치(501)의 양 측면은 실리콘 또는/ 및 실리콘-저마니움 단결정층의 면으로 이루어지게 된다. 그리고, 트렌치(501)의 바닥은 단결정 실리콘층이게 된다.

따라서, 실리콘의 에피택셜 성장은 이러한 양 측면의 실리콘 또는/ 및 실리콘-저마니움 단결정층의 면 및 바닥의 단결정 실리콘층의 면으로부터 성장되게 된다. 이와 같이 실리콘 단결정의 에피택셜 성장이 트렌치(501)의 양 측면 및 바닥으로부터 이루어지므로, 실리콘 단결정은 트렌치(501)를 효과적으로 충분히 채우며 성장할 수 있게 된다. 이에 따라, 실리콘 단결정으로 성장된 제1소스/드레인 영역(205)은, 비록 측면과의 계면에서의 미소한 경사면이 있을 수 있으나, 실질적으로 평평한 표면(flatten surface)을 가지게 성장하게 된다. 이와 같은 제1소스/드레인 영역(205)은 실질적으로 제3채널층 패턴(293)의 표면 높이와 대등한 표면 높이를 가질 정도까지 에피택셜 성장하게 된다.

이와 같은 제1소스/드레인 영역(205)의 성장에 의해서, 채널층간층 패턴들(233, 273)을 이루는 실리콘-저마니움층들은 상 하측에 채널층 패턴들(213, 253, 293) 및 좌 우 양 측면의 제1소스/드레인 영역(205)의 실리콘층들에 둘러싸인 형상이 되고, 앞 뒤 두 측면은 소자 분리 영역(300)의 측면에 접촉한 형상이 되게 된다.

도 12는 더미 게이트 패턴(510)의 상측면을 선택적으로 노출하는 제4마스크 패턴(570)을 형성하는 단계를 개략적으로 보여준다.

도 12를 참조하면, 더미 게이트 패턴(570) 또는/ 및 소자 분리 영역(300)을 이루는 실리콘 산화물과 식각 선택비를 구현할 수 있는 물질, 또는/ 및 채널층 패턴(213, 253, 293) 또는/ 및 채널층간층 패턴(233, 273)을 이루는 물질과도 식각 선택비를 구현할 수 있는 물질, 예컨대, 실리콘 질화물을 증착하고 평탄화하여, 더미 게이트 패턴(510)의 상측면을 노출하는 제4마스크 패턴(570)을 형성한다. 이때, 평탄화는 화학 기계적 연마(CMP)로 수행될 수 있다.

도 13a는 더미 게이트 패턴(510)을 제거하는 단계를 개략적으로 보여주고, 도 13b는 더미 게이트 패턴(510) 아래의 소자 분리 영역(300)을 선택적으로 제거하여 채널층간층 패턴(233, 273)의 측면을 노출하는 단계를 개략적으로 보여준다. 도 13a는 도 3a의 평면도에서 게이트(400)에 수직하는 방향으로의 단면을 정면으로 도시하고 게이트(400)에 평행한 방향으로의 단면을 측면에 배치한 사시도이고, 도 13b는 게이트(400)를 따른 단면을 보여주는 사시도이다.

도 13a 및 도 13b를 참조하면, 제4마스크 패턴(570)에 의해서 노출된 더미 게이트 패턴(510)을 선택적으로 제거한다. 더미 게이트 패턴(510)의 제거에 의해 하부에 노출되는 소자 분리 영역(300)을 선택적으로 계속 제거하여, 채널층간층 패턴(233, 273)의 측면을 노출하는 홈(571)을 형성한다. 이에 따라, 홈(571)에는 채널층간층 패턴들(233, 273)의 측면 및 채널층 패턴들(213, 253, 273)의 측면들이 노출되게 된다.

도 14a 및 도 14b는 채널층간층 패턴들(233, 273)을 선택적으로 제거하여 관통 터널(505)들을 형성하는 단계를 개략적으로 보여준다.

도 14a 및 도 14b를 참조하면, 양 끝단의 두 홈(571)에 그 측면들이 노출된 채널층간층 패턴들(233, 273)을 노출된 측면으로부터 선택적으로 식각하여 모두 제거한다. 채널층간층 패턴들(233, 273)은 실리콘-저마니움으로 바람직하게 형성되므로, 바람직하게 실리콘으로 형성된 채널층 패턴(213, 253, 293) 및 제1소스/드레인 영역(205)에 대해 선택적으로 식각 제거되게 된다. 이에 따라, 양쪽 홈(571)에 연결되는 빈 공간으로서의 관통 터널(505)들이 형성된다.

도 15a 및 도 15b는 채널층 패턴들(211, 251, 291) 상에 게이트 유전층(310)을 형성하는 단계를 개략적으로 보여준다.

도 15a 및 도 15b를 참조하면, 열 산화 공정 또는 화학 기상 증착(CVD) 등을 이용하여 채널층 패턴들(211, 251, 291)의 노출된 표면 및 관통 터널(505) 측벽에 노출된 제1소스/드레인 영역(205)의 측벽에 게이트 유전층(310)을 형성한다. 이에 따라, 터널(505)의 측벽들은 모두 게이트 유전층(310)에 의해 덮이게 된다. 또한, 제4마스크 패턴(570)에 의해서 노출되는 최상층의 제3채널층(293)의 상측에도 게이트 유전층(310)이 형성되게 된다. 그리고, 홈(571)에 노출된 채널층 패턴들(213, 253, 273)의 측면들을 덮게 게이트 유전층(310)이 형성된다.

도 16a 및 도 16b는 게이트(400) 및 게이트 지층(401)을 형성하는 단계를 개략적으로 보여준다.

도 16a 및 도 16b를 참조하면, 게이트 유전층(310) 상에 게이트 물질로 도전층, 예컨대, 도전성 폴리실리콘 등을 증착하고 CMP 등으로 평탄화하여, 최상층의 제3채널층 패턴(293) 상측에 올려진 게이트(400)를 형성한다. 게이트(400)는 결국 평탄화 과정을 통해 제4마스크 패턴(570)에 의해서 별도의 사진 식각 과정 도입 없이 그 형상이 패터닝되게 된다.

한편, 증착 과정에서 관통 터널(505)의 내부의 빈 공간은 게이트(400)가 연장되어 형성되는 게이트 지층(401)에 의해서 채워지게 된다. 게이트(400)와 게이트 지층(401)은 홈(571)을 채우게 수직으로 연장되는 게이트(400) 부분에 의해서 전기적으로 연결되게 된다.

이후에, 제4마스크 패턴(570)을 선택적으로 제거한다. 이에 따라, 게이트(400)에 인근하는 제1소스/드레인 영역(205)의 상측 표면이 노출되게 된다. 또한, 제3마스크 패턴(530) 또한 계속하여 선택적으로 제거하여 제2소스/드레인 영역(201)의 표면을 노출하게 된다. 제2소스/드레인 영역(201)은 실질적으로 제1소스/드레인 영역(205)과 대등한 표면 높이를 가지게 유지되게 된다. 따라서, 제2소스/드레인 영역(201)의 표면에 접촉 지점이 설정될 때, 접촉 지점과 게이트(400) 간의 거리는 최단 거리로 유지될 수 있게 되어 소스/드레인 저항을 감소시키는 효과를 구현하게 된다.

이와 같이 본 발명의 실시예에 따른 MBCFET를 형성한 후, 게이트(400) 또는/ 및 소스/드레인 영역(205, 201)의 저항 감소를 위해서 금속화 공정, 예컨대, 금속 실리사이드화 공정을 수행할 수 있다.

도 17은 게이트(400) 상에 제1금속 실리사이드층(451)을 형성하는 단계를 개략적으로 보여준다.

도 17을 참조하면, 예컨대, 게이트(400) 측벽에 게이트 스페이서(430)를 형성한 후, 금속층을 증착하고 실리사이드화를 수행한 후 미반응된 금속층 부분을 선택적으로 제거한다. 이에 따라, 게이트(400) 상측에 제1금속 실리사이드층(451)이 형성되게 유도하고, 게이트 스페이서(430)에 의해서 노출되는 제2소스/드레인(201) 상에 제2금속 실리사이드층(455)이 형성되게 유도할 수 있다.

이러한 금속화 과정을 수행하기 이전에 제1소스/드레인 영역(205) 및 제2소스/드레인 영역(201)에 분순물을 도핑하여 소스/드레인 정션(junction)들을 형성한다. 이때, 소스/드레인 정션들은 LDD 구조를 포함하도록 형성될 수 있다. 예를 들어, 게이트(400)를 마스크로 제1소스/드레인 영역(205) 및 제2소스/드레인 영역(201)에 분순물을 이온 주입하여 상대적으로 낮은 농도의 불순물층, 예컨대, LDD층을 형성하고, 게이트(400) 측벽에 게이트 스페이서(430)를 형성한 후 다시 보다 깊은 깊이로 상대적으로 높은 농도의 불순물층을 형성하여 소스/드레인 정션 구조를 형성할 수 있다.

이때, 도시되지는 않았으나, 소스/드레인 정션 구조의 프로파일(profile)은 그 깊이가 적어도 제1채널잔류층(211) 아래에 미치게 형성되는 것이 바람직하다. 특히, LDD 구조로 소스/드레인 정션 구조가 형성될 때, 상대적으로 낮은 농도의 불순물층인 LDD층은 실질적으로 제1소스/드레인 영역(205)에 전체에 걸쳐 그 영역이 확장되도록 형성되는 것이 바람직하다. 이와 같이 소스/드레인 정션 구조 등을 형성한 후 상기한 금속화 과정을 수행할 수 있다.

## 발명의 효과

상술한 바와 같은 본 발명에 따르면, MBCFET 구조를 형성할 때, 최상층의 게이트 바로 아래의 최상층의 채널층의 표면 높이와 대등한 표면 높이를 가지게 소스/드레인 영역을 형성할 수 있다. 즉, 실질적으로 상층 표면이 평평한 플래튼(flatten) 소스/드레인 구조를 MBCFET 구조에서 형성할 수 있다. 이에 따라, 소스/드레인 저항의 감소를 구현할 수 있으며, 금속 실리사이드 과정과 같은 금속화 과정을 보다 MBCFET 구조에 효과적으로 수행할 수 있다. 이와 같은 본 발명은 벌크(bulk) 실리콘 기판 상에 MBCFET 구조를 구현할 수 있고 또한 SOI 기판 상에서도 동일한 구조로 MBCFET 구조를 구현할 수 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

## (57) 청구의 범위

### 청구항 1.

기판 상에 채널층들 및 상기 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하는 단계;

상기 적층체를 선택적으로 식각하여 상호 평행하게 가로질러 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 상기 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치들을 형성하는 단계;

상기 트렌치들을 채워 상기 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적으로 에피택셜로 성장시키는 단계;

상기 제1적층부의 채널층간층 패턴들의 양 끝단면을 선택적으로 노출하는 단계;

상기 노출된 양 끝단면으로부터 상기 제1적층부의 채널층간층 패턴들을 선택적으로 제거하여 상기 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성하는 단계; 및

상기 관통 터널들을 채우고 상기 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성하는 단계를 포함하는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 2.

제1항에 있어서,

상기 기판은 실리콘 기판 또는 실리콘 온 인슐레이터(SOI) 기판으로 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 3.

제1항에 있어서,

상기 채널층 및 상기 채널층간층은 상호 간에 식각 선택비를 갖는 단결정 반도체 물질로 각각 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 4.

제3항에 있어서,

상기 제1소스/드레인 영역은 상기 채널층간층과 식각 선택비를 가지는 반도체층으로 선택적 에피택셜 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 5.

제4항에 있어서,

상기 채널층은 실리콘층의 에피택셜 성장으로 형성되고

상기 채널층간층은 실리콘-저마니움층의 에피택셜 성장으로 형성되고

상기 제1소스/드레인 영역은 실리콘층으로 선택적 에피택셜 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 6.

제1항에 있어서,

상기 제1적층부가 상기 게이트의 제1적층부 상으로 연장되는 부분의 폭에 대등한 폭을 가지게 상기 트렌치들은 상호 간에 이격되게 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 7.

제1항에 있어서,

상기 제1소스/드레인 영역은 상기 제1적층부의 표면과 대등한 표면 높이를 가지게 선택적 에피택셜로 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 8.

제1항에 있어서,

상기 게이트의 제1적층부 상으로 연장되는 부분의 측벽에 게이트 스페이서를 부착하는 단계를 더 포함하고,

상기 트렌치는 상기 게이트 스페이서의 폭과 대등한 폭으로 설정되어 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

### 청구항 9.

제8항에 있어서,

상기 게이트 스페이서에 의해서 노출되는 상기 게이트 부분 및 상기 제2소스/드레인 영역 표면에 금속 실리콘사이드층을 선택적으로 형성하는 단계를 포함하는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

## 청구항 10.

제1항에 있어서,

상기 유전층은 상기 게이트와 상기 제1적층부의 상기 채널층 패턴들 간의 계면 및 상기 게이트와 상기 제1소스/드레인 영역 간의 계면에 연장되게 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

## 청구항 11.

기관 상에 채널층들 및 상기 채널층들 사이에 삽입되는 채널층간층들의 적층체를 형성하는 단계;

상기 적층체의 범위를 설정하는 소자 분리 영역을 형성하는 단계;

상기 적층체 상에 더미(dummy) 게이트 패턴을 형성하는 단계;

상기 더미 게이트 패턴의 측부에 부착되는 더미 스페이서(dummy spacer)를 형성하는 단계;

상기 더미 스페이서에 의해 노출되는 상기 적층체 표면을 산화시켜 제1마스크 패턴을 형성하는 단계;

상기 더미 스페이서를 선택적으로 제거하는 단계;

상기 더미 게이트 패턴 및 상기 제1마스크 패턴을 식각 마스크로 노출되는 부분을 선택적으로 제거하여 채널층 패턴들 및 채널층간층 패턴들의 제1적층부와 상기 제1적층부 양쪽에 잔류하는 층들의 제2적층부들로 분리하는 두 트렌치들을 형성하는 단계;

상기 트렌치들을 채워 상기 제2적층부들로 설정되는 제2소스/드레인 영역들에 이어지는 제1소스/드레인 영역들을 선택적 에피택셜로 성장시키는 단계;

상기 더미 게이트 패턴 측부에 부착되는 제2마스크 패턴을 형성하는 단계;

상기 제2마스크 패턴을 식각 마스크로 하여 상기 더미 게이트 패턴을 선택적으로 제거하고 상기 소자 분리 영역의 상기 더미 게이트 패턴 아래에 노출되는 부분을 선택적으로 제거하여 상기 제1적층부의 채널층간층 패턴들의 양 단면을 노출하는 단계;

상기 노출된 양 끝단면으로부터 상기 제1적층부의 채널층간층 패턴들을 선택적으로 제거하여 상기 제1소스/드레인 영역 및 상기 채널층 패턴들에 의해 둘러싸인 관통 터널들을 형성하는 단계; 및

상기 관통 터널들을 채우고 상기 제1적층부 상으로 연장되는 게이트를 게이트 유전층을 수반하여 형성하는 단계를 포함하는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

## 청구항 12.

제11항에 있어서,

상기 채널층 및 상기 채널층간층은 상호 간에 식각 선택비를 갖는 단결정 반도체 물질로 각각 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

## 청구항 13.

제12항에 있어서,

상기 제1소스/드레인 영역은 상기 채널층간층과 식각 선택비를 가지는 반도체층으로 선택적 에피택셜 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 14.

제13항에 있어서,

상기 채널층은 실리콘층의 에피택셜 성장으로 형성되고

상기 채널층간층은 실리콘-저매니움층의 에피택셜 성장으로 형성되고

상기 제1소스/드레인 영역은 실리콘층으로 선택적 에피택셜 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 15.

제11항에 있어서,

상기 더미 게이트 패턴은 실리콘 산화물층을 포함하여 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 16.

제11항에 있어서,

상기 더미 스페이서는 실리콘 질화물층을 포함하여 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 17.

제11항에 있어서,

상기 제1소스/드레인 영역은 상기 제1적층부의 표면과 대등한 표면 높이를 가지게 선택적 에피택셜로 성장되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 18.

제11항에 있어서, 상기 제2마스크 패턴은

상기 제1소스/드레인 영역을 덮는 실리콘 질화물층을 형성하는 단계; 및

상기 실리콘 질화물층을 상기 더미 게이트 패턴의 상측 표면이 노출되게 평탄화하는 단계를 포함하여 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

#### 청구항 19.

제11항에 있어서,

상기 제2마스크 패턴을 선택적으로 제거하는 단계;

상기 제1마스크 패턴을 선택적으로 제거하는 단계; 및

상기 게이트의 제1적층부 상으로 연장되는 부분의 측벽에 게이트 스페이서를 부착하는 단계를 더 포함하고

상기 게이트 스페이서에 의해서 노출되는 상기 게이트 부분 및 상기 제2소스/드레인 영역 표면에 금속 실리사이드층을 선택적으로 형성하는 단계를 포함하는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

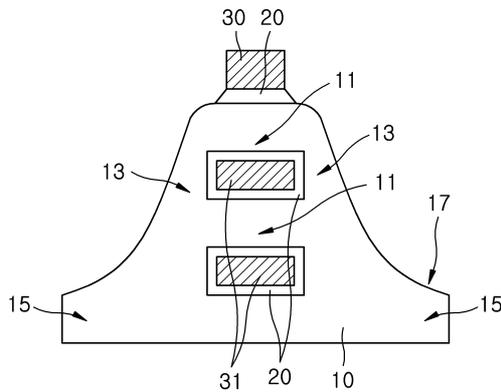
**청구항 20.**

제11항에 있어서,

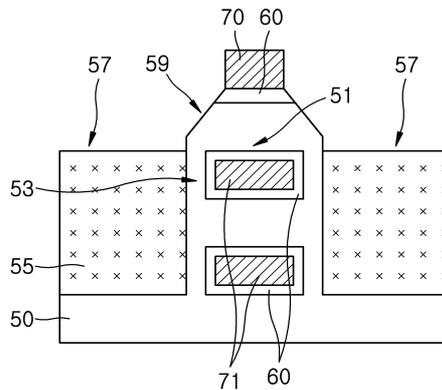
상기 유전층은 상기 게이트와 상기 제1적층부의 상기 채널층 패턴들 간의 계면 및 상기 게이트와 상기 제1소스/드레인 영역 간의 계면에 연장되게 형성되는 것을 특징으로 하는 다중가교채널을 가지는 트랜지스터 제조 방법.

**도면**

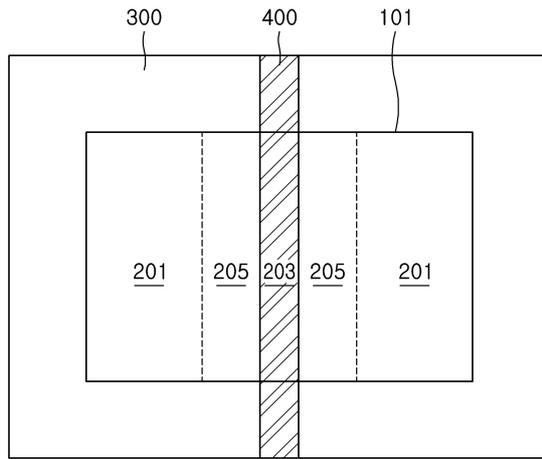
도면1



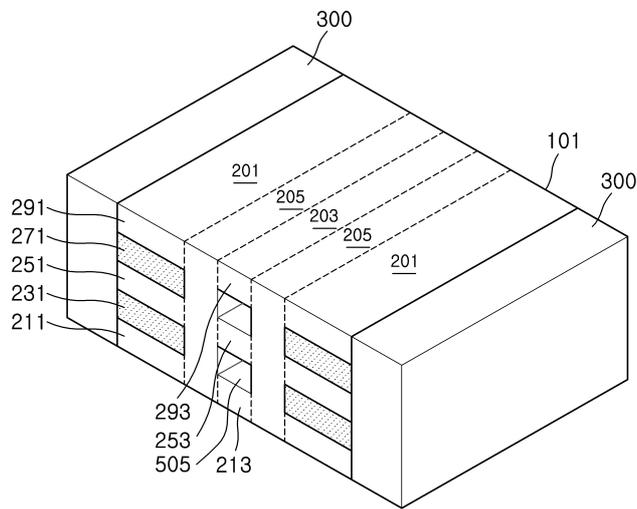
도면2



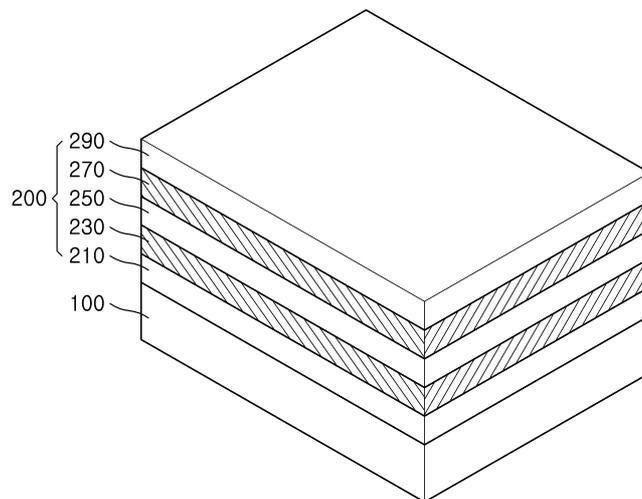
도면3a



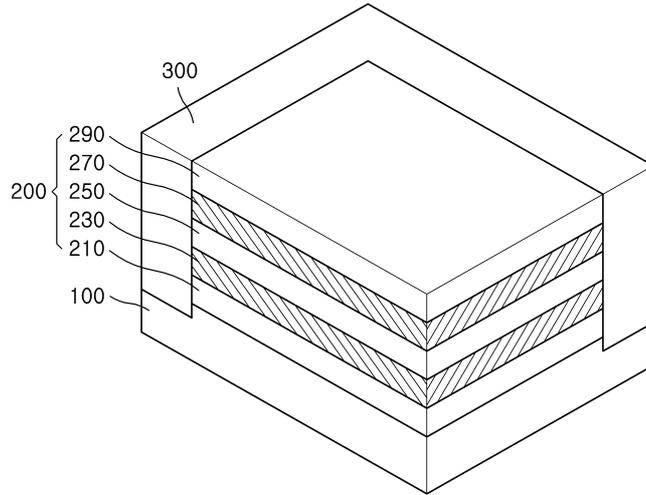
도면3b



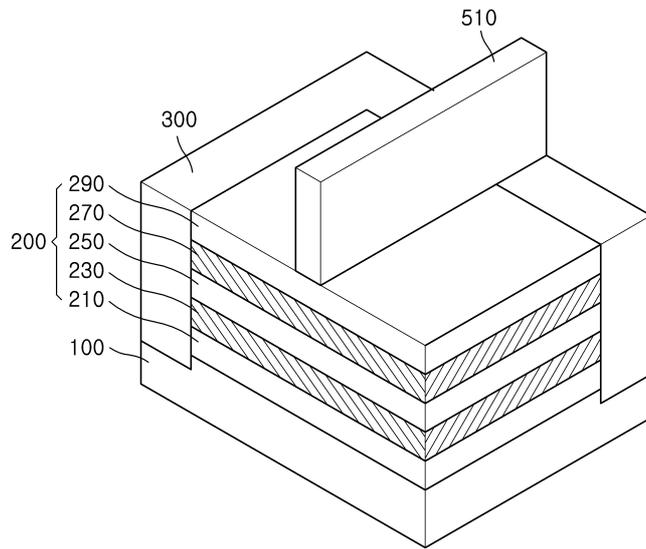
도면4



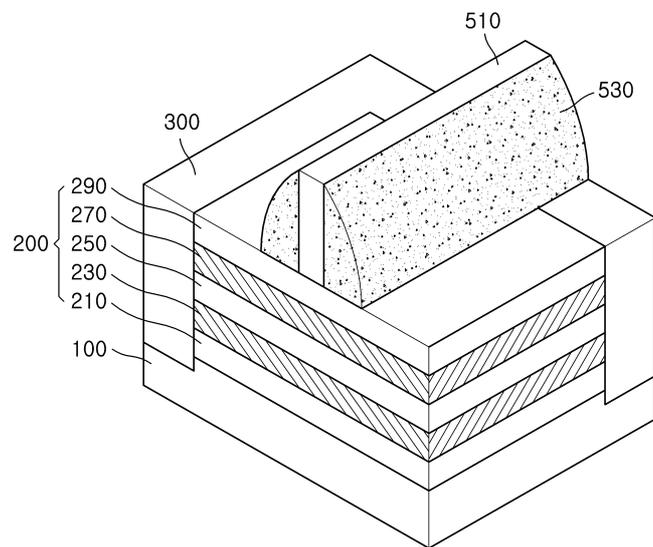
도면5



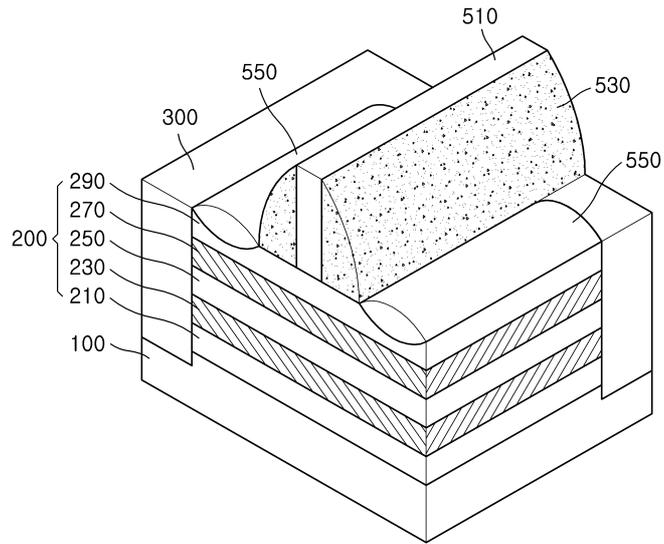
도면6



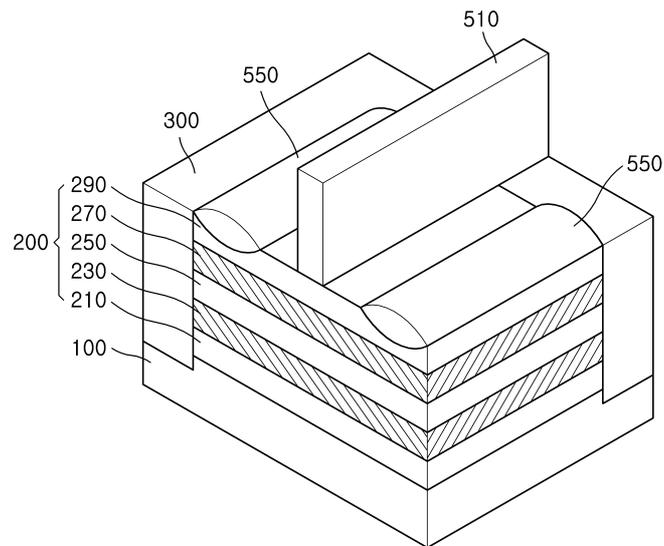
도면7



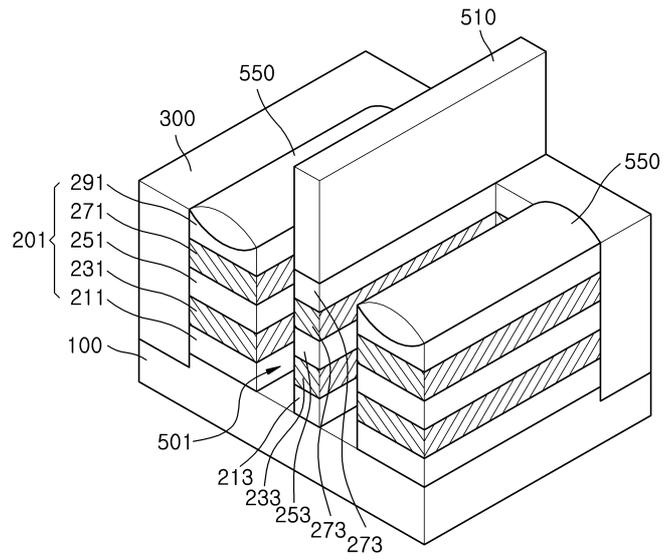
도면8



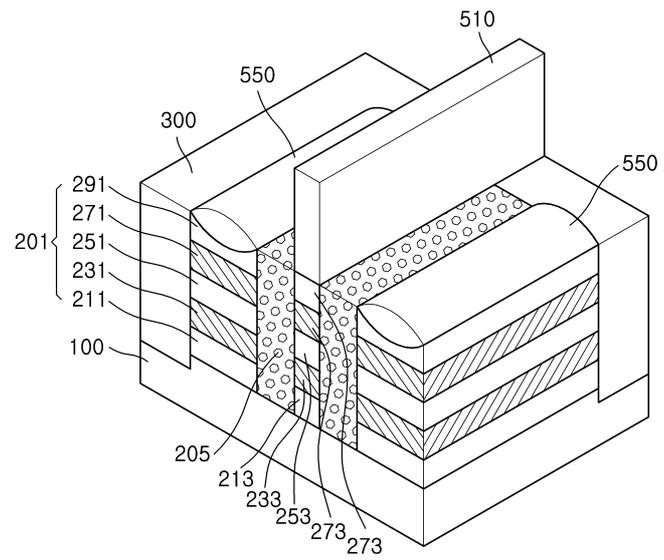
도면9



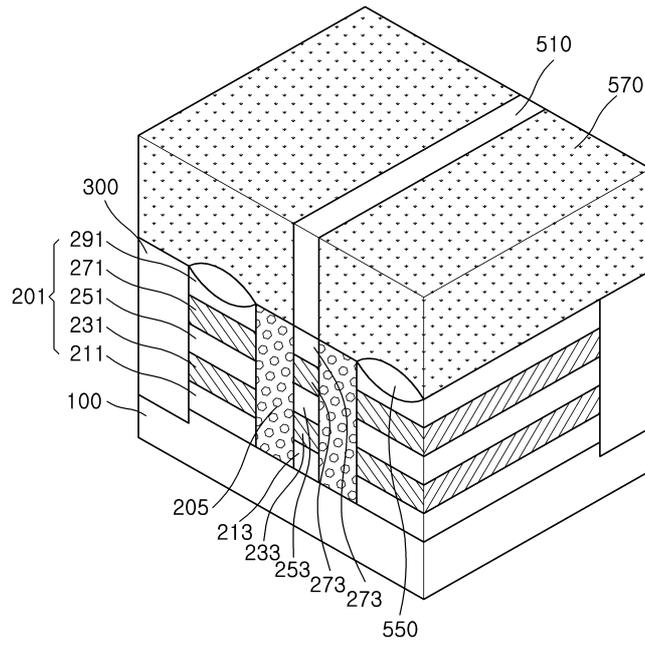
도면10



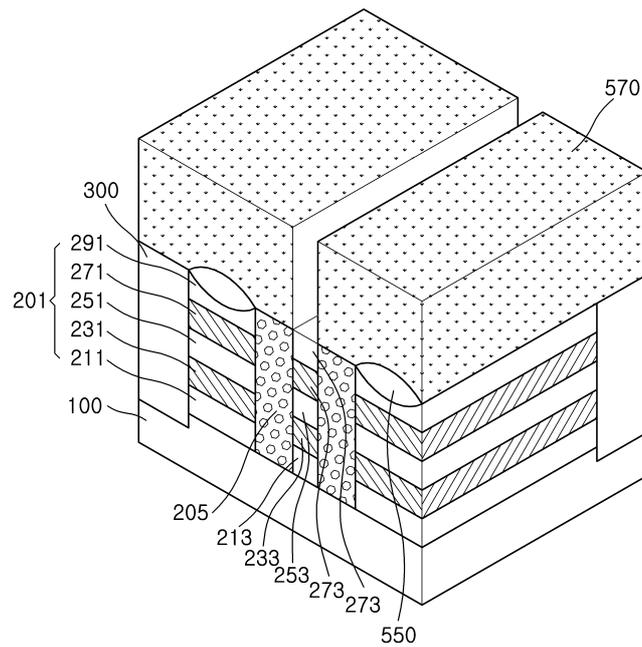
도면11



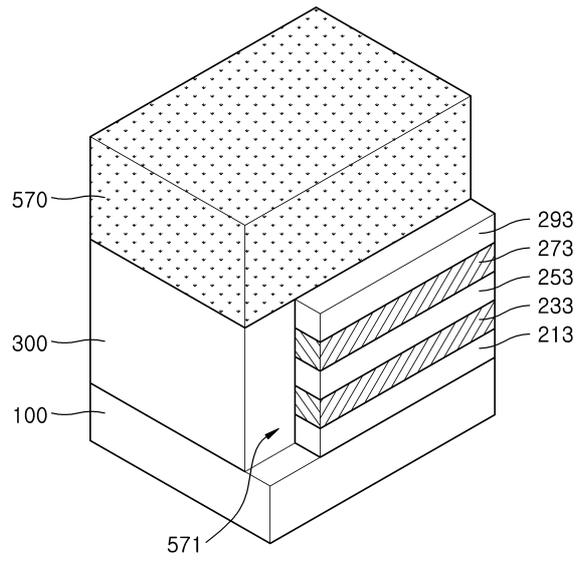
도면12



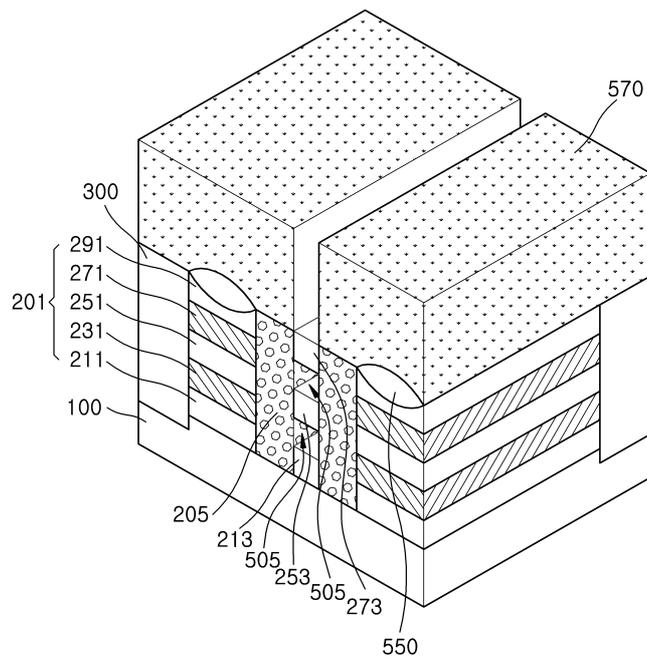
도면13a



도면13b

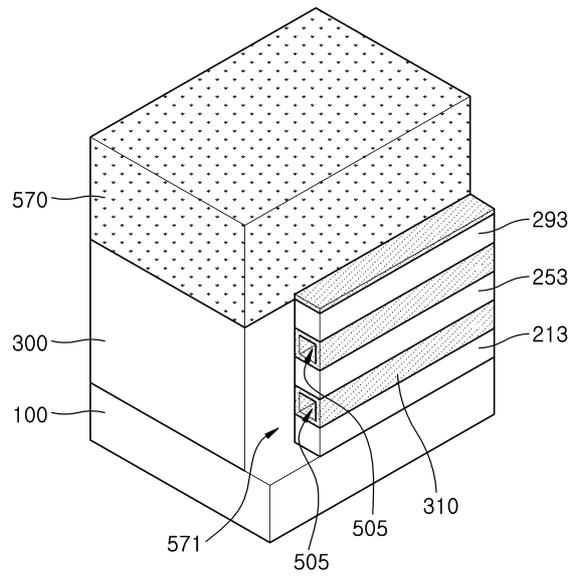


도면14a

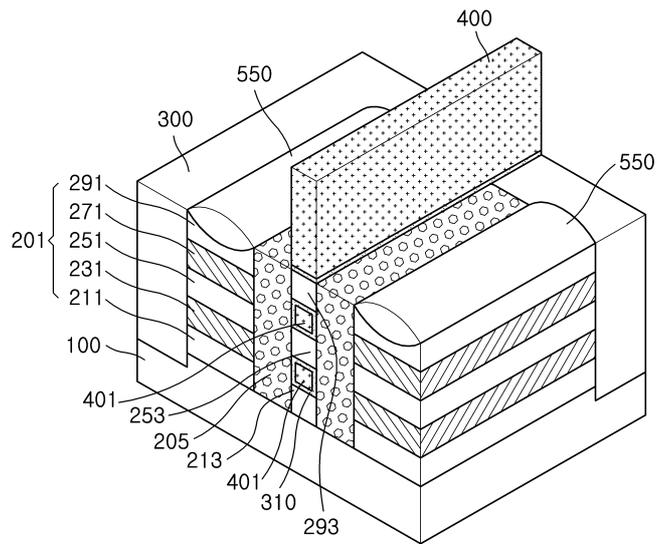




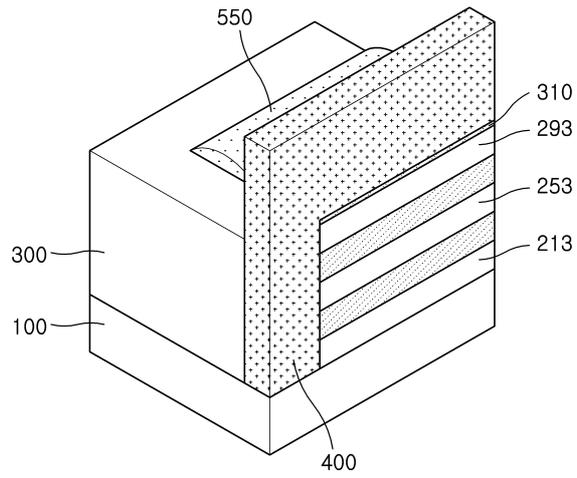
도면15b



도면16a



도면16b



도면17

