

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200810172860.8

[43] 公开日 2009年7月29日

[11] 公开号 CN 101494020A

[22] 申请日 2008.11.5

[21] 申请号 200810172860.8

[30] 优先权

[32] 2008.1.25 [33] JP [31] 2008-014384

[71] 申请人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 大石纯久 丸山纯一 庄司孝志

小野记久雄

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

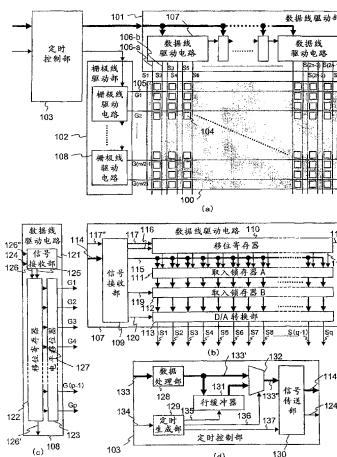
权利要求书 5 页 说明书 16 页 附图 15 页

[54] 发明名称

显示装置

[57] 摘要

本发明提供一种显示装置。对提供 1 个垂直方向的像素组的数据电压的电极配置 2 条数据线，将 2 条中的 1 条连接到垂直方向的 2 个像素中的 1 个像素上，将 2 条中的另外一条连接到 2 个像素中未与数据线连接的 1 个像素上，而对于控制 ON/OFF 的电极，在由连接有垂直方向上相邻的不同数据线的 2 个像素构成的 2 个水平线上配置公共的 1 条栅极线连接起来，而且数据线驱动部为了可同时将电压施加给相当于水平 2 行上的像素而输出数为水平像素数的 2 倍，栅极线驱动部在水平 2 行上连接 1 条栅极线，输出数为垂直像素数一半。即使在伴随 120Hz 以上的高帧速率驱动和高精细化而 1 个水平周期缩短时，也能充分确保向像素的保持电容的写入电压的时间。



1.一种显示装置，具有：

显示面板，其中在列方向上延伸的多条数据线和在行方向上延伸的多条栅极线呈矩阵状布线，与上述数据线和上述栅极线相连接的多个像素呈矩阵状排列；

第一驱动电路，将与显示数据对应的显示信号输出给上述数据线；以及

第二驱动电路，将用于选择要接受上述显示信号的像素的选择信号输出给上述栅极线，

该显示装置的特征在于，

同一列上的每相邻 2 行的像素与不同的数据线相连接，并且与共同的栅极线相连接。

2.根据权利要求 1 所述的显示装置，其特征在于，同一列上的像素每隔 N 行与共同的数据线相连接，其中 N 为 1 以上的整数。

3.根据权利要求 1 所述的显示装置，其特征在于，上述数据线的数量是行方向上的像素数的 2 倍以上，上述栅极线的数量是列方向上的像素数的 1/2 倍以下。

4.根据权利要求 1 所述的显示装置，其特征在于，还具有控制电路，该控制电路将按照与相邻的 2 行像素对应的显示数据中第一行的一行像素所对的显示数据、与相邻 2 行像素对应的显示数据中第二行的一行像素所对的显示数据的顺序而串行或并行输入的显示数据，以连续输出与相邻 2 行的第一行和第二行的同一列上的像素对应的显示数据的方式进行替换排列，并输出给上述第一驱动电路。

5.根据权利要求 1 所述的显示装置，其特征在于，相邻的 4 条数据线中第一条和第四条与配置在同一列上的像素中配置于奇数行和偶数行中任一方向上的像素相连接；

相邻的 4 条数据线中第二条和第三条与配置在同一列上的像素中配置于奇数行和偶数行中另一方上的像素相连接。

6.根据权利要求 5 所述的显示装置,其特征在於,上述多个像素包含红像素 R、绿像素 G 和蓝像素 B,

还具有控制电路,该控制电路将按照与相邻 2 行像素对应的显示数据中第一行的一行像素所对的显示数据 RGB、与相邻 2 行像素对应的显示数据中第二行的一行像素所对的显示数据 RGB 的顺序而串行或并行输入的显示数据,按照第一行的 R、第二行的 R、第二行的 G、第一行的 G、第一行的 B、第二行的 B 的顺序,或者按照第二行的 R、第一行的 R、第一行的 G、第二行的 G、第二行的 B、第一行的 B 的顺序替换排列,并输出给上述第一驱动电路。

7.根据权利要求 5 所述的显示装置,其特征在於,上述第一驱动电路在 1 帧以上的期间内,向相邻 2 条数据线中的第一条数据线提供正极性的显示信号,并向相邻 2 条数据线中的第二条数据线提供负极性的显示信号,

上述第一驱动电路在下一个 1 帧以上的期间内,向相邻 2 条数据线中的第一条数据线提供负极性的显示信号,并向相邻 2 条数据线中的第二条数据线提供正极性的显示信号。

8.根据权利要求 1 所述的显示装置,其特征在於,相邻 2 条数据线中第一条与配置在同一列上的像素中配置于奇数行和偶数行中任一方上的像素相连接;相邻的 2 条数据线中第二条与配置在同一列上的像素中配置于奇数行和偶数行中另一方上的像素相连接。

9.根据权利要求 8 所述的显示装置,其特征在於,上述多个像素包含红像素 R、绿像素 G 和蓝像素 B,

还具有控制电路,该控制电路将按照与相邻 2 行像素对应的显示数据中第一行的一行像素所对的显示数据 RGB、与相邻的 2 行像素对应的显示数据中第二行的一行像素所对的显示数据 RGB 的顺序而串行或并行输入的显示数据,按照第一行的 R、第二行的 R、第一行的 G、第二行的 G、第一行的 B、第二行的 B 的顺序替换排列,并输出给上述第一驱动电路。

10.根据权利要求 8 所述的显示装置,其特征在於,上述第一驱动

电路在 1 帧以上的期间内，向相邻的 4 条数据线中的第一条和第四条数据线提供正极性的显示信号，并向相邻的 4 条数据线中的第二条和第三条数据线提供负极性的显示信号，

上述第一驱动电路在下一个 1 帧以上的期间内，向相邻的 4 条数据线中的第一条和第四条数据线提供负极性的显示信号，并向相邻的 4 条数据线中的第二条和第三条数据线提供正极性的显示信号。

11.根据权利要求 1 所述的显示装置，其特征在于，相邻的 4 条数据线中第一条和第四条与配置在同一列上的相邻 4 行像素中配置于第一行和第四行的组以及配置于第二行和第三行的组中任一组上的像素相连接；

相邻的 4 条数据线中第二条和第三条与配置在同一列上的相邻 4 行的像素中配置于第一行和第四行的组以及配置于第二行和第三行的组中另一组上的像素相连接。

12.根据权利要求 11 所述的显示装置，其特征在于，上述第一驱动电路在 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供正极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供负极性的显示信号，

上述第一驱动电路在下一个 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供负极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供正极性的显示信号。

13.根据权利要求 1 所述的显示装置，其特征在于，上述第一驱动电路具有存储与 2 行像素对应的显示数据的存储电路，

该显示装置具有控制电路，该控制电路依次输入按照与相邻的 2 行像素对应的显示数据中第一行的一行像素所对的显示数据、与相邻的 2 行像素对应的显示数据中第二行的一行像素所对的显示数据的顺序而串行或并行输入的显示数据，并在将对应于相邻 2 行中第一行像素的显示数据和对应于第二行像素的显示数据写入上述存储电路时进行替换排列。

14.根据权利要求 13 所述的显示装置，其特征在于，上述第一驱

动电路在 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供正极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供负极性的显示信号，

上述第一驱动电路在下一个 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供负极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供正极性的显示信号。

15.一种显示装置，具有：

显示面板，其中在列方向上延伸的多条数据线和在行方向上延伸的多条栅极线呈矩阵状布线，与上述数据线和上述栅极线相连接的多个像素呈矩阵状排列；

第一驱动电路，将与显示数据对应的显示信号输出给上述数据线；以及

第二驱动电路，将用于选择要接受上述显示信号的像素的选择信号输出给上述栅极线，

该显示装置的特征在于，

同一列上的相邻 2 行像素与不同的数据线相连接，并且与不同的栅极线相连接，

上述第二驱动电路对上述同一列上的相邻 2 行像素，使用各自的栅极线根据各自的选择信号在时间上重叠地选择。

16.根据权利要求 15 所述的显示装置，其特征不在于，还具有控制电路，该控制电路将按照与相邻的 2 行像素对应的显示数据中第一行的一行像素所对的显示数据、与相邻的 2 行像素对应的显示数据中第二行的一行像素所对的显示数据的顺序而串行或并行输入的显示数据，以连续输出与相邻 2 行的第一行和第二行的同一列上的像素对应的显示数据的方式进行替换排列，并输出给上述第一驱动电路。

17.根据权利要求 15 所述的显示装置，其特征不在于，相邻的 4 条数据线中第一条和第四条与配置在同一列上的像素中配置于奇数行和偶数行中任一一方上的像素相连接；相邻的 4 条数据线中第二条和第三条与配置在同一列上的像素中配置于奇数行和偶数行中另一方上

的像素相连接。

18.根据权利要求 17 所述的显示装置，其特征在于，上述多个像素包含红像素 R、绿像素 G 和蓝像素 B，

还具有控制电路，该控制电路将按照与相邻 2 行像素对应的显示数据中第一行的一行像素所对的显示数据 RGB、与相邻 2 行像素对应的显示数据中第二行的一行像素所对的显示数据 RGB 的顺序而串行或并行输入的显示数据，按照第一行的 R、第二行的 R、第二行的 G、第一行的 G、第一行的 B、第二行的 B 的顺序，或者按照第二行的 R、第一行的 R、第一行的 G、第二行的 G、第二行的 B、第一行的 B 的顺序替换排列，并输出给上述第一驱动电路。

19.根据权利要求 17 所述的显示装置，其特征在于，上述第一驱动电路在 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供正极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供负极性的显示信号，

上述第一驱动电路在下一个 1 帧以上的期间内，向相邻的 2 条数据线中的第一条数据线提供负极性的显示信号，并向相邻的 2 条数据线中的第二条数据线提供正极性的显示信号。

## 显示装置

### 技术领域

本发明涉及有源矩阵型显示装置及其驱动方法，尤其涉及液晶显示器等。

### 背景技术

有源矩阵型液晶显示装置以其薄型、高精细、低功耗的特征被用作薄型电视机等显示装置。

图 16 的 (a) 表示现有的液晶显示装置的构成例。现有的液晶显示装置由液晶面板部 1600、数据线驱动部 1601、栅极线驱动部 1602 和定时控制部 1603 构成。液晶面板部 1600 在平面配置成  $n \times m$  的矩阵状的像素 1604 中具有薄膜晶体管 (Thin Film Transistor、以下称之为 TFT) 等有源元件。图 17 表示像素 1604 排列的详细图。控制各有源元件的导通/截止的电极构成为在水平方向上与同 1 条栅极线 1605 相连接，提供数据电压的电极构成为在垂直方向上与同 1 条数据线 1606 相连接。 $m$ 、 $n$  指 1 以上的自然数且表示面板的分辨率，例如通过 RGB 带状配置的子像素构成的水平像素数  $1920 \times$  垂直像素数 1080 的面板中， $n=1920 \times 3=5760$ 、 $m=1080$ 。

接着，图 16 的 (d) 表示定时控制部 1603 的构成的一个例子。定时控制部 1603 由数据处理部 1628、定时生成部 1629、信号发送部 1630 来构成。输入来自外部系统的显示数据 1631 和定时信号 1632，显示数据 1631 从显示画面的上部起被依次传送，在数据处理部 1628 进行考虑到液晶的特性和构成的信号处理 (例如过激处理或灰度特性的调整处理等)，生成在数据线驱动部 1601 转换为所对应的电压的显示数据 1631'。定时信号 1632 通过定时生成部 1629 生成数据线驱动部 1601 和栅极线驱动部 1602 的各控制信号 1633。显示数据 1631'

和控制信号 1633 通过信号传送部 1630 而转换为数据线驱动部 1601 的传送方式下的信号 1614 和栅极线驱动部 1602 的驱动方式下的信号 1624 而被输出。

数据线驱动部 1601 由多个数据线驱动电路 1607 构成, 向  $n$  条数据线  $S_1$ 、 $S_2$ 、... $S_n$  施加与显示数据的灰度等级对应的电压。图 16 的 (b) 表示数据线驱动电路 1607 的构成的一例。数据线驱动电路 1607 中, 通过信号接收部 1609 接收显示数据和定时信号 (1614), 将与显示数据的传送同步的触发信号 1616 和水平启动信号 1617 取入到移位寄存器 1610 中, 生成将显示数据 1615 取入到取入锁存器 A (1611) 的定时信号组 1618。通过定时信号组 1618, 将依次传送的显示数据 1615 取入到 1 行上的取入锁存器 A (1611) 中, 通过存储了 1 行显示数据后结束的定时信号 1619 从取入锁存器 A (1611) 向取入锁存器 B (1612) 一次性传送 1 个水平的显示数据, 在 D/A 转换部 1613 将其转换为与显示数据的灰度等级对应的电压。在 D/A 转换部 1613 中, 为了进行液晶的交流驱动, 需要按照交流信号 1620, 由各数据线输出向液晶施加正电压或负电压的电压。当点反转驱动的情况下, 在相邻的数据线上输出极性不同的施加电压, 通过在每水平期间和每帧期间内使交流信号反转, 从而数据线的输出极性也得以反转, 实现了点反转驱动。向数据线 1606 施加与 1 个显示数据对应的电压的期间成为取入更新了取入锁存器 B (1612) 的 1 个水平的显示数据的 1 个水平期间。

栅极线驱动部 1602 由多个栅极线驱动电路 1608 构成, 向  $m$  条栅极线  $G_1$ 、 $G_2$ 、...、 $G_m$  驱动电压, 使得将数据线驱动部 1601 所输出的电压写入与栅极线连接的像素电极的 TFT 为 ON、其它的与没有写入数据线驱动部 1601 所输出的电压的栅极线连接的 TFT 为 OFF。

图 16 的 (c) 表示栅极线驱动电路 1608 的构成的一个例子。栅极线驱动电路 1608 中, 通过信号接收部 1621 来接受来自定时控制部的信号 1624, 将帧启动定时信号 1626 和水平定时信号 1625 取入移位寄存器 1622, 生成将帧启动信号 1626 按每个水平定时信号 1625 移位的



定时信号组 1627。通过移位寄存器 1622 所输出的定时信号组 1627 通过移位寄存器 1623 而转换为以 High 信号使栅极线为 ON 的电压和以 Low 信号使栅极线为 OFF 的电压，输出给各栅极线 1605。通过所构成的多个栅极线驱动电路 1608，对从栅极线 G1 到栅极线 Gm 为止的所有栅极线依次扫描 ON 电压。在每个水平期间中栅极线为 ON 的定时，通过由数据线驱动部 1601 在每个水平期间向像素电极施加所对应的位置上的显示数据电压，从而显示 1 个画面（1 帧）。

另外，在专利文献 1（日本特开 2005-165038 号公报）中描述了，为了通过调整打开 TFT 的栅极的定时来改善正极性与负极性的电压写入的偏差，需要将相邻 2 行（例如图 1 的第一行和第二行）的像素与相同的栅极信号线（例如 G2）Z 形连接，并且将下个相邻的 2 行（例如图 1 的第二行和第三行）的同一列（例如图 1 的第一列）的像素每隔一列地连接在相同的栅极信号线上（例如图 1 的第一列、第三列、第五列），以及替换排列输出给像素的数据。

在专利文献 2（日本特开 2003-315766 号公报）中描述了，将相邻 2 行的像素 Z 形连接在同一条栅极信号线上。

在专利文献 3（日本特开 2007-164100 号公报）中描述了，由田字形的 4 个（4 色）显示点构成 1 个像素，以通过该一个像素的行方向上的中间部分的方式配置栅极线 GL，通过将 4 个显示点的切换晶体管 SW 的栅极连接在该栅极线 GL 上，从而可缩短各切换晶体管 SW 的栅极布线。

在上述背景技术中，由于进行能有效改善动图像模糊的 120Hz 以上的画面高速改写的高帧速率驱动、面板的高分辨率化使得扫描 1 行的 1 个水平期间变短，或无法充分确保向像素电极施加与显示数据对应的电压的写入期间，从而导致无法将需要的电压写入像素电极中，有可能会招致画质的降低。

## 发明内容

本发明目的在于提供一种即使是高帧速率驱动或高分辨率的显

示装置也能充分确保将显示信号写入像素的写入时间的装置和方法。

本发明中，同一列上每相邻的2行上的像素与不同的数据线相连接，并且与共同的栅极线相连接。此时优选数据线的数量在行方向上的像素数量的2倍以上。

例如，显示面板部对提供1个垂直方向的像素组的显示信号的电极配置2条数据线，将上述2条中的1条数据线连接到垂直方向的2个像素中的1个像素上，将上述2条中的另外一条数据线连接到未与上述数据线连接的2个像素中的1个像素上。对于控制ON/OFF的电极，在由连接有垂直方向上相邻的不同数据线的2个像素构成的2个水平线上配置公共的1条栅极线连接起来。数据线驱动部为了可同时（时间上并行或时间上重叠）将电压施加给水平2行上的像素，其输出数为水平像素数的2倍，栅极线驱动部在水平2行上连接1条栅极线，因而优选为输出数是垂直像素数一半。进而，优选定时控制部设置行锁存器，将同时写入的2行显示数据的传送转换为数据线的排列，每隔2个水平期间到达数据线驱动部的电压更新定时和栅极线驱动部的行扫描定时。

根据本发明，即使在能进行有效改善动图像模糊的120Hz以上的高帧速率驱动或高分辨率的液晶显示装置中，也能充分确保向像素电极施加作为目标的显示信号的写入期间，可以防止画质的降低。

### 附图说明

本发明的这些特征以及其他特征、目的、优点都可通过以下参照附图的说明而进一步得以明晰。

图1是第一实施方式的液晶显示装置的构成框图。

图2是第一实施方式的像素配置。

图3是施加给第一实施方式的各像素的电压极性。

图4是第一实施方式的帧时序图。

图5是第一实施方式的行时序图。

图6是第一实施方式的显示数据传送的例子。

- 图 7 是第二实施方式的像素配置。
- 图 8 是施加给第二实施方式的各像素的电压极性。
- 图 9 是第二实施方式的显示数据传送的例子。
- 图 10 是第三实施方式的像素配置。
- 图 11 是施加给第三实施方式的各像素的电压极性。
- 图 12 是第三实施方式的显示数据传送的例子。
- 图 13 是第四实施方式的液晶显示装置的构成框图。
- 图 14 是第四实施方式的帧时序图。
- 图 15 是第四实施方式的行时序图。
- 图 16 是现有的液晶显示装置的构成框图。
- 图 17 是现有的像素配置。
- 图 18 是现有的帧时序图。
- 图 19 是现有的行时序图。
- 图 20 是现有的显示数据传送的例子。
- 图 21 是第五实施方式的液晶显示装置的构成框图。
- 图 22 是第五实施方式的像素配置。

### 具体实施方式

下面说明本发明的第一~第五实施方式。

使用图 1~图 5 说明本发明第一实施方式下的有源矩阵型液晶显示装置及其驱动方法。

图 1 的 (a) 是本发明第一实施方式的液晶显示装置的构成框图的例子。

第一实施方式的液晶显示装置由液晶面板部 100、数据线驱动部 101、栅极线驱动部 102 和定时控制部 103 构成。液晶面板部 100 在平面配置成  $n \times m$  的矩阵状的液晶像素 104 上具有 TFT 等有源元件。

图 2 是详细表示像素的排列的图。红 (R) 像素、绿 (G) 像素和蓝 (B) 像素的排列是分别在垂直方向上排列红 (R) 像素、绿 (G) 像素和蓝 (B) 像素的所谓带状排列。控制各有源元件 200 的 ON/OFF

的电极与水平 2 行的像素组所共用的 1 条栅极线 105 相连接。在 1 个垂直像素列上配置有 2 条数据线 106 (106-a、106-b)，提供与共用的栅极线 G1 相连接的配置于垂直方向上的 2 个像素 (104-1、104-2) 的数据电压 (显示信号) 的电极分别与不同的数据线 (106-a、106-b) 连接。此时，同一行像素的偶数像素列要连接的数据线统一为相邻的第偶数条数据线或第奇数条数据线，当偶数像素列要连接的数据线为第偶数条数据线时，同一行像素的奇数像素列连接的数据线为相邻的第奇数条数据线；当偶数像素列要连接的数据线为第奇数条数据线时，同一行像素的奇数像素列连接的数据线为相邻的第偶数条数据线。例如在图 2 中说明的那样，在第奇数行像素 (第一行中为 104-1、104-3、104-5、104-7...) 中，奇数像素列 (104-1、104-5) 与第奇数条数据线连接 (104-1 连接数据线 S1、104-5 连接数据线 S5)，偶数像素列 (104-3、104-7) 连接第偶数条数据线 (104-3 连接数据线 S4、104-7 连接数据线 S8)。与同一条栅极线 G1 连接的第偶数行像素 (第二行中为 104-2、104-4、104-6、104-8...) 由于与不同于第奇数行像素 (104-1、104-3、104-5、104-7...) 的数据线连接，因而奇数像素列 (104-2、104-6) 与第偶数条数据线连接 (104-2 连接数据线 S2、104-6 连接数据线 S6)，偶数像素列 (104-4、104-8) 连接第奇数条数据线 (104-4 连接数据线 S3、104-8 连接数据线 S7)。通过采用图 2 所示的像素构成，从而即使不在水平周期 (对每行上的像素写入显示信号的周期) 中对施加给数据线的电压反转交流信号，也能仅通过反转帧周期 (向 1 个画面上的像素写入显示信号的周期) 来利用现有的点反转数据线驱动电路 IC 实现显示画质为良好的点反转驱动。数据线的条数是水平方向上像素数的 2 倍 ( $2n$  条)，栅极线的条数是垂直方向上的像素数的  $1/2$  倍 ( $m/2$  条)。其中，当同一列的 3 行以上的像素与同一条栅极线连接的情况下，数据线的条数也可以是  $2n$  条以上，栅极线的条数也可以是  $m/2$  条以下。并且，还可以使水平方向 (行方向) 和垂直方向 (列方向) 相互替换。

图 3 表示施加给各像素的电压的极性。此处所谓的极性是指，施

加给像素电极的电压相对于施加给对置电极（多个像素所共有的）的电压而言相对的极性，该对置电极隔着液晶层与连接有有源元件的像素电极相对配置。对于对置电极的电压而言，像素电极电压较高的为正极，对于对置电极的电压而言，像素电极电压较低的为负极。在某个帧中，第奇数条数据线（S1、S3、S5、...）被施加正极性的电压，第偶数条数据线（S2、S4、S6、...）被施加负极性的电压，不像以往那样按照每次数据线的电压更新来进行反转，而在帧期间施加同极性的电压。相邻的2个像素中，与1个像素上下左右相邻的像素所连接的数据线都为奇数数据线和偶数数据线。以第二列第二行的像素为例，第二列第二行的像素与S3奇数数据线连接。上下的像素与S4连接，左边的像素连接S2、右边的像素连接S6，相邻像素与偶数数据线连接，实现点反转。

图4表示帧定时时序图，图5表示行定时时序图。使用图4、图5说明第一实施方式的工作。

图1的(d)表示定时控制部103的构成的一个例子。定时控制部103由与现有例子中说明的图16(d)相同的数据处理部128、定时生成部129、信号发送部130以及行缓冲器131和多路复用器132构成。输入来自外部系统的显示数据133和定时信号134，显示数据133由显示画面的上部起依次传送，在进行考虑到液晶特性和构成的信号处理（例如过激处理或灰度特性的调整处理等）的数据处理部128，生成在数据线驱动部101转换为所对应的电压的显示数据133'。显示数据133例如是从外部系统按照第一行R像素、第一行G像素、第一行B像素、第二行R像素、第二行G像素、第二行B像素...的顺序，串行或并行地输入的。将奇数行（第一行、第三行、...）的灰度数据133'暂时存储在行缓冲器131中，读取与偶数行（第二行、第四行、...）以同一定时进行存储的奇数行的数据，通过多路复用器132对符合像素排列的2行数据进行替换排列，生成要由数据线驱动部处理的显示数据133''。例如按照现有例的图20那样采用同时传送2个显示数据（R像素、G像素、B像素的数据）的数据形式，按照图6

所示的像素排列，对 2 行的数据进行替换排列而传送到后一级。也就是说，按照 (1, 1) R 像素、(2, 1) R 像素、(2, 1) G 像素、(1, 1) G 像素、(1, 1) B 像素、(2, 1) B 像素、(2, 2) R 像素、(1, 2) R 像素、(1, 2) G 像素、(2, 2) G 像素、(2, 2) B 像素、(1, 2) B 像素、... 的顺序来替换排列数据。并且，(x,y) 表示像素的位置（坐标）。x 表示像素的行位置（坐标），y 表示像素的列位置（坐标）。

定时信号 134 通过定时生成部 129 生成数据线驱动部 101 和栅极线驱动部 102 的各控制信号 137、控制行缓冲器的信号 135（写入信号、读取信号、地址等）、控制多路复用器 132 的信号 136。显示数据 133”和控制信号 137 通过信号传送部而转换为数据线驱动部 101 的传送方式的信号 114 和栅极线驱动部 102 的传送方式的信号 124 而被输出。

数据线驱动部 101 是由多个输出数为  $q$  的数据线驱动电路 107 构成的，将与显示数据的灰度等级对应的电压施加给水平像素数 2 倍的数据线数的  $2n$  条数据线  $S_1$ 、 $S_2$ 、...、 $S(2n)$ 。可通过与现有的液晶显示装置例相同的数据线驱动电路 IC 来实现本实施例，使用 ( $2n \div q$  以上的自然数) 个 IC，使得总输出数为水平像素数的 2 倍。

图 1 的 (b) 表示数据线驱动电路 107 的构成的一个例子。数据线驱动电路 107 与现有例所说明的图 16 (b) 的构成相同，由信号接收部 109、移位寄存器 110、取入锁存器 A(111)、取入锁存器 B(112) 和 D/A 转换部 113 构成。信号接收部 109 接受显示数据和定时信号 (114)，将与显示数据 115 的传送同步的触发信号 116 和启动信号 117 取入到移位寄存器 110，生成使水平启动信号 117 每隔触发信号 116 移位的定时信号组 118。移位寄存器 110 进行输出端子量的信号传送时，向下一个数据线驱动电路输出启动信号 117’，后一级的数据线驱动电路从前一级数据线驱动电路获得启动信号 117’，使移位寄存器工作。通过从移位寄存器 110 输出的定时信号组 118，依次将显示数据 115 取入到取入锁存器 A (111)。取入锁存器 A (111) 具有存

储输出端子量的数字数据的容量。所构成的多个数据线驱动电路存储 2 行的显示数据，通过从外部施加表示该结束的触发信号 119，从取入锁存器 A (111) 向取入锁存器 B (112) 一次性传送显示数据。通过 D/A 转换部 113 将其转换为与显示数据的灰度等级对应的电压，输出给各数据线 (S1、S2、...、Sq)。在取入锁存器 B (112) 具有与取入锁存器 A (111) 同样的容量。D/A 转换部 113，为了进行液晶的交流驱动，需要按照交流信号 120，对各数据线 (S1、S2、...、Sq) 输出向液晶施加正电压或负电压的电压。当点反转驱动的情况下，通过相邻的数据线来输出极性不同的施加电压。根据本实施方式的像素排列，在数据线驱动电路的输出与现有的点反转对应的情况下，即使不在水平周期反转交流信号，也能仅凭帧周期的反转来实现点反转驱动。由于不会如以往那样在进行像素写入时发生各数据线的极性反转，因而可减少功率损失，实现低功率化。

栅极线驱动部 102 由多个输出数为  $p$  的栅极线驱动电路 108 构成，对于垂直像素数的  $1/2$  倍的栅极线数的  $m/2$  条栅极线 G1、G2、...G ( $m/2$ ) 驱动电压，该电压使将数据线驱动部输出的电压写入与栅极线连接的像素电极中的 TFT 为 ON，使其它与没有写入数据线驱动部输出的电压的栅极线连接的 TFT 为 OFF。可通过与现有的液晶显示装置例相同的数据线驱动电路 IC 来实现本实施例，使用总输出数为垂直像素数的一半的 IC 数 ( $(m/2) \div p$  以上的自然数)。

图 1 的 (c) 表示栅极线驱动电路 108 的构成的一个例子。数据线驱动电路 108 与现有例所说明的图 16 的 (c) 的构成相同，由信号接收部 121、移位寄存器 122 和电平移位器 123 构成。信号接收部 121 接受定时信号 124，将触发信号 125 和帧启动信号 126 取入到移位寄存器 122，生成使帧启动信号 126 按触发信号 125 移位的定时信号组 127。移位寄存器 122 进行相当于输出端子的数量的信号传送时，向下一个栅极线驱动电路输出启动信号 126'，后一级的数据线驱动电路从前一级数据线驱动电路接受启动信号 126''，使移位寄存器工作。触发信号 125 表示从垂直起始行开始每 2 个水平期间的水平定时。从移

位寄存器 122 输出的定时信号组 127 通过电平移位器 123 而转换为以 High 信号使栅极线 ON 的电压和以 Low 信号使栅极线 OFF 的电压，输出给各栅极线。通过所构成的多个栅极线驱动电路，对从栅极线 G1 到栅极线 G ( $m/2$ ) 的所有的栅极线，按照每 2 个水平期间依次扫描 ON 电压。在每 2 个水平期间的栅极线为 ON 的定时，由数据线驱动部每个 2 水平期间向像素电极施加所对应的位置上的显示数据电压，从而显示 1 个画面 (1 帧)。

通过上述的第一实施方式，凭借应用了现有的数据线驱动电路 IC 和栅极线驱动电路 IC 的构成，即使在能有效改善动图像模糊的 120Hz 以上的高帧速率或高分辨率的面板中，也能确保将电压施加给像素电极的期间为现有的 2 倍即 2 个水平期间，可以防止画质的降低。本实施例中示出在同一条栅极线上连接 2 行像素，驱动 2 行像素的数据线驱动部的例子，然而不限于 2 行，基于同样的考虑，可以如在同一条栅极线上连接 3 行像素，同时驱动 3 行像素的数据线驱动部的构成、在同一条栅极线上连接 4 行像素，同时驱动 4 行像素的数据线驱动部的构成那样，通过增加与同一条栅极线连接的行数，来进一步增加将电压施加给像素电极的写入期间。

使用图 1、图 7 至图 9 来说明本发明第二实施方式下的有源矩阵型液晶显示装置及其驱动方法。

第二实施方式的构成与第一实施方式相同，在图 1 的 (a) 所示的构成中，由液晶面板部 100、数据线驱动部 101、栅极线驱动部 102 和定时控制部 103 构成。液晶面板部 100 在平面上配置为  $n \times m$  的矩阵状的液晶像素 104 中具有 TFT 等有源元件。第一实施方式与第二实施方式的不同之处在于，像素的 TFT 和数据线的连接。

图 7 表示第二实施方式的像素的排列的详细图。第一行的像素 (704-1、704-3、704-5、704-7...) 与第奇数条数据线连接 (704-1 与数据线 S1 连接、704-3 与数据线 S3 连接、704-5 与数据线 S5 连接、704-7 与数据线 S7 连接)。与同一条栅极线 G1 连接的第二行像素 (704-2、704-4、704-6、704-8...) 与不同于第一行像素 (704-1、704-3、



704-5、704-7...)的数据线、即第偶数条数据线连接(704-2与数据线S2连接、704-4与数据线S4连接、704-6与数据线S6连接、704-8与数据线S8连接)。这样在奇数行的像素上连接第奇数条数据线,在偶数行的像素上连接第偶数条数据线。通过采取图7所示的像素构成,即使不在水平周期中使施加给数据线的电压的交流信号反转,也能仅凭反转帧周期,通过可按照每2个输出来反转极性的数据线驱动电路IC,来实现显示画质良好的点反转驱动。

图8表示第二实施方式中施加给各像素的电压的极性。在某个帧中,数据线(S1、S4、S5、S8、S9、...)被施加正极性的电压,偶数数据线(S2、S3、S6、S7、...)被施加负极性的电压,不在数据线的每次电压更新时进行反转,在帧期间内施加同极性的电压。由于是每2个输出反转极性的数据线,因而各行上相邻的像素所对应的数据线为不同的极性,且与同列像素连接的数据线(S1和S2、S3和S4等)极性不同,因而可实现点反转。

另外在第二实施方式中,由于第一实施方式与第二实施方式的像素排列不同,因而与第一实施方式在按照定时控制部103的多路复用器132的像素排列进行的数据替换排列处理不同。

图9表示第二实施方式的数据替换排列处理。如图9所示,以交替输出各数据的奇数行和偶数行的方式进行替换排列。也就是说,按照(1,1)R像素、(2,1)R像素、(1,1)G像素、(2,1)G像素、(1,1)B像素、(2,1)B像素、(1,2)R像素、(2,2)R像素、(1,2)G像素、(2,2)G像素、(1,2)B像素、(2,2)B像素、...的顺序来替换排列数据。定时控制部103上述之外的构成和工作与第一实施方式相同,因而省略说明。

数据线驱动部101和栅极线驱动部108的构成和工作与第一实施方式相同,因而省略说明。

第二实施方式中也与第一实施方式同样地,通过使用现有的数据线驱动电路IC和栅极线驱动电路IC的构成,即使在高帧速率或高分辨率的面板中,也能确保将电压施加给像素电极的期间为现有的2倍

即 2 个水平期间，可以防止画质的降低。

使用图 1、图 10 至图 11 来说明本发明第三实施方式下的有源矩阵型液晶显示装置及其驱动方法。

第三实施方式的构成也与第一实施方式相同，在图 1 的 (a) 所示的构成中，由液晶面板部 100、数据线驱动部 101、栅极线驱动部 102 和定时控制部 103 构成。液晶面板部 100 在平面上配置为  $n \times m$  的矩阵状的液晶像素 104 中具有 TFT 等有源元件。第三实施方式与第一实施方式和第二实施方式在通过光的三原色的红 (R)、绿 (G)、蓝 (B) 来表现的显示数据上不同，其用于为了提高亮度效率而使用添加了白 (W) 的 RGBW 来表现的显示数据所对应的面板。其中第四像素不限于白。

图 10 表示 RGCW 面板的一个例子。图 10 的例子中，易于提高分辨率的 2 行  $\times$  2 列的像素与 RGBW 对应起来表现 1 个显示数据像素组 1000，垂直像素数为显示分辨率的 2 倍。因而一直以来向像素电极施加电压的写入期间变短，然而如图 10 所示，通过将 1 个显示数据像素组 1000 对应的像素连接在同一条栅极线上，从而可以确保与显示分辨率同等的将电压施加到像素电极上的写入期间。

图 11 表示第三实施方式中施加到各像素上的电压的极性。图 11 考虑到极性偏差导致的画质恶化较少的极性模式。凭借图 10 的像素连接，即便不在水平周期使施加给数据线的电压的交流信号反转，也能仅凭帧周期的反转，通过可进行点反转驱动的数据线驱动电路 IC 来实现点反转驱动。说明一下图 10，在与奇数栅极线 (G1...) 连接的第奇数行的像素 (1004-1、1004-3...) 中，奇数像素列 (1004-1...) 与第奇数条数据线连接 (1004-1 与数据线 S1 连接)，偶数像素列 (1004-3...) 与第偶数条数据线连接 (1004-3 与数据线 S4 连接)。与奇数栅极线 (G1...) 连接的第偶数行的像素 (1004-2、1004-4...) 和不同于与奇数栅极线 (G1...) 连接的第奇数行的像素 (1004-1、1004-3...) 的数据线相连接，因而奇数像素列 (1004-2...) 与第偶数条数据线连接 (1004-2 与数据线 S2 连接)，偶数像素列 (1004-4...)

与第奇数条数据线连接（1004-4 与数据线 S3 连接）。与偶数栅极线（G2...）连接的第奇数行的像素（1004-5、1004-7...）中，奇数像素列（1004-5...）与第偶数条数据线连接（1004-5 与数据线 S2 连接），偶数像素列（1004-7...）与第奇数条数据线连接（1004-7 与数据线 S3 连接）。与偶数栅极线（G2...）连接的第偶数行的像素（1004-6、1004-8...）与不同于连接了偶数栅极线（G2...）的第奇数行的像素（1004-5、1004-7...）的数据线连接，因而奇数像素列（1004-6...）与第奇数条数据线连接（1004-6 与数据线 S1 连接），偶数像素列（1004-8...）与第偶数条数据线连接（1004-8 与数据线 S4 连接）。即使不在水平周期内使施加给数据线的电压的交流信号反转，也能仅凭帧周期的反转，通过可进行点反转驱动的数据线驱动电路 IC 来实现极性偏差导致的画质恶化较少的图 11 的极性模式。

第三实施方式与第一实施方式和第二实施方式同样地需要按照像素排列进行数据替换排列处理，如图 12 所示，进行替换排列使得各数据的颜色数据序号在奇数行和偶数行中为不同的输出。另外，由于在同一行内完成替换排列，因而不需要用于替换排列的现有的 2 行 × 2 列的 RGBW 排列中所用的行缓冲器。

使用图 1、图 13 至图 15 来说明本发明第四实施方式下的有源矩阵型液晶显示装置及其驱动方法。

第四实施方式的构成与第一实施方式相同，在图 1 的 (a) 所示的构成，由液晶面板部 100、数据线驱动部 101、栅极线驱动部 102 和定时控制部 103 构成。像素的连接也与第一实施方式相同，然而构成数据线驱动部 101 的数据线驱动电路 107 和定时控制部 103 在第四实施方式中不同。

图 13 的 (a) 表示第四实施方式的定时控制部 1300，图 13 的 (b) 表示第四实施方式的数据线驱动电路 1301。

图 14 表示帧定时的时序图，图 15 表示行定时的时序图。使用图 14、15 说明第四实施方式的工作。

定时控制部 1300 与现有的定时控制部构成相同，由数据处理部

1302、定时生成部 1303、信号发送部 1304 构成。输入来自外部系统的显示数据 1305 和定时信号 1306,显示数据 1305 从显示画面的上部依次进行传送,通过进行考虑到液晶的特性和构成的信号处理(例如过激处理或灰度特性的调整处理等)的数据处理部 1302,生成要在数据线驱动部 101 中转换为对应的电压的灰度数据 1305'。

定时信号 1306 通过定时生成部 1303 生成数据线驱动部 101 和栅极线驱动部 102 的各控制信号 1307 和在数据线驱动电路 1301 中使用的表示奇数行和偶数行的行选择信号 1308。显示数据 1305'、控制信号 1307 和行选择信号 1308 通过信号传送部转换为数据线驱动部 101 的传送方式的信号 1309 和栅极线驱动部 102 的传送方式的信号 1310 而被输出。

与第一实施方式同样地,数据线驱动部 101 是由多个输出数为  $q$  的数据线驱动电路 1301 构成的,将与显示数据的灰度等级对应的电压施加给水平像素数 2 倍的数据线数的  $2n$  条数据线  $S_1$ 、 $S_2$ 、...、 $S_{(2n)}$ 。可通过与现有的液晶显示装置例相同的数据线驱动电路 IC 来实现本实施例,使用 ( $2n \div q$  以上的自然数) 个 IC,使得总输出数为水平像素数的 2 倍。图 13 的 (b) 表示数据线驱动电路 1301 的构成的一个例子。数据线驱动电路 1301 由信号接收部 1311、移位寄存器 1312、多路分配器组 1313、取入锁存器 A (1314)、取入锁存器 B (1315) 和 D/A 转换部 1316 构成。信号接收部 1311 接受显示数据和定时信号 (1309),将与显示数据 1317 的传送同步的触发信号 1318 和启动信号 1319 取入到移位寄存器 1312,生成使水平启动信号 1319 按每个触发信号 1318 移位的定时信号组 1320。移位寄存器 1312 进行输出端子的  $1/2$  量的信号传送时,向下一个数据线驱动电路输出启动信号 1319',后一级的数据线驱动电路从前一级数据线驱动电路获得启动信号 1319'',使移位寄存器工作。多路分配器组 1313 根据行选择信号 1308,将来自移位寄存器 1312 的定时信号组 1320 分成与奇数输出端子对应的取入锁存器 A (1314) 和与偶数输出端子对应的取入锁存器 A (1314) 的取入信号 1321。行选择信号 1308 是表示输入显示

数据的奇数行和偶数行的信号，以按照像素的连接将显示数据存储在取入锁存器 A (1314) 的方式进行各多路分配器 1313 的切换。所构成的多个数据线驱动电路存储 2 个行的显示数据，通过从外部施加表示该结束的触发信号 1322，从取入锁存器 A (1314) 向取入锁存器 B (1315) 一次性传送显示数据。通过 D/A 转换部 1316 将其转换为与显示数据的灰度等级对应的电压，输出给各数据线 (S1、S2、...、Sq)。取入锁存器 B (1315) 具有与取入锁存器 A (1314) 同样的容量。D/A 转换部 1316 为了进行液晶的交流驱动，需要按照交流信号 1323 向各数据线 (S1、S2、...、Sq) 输出对液晶施加正电压或负电压的电压。当点反转驱动的情况下，通过相邻的数据线来输出极性不同的施加电压。

栅极线驱动部 102 与第一实施方式在构成和工作上都相同，因而省略说明。

在上述第四实施方式中，通过在数据线驱动电路中添加了多路分配器组 1313，从而即使不在定时控制部设置行缓冲器，也能在与第一实施方式相同的高帧速率或高分辨率的面板中确保将电压施加给像素电极的期间为现有的 2 倍即 2 个水平期间，可以防止画质的降低。

使用图 21、图 22 来说明本发明第五实施方式下的有源矩阵型液晶显示装置及其驱动方法。

图 21 表示第五实施方式的构成图。第五实施方式的构成除了液晶面板部 2100 的构成不同之外都与第一实施方式相同，工作与第一实施方式相同，因而省略说明。

图 22 表示液晶面板部 2100 的像素排列的详细图。控制各有源元件 200 的 ON/OFF 的电极，向现有的液晶面板部那样，与水平上 1 行的像素组共用的栅极线 2201 连接，以向相邻的 2 条栅极线 2200-1 和 2200-2 施加相同的栅极控制信号的方式，在液晶面板内部或外部连接，与栅极线驱动部的 1 个输出连接。如下，2200-3 和 2200-4、...也 同样液晶面板的 2 条栅极线连接到栅极线驱动部的 1 个输出上。除了栅极线连接之外，都与第一实施方式相同，在 1 个垂直像素列上配置

有 2 条数据线 106 (106-a、106-b)，提供与共用的栅极线 G1 连接的垂直方向上配置的 2 个像素 (104-1、104-2) 的数据电压的电极分别于不同的数据线 (106-a、106-b) 连接。此时，同一行像素的偶数像素列，所连接的数据线被统一为相邻的第偶数条数据线或者第奇数条数据线，如果偶数像素列所连接的数据线为第偶数条数据线，则奇数像素列与相邻的第奇数条数据线连接，如果偶数像素列所连接的数据线为第奇数条数据线，则奇数像素列与相邻的第偶数条数据线连接。

通过采取图 22 所示的像素构成，可与第一实施方式同样，不像以往那样在每次数据线的电压更新时进行反转，而在帧期间施加同极性的电压。相邻的 2 个像素中，与 1 个像素上下左右相邻的像素所连接的数据线都为奇数数据线和偶数数据线。以第二行第二列的像素为例，第二行第二列的像素与奇数数据线 S3 连接。上下的像素与 S4 连接，左边的像素连接 S2、右边的像素连接 S6，相邻像素与偶数数据线连接，实现点反转。

第五实施方式中也与第一实施方式同样地，通过利用了现有的数据线驱动电路 IC 和栅极线驱动电路 IC 的构成，即使在 120Hz 以上的高帧速率或高分辨率的面板中，也能确保将电压施加给像素电极的期间为现有的 2 倍即 2 个水平期间，可以防止画质的降低。

尽管本发明采用了上述多个实施例，然而对于所公开的内容可作修改和变更，只要不超过所允许的范围，就可以不局限于所述细节，可在权利要求范围内进行所有修改和变更。

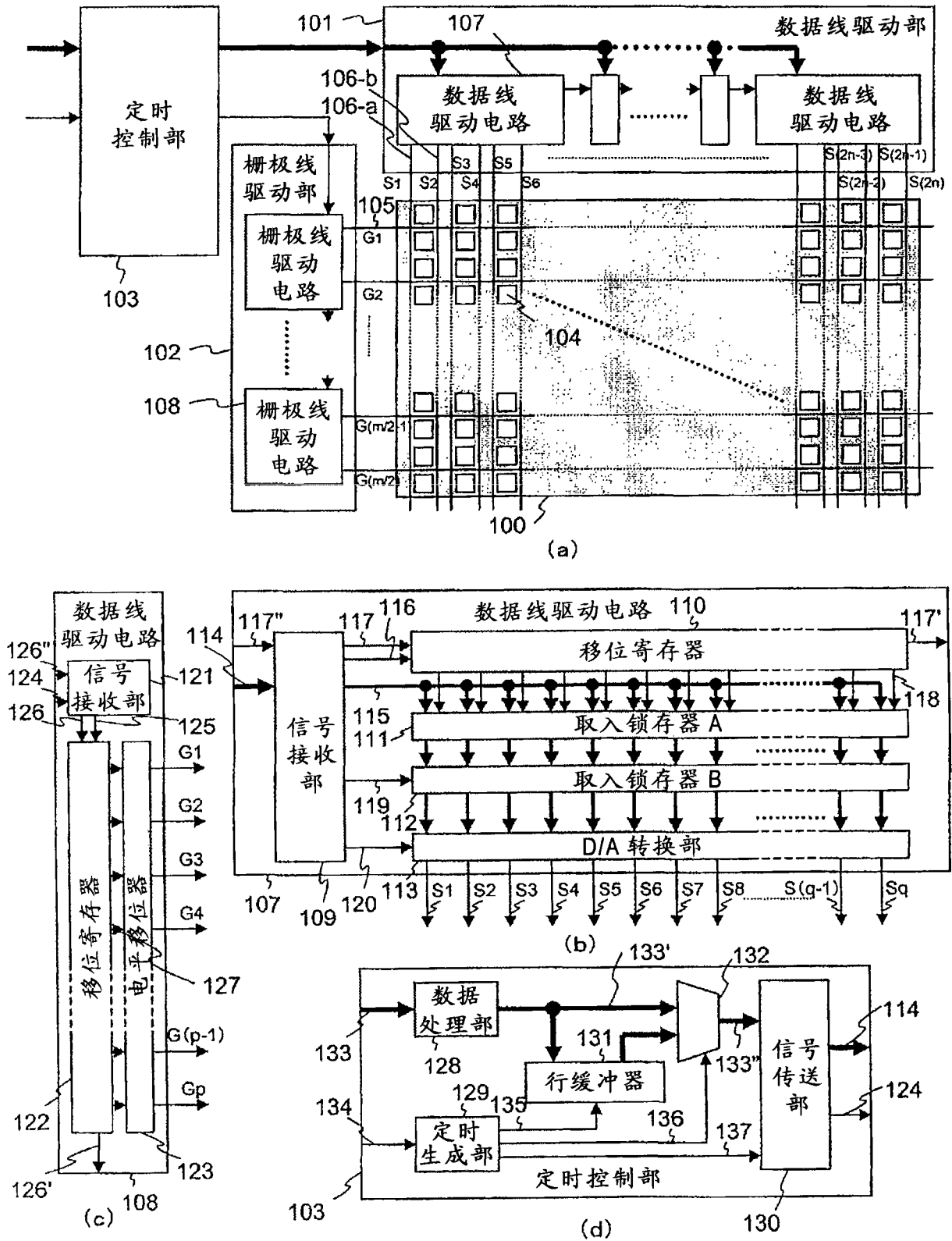


图 1

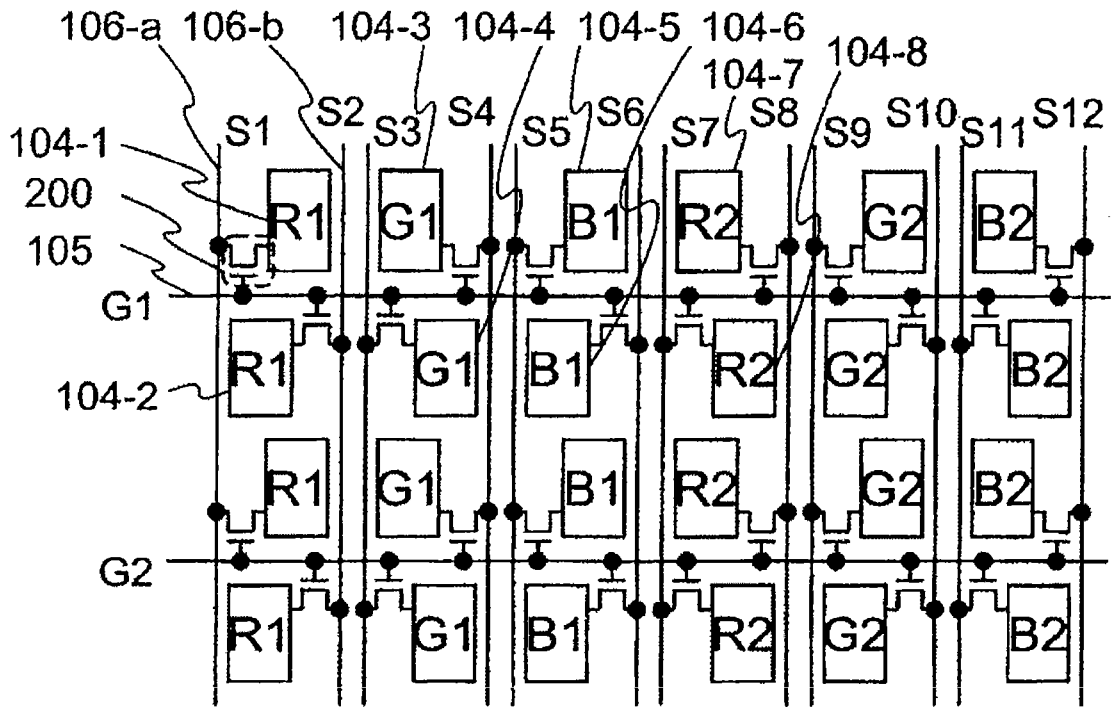


图 2

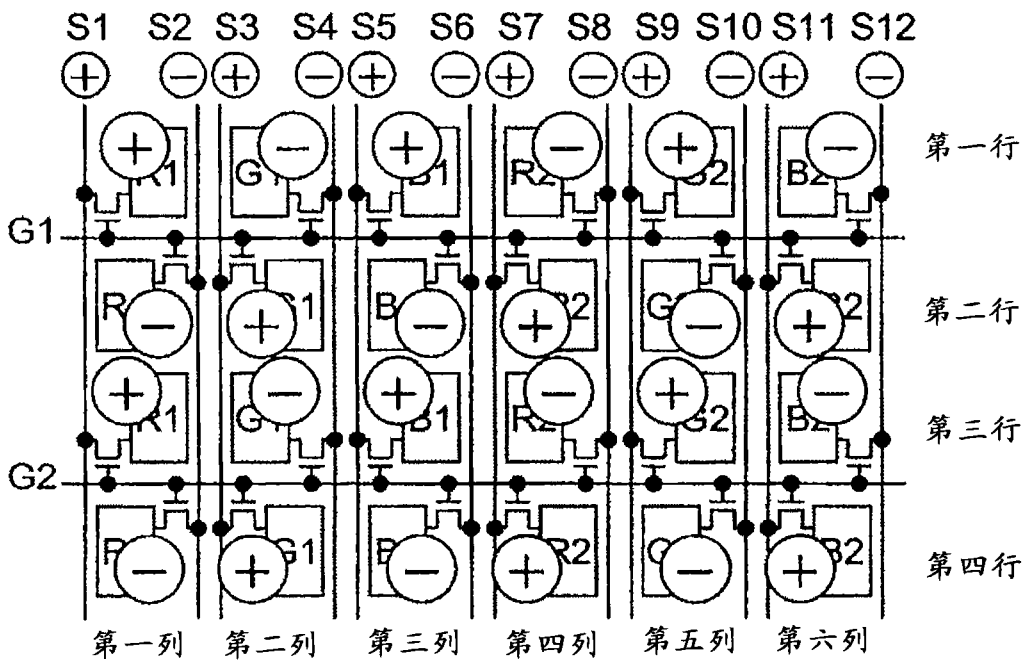


图 3



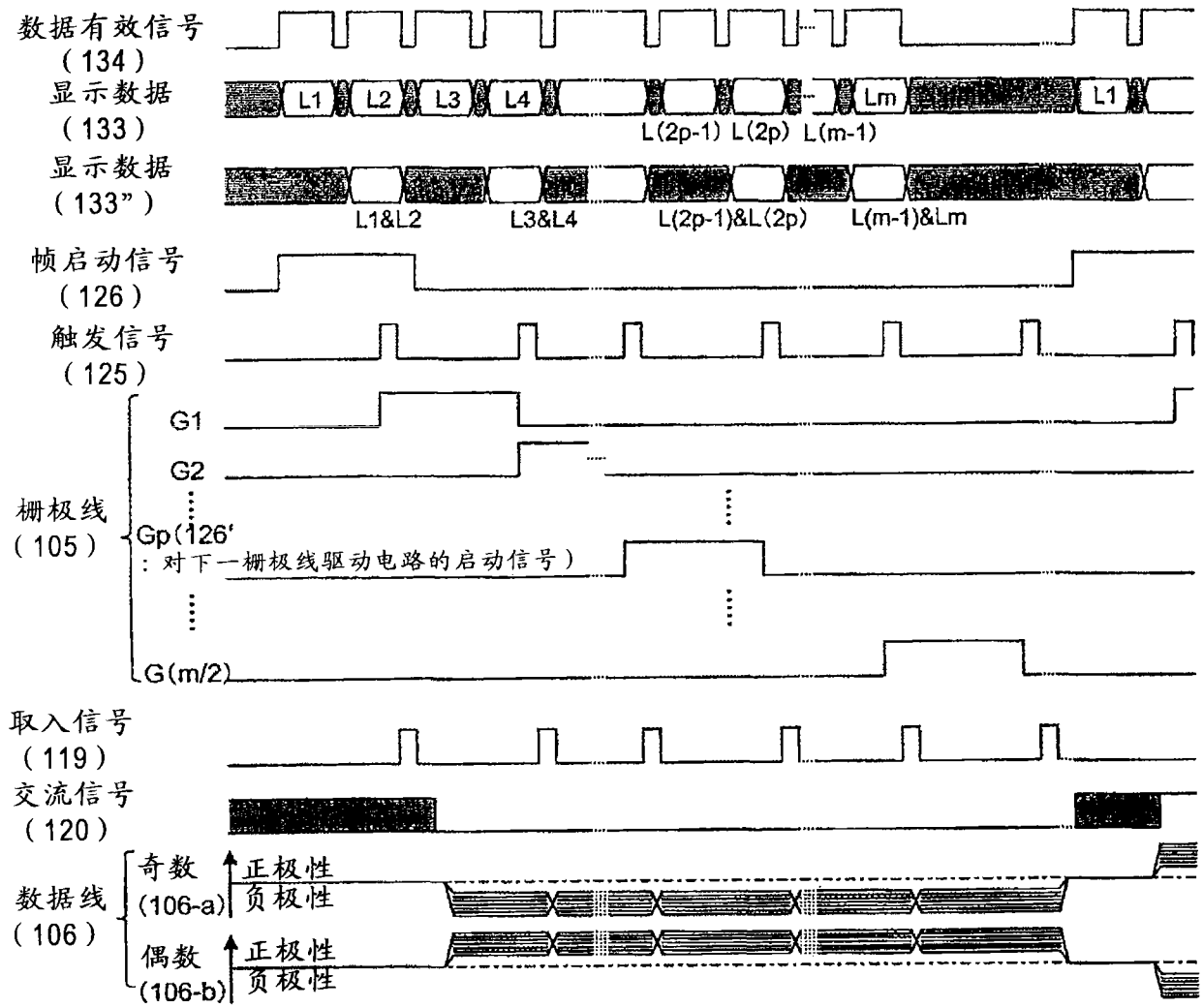


图 4

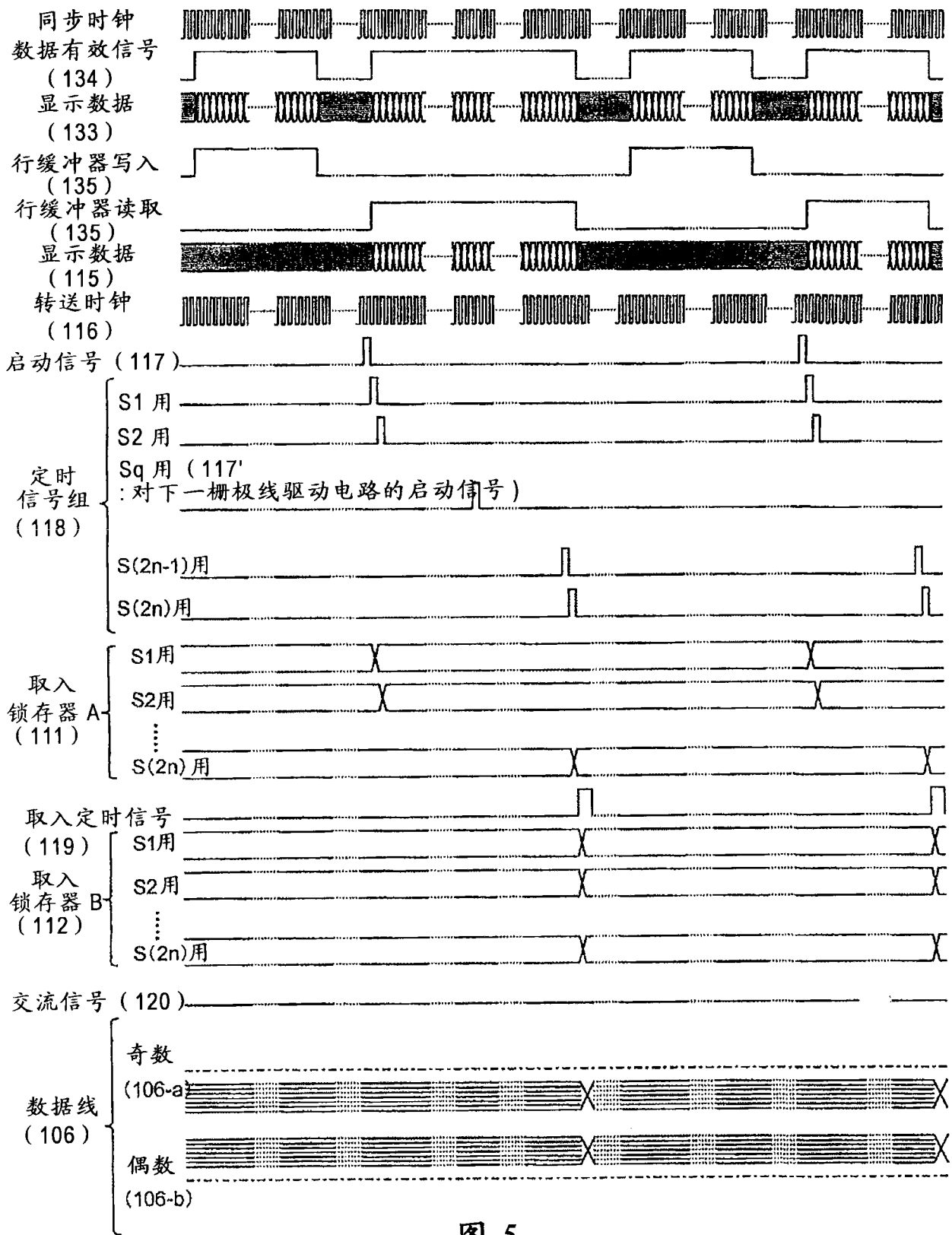


图 5

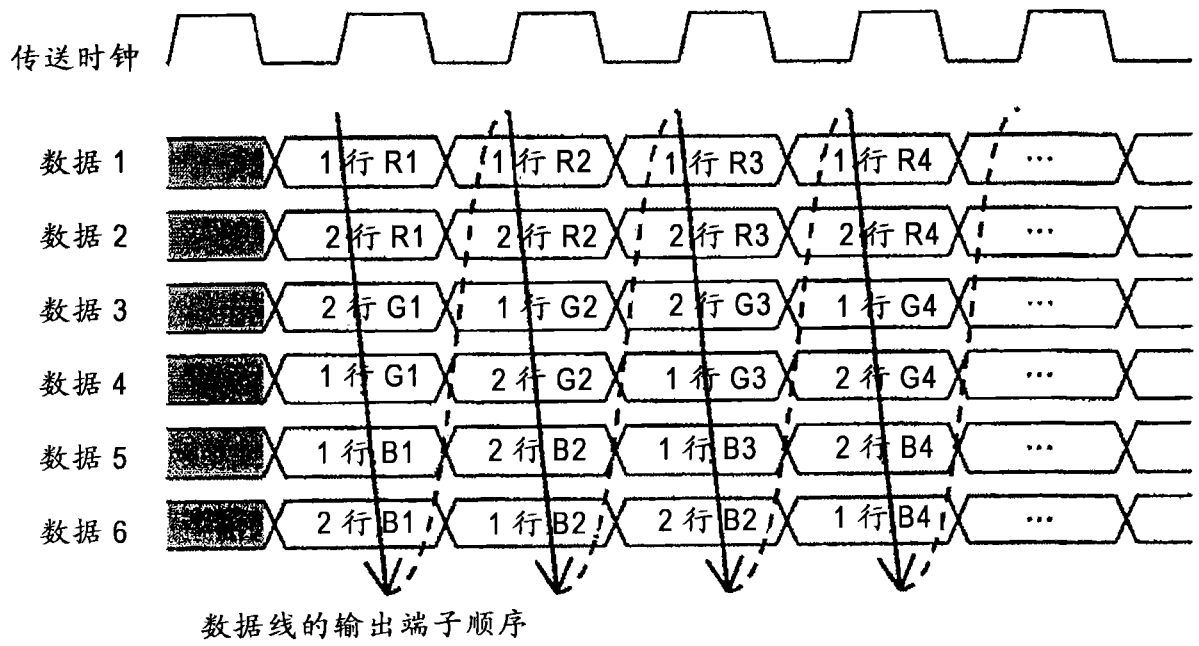


图 6

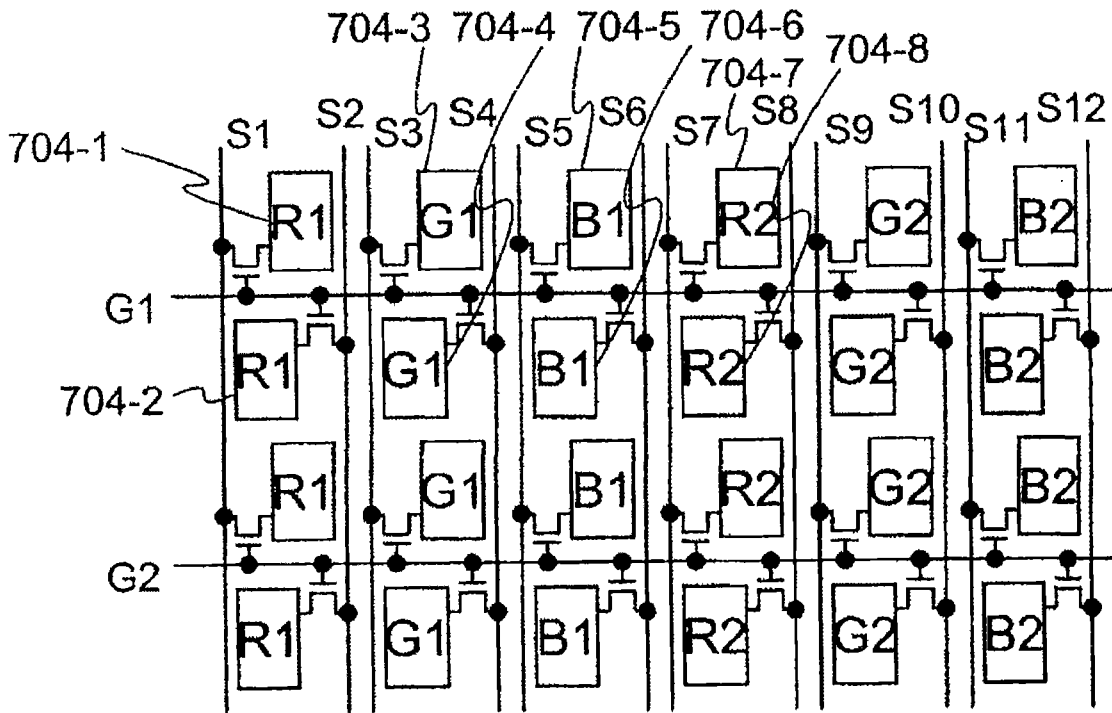


图 7

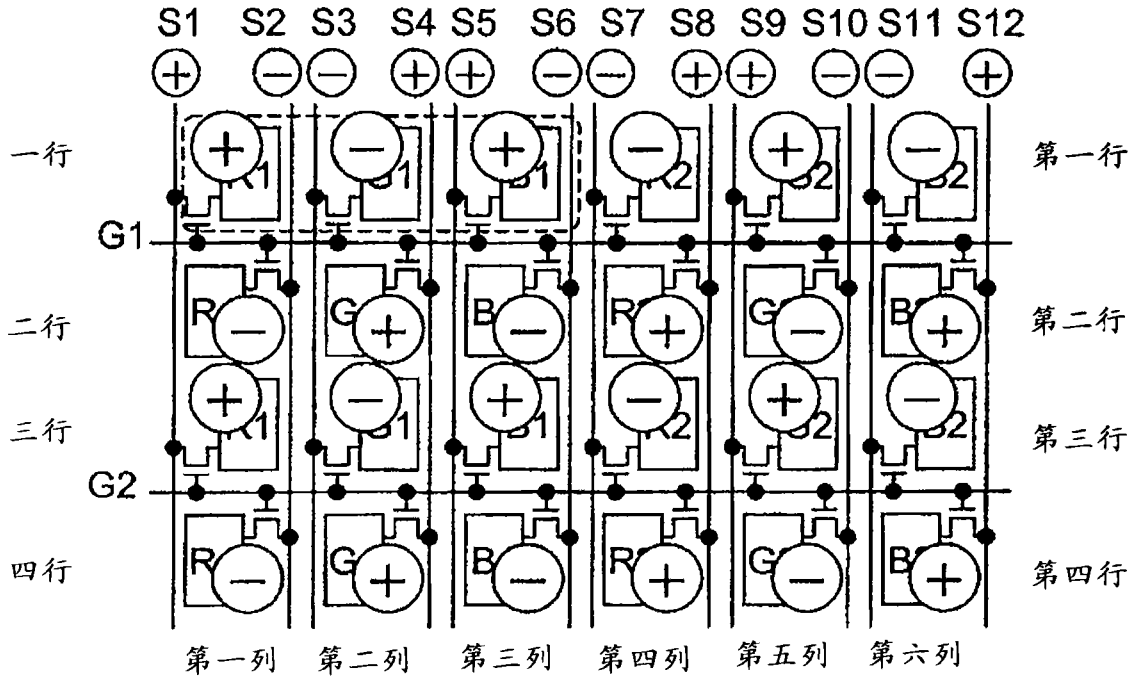


图 8

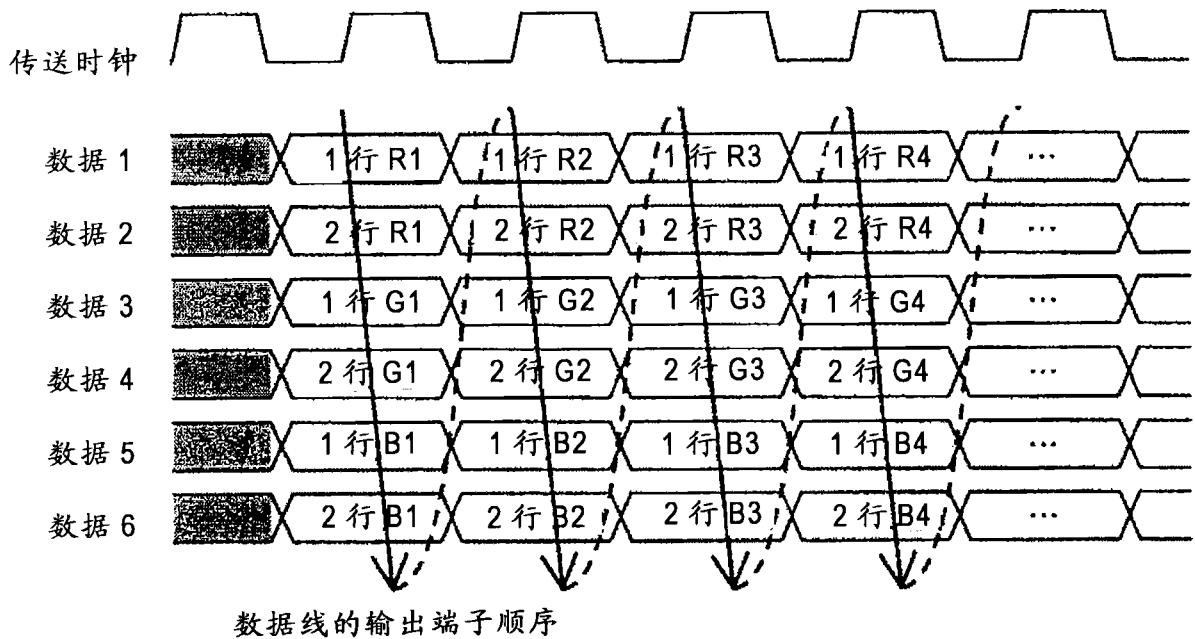


图 9

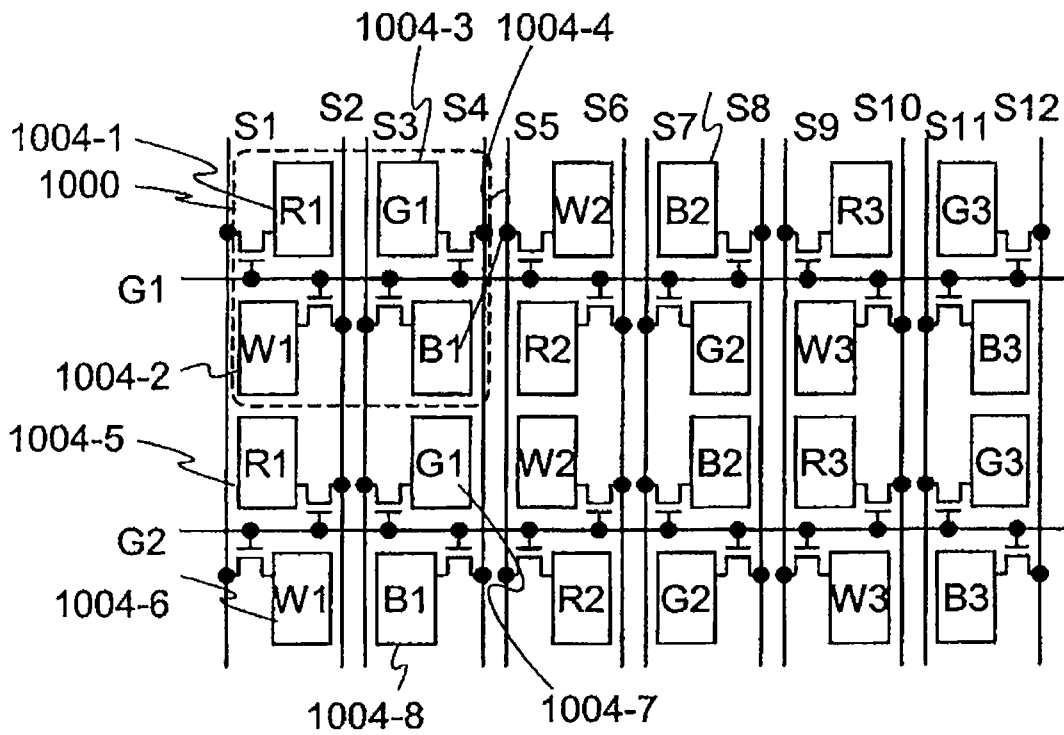


图 10

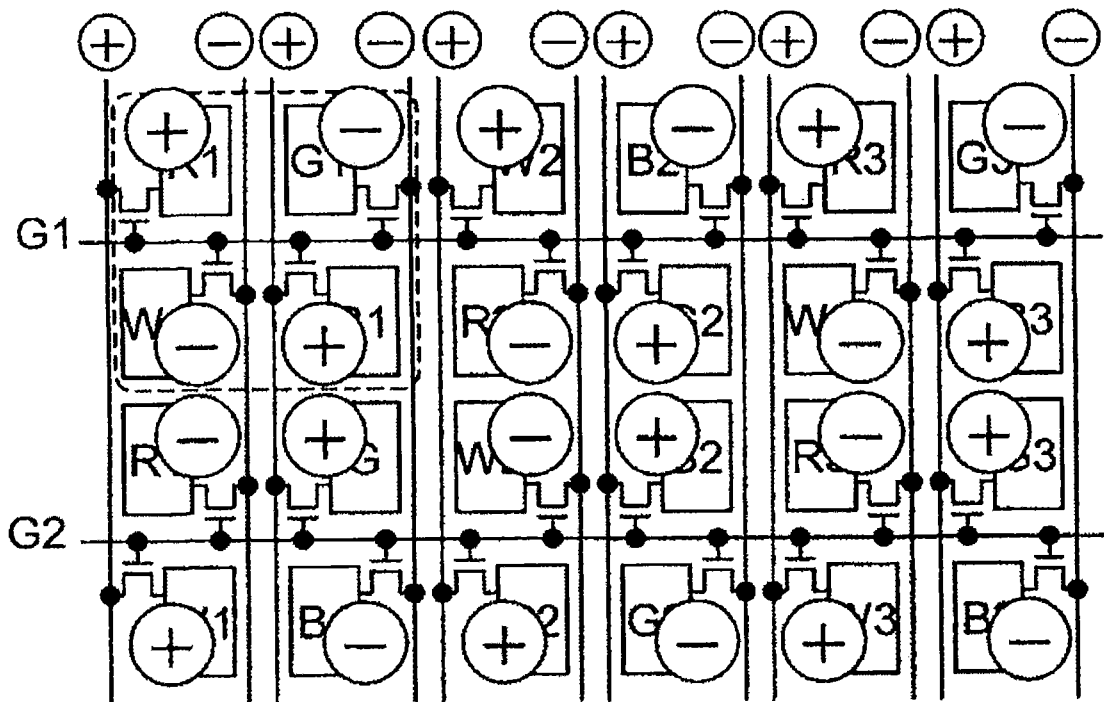


图 11

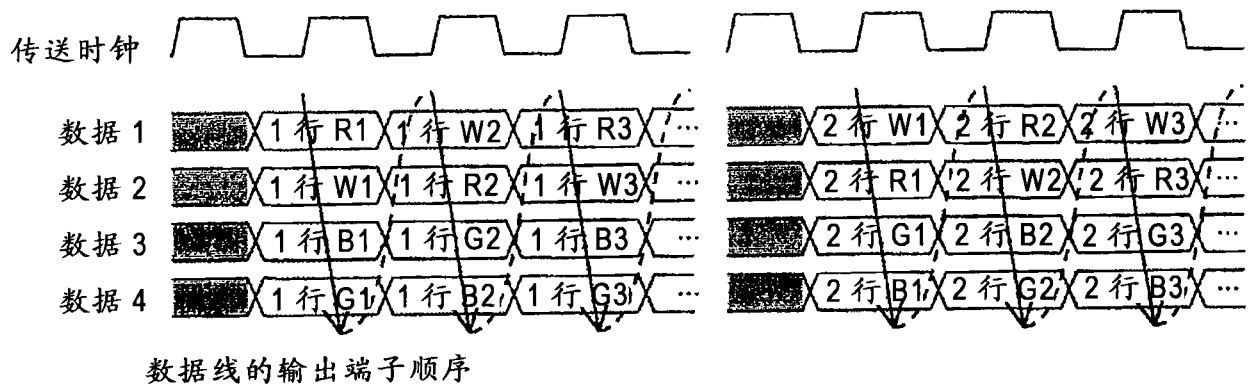


图 12

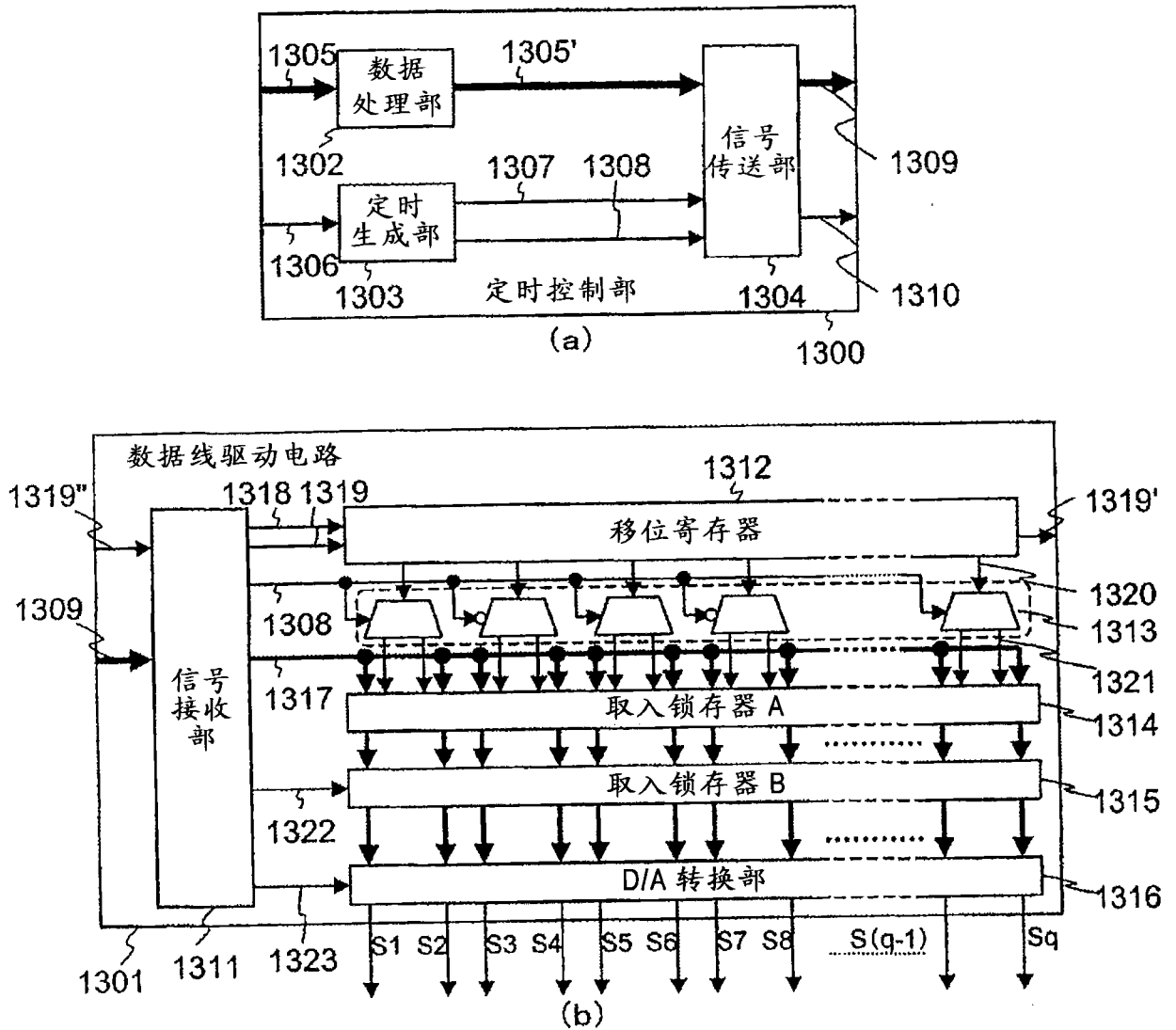


图 13

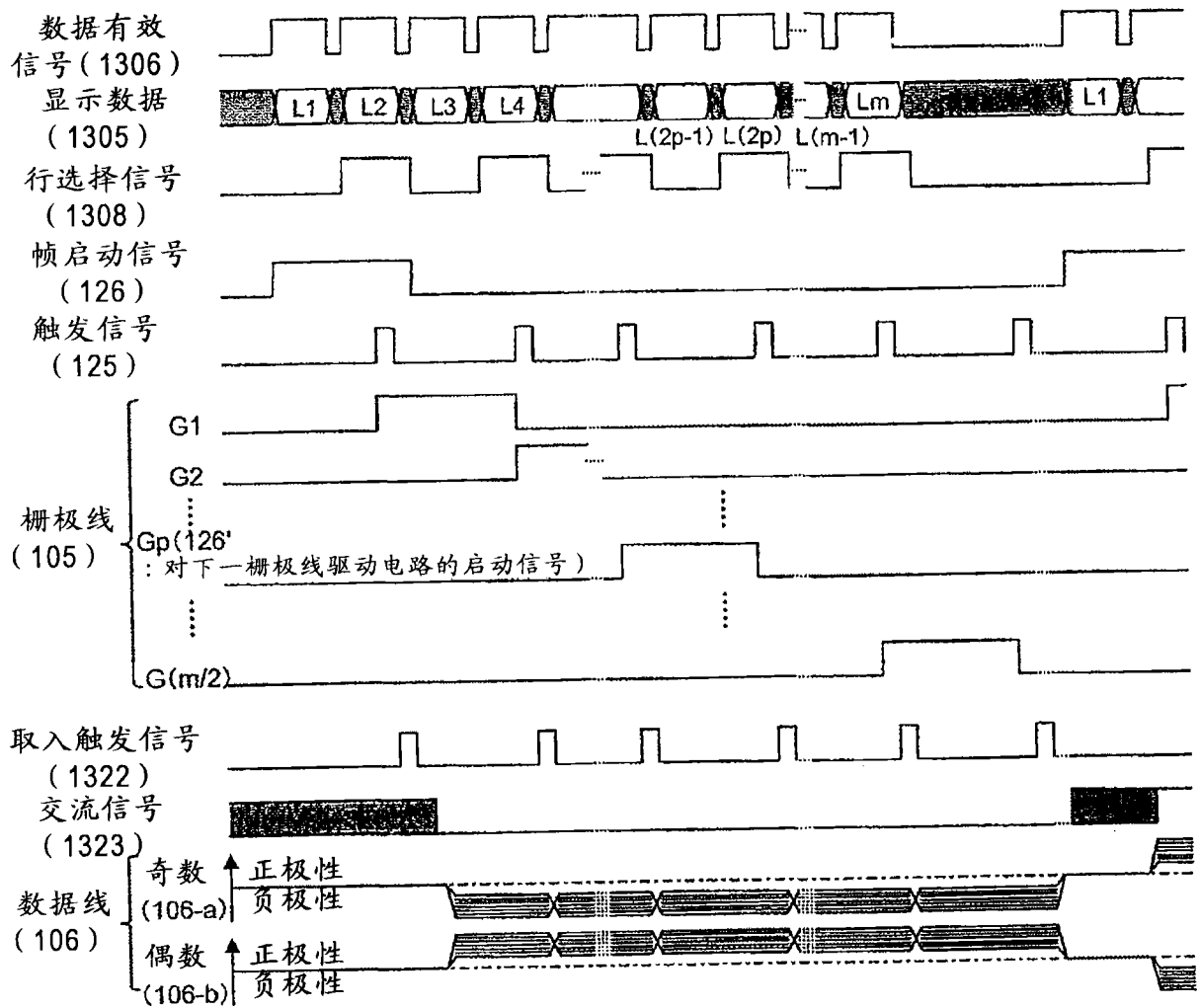


图 14

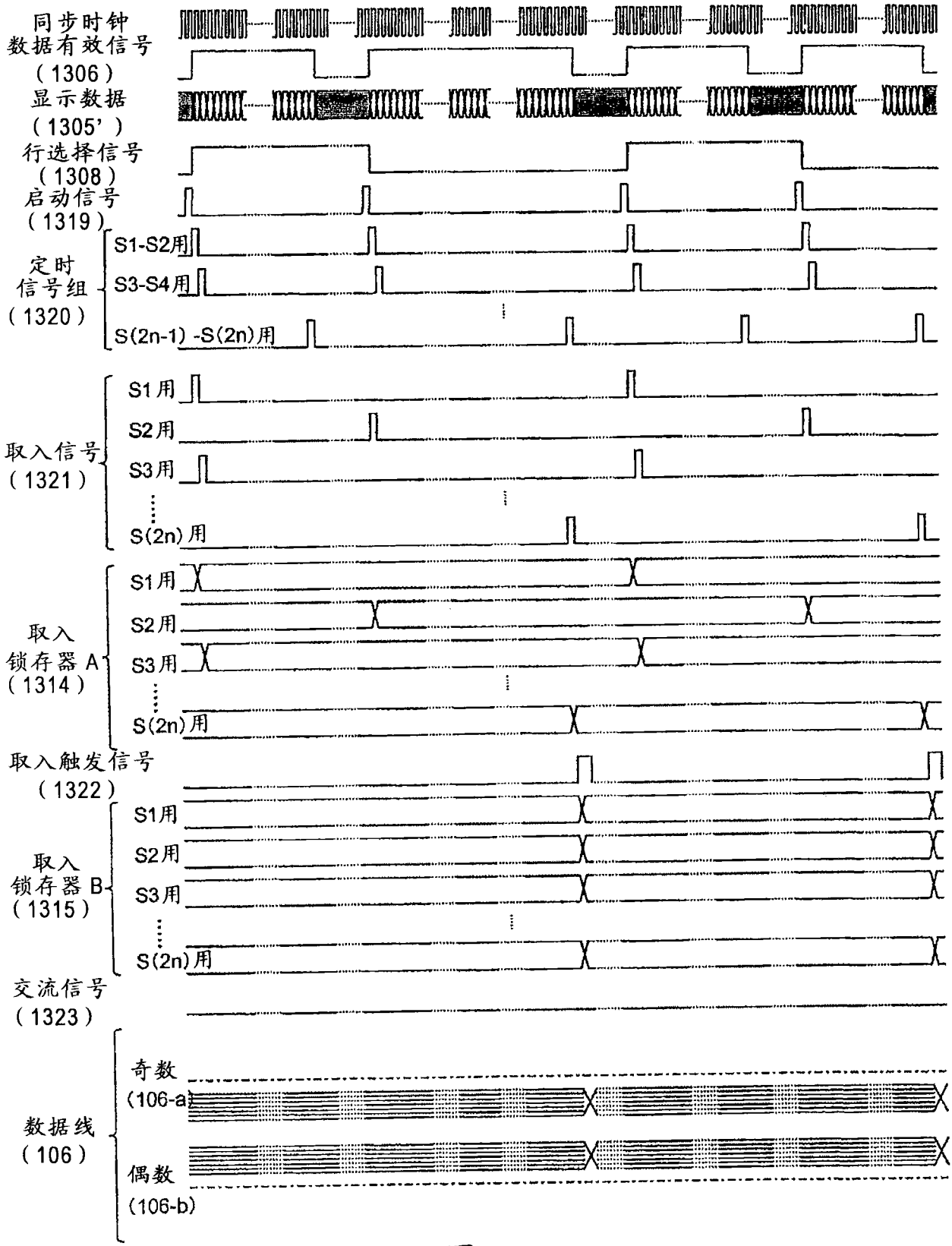


图 15



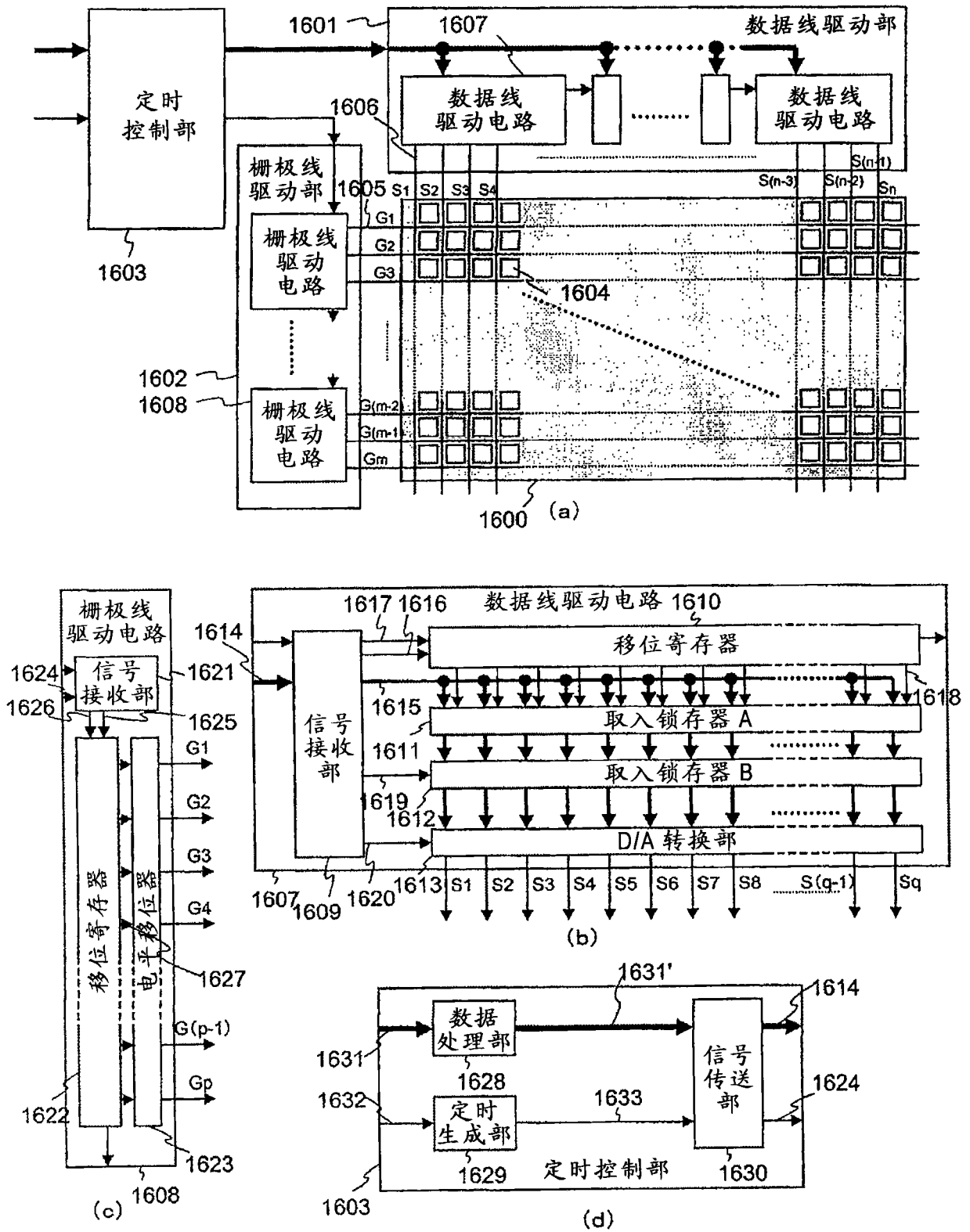


图 16

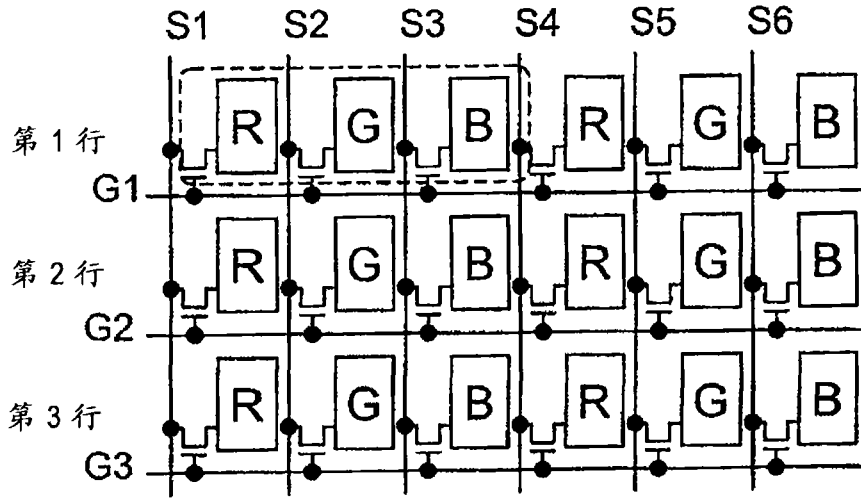


图 17

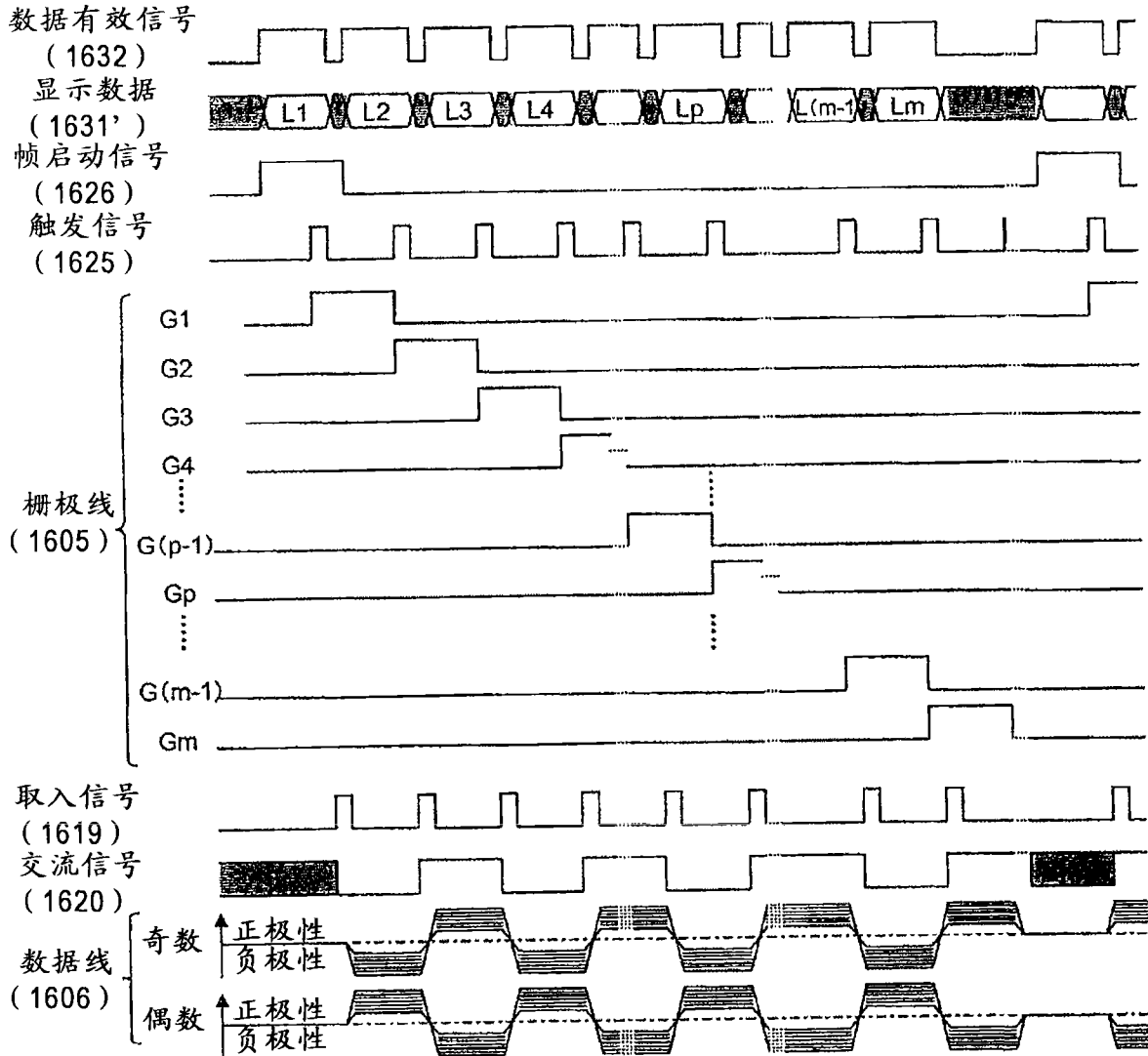


图 18

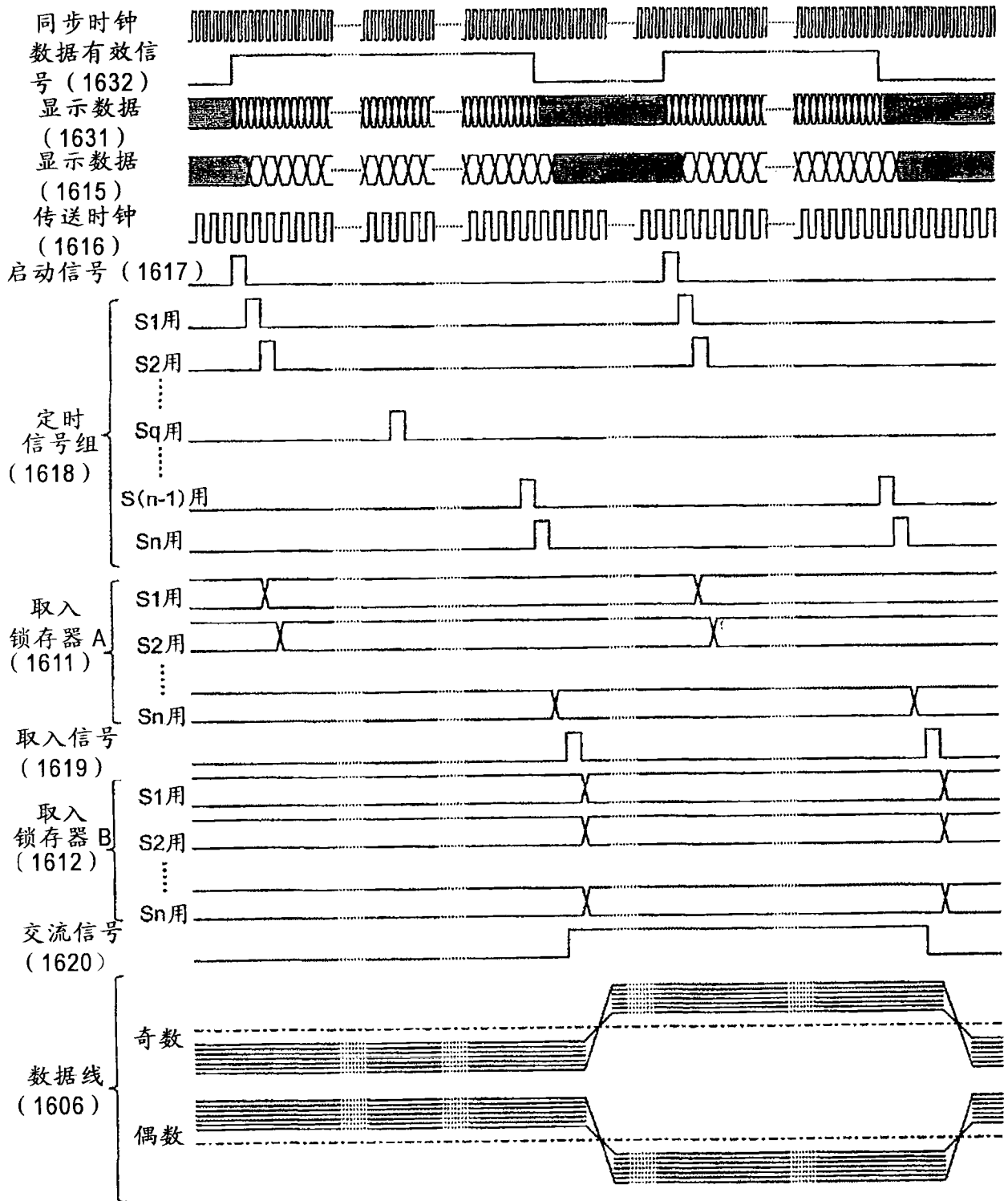
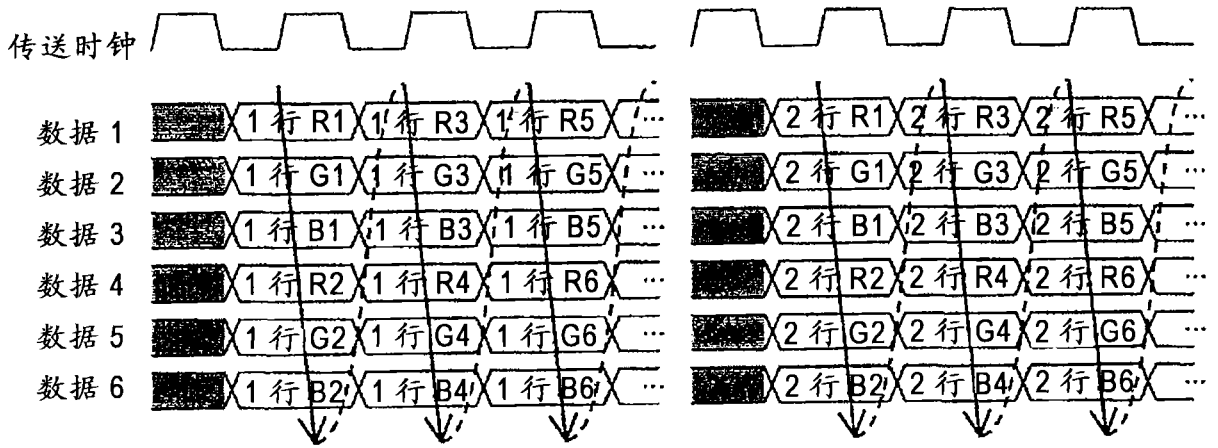


图 19



数据线的输出端子顺序

图 20

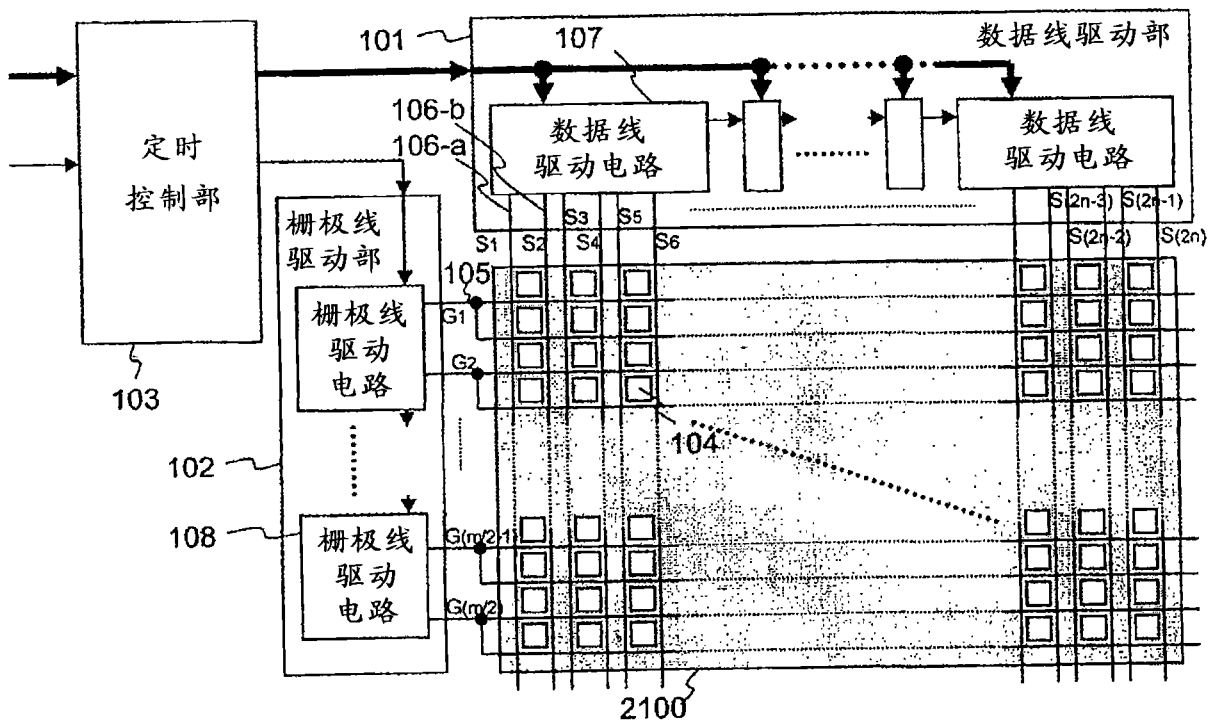


图 21

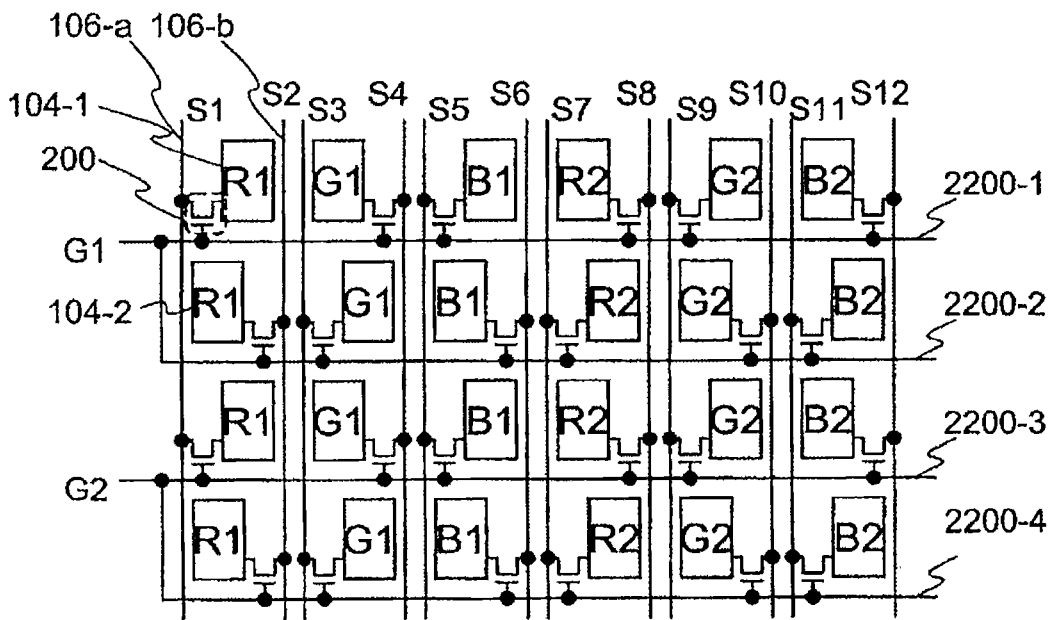


图 22