

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4185198号
(P4185198)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl.		F I	
H03F	3/345	(2006.01)	H03F 3/345 B
G02F	1/133	(2006.01)	G02F 1/133 550
G09G	3/20	(2006.01)	G09G 3/20 621L
G09G	3/36	(2006.01)	G09G 3/36

請求項の数 6 (全 13 頁)

(21) 出願番号	特願平10-307696	(73) 特許権者	302020207
(22) 出願日	平成10年10月29日(1998.10.29)		東芝松下ディスプレイテクノロジー株式会社
(65) 公開番号	特開2000-134047(P2000-134047A)		東京都港区港南4-1-8
(43) 公開日	平成12年5月12日(2000.5.12)	(74) 代理人	100058479
審査請求日	平成17年9月21日(2005.9.21)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 信号レベル変換回路

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタを用いて低信号振幅の入力電圧信号を高信号振幅の出力電圧信号に変換する信号レベル変換回路において、

第1及び第2の入力トランジスタ(5, 6)を有し、

前記第1の入力トランジスタ(5)のドレインは、第1の負荷トランジスタ(7)を介して電源に接続されると共に、前記第2の入力トランジスタ(6)のドレインは、第2の負荷トランジスタ(8)を介して前記電源に接続され、

前記第1の負荷トランジスタ(7)のゲートは前記第2の負荷トランジスタ(8)のゲートに接続されると共に、前記第1の負荷トランジスタ(7)のゲートは前記第1の入力トランジスタ(5)のドレインに接続され、更に前記入力電圧信号がpチャンネル型の第3の入力トランジスタ(13)のゲート端子に供給されると共に、前記第2の入力トランジスタ(6)のソース端子にも供給され、前記第3の入力トランジスタ(13)のソース端子は前記第1の入力トランジスタ(5)のゲート端子に接続され、pチャンネル型の第4の入力トランジスタ(14)のソース端子は前記第2の入力トランジスタ(6)のゲート端子に接続され、

第1の入力トランジスタ(5)のソースを接地して、前記第1の入力トランジスタのゲートに前記入力電圧信号に所定のバイアス電圧を加えた信号を印加し、第2の入力トランジスタ(6)のゲートに前記入力電圧信号のハイレベル電圧に等しい電圧に所定のバイアス電圧を加えた電圧を印加して、ソースに前記入力電圧信号を印加し、前記第2の入力ト

ランジスタのドレイン側から出力電圧信号を出力するように構成し、

前記第1の負荷トランジスタ(7)及び前記第2の負荷トランジスタ(8)はpチャンネル型のMOS-FETを用いた信号レベル変換回路。

【請求項2】

入力電圧信号のハイレベル電圧を入力する端子を有する請求項1記載の信号レベル変換回路。

【請求項3】

入力電圧信号のハイレベル電圧を発生するバイアス電圧発生手段を内蔵した請求項1記載の信号レベル変換回路。

【請求項4】

バイアス電圧は第1の入力トランジスタのしきい値と同等の電圧に設定した請求項1記載の信号レベル変換回路。

【請求項5】

信号レベル変換出力を、液晶表示画素と薄膜トランジスタにより形成された画素駆動用トランジスタと前記画素駆動用トランジスタのソース線を駆動するソース線駆動回路と前記画素駆動用トランジスタのゲート線を駆動するゲート線駆動回路を有するアクティブマトリクス型液晶表示パネルに接続した請求項1記載の信号レベル変換回路。

【請求項6】

トランジスタの導電型を請求項1とは反転させて回路を構成した信号レベル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタを用いた信号レベル変換回路に関するものである。

【0002】

【従来の技術】

図8に従来の信号レベル変換回路の一例を示す。

アクティブマトリクス型液晶表示装置などの薄膜トランジスタを用いた集積回路をコントローラで表示制御するに際しては、図8に示すようにコントローラ2と前記アクティブマトリクス型液晶表示装置(図示せず)の間に、インターフェイス回路として信号レベル変換回路1が設けられる。

【0003】

信号レベル変換回路1は、2個のNチャンネル薄膜トランジスタの入力トランジスタ5, 6とカレントミラー回路を構成するPチャンネルの薄膜トランジスタの負荷トランジスタ7, 8によって構成されており、入力トランジスタ5のゲートには前記コントローラ2から入力信号3が印加され、もう一方の入力トランジスタ6には同様にコントローラ2から前記入力信号3の反転信号4が印加されている。

【0004】

トランジスタ5~8はおよそ3ボルト程度のしきい値電圧を有し、この信号レベル変換回路1の電源電圧VDDは15ボルト程度となっている。一方、C-MOSゲートアレイなどで構成されているコントローラ2は電源電圧が5ボルト程度であり、出力信号3とその反転信号4の振幅は同程度の5ボルト程度で、信号レベル変換回路1の電源電圧VDDに比較して低い。

【0005】

信号レベル変換回路1は入力信号3がハイレベルの場合には入力トランジスタ5がオンし、負荷トランジスタ7にドレイン電流を流して、トランジスタ8をオンさせる。このとき他方の入力トランジスタ6には入力信号3の反転信号であるローレベルが与えられ、入力トランジスタ6をオフさせることによって、出力信号9は信号レベル変換回路1の電源電圧VDDが出力される。

【0006】

また、入力信号3がローレベルの場合には入力トランジスタ5がオフし、負荷トランジスタ

10

20

30

40

50

タ7にはドレイン電流が流れず、トランジスタ8はオフになる。このとき他方の入力トランジスタ6には入力信号3の反転信号であるハイレベルが与えられ、入力トランジスタ6をオンさせることによって出力信号9は信号レベル変換回路1のグランド電圧が出力される。

【0007】

このようにして信号レベル変換回路1は、低信号振幅の入力信号3とその反転信号4を薄膜トランジスタ集積回路の電源電圧ほどの高振幅の出力信号9に信号振幅を変換する。

【0008】

【発明が解決しようとする課題】

このような従来の信号レベル変換回路1では、入力信号3とその反転信号4の2本の入力信号が必要となり、信号線数の増大、コントローラ回路の複雑化をまねく問題がある。

10

【0009】

また、入力トランジスタ5,6のしきい値電圧は大きく、入力信号振幅に対して同程度かやや小さい程度であり、入力トランジスタを十分にオンさせることができず、高速な入力信号に対応した信号レベル変換ができない問題がある。

【0010】

また、回路の省電力化のため、コントローラ2の電源電圧を下げ、入力信号を低電圧化低電圧化する動きのなかでは、従来技術の信号レベル変換回路1では、入力信号が3ボルト化して小さくなった場合には入力トランジスタ5,6をオンさせることができず信号変換回路として機能しないので、低電圧化するコントローラとのインターフェイスに対応できないという問題がある。

20

【0011】

本発明は反転した入力信号を必要とせず、一つ入力信号で信号レベル変換回路を実現することができ、低入力信号振幅の場合においても信号レベル変換の高速化を図ることができる信号レベル変換回路を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記の一つの入力信号で信号レベル変換回路を実現するという目的を達成するために、本発明の信号レベル変換回路は、薄膜トランジスタを用いて低信号振幅の入力電圧信号を高信号振幅の出力電圧信号に変換する信号レベル変換回路において、第1及び第2の入力トランジスタ(5,6)を有し、前記第1の入力トランジスタ(5)のドレインは、第1の負荷トランジスタ(7)を介して電源に接続されると共に、前記第2の入力トランジスタ(6)のドレインは、第2の負荷トランジスタ(8)を介して前記電源に接続され、前記第1の負荷トランジスタ(7)のゲートは前記第2の負荷トランジスタ(8)のゲートに接続されると共に、前記第1の負荷トランジスタ(7)のゲートは前記第1の入力トランジスタ(5)のドレインに接続され、更に前記入力電圧信号がpチャンネル型の第3の入力トランジスタ(13)のゲート端子に供給されると共に、前記第2の入力トランジスタ(6)のソース端子にも供給され、前記第3の入力トランジスタ(13)のソース端子は前記第1の入力トランジスタ(5)のゲート端子に接続され、pチャンネル型の第4の入力トランジスタ(14)のソース端子は前記第2の入力トランジスタ(6)のゲート端子に接続され、第1の入力トランジスタ(5)のソースを接地して、前記第1の入力トランジスタのゲートに前記入力電圧信号に所定のバイアス電圧を加えた信号を印加し、第2の入力トランジスタ(6)のゲートに前記入力電圧信号のハイレベル電圧に等しい電圧に所定のバイアス電圧を加えた電圧を印加して、ソースに前記入力電圧信号を印加し、前記第2の入力トランジスタのドレイン側から出力電圧信号を出力するように構成し、前記第1の負荷トランジスタ(7)及び前記第2の負荷トランジスタ(8)はpチャンネル型のMOS-FETを用いたことを特徴としている。

30

40

【0014】

この構成によって、低信号振幅の入力信号に対しても入力トランジスタのオン電流を十分に大きくすることができ、高速動作を実現した信号レベル変換回路を実現できる。

50

【 0 0 1 5 】

【 発明の実施の形態 】

請求項 1 に記載の発明は、薄膜トランジスタを用いて低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路において、一対の入力トランジスタを有し、一方の入力トランジスタのソースを接地してゲートに前記入力信号を印加し、他方の入力トランジスタのゲートに前記入力信号のハイレベル電圧に等しい電圧を印加してソースに前記入力信号を印加し、前記入力トランジスタのドレイン側から出力信号を出力するように構成したことを特徴とする。

【 0 0 1 6 】

この構成によれば、一方の入力トランジスタをオンさせたときに他方のトランジスタをオフさせ、また、一方の入力トランジスタをオフさせたときに他方のトランジスタをオンさせるように、一つの入力信号を用いて入力トランジスタを交互に動作させる作用を有する。

10

【 0 0 1 7 】

請求項 2 に記載の発明は、薄膜トランジスタを用いて低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路において、一対の入力トランジスタを有し、一方の入力トランジスタのソースを接地して、ゲートに前記入力信号に所定のバイアス電圧を加えた信号を印加し、他方の入力トランジスタのゲートに前記入力信号のハイレベル電圧に等しい電圧に所定のバイアス電圧を加えた電圧を印加して、ソースに前記入力信号を印加し、前記入力トランジスタのドレイン側から出力信号を出力するように構成したことを特徴とする。

20

【 0 0 1 8 】

この構成によれば、入力信号にバイアス電圧を加算して信号レベル変換回路の一方の入力トランジスタのゲートに印加することにより、入力トランジスタのオン時のゲート - ソース間電圧を大きくして、入力トランジスタのオン電流を十分に大きくすることができる。

【 0 0 1 9 】

また、他方の入力トランジスタのゲートに前記入力信号のハイレベル電圧に等しい電圧に所定のバイアス電圧を加えた電圧を印加して、ソースに前記入力信号を印加することによって、入力トランジスタのオン時のゲート - ソース間電圧を大きくして、入力トランジスタのオン電流を十分に大きくすることができ、入力トランジスタのゲート - ソース間に印加される電圧を大きくすることができ、低入力信号振幅の場合においても、回路の高速化が可能になる。

30

【 0 0 2 0 】

請求項 3 に記載の発明は、請求項 1 ，請求項 2 において、入力信号のハイレベル電圧を入力する端子を有することを特徴とする。

この構成によれば、本発明の信号レベル変換回路の動作を最適化して、入力信号の振幅が変動しても安定した動作を得ることができる。

【 0 0 2 1 】

請求項 4 に記載の発明は、請求項 1 ，請求項 2 において、入力信号のハイレベル電圧を発生するバイアス電圧発生手段を内蔵したことを特徴とする。

40

この構成によれば、信号レベル変換回路に入力ハイレベル電圧を印加する必要がなく入力信号の本数が削減でき、インターフェイスが簡単になる。

【 0 0 2 2 】

請求項 5 に記載の発明は、請求項 2 において、バイアス電圧は入力トランジスタのしきい値と同等の電圧に設定したことを特徴とする。

この構成によれば、入力トランジスタのゲート - ソース間に印加する信号を入力トランジスタのしきい値電圧でバイアスし、オン - オフ電流の比を最大にするように最適化できる。

【 0 0 2 3 】

請求項 6 に記載の発明は、請求項 1 または請求項 2 において、信号レベル変換出力を、液

50

晶表示画素と薄膜トランジスタにより形成された画素駆動用トランジスタと前記画素駆動用トランジスタのソース線を駆動するソース線駆動回路と前記画素駆動用トランジスタのゲート線を駆動するゲート線駆動回路を有するアクティブマトリクス型液晶表示パネルに接続したことを特徴としている。

【0024】

この構成によれば、薄膜トランジスタを用いた液晶表示素子と前記信号レベル変換回路を同一の製造プロセスで作ることができ、かつ、特別なインターフェイス素子を用いず、少ない信号線数で、一般的な低電源電圧のC-MOS回路との直接インターフェイスを可能にできる。

【0025】

以下、本発明の各実施の形態を図1～図7に基づいて説明する。

(実施の形態1)

図1～図3は本発明の(実施の形態1)を示す。

【0026】

なお、従来例を示す図8と同じ部分には同じ符号を付けて説明する。

図1に示すように、本発明の信号レベル変換回路10とコントローラ2とは、コントローラ2から出力される入力信号3と入力信号3のハイレベルV_{IH}に固定されたハイレベル信号11で接続される。

【0027】

信号レベル変換回路10は、図8の従来例で示したカレントミラー型の信号レベル変換回路1のようにnチャンネルの入力トランジスタ5、6とpチャンネルの負荷トランジスタ7、8を同じように有してはいるが、次の点で信号レベル変換回路1とは異なっている。

【0028】

信号レベル変換回路10の入力トランジスタ6のソースに入力信号3が印加され、入力トランジスタ6のゲートにはコントローラ2からのハイレベル信号11が印加される。

【0029】

トランジスタ5～8はおよそ3ボルト程度のしきい値電圧を有し、信号レベル変換回路10の電源電圧V_{DD}は15ボルト程度となっている。コントローラ2の電源電圧は5ボルト程度であり、かつ、その出力信号3の振幅は同程度の5ボルト程度で、信号レベル変換回路10の電源電圧V_{DD}に比較して低い。

【0030】

具体的には、信号レベル変換回路10は入力信号3がハイレベルの場合には入力トランジスタ5がオンし、負荷トランジスタ7にドレイン電流を流してトランジスタ8をオンさせる。このとき他方の入力トランジスタ6のゲートにはハイレベル電圧11が与えられ、ソースに入力信号3のハイレベルが与えられているため、入力トランジスタ6のゲート-ソース間には電圧が印加されず、入力トランジスタ6はオフとなり、出力信号9としては信号レベル変換回路10の電源電圧が出力される。

【0031】

また、入力信号3がローレベルの場合には入力トランジスタ5はオフし、負荷トランジスタ7にはドレイン電流が流れず、トランジスタ8はオフになる。このとき他方の入力トランジスタ6にはゲートに入力信号のハイレベル信号11が与えられ、ソースに入力信号3のローレベルが与えられているため、入力トランジスタ6のゲート-ソース間には電圧が印加され、入力トランジスタ6をオンさせることによって、出力信号9としては信号レベル変換回路10のグランド電圧が出力される。

【0032】

このようにして信号レベル変換回路10は低信号振幅の入力信号3を高振幅の出力信号9に信号振幅を変換する。

図2はこの(実施の形態1)における入力トランジスタ5、6のしきい値特性と動作点を示した図で、横軸をゲート電圧とし、縦軸をドレイン電流のルートとしたもので入力トランジスタのしきい値特性を示したものである。入力信号3がハイレベルのときには入力ト

10

20

30

40

50

ランジスタ 5 のゲート - ソース間電圧には

$$V_{on} = V_{IN}$$

の電圧が印加されトランジスタ 5 をオンさせる。また、入力トランジスタ 6 のゲート - ソース間電圧には

$$V_{off} = 0 \text{ ボルト}$$

の電圧が印加されトランジスタ 6 をオフさせる。

【 0 0 3 3 】

一方、入力信号 3 がローレベルのときには入力トランジスタ 5 のゲート - ソース間電圧には

$$V_{off} = 0 \text{ ボルト}$$

の電圧が印加されトランジスタ 5 をオフさせる。

【 0 0 3 4 】

また、入力トランジスタ 6 のゲート - ソース間電圧には

$$V_{on} = V_{IN}$$

の電圧が印加されトランジスタ 6 をオンさせる。

【 0 0 3 5 】

図 3 はこの（実施の形態 1）の信号レベル変換回路 10 の入出力信号を電圧波形を示している。

このように、この（実施の形態 1）によって、入力信号のハイレベル信号 11 と一つの低信号振幅の入力信号 3 をコントローラ 2 から与えることによって、従来のような反転信号を生成しなくても高信号振幅の出力信号 9 に変換することができる。

【 0 0 3 6 】

なお、（実施の形態 1）においては入力信号のハイレベル信号 11 をコントローラ 2 から与える構成としたが、信号レベル変換回路 10 の側で抵抗分圧やトランジスタ、ダイオードを用いて同レベルの電圧を発生させ、入力トランジスタ 6 のゲートに与えても同様に機能することはいうまでもない。

【 0 0 3 7 】

（実施の形態 2）

図 4 ~ 図 6 は本発明の（実施の形態 2）を示す。

なお、従来例を示す図 8 および（実施の形態 1）を示す図 1 と同じ部分には同じ符号を付けて説明する。

【 0 0 3 8 】

図 4 に示すように、本発明の信号レベル変換回路 12 とコントローラ 2 とは、コントローラ 2 から出力される入力信号 3 と入力信号 3 のハイレベルに固定されたハイレベル信号 11 で接続される。

【 0 0 3 9 】

10 は本発明の（実施の形態 1）で示したカレントミラー型の信号レベル変換回路で、n チャンネルの入力トランジスタ 5, 6 と p チャンネルの負荷トランジスタ 7, 8 からなり、入力トランジスタ 5 のゲートの接続、ならびに入力トランジスタ 6 のソースとゲート配線が（実施の形態 1）とは異なっている。

【 0 0 4 0 】

具体的には、入力信号 3 は p チャンネル型のトランジスタ 13 のゲートに接続され、かつ n チャンネルの入力トランジスタ 6 のソースに接続されている。入力信号であるハイレベル信号 11 は、p チャンネル型のトランジスタ 14 のゲートに接続されている。トランジスタ 13, 14 のドレインはグランドに接続されている。トランジスタ 13, 14 のソースには電流源 15, 16 が接続されてトランジスタ 13, 14 を駆動しソースフォロワ回路を構成している。

【 0 0 4 1 】

トランジスタ 13, 14 のソースは従来の信号レベル変換回路 10 の入力トランジスタ 5, 6 のゲートに接続されている。

10

20

30

40

50

なお、電流源 15, 16 は抵抗、またはトランジスタを用いて信号レベル変換回路 12 の集積回路の同一製造プロセスの中でつくることができる。

【0042】

このように構成したため、入力信号 3 がソースフォロワのトランジスタ 13 のゲートに与られると、トランジスタ 13 のゲート - ソース間にはトランジスタのしきい値電圧が発生し、入力信号 3 にしきい値電圧をバイアス電圧として加算した信号がトランジスタ 13 のソースに発生し、入力トランジスタ 5 のゲート印加される。

【0043】

また、入力信号のハイレベル信号 11 がソースフォロワのトランジスタ 14 のゲートに与られると、トランジスタ 14 のゲート - ソース間にはトランジスタのしきい値電圧が発生し、入力信号のハイレベル信号 11 にしきい値電圧をバイアス電圧として加算した信号がトランジスタ 14 のソースに発生し、入力トランジスタ 6 のゲート印加される。

10

【0044】

入力信号 3 の信号電圧をローレベルの場合をグランド電圧と同じとして、0 ボルトとし、ハイレベルの場合を入力振幅電圧 V_{IN} とし、ソースフォロワのトランジスタ 13 のしきい値電圧を V_{tp} とすると、ソースフォロワトランジスタ 13 のソースに発生する信号電圧は入力信号 3 がローレベルのときには、しきい値電圧 V_{tp} に等しい電圧 V_{off} が、入力信号 3 がハイレベルのときには、しきい値電圧 V_{tp} に V_{IN} を加算した電圧 V_{on} が発生する。すなわち、入力信号をトランジスタのしきい値電圧 V_{tp} でバイアスした信号となる。

20

【0045】

信号レベル変換回路 10 の入力トランジスタ 5 のゲートには上述した入力信号をソースフォロワのトランジスタのしきい値電圧でバイアスした信号が印加される。

【0046】

また、入力信号のハイレベル信号 11 の電圧を V_{IN} とし、ソースフォロワのトランジスタ 14 のしきい値電圧を V_{tp} とすると、ソースフォロワトランジスタ 14 のソースに発生する信号電圧は V_{IN} にしきい値電圧 V_{tp} を加算した電圧が発生する。すなわち、入力信号のハイレベル電圧をトランジスタのしきい値電圧 V_{tp} でバイアスした電圧となる。

【0047】

信号レベル変換回路 10 の入力トランジスタ 6 のゲートには上述した入力信号のハイレベル信号 11 をソースフォロワのトランジスタのしきい値電圧でバイアスした電圧が印加される。

30

【0048】

図 5 はこの（実施の形態 2）における入力トランジスタのしきい値特性と動作点を示し、横軸をゲート電圧とし、縦軸をドレイン電流のルートとしたもので入力トランジスタのしきい値特性を示したものである。

【0049】

入力信号 3 がハイレベルの場合には入力トランジスタ 5 のゲートには $(V_{tp} + V_{IN})$ の電圧が印加され、ゲート - ソース間の電圧は $V_{on} = (V_{tp} + V_{IN})$ の電圧が印加され、ゲート - ソース間に印加された電圧 V_{on} が入力トランジスタ 5 のしきい値電圧よりも大きいと、入力トランジスタ 5 はオンし、負荷トランジスタ 7 にドレイン電流を流して、トランジスタ 8 をオンさせる。

40

【0050】

このとき、他方の入力トランジスタ 6 のゲートには $(V_{tp} + V_{IN})$ の電圧が印加され、入力トランジスタ 6 のソースには入力信号 3 のハイレベル電圧である V_{IN} が印加される。したがって、他方の入力トランジスタ 6 のゲートソース間の電圧は $V_{off} = V_{tp}$ の電圧が印加され、ゲート - ソース間に印加された電圧 V_{off} が入力トランジスタ 5 のしきい値電圧と等しく、またはそれ以下であると、入力トランジスタ 6 はオフする。

【0051】

50

従って、出力信号 9 は信号レベル変換回路の電源電圧にほぼ等しい電圧が出力される。
また、同様に入力信号 3 がローレベルの場合には入力トランジスタ 5 のゲート - ソース間の電圧は $V_{off} = V_{tp}$ の電圧が印加され、入力トランジスタ 5 はオフし、負荷トランジスタ 7 にはドレイン電流が流れず、トランジスタ 8 はオフになる。

【 0 0 5 2 】

このとき、他方の入力トランジスタ 6 のゲートソース間の電圧は $V_{on} = (V_{tp} + V_{IN})$ の電圧が印加され、入力トランジスタ 6 はオンする。

従って、出力信号 9 は信号レベル変換回路のグランド電圧にほぼ等しいが出力される。

【 0 0 5 3 】

このようにして、低信号振幅の入力信号 3 と入力信号のハイレベル信号 1 1 を用いて、薄膜トランジスタ集積回路の電源電圧ほどの高振幅の出力信号 9 に信号振幅を変換することができる。

【 0 0 5 4 】

図 6 はこの（実施の形態 2）の電圧波形を示し、1 7, 1 8 はソースフォロワトランジスタ 1 3, 1 4 のソース端子でかつ、入力トランジスタ 5, 6 のゲート端子の波形で、入力信号 3 と入力信号のハイレベル電圧 3 0 2 がソースフォロワトランジスタ 1 3, 1 4 のしきい値電圧 V_{tp} でバイアスされた信号波形となっている。

【 0 0 5 5 】

このように、この（実施の形態 2）によっても、入力信号のハイレベル信号 1 1 と一つの低信号振幅の入力信号 3 をコントローラ 2 から与えることによって、高信号振幅の出力信号 9 に変換することが可能になるとともに、入力信号にバイアス電圧を与えることによって、オン - オフ電流比を大きくすることが可能となり、より低電圧な入力振幅への対応と高速動作を可能にした信号レベル変換回路を実現することができた。

【 0 0 5 6 】

なお、（実施の形態 2）においては入力信号のハイレベル信号 1 1 をコントローラ 2 から与える構成としたが、信号レベル変換回路 1 2 の側で抵抗分圧やトランジスタ、ダイオードを用いて同レベルの電圧を発生させ、ソースフォロワトランジスタ 1 4 のゲートに与えても同様に機能することはいうまでもない。

【 0 0 5 7 】

（実施の形態 3）

図 7 は（実施の形態 1）または（実施の形態 2）の信号レベル変換回路を内蔵した液晶表示装置の構成を示す。

【 0 0 5 8 】

6 0 1 は薄膜トランジスタを用いた集積回路により構成した液晶表示装置で、6 0 2 は C - M O S ゲートアレイなどからなる液晶表示装置のコントローラ IC で 6 1 2 によって液晶表示装置 6 0 1 と接続され、その制御信号を液晶表示装置 6 0 1 に与える。6 1 2 は低信号振幅の制御信号である。

【 0 0 5 9 】

6 0 3 は液晶表示装置の画素を駆動する薄膜トランジスタで、6 0 3 は画素の蓄積容量、6 0 5 は液晶容量を示す。6 0 6 は画素トランジスタ 6 0 3 のソース端子に接続するソース電極で、6 0 7 は画素トランジスタ 6 0 3 のゲート端子に接続するゲート電極で、6 0 8 は蓄積容量、液晶の対向電極につながる共通電極を示している。

【 0 0 6 0 】

6 0 9 はソース電極を駆動するソース駆動回路で、6 1 0 はゲート電極を駆動するゲート駆動回路を示す。6 1 1 は（実施の形態 1）（実施の形態 2）に示した信号レベル変換回路である。

【 0 0 6 1 】

これら、画素トランジスタ 6 0 3 とソース駆動回路 6 0 9、ゲート駆動回路 6 1 0、信号レベル変換回路 6 1 1 は薄膜トランジスタからなる集積回路として、同一ガラス基板上に同一製造プロセスによって形成される。

10

20

30

40

50

【 0 0 6 2 】

これら、薄膜トランジスタ集積回路はおよそ 15 ボルト程度の電源電圧と信号振幅をもつ回路として動作し、信号レベル変換回路 6 1 1 はコントローラからの 5 ボルト程度の振幅の低信号振幅制御信号 6 1 2 を薄膜トランジスタ集積回路の内部で使用する 15 ボルト程度の 6 1 3 高信号振幅制御信号に変換し、ソース駆動回路 6 0 9、ゲート駆動回路 6 1 0 に制御信号を与えるものである。

【 0 0 6 3 】

この（実施の形態 3）においては、薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置に（実施の形態 1）または（実施の形態 2）の信号レベル変換回路を内蔵することで、特別な回路を必要とせず、直接制御することが可能となり、インターフェイスの簡略化を実現することができる。

10

【 0 0 6 4 】

なお、上記の各実施の形態のトランジスタの導電型を反転させて回路を構成することもできる。

【 0 0 6 5 】

【 発明の効果 】

以上のように本発明の信号レベル変換回路によれば、薄膜トランジスタを用いて低信号振幅の入力信号を高信号振幅の出力信号に変換する信号レベル変換回路において、一对の入力トランジスタを有し、一方の入力トランジスタ（5）のソースを接地して、ゲートに前記入力信号を印加し、他方の入力トランジスタ（6）のゲートに前記入力信号のハイレベル電圧に等しい電圧を印加して、ソースに前記入力信号を印加し、前記入力トランジスタのドレイン側から出力信号を出力するように構成したため、一つの低振幅の入力信号を高振幅の入力信号に変換する信号レベル変換回路を実現することができる。

20

【 0 0 6 6 】

また、一对の入力トランジスタを有し、一方の入力トランジスタのソースを接地して、ゲートに前記入力信号に所定のバイアス電圧を加えた信号を印加し、他方の入力トランジスタのゲートに前記入力信号のハイレベル電圧に等しい電圧に所定のバイアス電圧を加えた電圧を印加して、ソースに前記入力信号を印加することで、入力トランジスタのオン・オフ電流電流の比を大きくすることができ、低入力信号振幅の場合においても、回路の高速化が可能に信号レベル変換回路を実現することができる。

30

【 0 0 6 7 】

本発明の信号レベル変換回路を用いることで、薄膜トランジスタを用いた集積回路と CMOS ゲートアレイなどの集積回路と少ない制御線数で、直接インターフェイスすることが可能になる。さらには、薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置に本発明の信号レベル変換回路を用いることで、CMOS ゲートアレイで、少ない制御線数で、直接に制御することが可能になり、インターフェイス回路と信号線数を簡素化することを可能とするものである。

【 図面の簡単な説明 】

【 図 1 】 本発明の（実施の形態 1）における信号レベル変換回路の構成図

【 図 2 】 同実施の形態における入力トランジスタのしきい値特性と動作点を示す図

40

【 図 3 】 同実施の形態の入力信号と出力信号波形を示す図

【 図 4 】 本発明の（実施の形態 2）における信号レベル変換回路の構成図

【 図 5 】 同実施の形態 2 の入力トランジスタのしきい値特性と動作点を示す図

【 図 6 】 同実施の形態における入力信号と出力信号波形を示す図

【 図 7 】 本発明の（実施の形態 3）における液晶表示装置と組み合わせた場合の構成図

【 図 8 】 従来の信号レベル変換回路の構成図

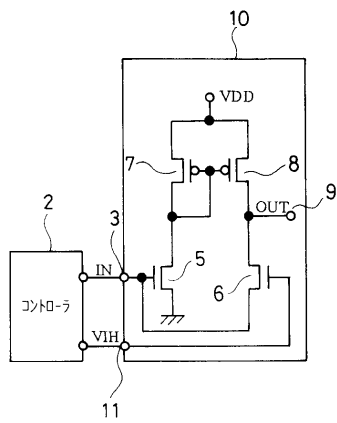
【 符号の説明 】

- 1 信号レベル変換回路
- 2 コントローラ
- 3 入力信号

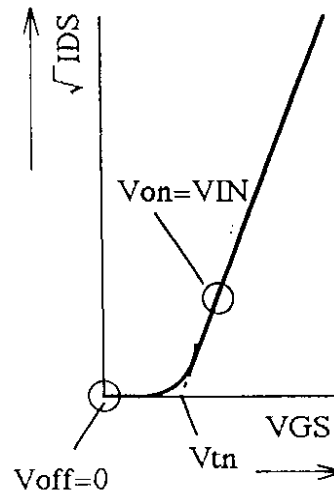
50

- 5, 6 入力トランジスタ
- 7, 8 負荷トランジスタ
- 9 出力信号
- 10 信号レベル変換回路
- 11 ハイレベル信号 (入力信号)
- 13, 14 トランジスタ
- 15, 16 電流源

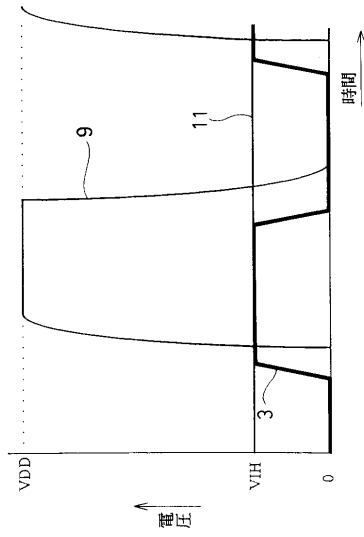
【図1】



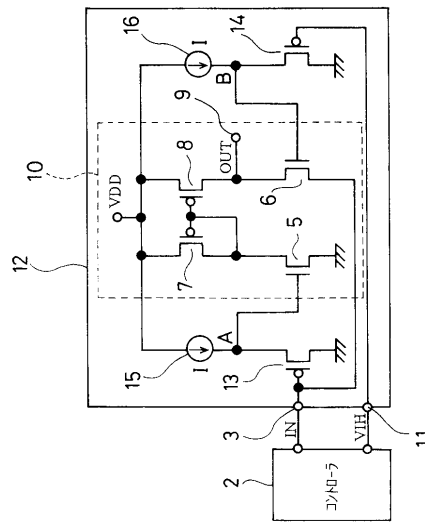
【図2】



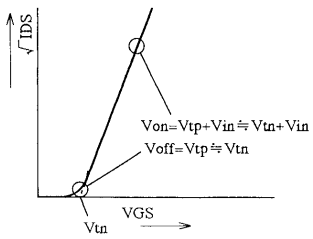
【図3】



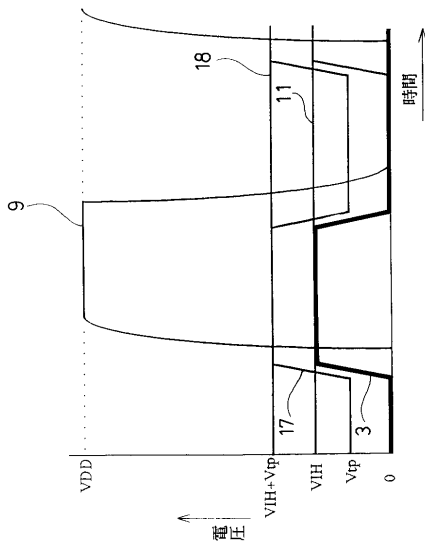
【図4】



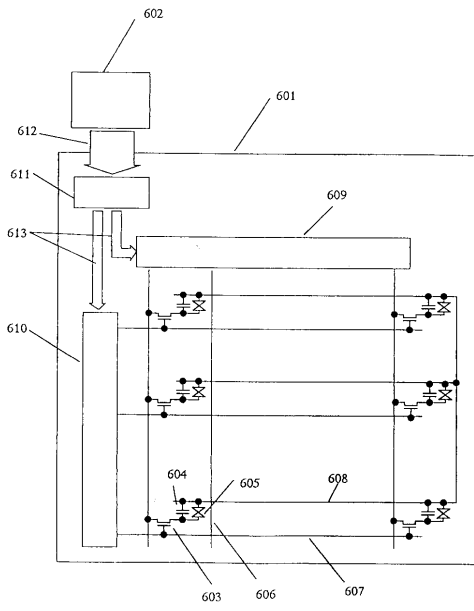
【図5】



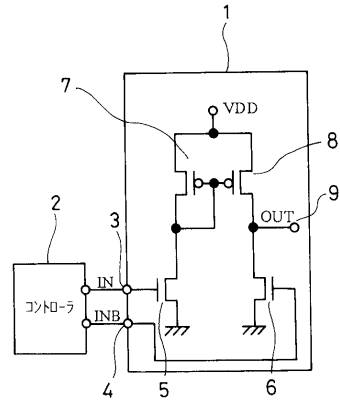
【図6】



【図7】



【図8】



フロントページの続き

- (74)代理人 100109830
弁理士 福原 淑弘
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 富谷 央
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 岡田 隆史
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 古林 好則
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 奥野 武志
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 石原 由晴

- (56)参考文献 特開平09-232936(JP,A)
特開昭63-072206(JP,A)
特開平09-261032(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45
H03F 3/50-3/52
H03F 3/62-3/64
H03F 3/68-3/72