

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5244364号  
(P5244364)

(45) 発行日 平成25年7月24日 (2013. 7. 24)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006. 01)  
HO 1 L 29/786 (2006. 01)

HO 1 L 29/78 6 1 8 D  
HO 1 L 29/78 6 1 6 K  
HO 1 L 29/78 6 1 6 T  
HO 1 L 29/78 6 1 6 V  
HO 1 L 29/78 6 1 7 K

請求項の数 9 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2007-269036 (P2007-269036)  
(22) 出願日 平成19年10月16日 (2007. 10. 16)  
(65) 公開番号 特開2009-99725 (P2009-99725A)  
(43) 公開日 平成21年5月7日 (2009. 5. 7)  
審査請求日 平成22年10月6日 (2010. 10. 6)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(74) 代理人 110001379  
特許業務法人 大島特許事務所  
(74) 代理人 100089266  
弁理士 大島 陽一  
(72) 発明者 新宮 崇史  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 大柄根 大輔  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置の作製方法であって、  
絶縁体上にシリコンを含む半導体材料からなる半導体膜を形成する工程と、  
前記半導体膜の上面に金属シリサイド層を形成する工程と、  
前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングして、前記半導体装置のチャネル形成領域に対応する位置に凹部を形成するとともに、この凹部の底部に位置する半導体膜の部分を所望の厚さに薄膜化する工程と、  
前記薄膜化された半導体膜の前記部分を覆う絶縁膜を形成する工程と、  
前記薄膜化された半導体膜の前記部分の上方に前記絶縁膜を介してゲート電極を形成する工程と、  
前記ゲート電極をマスクとして前記金属シリサイド層を貫通し前記金属シリサイド層の下の前記半導体膜に不純物を添加する工程とを有することを特徴とする半導体装置の作製方法。

【請求項2】

前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングする工程が、前記ゲート電極とチャネル長方向の寸法が概ね等しい開口を有するレジストをマスクとして前記金属シリサイド層を等方性エッチングしてその下の前記半導体膜を露出する工程と、  
前記開口を有する前記レジストをマスクとして、露出された前記半導体膜を異方性エッチ

10

20

ングする工程とを有することを特徴とする請求項 1 に記載の半導体装置の作製方法。

【請求項 3】

前記金属シリサイド層及び前記半導体膜をエッチングによりパターニングする工程が、前記金属シリサイド層を覆うレジストを被着する工程と、  
 ハーフトーンマスクを用いて前記レジストを露光・現像して、前記半導体装置のチャネル形成領域に対応する位置に開口を有し、前記開口に隣接する部分に比較的膜厚の小さい部分を有し、前記比較的膜厚の小さい部分の外側に隣接して比較的膜厚の大きい部分を有するようにパターニングされたレジストを形成する工程と、  
 前記パターニングされたレジストを用いて前記金属シリサイド層及び前記半導体膜をエッチングする工程とを有することを特徴とする請求項 1 に記載の半導体装置の作製方法。

10

【請求項 4】

前記金属シリサイド層及び前記半導体膜をエッチングによりパターニングする工程の後に、  
 前記パターニングされた金属シリサイド層及び半導体膜の表面を被覆するサイドウォール膜を成膜する工程と、  
 前記サイドウォール膜をエッチングして、前記凹部の側面に沿った前記サイドウォール膜の部分がサイドウォールとして残るようにするとともに、前記薄膜化された半導体膜の前記部分を露出する工程とを有し、  
 前記薄膜化された半導体膜の前記部分を覆う絶縁膜を形成する前記工程は、前記サイドウォール膜のエッチング工程の後になされることを特徴とする請求項 1 乃至 3 のいずれか一

20

【請求項 5】

前記サイドウォール膜を成膜する工程は、  
 酸化窒化シリコンと窒化酸化シリコンの一方からなる第 1 のサイドウォール膜を成膜する工程と、  
 前記第 1 のサイドウォール膜上に、前記酸化窒化シリコンと窒化酸化シリコンの他方からなる第 2 のサイドウォール膜を成膜する工程とを有し、  
 前記サイドウォール膜のエッチング工程は、  
 前記凹部の側面に沿った前記第 2 のサイドウォール膜の部分が残るように前記第 2 のサイドウォール膜をエッチングして、前記残った第 2 のサイドウォール膜の部分をサイドウォールとする工程と、  
 前記残った第 2 のサイドウォール膜で覆われていない前記第 1 のサイドウォール膜をエッチングにより除去して前記薄膜化された半導体膜の前記部分を露出する工程とを有することを特徴とする請求項 4 に記載の半導体装置の作製方法。

30

【請求項 6】

前記窒化酸化シリコンの代わりに窒化シリコンを用いることを特徴とする請求項 5 に記載の半導体装置の作製方法。

【請求項 7】

半導体装置であって、  
 絶縁体上に形成され、前記半導体装置のチャネル形成領域に対応する部分に凹部が設けられ、前記凹部の底部に位置する部分が不純物が添加されていない不純物無添加層からなる半導体膜と、  
 前記凹部の底部に位置する前記不純物無添加層を覆う絶縁膜と、  
 前記凹部の底部に位置する前記不純物無添加層の上方に前記絶縁膜を介して設けられたゲート電極と、  
 前記凹部に隣接して前記凹部の側壁をなす前記半導体膜の部分の上面に設けられた一対の金属シリサイド層と、  
 前記一対の金属シリサイド層の下に前記金属シリサイド層に接して設けられ前記半導体装置のソース領域及びドレイン領域として機能する一対の不純物添加層とを有し、  
 前記ソース領域と前記ドレイン領域の間の距離より、前記ソース領域上の前記シリサイド

40

50

層と前記ドレイン領域上の前記シリサイド層の間の距離の方が大きいことを特徴とする半導体装置。

【請求項 8】

前記凹部の底部に位置する前記不純物無添加層の厚さが前記ソース領域及びドレイン領域として機能する一対の不純物添加層の厚さより小さいことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記半導体膜の前記凹部の側面に沿ったサイドウォールを更に有することを特徴とする請求項 7 または請求項 8 に記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置及びその作製方法に関する。特に、ソース領域及びドレイン領域に金属シリサイド層を有する半導体装置及びその作製方法に関する。

【背景技術】

【0002】

薄膜トランジスタ（TFTとも言う）等の半導体装置の高集積化・微細化に伴い、シリコンを含有する半導体膜に形成された不純物添加領域（例えばトランジスタのソース領域又はドレイン領域）に対するコンタクト抵抗の低抵抗化、及びこれら不純物添加領域の低抵抗化が要求されている。これらの低抵抗化には、半導体膜の表面に、チタンシリサイド層、コバルトシリサイド層、又はニッケルシリサイド層等の金属シリサイド層を形成することが有効である。不純物添加領域の抵抗及びそれに対するコンタクト抵抗を低減することにより、トランジスタの発熱及び消費電力を低減することができる。

20

【0003】

このような金属シリサイド層は、トランジスタ上に金属膜を形成して金属膜がシリコンを含有する半導体膜に形成された不純物添加領域に接するようにした後、金属膜及び半導体膜の加熱処理等によって、シリコンを金属膜中に拡散させ又はシリコンを含有する半導体膜中に金属を拡散させ、金属とシリコンを反応させることで形成することができる（特許文献 1 乃至 3 参照）。

【0004】

30

しかしながら、このような金属シリサイド層を有するトランジスタでは、金属シリサイドがチャネル形成領域に不所望に侵入してトランジスタの動作不良を生じる恐れがある。特に、半導体膜が薄い場合、金属シリサイド層の膜厚制御が困難である。金属シリサイド層の形成では、熱処理温度、熱処理時間及び金属膜厚を制御するが、熱処理の制御は困難であるため、金属膜厚を制御し成膜した金属膜を全て半導体膜のシリコンと反応させることが考えられる。そのような方法では、半導体膜が薄い場合、それに応じて金属膜厚も薄くする必要があるが（例えば 10 nm 未満）、膜厚が 10 nm 未満の薄い金属膜を、nm 単位で膜厚を制御して形成するのは困難である。金属シリサイドのチャネル形成領域への侵入を防止するための技術の一例として、特許文献 1 に記載のものでは、ソース/ドレイン領域の一部にシリコンをイオン注入することで結晶状態からアモルファス状態に転化させてアモルファスシリコン層を形成し、このアモルファスシリコン層のみが金属と選択的に反応してシリサイドを形成するようにすることが提案されている。しかしながら、そのようなソース/ドレイン領域の一部のアモルファスシリコンへの転化は工程を複雑化し、製造コストの増加につながる。

40

【0005】

また、特許文献 4 には、基板上にゲート電極を形成し、その上方にアモルファスシリコン又はポリシリコン（多結晶シリコン）からなる半導体膜及びシリサイド膜を形成した後、エッチングによりパターンニングしてソース/ドレイン領域を形成して薄膜トランジスタを作製することが開示されている。より詳細には、特許文献 4 記載の製造方法では、ゲート電極の上方に窒化シリコン膜を介して設けられた半導体膜上に  $n^+ - Si$  膜を形成し、

50

$n^+$ -Si膜の表面に酸化薄膜を形成し、この酸化薄膜上に金属膜を成膜して金属膜と $n^+$ -Si膜との間に金属シリサイド層を形成している。このように $n^+$ -Si膜表面に酸化薄膜を設けることで、 $n^+$ -Si膜と金属膜との間に生成される金属シリサイド層の厚みを最小限にし、金属シリサイド層のエッチングを容易にすることができる。しかしながら、このような薄膜トランジスタの作製方法では、ゲート電極を形成した後に、その上方にソース領域及びドレイン領域（半導体膜）を形成しているため（ボトムゲート構造）、ゲート電極は半導体膜形成時の高温等に耐える必要があり、そのためゲート電極の材料や膜厚に制約がある。特に、半導体膜として多結晶シリコン膜を形成する場合、アモルファスシリコン膜をレーザアニールして多結晶シリコン化することが考えられるが、ボトムゲート構造ではゲート電極の耐熱性や熱伝導性の制限によりレーザアニールが困難である。また、スマートカット法などのSOI（Silicon on Insulator）技術を用いて絶縁体上に単結晶シリコン層を形成したSOI基板では、ボトムゲート構造を形成することができない。また、特許文献4に記載の薄膜トランジスタの作製方法では、金属シリサイド層、 $n^+$ -Si膜及び半導体膜をパターンニングする際にチャンネルエッチストップパとして働く窒化シリコン膜を、ゲート電極上方のチャンネル形成領域となる半導体膜の部分の上にパターン形成する。

10

#### 【0006】

一方、薄膜トランジスタでは、チャンネル形成領域を薄くすることで、トランジスタのスイッチング特性（サブスレッショルド特性）を示すS値を改善することができることが知られている。ここで、S値とはソース電極とドレイン電極との間の電流（サブスレッショルド電流）が一桁増加するために必要なゲート電圧であり、S値が小さいほどゲート電圧に対するサブスレッショルド電流の傾きが大きく、スイッチング特性に優れている。S値の小さいTFETを用いることで、動作電圧の低減による消費電力の抑制やオフリーク電流の低減といった利点が得られる。しかしながら、チャンネル形成領域を薄くするべくチャンネル形成領域が形成される半導体膜全体を薄くするとソース領域及びドレイン領域も薄くなってしまい、ソース領域及びドレイン領域におけるシート抵抗の増加及びソース領域及びドレイン領域とソース電極及びドレイン電極との間のコンタクト抵抗の増加という問題が生じる。従って、ソース領域及びドレイン領域の適切な厚さを確保しつつチャンネル形成領域の厚さを薄くすることが好ましい。

20

#### 【0007】

特許文献5には、そのようなチャンネル形成領域薄膜化のための技術の一例が開示されている。それによると、半導体層（動作層）の上方に設けられた感光性レジストをハーフトーンマスクを用いて露光し、TFET形成領域のうちチャンネル形成領域の感光性レジストの膜厚が、チャンネル形成領域以外の領域の感光性レジストの膜厚よりも薄くなるようにする。そして、感光性レジストを更に処理してチャンネル形成領域上の感光性レジストを除去し、残った感光性レジストをマスクとしてウェットエッチングまたはドライエッチングすることでチャンネル形成領域を薄膜化する。特許文献5には、金属シリサイド層を形成する点については何ら記載がない。

30

【特許文献1】特表2003-526198号公報

【特許文献2】特開平8-70053号公報

【特許文献3】特開2006-74071号公報

【特許文献4】特許第3658664号公報

【特許文献5】特開2004-281687号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0008】

本発明の第1の目的は、不純物添加領域の表面に金属シリサイド層を設けつつ金属シリサイドがチャンネル形成領域に侵入するのを確実に防止して、発熱及び消費電力が少なく且つ高い歩留りで作製することが可能な薄膜トランジスタ（半導体装置）及びその作製方法を提供することである。

40

50

## 【0009】

本発明の第2の目的は、不純物添加領域の表面に金属シリサイド層を設けつつ金属シリサイドがチャネル形成領域に侵入するのを確実に防止して、発熱及び消費電力が少なく且つ高い歩留りで作製することが可能であり、ソース領域及びドレイン領域よりチャネル形成領域の膜厚が薄くS値の向上された薄膜トランジスタ（半導体装置）を作製することが可能な半導体装置及びその作製方法を提供することである。

## 【課題を解決するための手段】

## 【0010】

上記課題を解決するため、本発明に基づくと、半導体装置の作製方法であって、絶縁体上にシリコンを含む半導体材料からなる半導体膜を形成する工程と、前記半導体膜に、前記半導体膜の膜厚より小さい深さまで不純物を添加して不純物添加層を形成するとともに、前記不純物添加層の下に不純物が添加されない不純物無添加層が残るようにする工程と、前記半導体膜の上面に金属シリサイド層を形成する工程と、前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングして、前記半導体装置のチャネル形成領域に対応する位置に前記不純物無添加層に達する凹部を形成するとともに、この凹部の底部に位置する前記半導体膜の部分を所望の厚さに薄膜化する工程と、前記薄膜化された半導体膜の前記部分を覆う絶縁膜を形成する工程と、前記薄膜化された半導体膜の前記部分の上方に前記絶縁膜を介してゲート電極を形成する工程とを有することを特徴とする半導体装置の作製方法が提供される。

## 【0011】

上記のような本発明の半導体装置の作製方法によれば、絶縁体上に形成した半導体膜にこの半導体膜の膜厚より小さい深さまで不純物を添加して不純物添加層を形成し、不純物添加層上に金属シリサイド層を形成した後、金属シリサイド層及び半導体膜をエッチングして凹部を形成し、この凹部の底部に位置する半導体膜（即ち、不純物無添加層）を薄膜化してチャネル形成領域とするようにしたことから、金属シリサイド層とチャネル形成領域が異なる高さに配置されるので、金属シリサイドがチャネル形成領域に侵入するのを効果的に防止し、トランジスタを高い歩留りで作製することができる。また、金属シリサイド層は凹部形成前の比較的厚い半導体膜上に形成されるため、金属シリサイド層の作製精度を下げることができ、これもトランジスタの歩留り改善に寄与する。更に、ゲート電極は半導体膜の凹部の底部に位置する薄膜化された半導体膜の部分の上方に絶縁膜を介して形成されるため（トップゲート構造）、ボトムゲート構造のようなゲート電極についての制約がない。また、本方法をSOI基板に適用することも可能である。

## 【0012】

また、凹部の底部に位置するチャネル形成領域のみを薄膜化し、ソース領域及びドレイン領域となる凹部の両側に位置する不純物添加層は薄膜化しないため、ソース領域及びドレイン領域はチャネル形成領域より大きな厚みを有する。従って、ソース領域及びドレイン領域も薄くした場合の問題を生じることなく、S値が改善された（即ち、S値が低下された）半導体装置を実現することができる。S値を低下させることで、低い閾値電圧で半導体装置を動作させることができ、従って、半導体装置の動作速度を維持したまま電源電圧を下げることで消費電力を抑制することができる。

## 【0013】

また本発明に基づくと、半導体装置の作製方法であって、絶縁体上にシリコンを含む半導体材料からなる半導体膜を形成する工程と、前記半導体膜の上面に金属シリサイド層を形成する工程と、前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングして、前記半導体装置のチャネル形成領域に対応する位置に凹部を形成するとともに、この凹部の底部に位置する半導体膜の部分を所望の厚さに薄膜化する工程と、前記薄膜化された半導体膜の前記部分を覆う絶縁膜を形成する工程と、前記薄膜化された半導体膜の前記部分の上方に前記絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記金属シリサイド層を貫通し前記金属シリサイド層の下の前記半導体膜に不純物を添加して前記凹部の底部に位置する前記薄膜化された半導体膜の前記部分より厚い

不純物添加層を形成する工程とを有することを特徴とする半導体装置の作製方法が提供される。

【0014】

上記のような本発明の半導体装置の作製方法によれば、半導体膜上に金属シリサイド層を形成した後、金属シリサイド層及び半導体膜をエッチングして凹部を形成し、この凹部の底部に位置する半導体膜（即ち、不純物無添加層）を薄膜化してチャンネル形成領域とするようにしたことから、金属シリサイド層とチャンネル形成領域が異なる高さに配置されるので、金属シリサイドがチャンネル形成領域に侵入するのを効果的に防止し、トランジスタを高い歩留りで作製することができる。また、金属シリサイド層は凹部形成前の比較的厚い半導体膜上に形成されるため、金属シリサイド層の作製精度を下げることができ、これ

10

【0015】

また、凹部の底部に位置するチャンネル形成領域のみを薄膜化し、ソース領域及びドレイン領域となる凹部の両側に位置する不純物添加層は薄膜化しないため、ソース領域及びドレイン領域はチャンネル形成領域より大きな厚みを有する。従って、ソース領域及びドレイン領域も薄くした場合の問題を生じることなく、S値が改善された（即ち、S値が低下された）半導体装置を実現することができる。S値を低下させることで、低い閾値電圧で半導体装置を動作させることができ、従って、半導体装置の動作速度を維持したまま電源電圧を下げることで消費電力を抑制することができる。

20

【0016】

一実施例では、前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングする工程が、前記ゲート電極とチャンネル長方向の寸法が概ね等しい開口を有するレジストをマスクとして前記金属シリサイド層を等方性エッチングしてその下の前記半導体膜を露出する工程と、前記開口を有する前記レジストをマスクとして、露出された前記半導体

30

【0017】

別の実施例では、前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングする工程が、前記金属シリサイド層を覆うレジストを被着する工程と、ハーフトーンマスクを用いて前記レジストを露光・現像して、前記半導体装置のチャンネル形成領域に対応する位置に開口を有し、前記開口に隣接する部分に比較的膜厚の小さい部分を有し、前記比較的膜厚の小さい部分の外側に隣接して比較的膜厚の大きい部分を有するようにパターンニングされたレジストを形成する工程と、前記パターンニングされたレジストを用いて前記金属シリサイド層及び前記半導体膜をエッチングする工程とを有するものとして行うことができる。このようにすることにより、ソース領域上の金属シリサイド層とドレイン領域上の金属シリサイド層の間の距離を、ソース領域とドレイン領域の間の距離より大きくすることができるので、ソース領域とドレイン領域の間の距離とほぼ同じチャンネル長方向の寸法を有するゲート電極を形成しても、金属シリサイド層をゲート電極から十分離すことが

40

50

でき、ゲート電極と金属シリサイド層の間のリークを防止することができる。

【0018】

好適には、前記金属シリサイド層及び前記半導体膜をエッチングによりパターンニングする工程の後に、前記パターンニングされた金属シリサイド層及び半導体膜の表面を被覆するサイドウォール膜を成膜する工程と、前記サイドウォール膜をエッチングして、前記凹部の側面に沿った前記サイドウォール膜の部分がサイドウォールとして残るようにするとともに、前記薄膜化された半導体膜の前記部分を露出する工程とを有し、前記薄膜化された半導体膜の前記部分を覆う絶縁膜を形成する前記工程は、前記サイドウォール膜のエッチング工程の後になされるものとして行うことができる。サイドウォール膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiON)または窒化酸化シリコン(SiNO)等から形成することができる。尚、酸化窒化シリコン膜とは酸素の組成比が窒素の組成比よりも大きいもの(酸素リッチ)を指し、窒化酸化シリコン膜とは窒素の組成比が酸素の組成比よりも大きいもの(窒素リッチ)を指す。このようにサイドウォールを形成することにより、ゲート電極と金属シリサイド層の間のリークをより確実に防止することができる。

10

【0019】

好適には、前記サイドウォール膜を成膜する工程は、酸化窒化シリコンと窒化酸化シリコンの一方からなる第1のサイドウォール膜を成膜する工程と、前記第1のサイドウォール膜上に、前記酸化窒化シリコンと窒化酸化シリコンの他方からなる第2のサイドウォール膜を成膜する工程とを有し、前記サイドウォール膜のエッチング工程は、前記凹部の側面に沿った前記第2のサイドウォール膜の部分が残るように前記第2のサイドウォール膜をエッチングして、前記残った第2のサイドウォール膜の部分をサイドウォールとする工程と、前記残った第2のサイドウォール膜で覆われていない前記第1のサイドウォール膜をエッチングにより除去して前記薄膜化された半導体膜の前記部分を露出する工程とを有する。このように、サイドウォール膜を酸化窒化シリコン膜と窒化酸化シリコン膜からなる積層構造とすると、酸化窒化シリコン膜と窒化酸化シリコン膜ではエッチングの際のプラズマ発光の波長が異なるので、それを利用して適切なタイミングでエッチングを止めることができる。従って、その下の半導体膜の損傷または膜減りを防止することができる。この場合、窒化酸化シリコンの代わりに窒化シリコンを用いることも可能である。

20

【0020】

本発明の別の側面に基づくと、半導体装置であって、絶縁体上に形成され、前記半導体装置のチャネル形成領域に対応する部分に凹部が設けられ、前記凹部の底部に位置する部分が不純物が添加されていない不純物無添加層からなる半導体膜と、

30

前記凹部の底部に位置する前記不純物無添加層を覆う絶縁膜と、前記凹部の底部に位置する前記不純物無添加層の上方に前記絶縁膜を介して設けられたゲート電極と、前記凹部に隣接して前記凹部の側壁をなす前記半導体膜の部分の上面に設けられた一対の金属シリサイド層と、前記一対の金属シリサイド層の下に前記金属シリサイド層に接して設けられ前記半導体装置のソース領域及びドレイン領域として機能する一対の不純物添加層とを有することを特徴とする半導体装置が提供される。

【0021】

このような本発明の半導体装置によれば、半導体膜の凹部の底部に位置する不純物無添加層がチャネル形成領域として機能し、金属シリサイド層は凹部の側壁をなす半導体膜の部分の上面に形成されるため、金属シリサイド層とチャネル形成領域が異なる高さに配置されるので、金属シリサイドがチャネル形成領域に侵入するのを効果的に防止し、高い歩留りで作製することが可能となる。またゲート電極は半導体膜の凹部の底部に位置する薄膜化された半導体膜の部分の上方に絶縁膜を介して形成されているため(トップゲート構造)、ボトムゲート構造のようなゲート電極についての制約がない。また、本半導体装置をSOI基板を用いて作製することも可能である。

40

【0022】

好適には、前記凹部の底部に位置する前記不純物無添加層の厚さが前記ソース領域及びドレイン領域として機能する一対の不純物添加層の厚さより小さい。このようにチャネル

50

形成領域として機能する不純物無添加層の厚さをソース領域及びドレイン領域として機能する一対の不純物添加層の厚さより小さくすることにより、S値を改善して半導体装置の動作速度を向上し消費電力を低減することができる。

【0023】

また、前記ソース領域と前記ドレイン領域の間の距離より、前記ソース領域上の前記シリサイド層と前記ドレイン領域上の前記シリサイド層の間の距離の方が大きいものとすることができる。それにより、ゲート電極がソース領域とドレイン領域の間の距離とほぼ同じチャンネル長方向の寸法を有する場合でも、金属シリサイド層をゲート電極から十分離すことができ、ゲート電極と金属シリサイド層の間のリークを防止することができる。

【0024】

また好適には、前記半導体膜の前記凹部の側面に沿ったサイドウォールを更に有するとよい。このようなサイドウォールを設けることにより、ゲート電極と金属シリサイド層の間のリークをより確実に防止することができる。

【発明の効果】

【0025】

本発明に基づく半導体装置の作製方法によれば、半導体膜の不純物添加層上に金属シリサイド層を形成した後、金属シリサイド層及び半導体膜をエッチングして凹部を形成し、この凹部の底部に位置する半導体膜（即ち、不純物無添加層）を薄膜化してチャンネル形成領域とするようにしたことから、金属シリサイド層とチャンネル形成領域が異なる高さに配置されるので、金属シリサイドがチャンネル形成領域に侵入するのを効果的に防止し、トランジスタを高い歩留りで作製することができる。

【0026】

また本発明の半導体装置によれば、半導体膜の凹部の底部に位置する不純物無添加層がチャンネル形成領域として機能し、金属シリサイド層は凹部の側壁をなす半導体膜の部分の上面に形成されるため、金属シリサイド層とチャンネル形成領域が異なる高さに配置されるので、金属シリサイドがチャンネル形成領域に侵入するのを効果的に防止し、高い歩留りで作製することが可能となる。

【発明を実施するための最良の形態】

【0027】

図1(a)～(j)は、本発明の好適実施例に基づく半導体装置(TFT)の作製方法を示す断面図である。

【0028】

まず図1(a)に示すように、絶縁性基板1上にシリコンを含む半導体材料からなる半導体膜2を形成する。絶縁性基板1としては、ガラス基板、石英基板、耐熱性プラスチック基板を用いることができる。ガラス基板の場合、ガラス基板からの不純物イオン(Naなど)が半導体膜2に侵入するのを防止するため、ガラス基板の表面に下地膜を設けるとよい。また、絶縁性基板1は、シリコン単結晶基板や金属基板の表面に絶縁性の下地膜を設けたものとすることもできる。そのような下地膜は後の成膜プロセスで求められる耐熱性及び耐薬品性を有し且つ絶縁性の材料であればよく、例えば、窒化シリコン、酸化窒化シリコン、酸化シリコン、窒化酸化シリコン等を用いることができる。尚、本明細書中においては、酸化窒化シリコン膜(SiON膜)とは酸素の組成比が窒素の組成比よりも大きいものを指し、窒化酸化シリコン膜(SiNO膜)とは窒素の組成比が酸素の組成比よりも大きいものを指す。これらは例えばCVD法(化学気相成長法)により好適に形成することができる。また単層ではなく複数層からなる積層膜としてもよい。例えば、ソース領域やドレイン領域が形成される半導体膜が多結晶シリコンからなる場合、ダングリングボンドの発生により多結晶シリコンと窒化シリコンの界面にトラップ準位が生じやすい、あるいは、窒化シリコンの内部応力が大きいために密着性が悪いなどの問題があるため、基板表面に窒化シリコン膜を形成した後、その上に酸化シリコン膜を形成し、この酸化シリコン膜の上に多結晶シリコン膜を形成するとよい。下地膜の厚さは通常30nm～300nmが好ましい。尚、石英基板のように不純物が半導体膜に入り込む心配がない場合な

10

20

30

40

50



ど、基板の種類によっては下地膜の形成を省略することもできる。このように、絶縁性基板 1 はその上に半導体膜を成膜できるように表面が絶縁性であればよく、絶縁性基板 1 の全体が絶縁性材料からなる必要はない。

#### 【0029】

シリコンを含む半導体材料としては、例えば多結晶シリコンを用いることができる。多結晶シリコンはシラン ( $\text{SiH}_4$ ) 等の半導体材料ガスを用いて CVD 法等でアモルファスシリコン膜を形成した後、このアモルファスシリコン膜をレーザ結晶化法などにより結晶化することにより得ることができる。基板 1 として石英基板を用いた場合のように基板の耐熱性が高い場合、レーザ結晶化法の代わりに熱結晶化法を用いることもできる。結晶化を促進するための Ni 等の触媒元素を用いることもできる。多結晶シリコンの他に単結晶シリコン等を用いることもできる。また、SOI 技術を用いて絶縁体 (例えば酸化シリコン) の上に単結晶シリコン層を形成した SOI 基板を用いてもよい。

10

#### 【0030】

続いて図 1 (b) に示す工程では、例えばプラズマドーピング法やイオンプランテーション法により、半導体膜 2 の厚さより小さい深さで不純物を高濃度に添加 (ヘビードープ) して不純物添加層 3 を形成するとともに、不純物添加層 3 の下に不純物が添加されない層 (不純物無添加層と呼ぶ) 4 が残るようにする。半導体膜 2 に添加する不純物は、所望の導電性に適した材料とする。N 型を付与する不純物元素としては、15 族に属する元素を用いればよく、例えばリン (P)、砒素 (As) を用いることができる。P 型を付与する不純物元素としては、ボロン (B) を用いるのが一般的である。

20

#### 【0031】

次に図 1 (c) に示すように、半導体膜 2 の上面にチタン (Ti)、コバルト (Co)、ニッケル (Ni) などからなる金属膜 5 を例えばスパッタリング法により成膜した後、金属膜 5 及び半導体膜 2 を加熱処理して、シリコンを含有する半導体膜 2 中に金属を拡散させることで、金属とシリコンを反応させて半導体膜 2 の上面に金属シリサイド層 6 を形成する。尚、半導体膜 2 内のシリコンを金属膜 5 中に拡散させて金属シリサイド層 6 を得ることもできる。

#### 【0032】

その後、図 1 (d) に示すように、金属膜 5 をエッチング等で除去した後、例えば適切なマスク (図示せず) を用いてドライエッチングを行い、金属シリサイド層 6 を含む半導体膜 2 を島状にする。ドライエッチングのエッチングガスとしては、 $\text{CF}_4$ 、 $\text{NF}_3$ 、 $\text{SF}_6$ 、 $\text{CHF}_3$ 、 $\text{CF}_4$  等のフッ素系のガス、又は該フッ素系ガスに  $\text{O}_2$  ガス、 $\text{H}_2$  ガス、He や Ar 等の不活性ガスを適宜加えた混合ガス等を用いることができる。好ましくは、 $\text{CF}_4$  と  $\text{O}_2$  との混合ガス、 $\text{SF}_6$  と  $\text{O}_2$  との混合ガス、 $\text{CHF}_3$  と He との混合ガス、又は  $\text{CF}_4$  と  $\text{H}_2$  との混合ガスを用いるとよい。また、エッチングはドライエッチングに限られずウェットエッチングで行ってもよい。その場合、多結晶シリコン膜からなる半導体膜に対しては、TMAH (tetramethylammonium hydroxide、テトラメチルアンモニウムヒドロキシド) に代表される有機アルカリ系水溶液を用いたウェットエッチングを行うとよい。なお、エッチング液として TMAH 等を用いた場合、多結晶シリコン膜からなる半導体膜のみが選択的にエッチングされるため、下地の絶縁層にダメージを与えずにエッチングすることができる。

30

40

#### 【0033】

図 1 (e) の工程では、島状化した半導体膜 2 及び金属シリサイド層 6 を覆うようにレジスト 7 を被着し、図示しない適切なマスクを用いて露光してレジスト 7 をパターンニングして、チャンネル形成領域と概ね整合する位置に開口 8 が形成され、チャンネル形成領域を挟んで両側に位置するソース領域及びドレイン領域と概ね整合する位置にはレジスト 7 が残るようにする。この実施例では、開口 8 のチャンネル長方向の寸法は後に形成されるゲート電極と概ね等しい。このパターンニングされたレジスト 7 をマスクとして等方性ウェットエッチングを行うことで金属シリサイド層 6 をパターンニングし、その下の不純物添加層 3 を露出する。図示されているように、等方性ウェットエッチングを用いることによって、金

50

属シリサイド層 6 はサイドエッチングされ（即ち、基板面に垂直な方向だけでなく基板面に沿った方向にもエッチングされ）、レジスト 7 に形成された開口 8 よりも広い領域がエッチングにより除去される。

#### 【 0 0 3 4 】

続いて、図 1 ( f ) の工程では、図 1 ( e ) の工程と同じパターンニングされたレジスト 7 をマスクとして用い、例えば反応性イオンエッチングのような異方性ドライエッチングにより半導体膜 2 ( 即ち、不純物添加層 3 及び不純物無添加層 4 ) をエッチングし、凹部 1 3 を形成する。異方性エッチングを用いることにより、不純物添加層 3 及び不純物無添加層 4 は概ねレジスト 7 に設けた開口パターンに整合してエッチングされる。このとき、エッチングされる不純物無添加層 4 の部分（即ち、凹部 1 3 の底部に位置する部分）が適切な厚さに薄膜化されるようにエッチングレート及び時間を制御する。この薄膜化された半導体膜 2 の部分（不純物無添加層 4 ）はチャネル形成領域 1 2 として働く。また、薄膜化された不純物無添加層 4 の部分の両側に隣接して残り凹部 1 3 の側壁をなす半導体膜 2 の部分内の一対の不純物添加層 3 はソース領域 1 0 及びドレイン領域 1 1 として働く。尚、上記したように金属シリサイド層 6 はサイドエッチングされているため、ソース領域 1 0 上の金属シリサイド層 6 とドレイン領域 1 1 上の金属シリサイド層 6 の間の距離 D 1 は、ソース領域 1 0 とドレイン領域 1 1 の間の距離 D 2 より大きくなっている。

10

#### 【 0 0 3 5 】

図 1 ( g ) の工程では、レジスト 7 を除去した後、例えば C V D 法により表面全体を覆うゲート絶縁膜 1 4 を形成する。このゲート絶縁膜 1 4 の材料としては、上記した下地膜と同様に、窒化シリコン、酸化窒化シリコン、酸化シリコン、窒化酸化シリコン等を用いることができる。

20

#### 【 0 0 3 6 】

その後、図 1 ( h ) に示すように、半導体膜 2 の凹部 1 3 内において薄膜化された不純物無添加層 4 ( 即ち、チャネル形成領域 1 2 ) の上方にゲート絶縁膜 1 4 を介してゲート電極 1 5 を形成する。即ち、本発明では半導体膜 2 の上方にゲート電極が形成された、いわゆるトップゲート構造となっている。そのため、ゲート電極 1 5 にはボトムゲート構造の場合のような制約がなく、ゲート電極 1 5 は導電性を有する様々な材料から形成することができる。例えば、タンタル ( T a )、タングステン ( W )、チタン ( T i )、モリブデン ( M o )、アルミニウム ( A l )、銅 ( C u )、クロム ( C r )、ニオブ ( N b ) 等から選択された元素またはこれらの元素を主成分とする合金若しくは化合物材料から形成することができる。導電性を有する結晶性シリコンを用いることも可能である。ゲート電極 1 5 を形成するには、まず上記の材料を例えばスパッタリング法で成膜する。続いて、その上にフォトレジスト ( 図示せず ) を塗布し露光・現像してパターンニングした後、パターンニングされたフォトレジストをマスクとしてドライエッチングまたはウェットエッチング等でゲート材料の膜をエッチングする。エッチング後フォトレジストは除去される。フォトレジストを露光・現像する代わりにインクジェット装置等を用いてパターンニングを行うこともできる。この例では、ゲート電極 1 5 のチャネル長方向の寸法 ( 図における水平方向の寸法 ) は、ソース領域 1 0 とドレイン領域 1 1 の間の距離 D 2 に概ね等しい。

30

#### 【 0 0 3 7 】

続いて図 1 ( i ) に示すように、表面に層間絶縁膜 1 6 を形成した後、例えばエッチングによりソース領域 1 0 及びドレイン領域 1 1 まで達する開口部 ( コンタクトホール ) 1 7 を形成する。この層間絶縁膜 1 6 は例えば下地膜やゲート絶縁膜 1 4 について述べたのと同様の材料により形成することができる。或いは、液滴吐出法 ( インクジェット法 ) やスピコート法により有機材料 ( 例えば、ポリイミドやポリアミド等 ) から形成することもできる。スピコート法を用いると層間絶縁膜 1 6 の表面を容易に平坦化できるという利点がある。C V D 法により無機材料を層間絶縁膜 1 6 として被着した後、C M P 法 ( 化学機械研磨法 ) により層間絶縁膜 1 6 の表面を平坦化することも可能である。液滴吐出法を用いると直接開口部 1 7 を形成することができるため、別途開口部 1 7 を形成する工程を省略することができる。

40

50

## 【0038】

そして、図1(j)に示すように、ソース領域10及びドレイン領域11上の金属シリサイド層6に接続する配線をなす導電膜18を形成することでTFT20が得られる。この導電膜18の材料は導電性を有していればよく、例えばゲート電極15について上記した材料をスパッタリング法により被着し適切にパターニングすることで導電膜18を形成することができる。

## 【0039】

このように、本発明の好適実施例に基づく半導体装置(TFT)の作製方法によれば、絶縁性基板1上に成膜した半導体膜2にこの半導体膜2の膜厚より小さい深さまで不純物を添加して不純物添加層3を形成し、不純物添加層3上に金属シリサイド層6を形成した後、金属シリサイド層6及び半導体膜2をエッチングして凹部13を形成し、凹部13の底部に位置する半導体膜2(即ち、不純物無添加層4)を薄膜化してチャネル形成領域12とするようにしたことから、金属シリサイド層6とチャネル形成領域12が異なる高さに配置されるので、金属シリサイドがチャネル形成領域12に侵入するのを効果的に防止することができる。また、金属シリサイド層6は凹部13形成前の比較的厚い半導体膜2上に形成されるため、金属シリサイド層6の作製精度を下げることができる。従って、トランジスタを高い歩留りで作製することができる。

## 【0040】

また、チャネル形成領域12のみを薄膜化し、ソース領域10及びドレイン領域11はチャネル形成領域12より大きな厚みを有することから、ソース領域及びドレイン領域も薄くした場合の問題を生じることなく、S値が改善された(即ち、S値が低下された)半導体装置を実現することができる。S値を低下させることで、低い閾値電圧で半導体装置を動作させることができ、従って、半導体装置の動作速度を維持したまま電源電圧を下げることによって消費電力を抑制することができる。

## 【0041】

更に、金属シリサイド層6をエッチングする際に等方性ウェットエッチングを用いることによって、金属シリサイド層6をサイドエッチングし、ソース領域10上の金属シリサイド層6とドレイン領域11上の金属シリサイド層6層の間の距離D1が、ソース領域10とドレイン領域11の間の距離D2より大きくなっているため、ソース領域10とドレイン領域11の間の距離D2とほぼ同じチャネル長寸法の寸法を有するゲート電極15を形成しても、金属シリサイド層6をゲート電極15から十分離すことができ、ゲート電極15と金属シリサイド層6の間のリークを防止することができる。

## 【0042】

上記実施例では、図1(g)の工程で、CVD法により表面全体を覆うゲート絶縁膜14を形成した。しかしながら、図2(a)に示すように熱酸化により不純物添加層3及び薄膜化された不純物無添加層4(12)の露出した面のみを酸化してゲート絶縁膜14aを形成することもできる。この場合も、上記した実施例と同様に、凹部13内にゲート電極15を形成し(図2(b))、更に層間絶縁膜16、開口部17及び導電膜18を形成して、図2(c)に示すようなTFT20aを形成することができる。

## 【0043】

図3(a)~(d)は、本発明の別の実施例に基づく半導体装置(TFT)の作製方法を示す断面図である。尚、本実施例において上記実施例と同様の部分には同じ符号を付して詳しい説明を省略する。

## 【0044】

この実施例では、まず図1(a)~(h)に示したのと同様の工程により、図1(h)に示した構造を得た後、図3(a)に示すように、図1(h)に示した構造の表面を覆うサイドウォール膜としてのSiON膜23を例えばCVD法により形成する。ただし、本実施例では、図1(b)の不純物添加工程において、不純物添加層3は低濃度にドーピングされ、その結果図3(a)においてソース領域10及びドレイン領域11は低濃度にドーピングされている点が上記実施例と異なる。

10

20

30

40

50

## 【0045】

続いて、図3(b)に示すように、SiON膜23をエッチングしてゲート電極15等の側面を覆うサイドウォール24を形成する。通常、このエッチングプロセスではマスクは不要である。

## 【0046】

そして、図3(c)に示すように、サイドウォール24及びゲート電極15をマスクとしてソース領域10及びドレイン領域11に不純物を高濃度にドーブする。このとき、ゲート電極15等の側面を覆うサイドウォール24の膜厚及び幅を適切に制御しておくことにより、サイドウォール24の下方のソース領域10及びドレイン領域11の一部は低濃度のまま残すことができ、それによって低濃度不純物添加領域(またはLDD領域とも言う)25、26が形成される。

10

## 【0047】

その後、図1(i)及び(j)に示したのと同様の工程により層間絶縁膜16、開口部17及び導電膜18を形成することで、図3(d)に示すようなTFT20bが作製される。

## 【0048】

この実施例では、LDD領域25、26を設けることによって、TFT20bのオフ電流値を低減したりホットキャリアによる劣化を防いだりすることができるという利点が見られる。尚、サイドウォール膜としてSiON膜を用いたが、SiNO膜、酸化シリコン膜または窒化シリコン膜を用いることもできる。また、単層膜に限られるものではなく、積層膜としてもよい。

20

## 【0049】

図4(a)~(g)は、本発明の更に別の実施例に基づく半導体装置(TFT)の作製方法を示す断面図である。尚、本実施例において上記実施例と同様の部分には同じ符号を付して詳しい説明を省略する。

## 【0050】

この実施例では、図1(a)~(d)の工程を図1(b)の不純物添加工程を行わずに実行し、図4(a)に示すように、表面に金属シリサイド層6が形成された島状半導体膜2を形成する。この島状半導体2は不純物添加層3を有しておらず、金属シリサイド層6の下は不純物が注入されていない不純物無添加層4となっている。

30

## 【0051】

図4(b)の工程では、図1(e)の工程と同様に、島状化した半導体膜2及び金属シリサイド層6を覆うようにレジスト7を被着しパターニングした後、パターニングしたレジスト7をマスクとして用いて金属シリサイド層6を等方性エッチングする。

## 【0052】

図4(c)の工程では、図1(f)の工程と同様に、異方性エッチングによりレジスト7のパターンに従って半導体膜2(不純物無添加層4)をパターニングして凹部13を画定するとともに、凹部13の底部に位置する半導体膜2の部分を薄膜化して、チャンネル形成領域12とする。

## 【0053】

次いで、図4(d)に示すように、図1(g)の工程と同様に、例えばCVD法により表面全体を覆うゲート絶縁膜14を形成した後、図4(e)に示すように凹部13内のチャンネル形成領域12を覆う絶縁膜14上にゲート電極15を形成する。

40

## 【0054】

図4(f)の工程では、ゲート電極15をマスクとして、不純物のヘビードープを行い、半導体膜2内にソース領域10及びドレイン領域11として働く不純物添加層3を形成する。このとき、不純物はゲート絶縁膜14及び金属シリサイド層6を透過して半導体膜2の所定の深さに注入される。尚、図4(f)に示した例では、不純物は半導体膜2の底面まで達していないが、不純物が半導体膜2の底面まで達するように不純物添加を行ってもよい。その場合、注入された不純物の一部がチャンネル形成領域12へと回り込むように

50

することで低濃度のLDD領域を形成することもできる。

【0055】

その後、図1(i)及び(j)に示したのと同様の工程により、表面を層間絶縁膜16で覆い、開口部17及び導電膜18を形成することで、図4(g)に示すTF20cが作製される。

【0056】

このように、ソース領域10及びドレイン領域11として働く不純物添加層3を形成するための半導体膜2への不純物の添加は、半導体膜2をパターンニングしてチャンネル形成領域12に対応する部分を薄膜化した後に行うこともできる。その場合、上記したようにゲート電極15をマスクとして不純物の注入を行うと、ソース領域10及びドレイン領域11はゲート電極15に自己整合されるので好適である。

10

【0057】

図5(a)~(f)は、本発明の更に別の実施例に基づく半導体装置(TFT)の作製方法を示す断面図である。尚、本実施例において上記実施例と同様の部分には同じ符号を付して詳しい説明を省略する。

【0058】

この実施例では、図1(a)~(d)に示した工程によって図1(d)に示した構造を形成した後、図5(a)に示すように表面を覆うレジスト7を被着する。そしてこのレジスト7を感光するとき図5(a)に示すようなハーフトーンマスク(グレートンマスクとも言う)30を用いる。

20

【0059】

図5(a)に示したハーフトーンマスク30は、マスク基板となる透明な石英板31上に中央部を除いて半透光性膜32が形成され、さらに、その半透光性膜32の上に部分的に、入射光の通過を遮断する遮光膜33が形成された構造を有している。このようなハーフトーンマスク30を用いてレジストを露光/現像することで、レジスト7の膜厚を場所によって変えることができる。

【0060】

この実施例では、ハーフトーンマスク30は中央部に透光領域を有し、その両側に半透光領域を有し、その外側に遮光領域を有している。このようなハーフトーンマスク30を用いてレジスト7を露光/現像することで、図5(b)に示すように、中央部は金属シリサイド層6の表面を露出する開口8が形成され、その両側の部分35は比較的薄い膜厚を有し、その外側の部分36は比較的厚い膜厚を有するパターンニングされたレジスト7が形成される。

30

【0061】

図5(c)の工程では、上記したパターンニングされたレジスト7をマスクとして異方性ドライエッチングを行い、金属シリサイド層6、不純物添加層3及び不純物無添加層4をレジスト7の開口パターンに従ってエッチングし、凹部13を形成してソース領域10及びドレイン領域11を画定する。このとき、上記実施例と同様に、エッチングされる不純物無添加層4が所定の膜厚まで薄膜化されるようにエッチングレート及び時間を制御する。尚、ここでは、金属シリサイド層6、不純物添加層3及び不純物無添加層4のエッチングレートがレジスト7のエッチングレートより大きく(即ち、選択比が大きい)、レジスト7の形状はほとんど変化しない。

40

【0062】

続いて、図5(d)の工程では、レジスト7と共に金属シリサイド層6を異方性エッチングする。このとき、ハーフトーンマスク30の半透光領域に対応するレジストの薄膜部分35に覆われた金属シリサイド層6の部分が除去されるまでエッチングを行い、レジスト7の厚膜部分36及びその下の金属シリサイド層6の部分はエッチングされずに残るようにする。これにより、ソース領域10上の金属シリサイド層6とドレイン領域11上の金属シリサイド層6の間の距離D1は、ソース領域10とドレイン領域11の間の距離D2よりも、ハーフトーンマスク30の半透光領域の寸法の分だけ大きくなる。即ち、この

50

実施例では、ソース領域 10 上の金属シリサイド層 6 とドレイン領域 11 上の金属シリサイド層 6 の間の距離を、ハーフトーンマスク 30 の遮光領域及び半透光性領域の寸法によって正確に定めることができる。

【0063】

そうして、図 5 ( e ) の工程では、図 1 ( g ) の工程と同様に、レジスト 7 を除去した後、表面を覆うゲート絶縁膜 14 を形成する。

【0064】

その後、図 1 ( i ) 及び ( j ) に示したのと同様の工程により、表面を層間絶縁膜 16 で覆い、開口部 17 及び導電膜 18 を形成することで、図 5 ( f ) に示す T F T 20 d が作製される。

10

【0065】

尚、ハーフトーンマスクは図 5 ( a ) に示した半透光膜を用いたものに限られず、図 6 に示すような多孔タイプのハーフトーンマスク 40 を用いることもできる。図 6 のハーフトーンマスク 40 は、石英板 31 上に遮光材料からなる層 41 を有し、その中央部は開口 42 が形成された透光領域となっており、その両側は複数のスリット 43 が形成された半透光領域となっており、更にその両側は開口及びスリットのない遮光領域となっている。このような多孔タイプのハーフトーンマスク 40 も、図 5 ( a ) の半透光膜を用いたハーフトーンマスク 30 と同様に、レジストの露光・現像に用いて、レジストの膜厚を場所によって変えることができる。

【0066】

20

図 7 ( a ) ~ ( d ) は、本発明の更に別の実施例に基づく半導体装置 ( T F T ) の作製方法を示す断面図である。尚、本実施例において上記実施例と同様の部分には同じ符号を付して詳しい説明を省略する。

【0067】

この実施例では、図 1 ( a ) ~ ( d ) に示した工程によって図 1 ( d ) に示した構造を形成した後、図 7 ( a ) に示すように表面を覆うレジスト 7 を被着し、パターンニングして開口 8 を形成し、パターンニングしたレジスト 7 をマスクとして異方性エッチングを行って金属シリサイド層 6、不純物添加層 3 及び不純物無添加層 4 をレジスト 7 の開口パターンに従ってエッチングし、凹部 13 を形成してソース領域 10 及びドレイン領域 11 を画定する。この実施例では、開口 8 のチャンネル長方向の寸法は後に形成されるゲート電極よりも大きい点が、図 1 ( a ) ~ ( j ) の実施例と異なる。

30

【0068】

図 7 ( b ) の工程では、図 1 ( g ) の工程と同様に、レジスト 7 を除去した後、表面を覆う絶縁膜 14 を成膜する。

【0069】

その後、図 1 ( i ) 及び ( j ) に示したのと同様の工程により、表面を層間絶縁膜 16 で覆い、開口部 17 及び導電膜 18 を形成することで、図 7 ( d ) に示す T F T 20 e が作製される。

【0070】

この T F T 20 e では、エッチング時のマスクに用いるレジスト 7 の開口 8 のチャンネル長方向の寸法をゲート電極 15 よりも大きく形成したため、金属シリサイド層 6 の等方性エッチング工程なしに異方性エッチングのみを行って、ゲート電極 15 と金属シリサイド層 6 の間に十分な距離を確保し、それによってそれらの間のリークを防止することができる。ただし、図 7 ( d ) の T F T 20 e では、図 1 ( j ) の T F T 20 と比べてソース領域 10 及びドレイン領域 11 とゲート電極 15 とが離れているためオン抵抗が増大し得る。

40

【0071】

図 8 ( a ) ~ ( g ) は、本発明の更に別の実施例に基づく半導体装置 ( T F T ) の作製方法を示す断面図である。尚、本実施例において上記実施例と同様の部分には同じ符号を付して詳しい説明を省略する。

50

## 【 0 0 7 2 】

この実施例では、図 7 ( a ) を参照して説明した工程により金属シリサイド層 6、不純物添加層 3 及び不純物無添加層 4 を異方性エッチングして凹部 1 3 を形成した後、レジスト 7 を除去して図 8 ( a ) に示す構造を準備する。

## 【 0 0 7 3 】

続いて、図 8 ( b ) に示すように、パターニングされた金属シリサイド層 6 及び半導体膜 2 ( 即ち、ソース領域 1 0、ドレイン領域 1 1 及びチャネル形成領域 1 2 ) の表面を被覆する S i N O 膜 5 1 を成膜し、更にその上に S i O N 膜 5 2 を比較的厚く成膜する。これら S i N O 膜 5 1 及び S i O N 膜 5 2 はサイドウォール膜として働く。

## 【 0 0 7 4 】

図 8 ( c ) の工程では、S i O N 膜 5 2 を例えばドライエッチングによりエッチングして、前記凹部 1 3 の側面に沿った前記 S i O N 膜の部分がサイドウォール 5 3 として残るようにする。このとき S i N O 膜 5 1 はエッチングストップとして働く。より詳細には、S i O N 膜 5 2 と S i N O 膜 5 1 ではエッチングの際のプラズマ発光の波長が異なるので、それを利用して S i N O 膜 5 1 の表面が露出したところでエッチングを止めることができる。これにより、半導体膜 2 ( チャネル形成領域 1 2 ) の損傷 ( またはアモルファス化 ) または膜減りを防止することができる。尚、この実施例では S i N O 膜 5 1 上に S i O N 膜 5 2 を形成しているが、逆でもよい。また、S i N O 膜の代わりに窒化シリコン膜を用いることもできる。サイドウォール膜を積層膜でなく、酸化シリコン、窒化シリコン、酸化窒化シリコンまたは窒化酸化シリコン等からなる単層膜とすることも可能である。

## 【 0 0 7 5 】

続いて、図 8 ( d ) の工程で、サイドウォール 5 3 で覆われず露出した S i N O 膜 5 1 の部分をエッチングにより除去して、凹部 1 3 の底部に位置する薄膜下された不純物無添加層 4 ( チャネル形成領域 1 2 ) 及び凹部 1 3 の両側に位置する金属シリサイド層 6 を露出する。このとき、不純物無添加層 4 及び金属シリサイド層 6 の損傷を極力小さくするためウェットエッチングを用いることが好ましい。

## 【 0 0 7 6 】

図 8 ( e ) の工程では、露出したチャネル形成領域 1 2 及び金属シリサイド層 6 の上面に熱酸化により選択的に絶縁膜 1 4 を形成する。尚、C V D 法などにより表面全体を覆う絶縁膜を形成することもできる。

## 【 0 0 7 7 】

続いて、図 8 ( f ) の工程で、凹部 1 3 内のチャネル形成領域 1 2 の上方に絶縁膜 1 4 を介してゲート電極 1 5 を形成する。

## 【 0 0 7 8 】

その後、図 1 ( i ) 及び ( j ) に示したのと同様の工程により層間絶縁膜 1 6、開口部 1 7 及び導電膜 1 8 を形成することで、T F T 2 0 f が作製される。

## 【 0 0 7 9 】

この T F T 2 0 f では、凹部 1 3 の側面を覆うサイドウォール 5 3 が設けられているため、ゲート電極 1 5 と金属シリサイド層 6 の間のリークをより確実に防止することができる。尚、この実施例でも、図 4 ( a ) ~ ( g ) に示した実施例と同様に、ゲート電極 1 5 の形成後に不純物イオンを添加してソース領域 1 0 及びドレイン領域 1 1 を形成することも可能である。

## 【 0 0 8 0 】

本発明の半導体装置 ( T F T ) 及びその作製方法は、例えば、液晶表示装置の画素トランジスタや周辺駆動回路のスイッチング用 T F T の作製に用いることができる。他の一般的な半導体集積回路内のスイッチング T F T の作製に用いることもできる。本発明を適用可能な電子機器として、デスクトップ、床置き、または壁掛け型ディスプレイ、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置 ( カーオーディオ、オーディオコンポ等 )、コンピュータ、ゲーム機器、携帯情報端末 ( モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等 )、記録媒体を備

10

20

30

40

50

えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体に記録された映像や静止画を再生し、それを表示し得るディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図9（A）～図9（H）に示す。

【0081】

図9（A）はデスクトップ、床置き、または壁掛け型ディスプレイであり、筐体301、支持台302、表示部303、スピーカー部304、ビデオ入力端子305等を含む。このようなディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用など任意の情報表示用表示装置として用いることができる。本発明の半導体装置及びその作製方法は、このようなディスプレイの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないディスプレイを歩留りよく実現することができる。

10

【0082】

図9（B）はデジタルカメラであり、本体311、表示部312、受像部313、操作キー314、外部接続ポート315、シャッターボタン316等を有する。本発明の半導体装置及びその作製方法は、このようなデジタルカメラの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないデジタルカメラを歩留りよく実現することができる。

【0083】

図9（C）はコンピュータであり、本体321、筐体322、表示部323、キーボード324、外部接続ポート325、ポインティングデバイス326等を有する。なおコンピュータには、ノート型コンピュータに代表されるモバイルコンピュータやデスクトップ型コンピュータに代表される据え置き型コンピュータが含まれる。本発明の半導体装置及びその作製方法は、このようなコンピュータの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないコンピュータを歩留りよく実現することができる。

20

【0084】

図9（D）はモバイルコンピュータであり、本体331、表示部332、スイッチ333、操作キー334、赤外線ポート335等を有する。本発明の半導体装置及びその作製方法は、このようなモバイルコンピュータの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないモバイルコンピュータを歩留りよく実現することができる。

30

【0085】

図9（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体341、筐体342、第1表示部343、第2表示部344、記録媒体（DVD等）読み込み部345、操作キー346、スピーカー部347等を有する。第1表示部343は主として画像情報を表示し、第2表示部344は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の半導体装置及びその作製方法は、このような携帯型画像再生装置の第1及び第2表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ない携帯型画像再生装置を歩留りよく実現することができる。

40

【0086】

図9（F）はゴーグル型ディスプレイであり、本体351、表示部352、アーム部353を有する。本発明の半導体装置及びその作製方法は、このようなゴーグル型ディスプレイの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いる

50



ことができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないゴーグル型ディスプレイを歩留りよく実演することができる。

【0087】

図9(G)はビデオカメラであり、本体361、表示部362、筐体363、外部接続ポート364、リモコン受信部365、受像部366、バッテリー367、音声入力部368、操作キー369等を有する。本発明の半導体装置及びその作製方法は、このようなビデオカメラの表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ないビデオカメラを歩留りよく実演することができる。

10

【0088】

図9(H)は携帯電話機であり、本体371、筐体372、表示部373、音声入力部374、音声出力部375、操作キー376、外部接続ポート377、アンテナ378等を有する。本発明の半導体装置及びその作製方法は、このような携帯電話の表示部の画素トランジスタ及び周辺駆動回路のスイッチングトランジスタに用いることができ、それによって、トランジスタのソース領域及びドレイン領域の抵抗及びそれらに対するコンタクト抵抗を低減し、発熱及び消費電力が少ない携帯電話を歩留りよく実演することができる。

【0089】

尚、上記したような電子機器の表示部は、例えば各画素にLEDや有機ELなどの発光素子を用いた自発光型とすることも、或いは、液晶ディスプレイのようにバックライトなど別の光源を用いたものとすることもできるが、自発光型の場合、バックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

20

【0090】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示したり、TV受像器として用いられたりすることが多くなり、特に動画情報を表示する機会が増してきている。表示部が自発光型の場合、有機EL等の発光材料の応答速度は液晶に比べて非常に速いため、そのような動画表示に好適である。また、応答時間の速さは時間分割駆動を行う上でも好ましい。また、自発光型であることによって、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

30

【0091】

自発光型の表示部では発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部を自発光型とする場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0092】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

40

【図面の簡単な説明】

【0093】

【図1(a)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(b)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(c)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(d)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(e)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(f)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(g)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

【図1(h)】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。

50

- 【図 1 ( i )】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。
- 【図 1 ( j )】本発明に基づく半導体装置の作製方法の好適実施例を示すための断面図。
- 【図 2 ( a )】本発明に基づく半導体装置の作製方法の別の実施例を示すための断面図。
- 【図 2 ( b )】本発明に基づく半導体装置の作製方法の別の実施例を示すための断面図。
- 【図 2 ( c )】本発明に基づく半導体装置の作製方法の別の実施例を示すための断面図。
- 【図 3 ( a )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 3 ( b )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 3 ( c )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。 10
- 【図 3 ( d )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( a )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( b )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( c )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( d )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。 20
- 【図 4 ( e )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( f )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 4 ( g )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 5 ( a )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 5 ( b )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。 30
- 【図 5 ( c )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 5 ( d )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 5 ( e )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 5 ( f )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 6】ハーフトーンマスクの別の実施例を示す断面図。 40
- 【図 7 ( a )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 7 ( b )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 7 ( c )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 7 ( d )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。
- 【図 8 ( a )】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。 50

【図8(b)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

【図8(c)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

【図8(d)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

【図8(e)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

【図8(f)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

10

【図8(g)】本発明に基づく半導体装置の作製方法の更に別の実施例を示すための断面図。

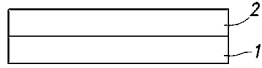
【図9】本発明を適用可能な電子機器を示す斜視図。

【符号の説明】

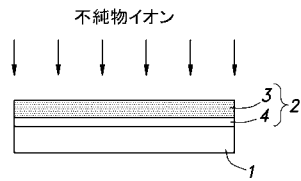
【0094】

- |            |                      |    |
|------------|----------------------|----|
| 1          | 絶縁性基板                |    |
| 2          | 半導体膜                 |    |
| 3          | 不純物添加層               |    |
| 4          | 不純物無添加層              |    |
| 5          | 金属膜                  | 20 |
| 6          | 金属シリサイド層             |    |
| 7          | レジスト                 |    |
| 8          | 開口                   |    |
| 10         | ソース領域                |    |
| 11         | ドレイン領域               |    |
| 12         | チャンネル形成領域            |    |
| 13         | 凹部                   |    |
| 14         | ゲート絶縁膜               |    |
| 14a        | ゲート絶縁膜               |    |
| 15         | ゲート電極                | 30 |
| 16         | 層間絶縁膜                |    |
| 17         | 開口部(コンタクトホール)        |    |
| 18         | 導電膜                  |    |
| 20、20a~20f | TFT                  |    |
| 23         | SiON膜                |    |
| 24         | サイドウォール              |    |
| 25、26      | 低濃度不純物添加領域(LDD領域)    |    |
| 30、40      | ハーフトーンマスク(グレートーンマスク) |    |
| 31         | 石英板                  |    |
| 32         | 半透光性膜                | 40 |
| 33         | 遮光膜                  |    |
| 35         | 薄膜部分                 |    |
| 36         | 厚膜部分                 |    |
| 41         | 遮光材料層                |    |
| 42         | 開口                   |    |
| 43         | スリット                 |    |
| 51         | SiNO膜                |    |
| 52         | SiON膜                |    |
| 53         | サイドウォール              |    |

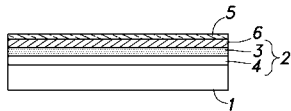
【図1(a)】



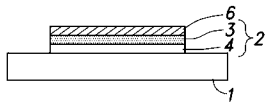
【図1(b)】



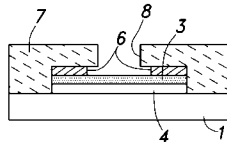
【図1(c)】



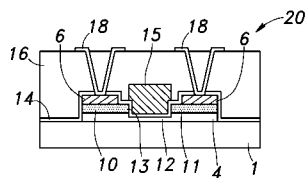
【図1(d)】



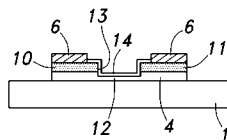
【図1(e)】



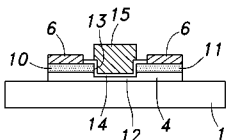
【図1(j)】



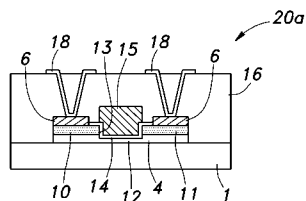
【図2(a)】



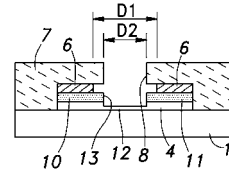
【図2(b)】



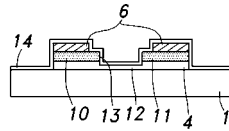
【図2(c)】



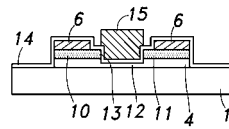
【図1(f)】



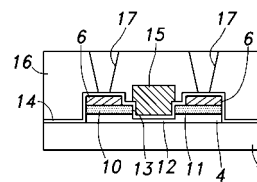
【図1(g)】



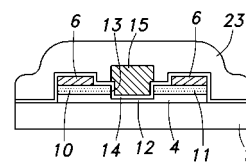
【図1(h)】



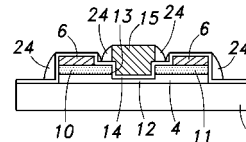
【図1(i)】



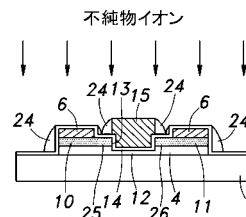
【図3(a)】



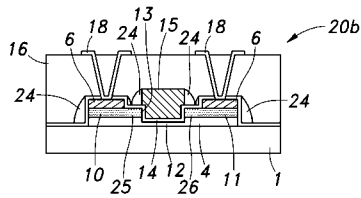
【図3(b)】



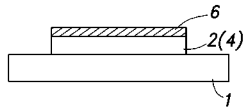
【図3(c)】



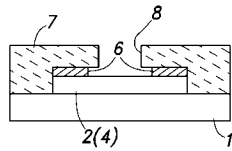
【図3(d)】



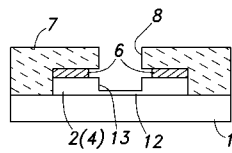
【図4(a)】



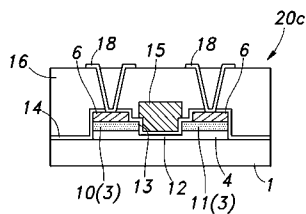
【図4(b)】



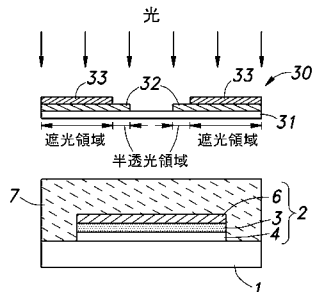
【図4(c)】



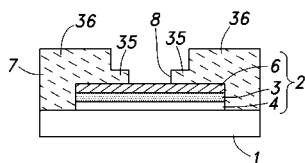
【図4(g)】



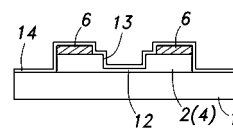
【図5(a)】



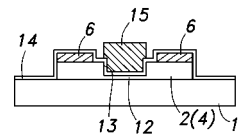
【図5(b)】



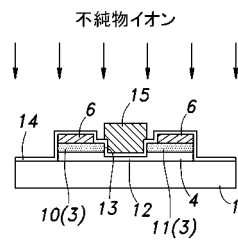
【図4(d)】



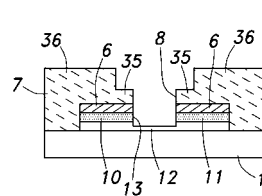
【図4(e)】



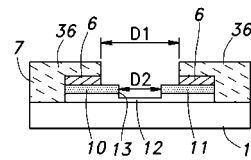
【図4(f)】



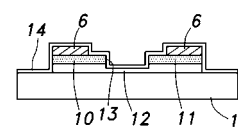
【図5(c)】



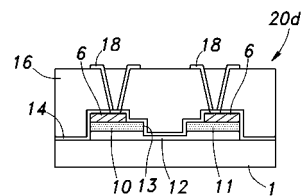
【図5(d)】



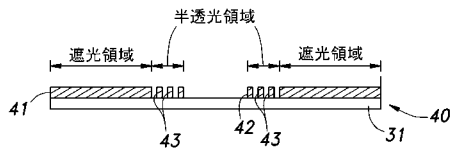
【図5(e)】



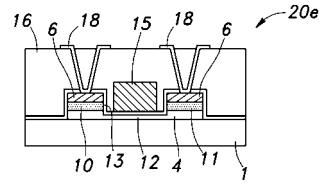
【図5(f)】



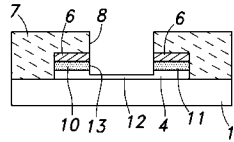
【図6】



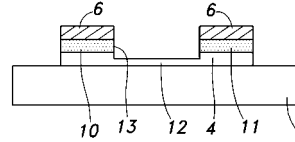
【図7(d)】



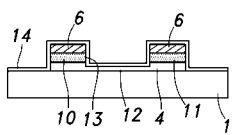
【図7(a)】



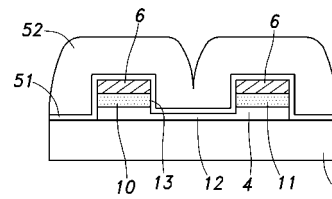
【図8(a)】



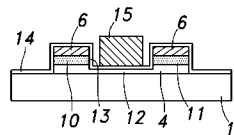
【図7(b)】



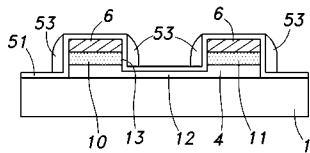
【図8(b)】



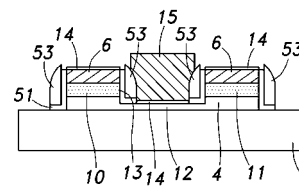
【図7(c)】



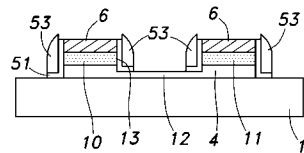
【図8(c)】



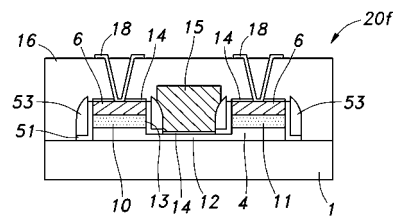
【図8(f)】



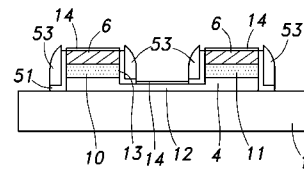
【図8(d)】



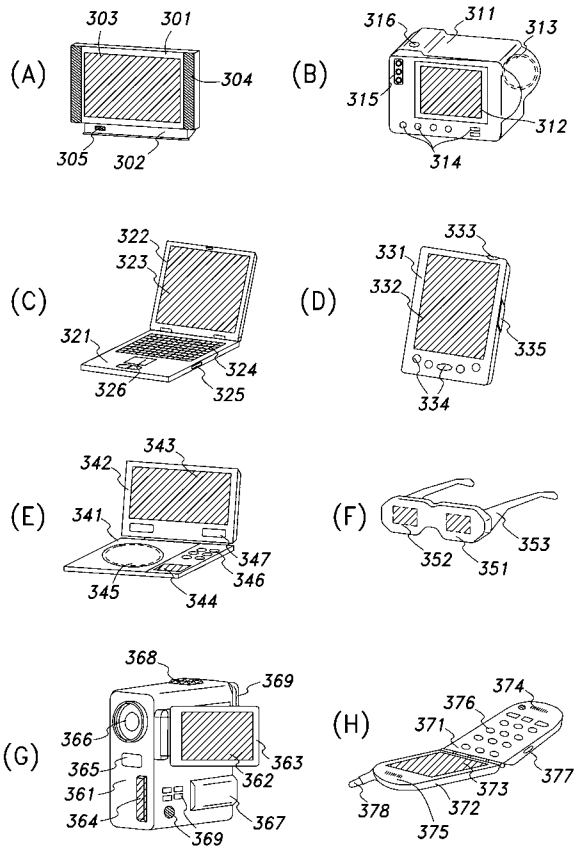
【図8(g)】



【図8(e)】



【 図 9 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 2 7 C

(72)発明者 佐藤 由里香  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 鈴木 聡一郎

(56)参考文献 特開平07-312426(JP,A)  
特開平02-027769(JP,A)  
特開2002-033490(JP,A)  
特開2001-257357(JP,A)  
特開2002-118262(JP,A)  
特開2005-332993(JP,A)  
特開平02-003938(JP,A)  
特開平08-088363(JP,A)  
特開2002-118183(JP,A)  
米国特許第05918130(US,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 6