

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-179040

(P2007-179040A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	2H093
G09G 3/20 (2006.01)	G09G 3/20 611H	3K107
G02F 1/133 (2006.01)	G09G 3/20 642A	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 11 O L (全 71 頁) 最終頁に続く		

(21) 出願番号 特願2006-325656 (P2006-325656)
 (22) 出願日 平成18年12月1日 (2006.12.1)
 (31) 優先権主張番号 特願2005-350023 (P2005-350023)
 (32) 優先日 平成17年12月2日 (2005.12.2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

Fターム(参考) 2H093 NA16 NC01 NC09 NC10 NC11
 NC12 NC24 NC26 NC34 NC41
 ND60 NE01 NE02 NE03
 3K107 AA01 BB01 CC14 CC32 CC33
 EE04 HH04 HH05
 5C080 AA06 BB05 DD05 EE29 JJ02
 JJ03 JJ05 JJ06 KK07

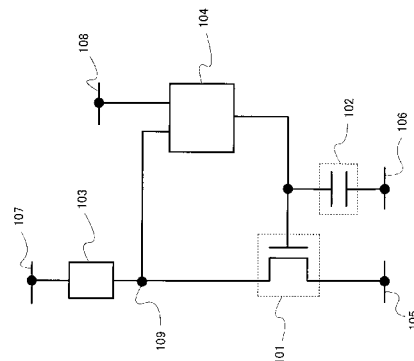
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】トランジスタの特性バラツキの影響を低減し、負荷の電圧電流特性が変化しても、所定の電流を供給でき、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

【解決手段】半導体装置は、電流電圧変換素子とトランジスタとが直列に接続され、電流電圧変換素子に電流が流れるときにかかる電圧を増幅回路で検出し、その電圧に基づいて増幅回路がトランジスタのゲートソース間電圧を設定する。よって、増幅回路は出力インピーダンスが低いので信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソース端子又はドレイン端子の一方が電流電圧変換素子と電氣的に接続され、

前記トランジスタが飽和領域で動作するように前記トランジスタのゲート端子とソース端子との間の電圧を制御することにより前記電流電圧変換素子に発生する電圧を制御する増幅回路が設けられていることを特徴とする半導体装置。

【請求項 2】

負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソース端子又はドレイン端子の一方が電流電圧変換素子と電氣的に接続され、

前記トランジスタが飽和領域で動作するように前記トランジスタのゲート端子の電位を制御することにより前記電流電圧変換素子に発生する電圧を制御する増幅回路が設けられていることを特徴とする半導体装置。

【請求項 3】

負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソース端子又はドレイン端子の一方が電流電圧変換素子と電氣的に接続され、

前記トランジスタが飽和領域で動作するように前記トランジスタのソース端子又はドレイン端子の他方の電位を制御することにより前記電流電圧変換素子に発生する電圧を制御する増幅回路が設けられていることを特徴とする半導体装置。

【請求項 4】

ソース端子又はドレイン端子の一方は電位が供給される配線と接続され、ソース端子又はドレイン端子の他方が電流電圧変換素子と電氣的に接続されるトランジスタと、

第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続され、第 2 の入力端子は電位が供給される配線と接続され、出力端子が前記トランジスタのゲート端子と電氣的に接続される増幅回路と、

を有することを特徴とする半導体装置。

【請求項 5】

ソース端子又はドレイン端子の一方とゲート端子との間に容量を備え、ソース端子又はドレイン端子の他方が電流電圧変換素子と電氣的に接続されるトランジスタと、

第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続され、第 2 の入力端子は電位が供給される配線と接続され、出力端子が前記トランジスタのゲート端子と電氣的に接続される増幅回路と、

を有することを特徴とする半導体装置。

【請求項 6】

ソース端子又はドレイン端子の一方は電位が供給される配線と接続され、ソース端子又はドレイン端子の他方が電流電圧変換素子と電氣的に接続されるトランジスタと、

第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続され、第 2 の入力端子は電位が供給される配線と接続され、出力端子が前記トランジスタのゲート端子と電氣的に接続される増幅回路と、

前記トランジスタのゲート端子に一方の電極が電氣的に接続され、他方の電極は電位が供給される配線と接続される容量素子と、

を有することを特徴とする半導体装置。

【請求項 7】

ソース端子又はドレイン端子の一方が電流電圧変換素子と電氣的に接続され、ゲート端子は電位が供給される配線と接続されるトランジスタと、

第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の一方と電氣的に接続され、第 2 の入力端子が前記トランジスタのゲート端子と電氣的に接続され、出力端子が

10

20

30

40

50

前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続される増幅回路と電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】

ソース端子又はドレイン端子の一方とゲート端子のとの間に容量を備え、ソース端子又はドレイン端子の他方が電流電圧変換素子と電氣的に接続されるトランジスタと、第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続され、第 2 の入力端子が前記トランジスタのゲート端子と電氣的に接続され、出力端子が前記トランジスタのソース端子又はドレイン端子の一方と電氣的に接続される増幅回路と、
を有することを特徴とする半導体装置。

10

【請求項 9】

ソース端子又はドレイン端子の一方が電流電圧変換素子と電氣的に接続され、ゲート端子は電位が供給される配線と接続されるトランジスタと、第 1 の入力端子が前記トランジスタのソース端子又はドレイン端子の一方と電氣的に接続され、第 2 の入力端子が前記トランジスタのゲート端子と電氣的に接続され、出力端子が前記トランジスタのソース端子又はドレイン端子の他方と電氣的に接続される増幅回路と、
前記トランジスタのゲート端子に一方の電極が接続され、他方の電極は電位が供給される配線と接続される容量素子と、
を有することを特徴とする半導体装置。

20

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、前記増幅回路はオペアンプであることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項において、前記電流電圧変換素子は抵抗素子であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に関する。また、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素を駆動する信号線駆動回路を含む表示装置に関する。

30

【背景技術】

【0002】

有機発光ダイオード (OLED (Organic Light Emitting Diode)、有機 EL 素子、エレクトロルミネッセンス (Electro Luminescence: EL) 素子などとも言う) に代表される自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが知られている。前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ (TFT) によって制御するアクティブマトリクス方式の開発が進められている。

40

【0003】

アクティブマトリクス方式の表示装置の場合、駆動 TFT の電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題が認識されていた。つまり、画素回路には発光素子に流れる電流を駆動する駆動 TFT が用いられており、これらの駆動 TFT の特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動 TFT の特性がばらついて発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている (例えば、特許文献 1 乃至 4 参照。)。

【0004】

特許文献 1 乃至 3 には、画素回路内に配置された駆動 TFT の特性のバラツキによって

50

発光素子に流れる電流値の変動を防ぐための回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる信号電流の変化を抑制するための回路構成が開示されている。

【0005】

図54に、特許文献1に開示されている従来のアクティブマトリクス型表示装置の第1の構成例を示す。図54の画素は、ソース信号線5401、第1～第3のゲート信号線5402～5404、電流供給線5405、TFT5406～5409、保持容量5410、EL素子5411、信号電流入力用電流源5412を有する。

【0006】

図55を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図54に準ずる。図55(A)～(C)は、電流の流れを模式的に示している。図55(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図55(E)は、同じく信号電流の書き込み時に、保持容量5410に蓄積される電圧、つまりTFT5408のゲートソース間電圧について示している。

【0007】

まず、第1のゲート信号線5402および第2のゲート信号線5403にパルスが入力され、TFT5406、5407がONする。このとき、ソース信号線を流れる電流、すなわち信号電流をIdataとする。

【0008】

ソース信号線には、電流Idataが流れているので、図55(A)に示すように、画素内では、電流の経路はI1とI2とに分かれて流れる。これらの関係を図55(D)に示している。なお、 $Idata = I1 + I2$ であることは言うまでもない。

【0009】

TFT5406がONした瞬間には、まだ保持容量5410には電荷が保持されていないため、TFT5408はOFFしている。よって、 $I2 = 0$ となり、 $Idata = I1$ となる。すなわちこの間は、保持容量5410における電荷の蓄積による電流のみが流れている。

【0010】

その後、徐々に保持容量5410に電荷が蓄積され、両電極間に電位差が生じ始める(図55(E))。両電極の電位差がVthとなると(図55(E) A点)、TFT5408がONして、I2が生ずる。先に述べたように、 $Idata = I1 + I2$ であるので、I1は次第に減少するが、依然電流は流れており、さらに保持容量には電荷の蓄積が行われる。

【0011】

保持容量5410においては、その両電極の電位差、つまりTFT5408のゲートソース間電圧が所望の電圧、つまりTFT5408がIdataの電流を流すことが出来るだけの電圧(VGS)になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図55(E) B点)と、電流I1は流れなくなり、さらにTFT5408はそのときのVGSに見合った電流が流れ、 $Idata = I2$ となる(図55(B))。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線5402および第2のゲート信号線5403の選択が終了し、TFT5406、5407がOFFする。

【0012】

続いて、発光動作に移る。第3のゲート信号線5404にパルスが入力され、TFT5409がONする。保持容量5410には、先ほど書き込んだVGSが保持されているため、TFT5408はONしており、電流供給線5405から、Idataの電流が流れる。これによりEL素子5411が発光する。このとき、TFT5408が飽和領域において動作するようにしておけば、TFT5408のソースドレイン間電圧が変化したとしても、Idataは変わりなく流れることが出来る。

10

20

30

40

50

【0013】

このように、設定した電流を出力する動作を、出力動作と呼ぶことにする。電流書き込み型画素のメリットとして、TFT5408の特性等にばらつきがあった場合であっても、保持容量5410には、電流I dataを流すのに必要なゲートソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

【0014】

以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

10

【0015】

また、発光素子(EL)を駆動する電流を供給する供給トランジスタ(M5)から流れる電流(Ir)と同じ電流値の電流(Is)を参照トランジスタ(M4)を介して駆動制御回路(2a)に導き、該電流(Is)と参照トランジスタ(M4)のソースドレイン電圧情報(Vs)と供給トランジスタ(M5)のソースドレイン電圧情報(Vr、Vdrv)とに基づいて、電流(Is)が所望の設定電流値(Idrv)に近づくように且つ各ソースドレイン電圧情報(Vs、Vr)が等しくなるように制御することが可能な構成を有する電流供給回路(1)と駆動制御回路(2a)とを備えた発光素子の駆動回路が知られている(特許文献5参照。)

20

【0016】

また、第1の電源と第2の電源との間に直列に設けられた発光素子とこの発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを制御する制御信号を前記駆動トランジスタのゲートに導くための第1のスイッチングトランジスタと、前記発光素子と駆動トランジスタとの接続点の電圧と前記表示装置に入力する画素の輝度を示す制御電圧とを比較し、前記制御信号を生成するための差動増幅器とからなり、前記制御信号を前記第1のスイッチングトランジスタを介して、前記駆動トランジスタのゲートに導くように構成した駆動回路が知られている(特許文献6参照。)

【0017】

このように、従来技術では、信号電流とTFTを駆動する電流、或いは信号電流と発光素子に発光時に流れる電流とが等しくなるように、または比例関係を保つように構成されている。

30

【特許文献1】特表2002-517806号公報

【特許文献2】国際公開第01/06484号パンフレット

【特許文献3】特表2002-514320号公報

【特許文献4】国際公開第02/39420号パンフレット

【特許文献5】特表2003-108069号公報

【特許文献6】特表2003-58106号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0018】

しかしながら、信号電流を駆動TFTや発光素子に供給するために用いられる配線の寄生容量は極めて大きいため、信号電流が小さい場合には配線の寄生容量を充電する時定数が大きくなり、信号書き込み速度が遅くなってしまうという問題点がある。すなわち、トランジスタに信号電流を供給しても、それを流すのに必要な電圧をゲート端子に生じさせるまでの時間が長くなってしまい、信号の書き込み速度が遅くなってしまうことが問題となっている。

【0019】

また、図55(A)から分かるとおり、電流を入力しているときは、TFT5408のゲート端子とドレイン端子とは、接続されている。したがって、ゲートソース間電圧(V

50

g_s) とドレインソース間電圧 (V_{ds}) が等しい。一方、図 5 5 (C) から分かるとおり、負荷に電流を供給しているときは、ドレインソース間電圧は、負荷の特性によって決まる。

【0020】

図 5 6 は、TFT5408 と EL 素子 5411 に流れる電流と、各々に加わる電圧の関係を示している。また、図 5 7 は、図 5 6 に示した構成における EL 素子 5411 の電圧電流特性 5701 と、TFT5408 の電圧電流特性を示す。各々のグラフの交点が動作点となる。

【0021】

まず、電流値が大きい場合 (TFT5408 のゲートソース間電圧の絶対値が大きい場合) には、TFT5408 の電圧電流特性 5702 a において、電流を入力しているときは、 $V_{gs} = V_{ds}$ なので、動作点 5704 において動作する。そして、EL 素子 5411 に電流を供給しているときは、EL 素子 5411 の電圧電流特性 5701 と TFT5408 の電圧電流特性 5702 a の交点が動作点 5705 a となる。つまり、ドレインソース間電圧は、電流を入力しているときと EL 素子 5411 に電流を供給しているときとは、異なる。しかし、飽和領域においては、電流値が一定なので、正しい大きさの電流を EL 素子 5411 に供給することが出来る。

10

【0022】

しかしながら、実際のトランジスタは、キंक (アーリー) 効果によって、飽和領域においても、電流が一定値にならない場合が多い。そのため、EL 素子 5411 に電流を供給しているときは、EL 素子 5411 の電圧電流特性 5701 と TFT5408 の電圧電流特性 5702 c の交点が動作点 5705 c となり電流値が変わってしまう。

20

【0023】

一方、電流値が小さい場合 (TFT5408 のゲートソース間電圧の絶対値が小さい場合) には、TFT5408 の電圧電流特性 5703 a において、電流を入力しているときは、 $V_{gs} = V_{ds}$ なので、動作点 5706 において動作する。そして、EL 素子 5411 に電流を供給しているときは、EL 素子 5411 の電圧電流特性 5701 と TFT5408 の電圧電流特性 5703 a の交点が動作点 5707 a となる。

【0024】

そして、キंक (アーリー) 効果を考慮すると、EL 素子 5411 に電流を供給しているときは、EL 素子 5411 の電圧電流特性 5701 と TFT5408 の電圧電流特性 5703 c の交点が動作点 5707 c となる。よって、EL 素子 5411 に供給する時の電流値は、電流を入力しているときとは異なってしまう。

30

【0025】

電流値が大きい場合 (TFT5408 のゲートソース間電圧の絶対値が大きい場合) と、電流値が小さい場合 (TFT5408 のゲートソース間電圧の絶対値が小さい場合) とを比較すると、前者は、動作点 5704 と動作点 5705 c は、あまりずれない。つまり、トランジスタのドレインソース間電圧は、電流入力時と、EL 素子 5411 に電流を供給しているときとは、あまり変わらない。しかし、電流値が小さい場合、動作点 5706 と動作点 5707 c は、大きくずれていない。つまり、トランジスタのドレインソース間電圧は、電流を入力しているときと、EL 素子 5411 に電流を供給しているときとで、大きく変化している。したがって、電流値のずれも大きい。

40

【0026】

その結果、EL 素子 5411 には、より多くの電流が流れてしまう。したがって、輝度が小さい画像を表示させる場合、実際には、明るめの画像が表示されてしまう。そのため、黒を表示したいのに、少し発光してしまうということが生じてしまう。その結果、コントラストが低下してしまう。

【0027】

また、図 5 4 の構成の場合、図 5 5 (A) に示すように、信号電流を入力している時、TFT5408 のゲートドレイン間は、接続されている。つまり、 $V_{gs} = V_{ds}$ となっ

50

ている。通常のトランジスタでは、 $V_{gs} = 0$ の場合、電流はほとんど流れない。しかし、しきい値電圧 (V_{th}) の値によっては、電流が流れてしまう場合がある。例えば、Pチャネル型トランジスタの場合、 $V_{th} > 0$ のとき、また、Nチャネル型トランジスタの場合、 $V_{th} < 0$ の場合は、電流がながれてしまう。このような場合、 $V_{gs} = V_{ds}$ の時は、飽和領域ではなく、線形領域で動作することになる。よって、図55(A)において線形領域で動作することになる。よって、図55(C)の時、飽和領域で動作すれば、図55(A)の時と図55(C)の時とは、電流値が変わってしまう。

【0028】

つまり、 $V_{gs} = 0$ の場合に、電流が流れるようなしきい値電圧 (V_{th}) になっているトランジスタでは、 $V_{gs} = V_{ds}$ となるような状態では、線形領域でしか動作しないことになり、飽和領域で動作させることが出来ない。

10

【0029】

例えば、図54や図55に示すような構成の場合、TFT5408は、飽和領域で動作させる。そのため、図58に示すように、EL素子5411の電圧電流特性5701aが劣化によってシフトした場合でも、動作点は動作点5705aから動作点5705bに移動するだけである。すなわち、EL素子5411に加わる電圧やTFT5408のドレインソース間電圧が変わっても、EL素子5411に流れる電流は変化しない。これにより、EL素子5411の焼きつきを低減することができる。

【0030】

しかし、特許文献6に記載されていた構成の場合、EL素子と駆動トランジスタとの接続点の電圧と表示装置に入力する画素の輝度を示す制御電圧とを比較している。そのため、EL素子の電圧電流特性がシフトしたら、EL素子5411に流れる電流が変化してしまう。つまり、EL素子5411の焼きつきが生じてしまうことになる。

20

【0031】

特許文献5に記載されていた構成の場合、トランジスタM7とトランジスタM9は、電流特性が揃っている必要がある。もし、ばらつけば、発光素子(EL)に流れる電流もばらついてしまう。同様に、トランジスタM8とトランジスタM11、トランジスタM10とトランジスタM12なども、電流特性が揃っている必要がある。このように、多くのトランジスタにおいて、電流特性が揃っている必要がある。もし揃っていなければ、発光素子(EL)に流れる電流もばらついてしまう。そのため、製造歩留まりが低下し、コスト高となり、回路のレイアウト面積が大きくなり、消費電力が高くなるといった問題が発生する。

30

【0032】

本発明はこのような問題点に鑑み、トランジスタの特性バラツキの影響を低減し、負荷の電圧電流特性が変化しても、所定の電流を供給でき、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0033】

本発明の半導体装置は、電流電圧変換素子とトランジスタとが直列に接続され、電流電圧変換素子に電流が流れるときにかかる電圧を増幅回路で検出し、その電圧に基づいて増幅回路がトランジスタのゲートソース間電圧を設定する。

40

【0034】

本発明の半導体装置の第1の構成は、電流電圧変換素子と、トランジスタと、増幅回路と、を有し、該電流電圧変換素子と該トランジスタのソース端子又はドレイン端子の一方が接続され、該増幅回路は、第1の入力端子が該トランジスタのソース端子又はドレイン端子の一方と接続され、第2の入力端子には所定の電位が入力され、出力端子が該トランジスタのゲート端子と接続されている。そして、該増幅回路は第1の入力端子と第2の入力端子とが電位差が所定の電位差となるように該トランジスタのゲート端子の電位を制御する。

50

【0035】

本発明の半導体装置の一は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、該トランジスタのソース端子又はドレイン端子の一方が電流電圧変換素子と接続され、該トランジスタが飽和領域で動作するように該トランジスタのゲート端子の電位を制御することにより該電流電圧変換素子に発生する電圧を制御する増幅回路が設けられている。

【0036】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方には所定の電位が供給され、ソース端子又はドレイン端子の他方が電流電圧変換素子と接続されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の他方と接続され、第2の入力端子には所定の電位が供給され、出力端子が該トランジスタのゲート端子と接続される増幅回路と、を有する。

10

【0037】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方とゲート端子との間に容量を備え、ソース端子又はドレイン端子の他方が電流電圧変換素子と接続されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の他方と接続され、第2の入力端子には所定の電位が供給され、出力端子が該トランジスタのゲート端子と接続される増幅回路と、を有する。

【0038】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方には所定の電位が供給され、ソース端子又はドレイン端子の他方が電流電圧変換素子と接続されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の他方と接続され、第2の入力端子には所定の電位が供給され、出力端子が該トランジスタのゲート端子と接続される増幅回路と、該トランジスタのゲート端子に一方の電極が接続され、他方の電極には所定の電位が供給される容量素子と、を有する。

20

【0039】

本発明の半導体装置の一は、上記構成において、該トランジスタはN型のトランジスタである。

【0040】

本発明の半導体装置の一は、上記構成において、該トランジスタはP型のトランジスタである。

30

【0041】

本発明の半導体装置の基本的な第2の構成は、電流電圧変換素子と、トランジスタと、増幅回路と、を有し、該電流電圧変換素子と該トランジスタのソース端子又はドレイン端子の一方が接続され、該トランジスタのゲート端子には所定の電位が供給され、該増幅回路は、第1の入力端子は該トランジスタのソース端子又はドレイン端子の一方と接続され、第2の入力端子が該トランジスタのゲート端子と接続され、出力端子が該トランジスタのソース端子又はドレイン端子の他方と接続されている。そして、該増幅回路は第1の入力端子と第2の入力端子とが所定の電位差となるように該トランジスタのソース端子又はドレイン端子の他方の電位を制御する。

40

【0042】

以下に本発明の半導体装置の第2の構成の具体的な構成を示す。

【0043】

本発明の半導体装置の一は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、該トランジスタのソース端子又はドレイン端子の一方が電流電圧変換素子と接続され、該トランジスタが飽和領域で動作するように該トランジスタのソース端子又はドレイン端子の他方の電位を制御することにより該電流電圧変換素子に発生する電圧を制御する増幅回路が設けられている。

【0044】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方が電流電圧変換素子と接

50

続され、ゲート端子に所定の電位が供給されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の一方と接続され、第2の入力端子が該トランジスタのゲート端子と接続され、出力端子が該トランジスタのソース端子又はドレイン端子の他方と接続される増幅回路と接続されている。

【0045】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方とゲート端子のとの間に容量を備え、ソース端子又はドレイン端子の他方が電流電圧変換素子と接続されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の他方と接続され、第2の入力端子が該トランジスタのゲート端子と接続され、出力端子が該トランジスタのソース端子又はドレイン端子の一方と接続される増幅回路と、を有する。

10

【0046】

本発明の半導体装置の一は、ソース端子又はドレイン端子の一方が電流電圧変換素子と接続され、ゲート端子に所定の電位が供給されるトランジスタと、第1の入力端子が該トランジスタのソース端子又はドレイン端子の一方と接続され、第2の入力端子が該トランジスタのゲート端子と接続され、出力端子が該トランジスタのソース端子又はドレイン端子の他方と接続される増幅回路と、該トランジスタのゲート端子に一方の電極が接続され、他方の電極には所定の電位が供給される容量素子と、を有する。

【0047】

本発明の半導体装置の一は、上記構成において、該トランジスタはN型のトランジスタである。

20

【0048】

本発明の半導体装置の一は、上記構成において、該トランジスタはP型のトランジスタである。

【0049】

なお、明細書に示すスイッチは、電流の流れを制御できるものなら様々な形態を用いることが出来る。それゆえ電氣的スイッチや機械的なスイッチなどを適用することができる。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして用いるトランジスタのソース端子の電位が、低電位側電源(V_{ss} 、GND、0Vなど)に近い状態で動作する場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源(V_{dd} など)に近い状態で動作する場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、トランジスタがスイッチとしての機能を果たし易くなるからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

30

【0050】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、間に別の素子やスイッチなどが配置されていてもよい。

40

【0051】

なお、表示素子は、様々な形態を用いることが出来る。例えば、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子インクなど、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0052】

50

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することが出来る。

【0053】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にTFTを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。

10

【0054】

なお、本明細書においては、一画素とは画像の最小単位を示すものとする。よって、R(赤)G(緑)B(青)の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。

20

【0055】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配置されている場合はもちろんのこと、三色の色要素(例えばRGB)でフルカラー表示を行う場合に、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。また、色要素のドット毎にその発光領域の大きさが異なってもよい。

30

【0056】

トランジスタとは、それぞれ、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本形態においては、ソース領域及びドレイン領域として機能する領域を、それぞれ第1端子、第2端子と表記する。

【0057】

なお、本明細書において、半導体装置とは半導体素子(トランジスタやダイオードなど)を含む回路を有する装置をいう。また、表示装置とは、基板上に表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけでなく、それにフレキシブルプリントサーキット(FPC)やプリント配線基盤(PWB)が取り付けられたものも含む。また、発光装置とは、特に自発光型の表示素子を用いている表示装置をいう。

40

【発明の効果】

【0058】

本発明の半導体装置はトランジスタの特性バラツキの影響を低減し、負荷の電圧電流特性が変化しても、所定の電流を供給でき、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることができる。

【発明を実施するための最良の形態】

50

【0059】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0060】

(実施の形態1)

本発明の基本原理は、流れる電流値によって発光輝度を制御することが可能な発光素子で画素を形成した表示装置に適用することができる。代表的な発光素子としてEL素子が挙げられる。

10

【0061】

また、EL素子などのような発光素子を有する画素だけでなく、電流源を有する様々なアナログ回路に適用することもできる。そこで、本実施の形態では本発明の基本原理について説明する。

【0062】

まず、図1に本発明の基本原理に基づく半導体装置の基本構成を示す。トランジスタ101と、容量素子102と、電流電圧変換素子103と、増幅回路104とを有する。なおトランジスタ101はNチャンネル型トランジスタである。

【0063】

トランジスタ101は、第1端子(ソース端子またはドレイン端子の一方)が配線105に接続され、第2端子(ソース端子またはドレイン端子の他方)が電流電圧変換素子103を介して配線107と接続され、ゲート端子が容量素子102を介して配線106と接続されている。なお、配線107には高電源電位 V_{dd} が供給され、配線105及び配線106には低電源電位 V_{ss} が供給されている。なお、 $V_{dd} > V_{ss}$ である。

20

【0064】

なお、容量素子102はトランジスタ101のゲートソース間電圧を保持できればよい。よって、トランジスタ101のソース端子となる第1端子が接続された配線105の電位が一定であれば、容量素子102は、トランジスタ101のゲート電位を保持できればよい。したがって、容量素子102がトランジスタ101のゲート電位を保持することができるのであれば配線106に供給する電位は限定されない。配線105と配線106に供給する電位は同じでもよい。よって、配線105と配線106は別の配線でなく一続きの同じ配線であってもよい。また、容量素子102はトランジスタ101のゲート電位を保持するために設けているので、トランジスタ101のゲート容量で代用することができる場合には容量素子102は設けなくともよい。

30

【0065】

また、増幅回路104は、第1入力端子がトランジスタ101の第2端子と電流電圧変換素子103との間の配線に接続され、第2入力端子が配線108と接続され、出力端子がトランジスタ101のゲート端子に接続されている。なお、配線108には所定の電位が供給される。また、トランジスタ101の第2端子と電流電圧変換素子103との間の配線と、増幅回路104の第1入力端子と、の接続点をノード109とする。

40

【0066】

次に、動作について説明する。増幅回路104の第1入力端子において電流電圧変換素子103の電圧を検出する。つまり、ノード109の電位が増幅回路104の第1入力端子に入力される。そして、増幅回路104は、第1入力端子に入力される電位と第2入力端子に入力される電位との電位差が所定の電位差となるよう出力端子から電位を出力する。つまり、増幅回路104は、ノード109の電位と配線108に供給される電位との電位差が所定の電位差となるようにトランジスタ101のゲート電位を制御する。なお、所定の電位差とは、電位差が0Vである場合も含むものとする。

【0067】

こうして、トランジスタ101は、ノード109の電位を所望の電位にするためのゲート

50

電位を取得することができる。そして、ノード109を所望の電位にすることにより、電流電圧変換素子103にかかる電圧を所望の電圧にすることができる。このとき、電流電圧変換素子103にかかるこの所望の電圧に対する電流I dataが電流電圧変換素子103に流れる。そして、この電流I dataはトランジスタ101にも流れる。そして、トランジスタ101は、I dataを流すのに必要なゲートソース間電圧となっている。

【0068】

このときのトランジスタ101のゲートソース間電圧は、トランジスタ101の電流特性（移動度やしきい値電圧など）やサイズ（ゲート幅やゲート長）に依存せずにI dataを流すのに適切な大きさとなっている。したがって、半導体装置内の、トランジスタ101に相当するトランジスタの電流特性やサイズがばらついていてもトランジスタ101には電流I dataを流すことができるようになる。その結果、そのトランジスタ101は電流源として動作させることができ、さまざまな負荷（別のトランジスタや画素や信号線駆動回路など）に電流を供給することができる。

10

【0069】

なお、一般に、トランジスタ（ここでは簡単のため、Nチャネル型トランジスタであるとする）の動作領域は線形領域と飽和領域とに分けることができる。その境目は、ドレインソース間電圧をV ds、ゲートソース間電圧をV gs、しきい値電圧をV thとすると、 $(V gs - V th) = V ds$ のときになる。 $(V gs - V th) > V ds$ の場合は、線形領域での動作となり、V ds、V gsの大きさによって電流値が決まる。一方、 $(V gs - V th) < V ds$ の場合は飽和領域での動作となり、理想的には、V dsが変化しても、電流値はほとんど変化しない。つまり、V gsの大きさだけによって電流値が決まる。

20

【0070】

したがって、トランジスタ101のドレインソース間電圧V dsとゲートソース間電圧V gsと、トランジスタ101のしきい値電圧V thとから、トランジスタ101がどの領域で動作しているかが決定される。つまり、 $V gs - V th < V ds$ の場合は、トランジスタ101は飽和領域で動作していることになる。飽和領域では、理想的な場合は、V dsが変化しても、トランジスタに流れる電流値は変わらない。したがって、トランジスタ101に電流I dataが流れている場合、つまり、設定動作を行っているときと、トランジスタ101から負荷に電流を供給しているときとで、V dsが変化しても、トランジスタ101に流れる電流値は変化しない。

30

【0071】

ただし、トランジスタを飽和領域で動作していても、キック（アーリー）効果によって、電流値が変化してしまう場合がある。その場合は、増幅回路104の第2入力端子の電位を制御することにより、ノード109の電位つまりトランジスタ101の第2端子（このときドレイン端子となる）の電位を制御することができるので、キック（アーリー）効果の影響を低減することができる。

【0072】

例えば、設定動作を行っているときと出力動作を行っているときとで、電流I dataの大きさに応じて、増幅回路104の第2入力端子の電位を適宜制御することによって、V dsを概ね等しくすることができる。

40

【0073】

また、負荷の電圧電流特性が劣化などにより変化した場合においても、増幅回路104の第2入力端子に入力する電位を適宜制御することにより、設定動作を行うときのV dsを、出力動作を行うときのV dsに概ね等しくすることができる。よって、適切な電流を供給することができる。これにより、負荷がEL素子などの場合、EL素子の焼き付きを防止することができる。

【0074】

なお、増幅回路104は出力インピーダンスが低い。よって、大きな電流を供給することができる。したがって、トランジスタ101のゲート端子を素早く所望の電位にすることができる。つまり、電流I dataの書き込み速度が速くなり、素早く書き込みを完了す

50

ることができる。また、電流 I_{data} が小さくてもトランジスタ 101 のゲート端子を素早く所望の電位にすることができるので信号の書き込み不良も防止することができる。

【0075】

増幅回路 104 は、第 1 入力端子と第 2 入力端子との電位差を検知し、増幅して出力する機能を有している。図 1 では、増幅回路 104 の第 1 入力端子とトランジスタ 101 の第 2 端子（このときドレイン端子となる）と、が接続され、増幅回路 104 の出力端子とトランジスタ 101 のゲート端子が接続されている。トランジスタ 101 のゲート電位が変化するとトランジスタ 101 のドレイン電位も変化するため増幅回路 104 の第 1 入力端子の電位も変化する。また、トランジスタ 101 のドレイン電位が変化すると増幅回路 104 の第 1 入力端子の電位も変化するため、増幅回路 104 の出力電位も変化する。そして、トランジスタ 101 のゲート電位も変化する。つまり、帰還回路が形成されている。そのため上記のような帰還動作を経て、各端子の状態が安定するような電位が増幅回路 104 から出力されるようになる。

10

【0076】

つまり、図 1 ではトランジスタ 101 の第 2 端子（ここではドレイン端子）の電位が安定するような電位が、増幅回路 104 からトランジスタ 101 のゲート端子に出力される。このときのトランジスタ 101 のドレイン電位は配線 108 に供給する電位によって制御することができる。したがって、配線 108 に供給する電位により、電流電圧変換素子 103 にかかる電圧を制御することができ、つまりはトランジスタ 101 に流す電流 I_{data} を制御することができる。

20

【0077】

以上のように、増幅回路 104 を有する帰還回路を用いることにより、トランジスタ 101 に所望の電流を流すためのゲート電位を設定することができる。そして、このとき、増幅回路 104 を用いているため、トランジスタ 101 のゲート電位の設定を素早く完了することができる。短い時間で書き込みを終了することができる。そして、設定されたトランジスタ 101 は、電流源回路として用いることができ、様々な負荷に電流を供給することができる。

【0078】

なお、電流電圧変換素子 103 は、素子に電流が流れると素子の端子間に電圧が発生する素子であればよい。よって、抵抗素子や整流素子などを適用することができる。図 1 の半導体装置の電流電圧変換素子 103 に抵抗素子を適用した場合について、図 3 に示す。図 3 の半導体装置において、抵抗素子 301 が図 1 の電流電圧変換素子 103 に相当する。また、図 1 の半導体装置の電流電圧変換素子 103 に整流素子としてダイオード接続したトランジスタを適用した場合について図 4 (A)、(B) に示す。図 4 (A) の半導体装置において、トランジスタ 401、図 4 (B) のトランジスタ 402 が図 1 の電流電圧変換素子 103 に相当する。Pチャネル型のトランジスタ 401 は、第 1 端子（ソース端子又はドレインドレイン端子の一方）を配線 107 に接続し、第 2 端子（ソース端子又はドレイン端子の他方）をゲート端子と接続するとともに、トランジスタ 101 の第 2 端子と接続する。Nチャネル型のトランジスタ 402 は、第 1 端子（ソース端子又はドレインドレイン端子の一方）をトランジスタ 101 の第 2 端子と接続し、第 2 端子（ソース端子又はドレイン端子の他方）をゲート端子と接続するとともに配線 107 と接続する。

30

40

【0079】

なお、図 1 では、ゲートソース間電圧を設定するトランジスタには Nチャネル型トランジスタを用いているが本発明はこれに限定されない。図 12 では Pチャネル型トランジスタを適用した場合の構成について示している。

【0080】

図 12 に示す半導体装置は、トランジスタ 1201 と、容量素子 1202 と、電流電圧変換素子 1203 と、増幅回路 1204 とを有する。なおトランジスタ 1201 は Pチャネル型トランジスタである。

【0081】

50

トランジスタ1201は、第1端子(ソース端子またはドレイン端子の一方)が配線1205に接続され、第2端子(ソース端子またはドレイン端子の他方)が電流電圧変換素子1203を介して配線1207と接続され、ゲート端子が容量素子1202を介して配線1206と接続されている。なお、配線1207には低電源電位 V_{ss} が供給され、配線1205及び配線1206には高電源電位 V_{dd} が供給されている。ここで、 $V_{ss} < V_{dd}$ である。

【0082】

なお、容量素子1202はトランジスタ1201のゲートソース間電圧を保持できればよい。よって、トランジスタ1201のソース端子となる第1端子が接続された配線1205の電位が一定であれば、容量素子1202は、トランジスタ1201のゲート電位を保持できればよい。したがって、容量素子1202がトランジスタ1201のゲート電位を保持することができるのであれば配線1206に供給する電位は限定されない。配線1205と配線1206に供給する電位は同じでもよい。よって、配線1205と配線1206は別の配線でなく一続きの同じ配線であってもよい。また、容量素子1202はトランジスタ1201のゲート電位を保持するために設けているので、トランジスタ1201のゲート容量で代用することができるときには容量素子1202は設けなくともよい。

10

【0083】

また、増幅回路1204は、第1入力端子がトランジスタ1201の第2端子と電流電圧変換素子1203との間の配線に接続され、第2入力端子が配線1208と接続され、出力端子がトランジスタ1201のゲート端子に接続されている。なお、配線1208には

20

【0084】

次に、動作について簡単に説明する。増幅回路1204の第1入力端子において電流電圧変換素子1203の電圧を検出する。つまり、ノード1209の電位が増幅回路1204の第1入力端子に入力される。そして、増幅回路1204は、第1入力端子に入力される電位と第2入力端子に入力される電位との電位差が所定の電位差となるように出力端子から電位を出力する。つまり、増幅回路1204は、ノード1209の電位と配線1208に供給される電位との電位差が所定の電位差となるようにトランジスタ1201のゲート

30

【0085】

こうして、トランジスタ1201は、ノード1209の電位を所望の電位にするためのゲート電位を取得することができる。そして、ノード1209を所望の電位にするにより、電流電圧変換素子1203にかかる電圧を所望の電圧にすることができる。このとき、電流電圧変換素子1203にかかるこの所望の電圧に対する電流 I_{data} が電流電圧変換素子1203に流れる。そして、この電流 I_{data} はトランジスタ1201にも流れる。そして、トランジスタ1201は、 I_{data} を流すのに必要なゲートソース間電圧となっている。

【0086】

このときのトランジスタ1201のゲートソース間電圧は、トランジスタ1201の電流特性(移動度やしきい値電圧など)やサイズ(ゲート幅やゲート長)に依存せずに I_{data} を流すのに適切な大きさとなっている。したがって、半導体装置内の、トランジスタ1201に相当するトランジスタの電流特性やサイズがばらついていてもトランジスタ1201には電流 I_{data} を流すことができるようになる。その結果、そのトランジスタ1201は電流源として動作させることができ、さまざまな負荷(別のトランジスタや画素や信号線駆動回路など)に電流を供給することができる。

40

【0087】

そして、トランジスタ1201に電流 I_{data} が流れている場合、つまり、設定動作を行っているときと、トランジスタ1201から負荷に電流を供給しているときとで、 V_{d}

50

s が変化しても、トランジスタ 1201 に流れる電流値は変化しない。ただし、トランジスタを飽和領域で動作していても、キック（アーリー）効果によって、電流値が変化してしまう場合がある。その場合は、増幅回路 1204 の第 2 入力端子の電位を制御することにより、ノード 1209 の電位つまりトランジスタ 1201 の第 2 端子（このときドレイン端子となる）の電位を制御することができるので、キック（アーリー）効果の影響を低減することができる。

【0088】

例えば、設定動作を行っているときと出力動作を行っているときとで、電流 I d a t a の大きさに応じて、増幅回路 1204 の第 2 入力端子の電位を適宜制御することによって、V d s を概ね等しくすることができる。

10

【0089】

また、負荷の電圧電流特性が劣化などにより変化した場合においても、増幅回路 1204 の第 2 入力端子に入力する電位を適宜制御することにより、設定動作を行うときの V d s を、出力動作を行うときの V d s に概ね等しくすることができる。よって、適切な電流を供給することができる。これにより、負荷が E L 素子などの場合、E L 素子の焼き付きを防止することができる。

【0090】

なお、増幅回路 1204 は出力インピーダンスが低い。よって、大きな電流を供給することができる。したがって、トランジスタ 1201 のゲート端子を素早く所望の電位にすることができる。つまり、電流 I d a t a の書き込み速度が速くなり、素早く書き込みを完了することができる。また、電流 I d a t a が小さくてもトランジスタのゲート端子を素早く所望の電位にすることができるので信号の書き込み不良も防止することができる。

20

【0091】

増幅回路 1204 は、第 1 入力端子と第 2 入力端子との電位差を検知し、増幅して出力する機能を有している。図 12 では、増幅回路 1204 の第 1 入力端子とトランジスタ 1201 の第 2 端子（このときドレイン端子となる）と、が接続され、増幅回路 1204 の出力端子とトランジスタ 1201 のゲート端子が接続されている。トランジスタ 1201 のゲート電位が変化するとトランジスタ 1201 のドレイン電位も変化するため、増幅回路 1204 の第 1 入力端子の電位も変化する。また、トランジスタ 1201 のドレイン電位が変化すると増幅回路 1204 の第 1 入力端子の電位も変化するため、増幅回路 1204 の出力電位も変化し、トランジスタ 1201 のゲート電位も変化する。つまり、帰還回路が形成されている。そのため上記のような帰還動作を経て、各端子の状態が安定するような電位が増幅回路 1204 から出力されるようになる。

30

【0092】

つまり、図 12 ではトランジスタ 1201 のドレイン端子の電位が安定するような電位が、増幅回路 1204 からトランジスタ 1201 のゲート端子に出力される。このときのトランジスタ 1201 のドレイン電位は配線 1208 に供給する電位によって制御することができる。したがって、配線 1208 に供給する電位により、電流電圧変換素子 1203 にかかる電圧を制御することができ、つまりはトランジスタ 1201 に流す電流 I d a t a を制御することができる。

40

【0093】

以上のように、増幅回路 1204 を有する帰還回路を用いることにより、トランジスタ 1201 に所望の電流を流すためのゲート電位を設定することができる。そして、このとき、増幅回路 1204 を用いているため、トランジスタ 1201 のゲート電位の設定を素早く完了することができ、短い時間で書き込みを終了することができる。そして、設定されたトランジスタ 1201 は、電流源回路として用いることができ、様々な負荷に電流を供給することができる。

【0094】

（実施の形態 2）

実施の形態 1 においては、電流電圧変換素子と直列に接続されたトランジスタのドレイン

50

電位を検出し、増幅回路によりトランジスタのゲート電位を設定することにより、トランジスタに流れる電流を制御している。本実施の形態においては、電流電圧変換素子と直列に接続されたトランジスタのドレイン電位を検出し、増幅回路によりトランジスタのソース電位を設定することにより、トランジスタに流れる電流を制御する構成について説明する。

【0095】

図20に示す半導体装置は、トランジスタ2001と、容量素子2002と、電流電圧変換素子2003と、増幅回路2004とを有している。なお、トランジスタ2001はNチャンネル型トランジスタである。

【0096】

なお、トランジスタ2001は、第1端子(ソース端子又はドレイン端子の一方)が増幅回路2004の出力端子と接続され、第2端子(ソース端子又はドレイン端子の他方)が電流電圧変換素子2003を介して配線2005と接続され、ゲート端子が配線2007と接続されている。また、トランジスタ2001のゲート端子は増幅回路2004の第2入力端子と接続されるとともに、容量素子2002を介して配線2006と接続されている。また、増幅回路2004の第1入力端子は、トランジスタ2001の第2端子と電流電圧変換素子2003との間の配線に接続されている。また、トランジスタ2001の第2端子と電流電圧変換素子2003との間の配線と増幅回路2004の第1入力端子との交点をノード2008とする。なお、配線2005には高電源電位 V_{dd} が供給され、配線2006には低電源電位 V_{ss} が供給され、配線2007には所定の電位が供給されている。ここで、 $V_{ss} < V_{dd}$ である。

【0097】

なお、容量素子2002はトランジスタ2001のゲートソース間電圧を保持できればよい。よって、トランジスタ2001のソース端子となる第1端子に増幅回路2004の出力を供給し続けるのであれば、容量素子2002は、トランジスタ2001のゲート電位を保持できればよい。したがって、容量素子2002はトランジスタ2001のゲート電位を保持することができればよいため、配線2006に供給する電位は限定されない。また、トランジスタ2001のゲート容量で代用することができるときには容量素子2002は設けなくともよい。

【0098】

次に、動作について簡単に説明する。増幅回路2004の第1入力端子において電流電圧変換素子2003の電圧を検出する。つまり、ノード2008の電位が増幅回路2004の第1入力端子に入力される。そして、増幅回路2004は、第1入力端子に入力される電位と第2入力端子に入力される電位との電位差が所定の電位差となるよう出力端子から電位を出力する。つまり、増幅回路2004は、ノード2008の電位と配線2007に供給される電位との電位差が所定の電位差となるようにトランジスタ2001のソース電位を制御する。

【0099】

こうして、トランジスタ2001は、ノード2008の電位を所望の電位にするためのソース電位を取得することができる。そして、ノード2008を所望の電位にすることにより、電流電圧変換素子2003にかかる電圧を所望の電圧にすることができる。このとき、電流電圧変換素子2003にかかるこの所望の電圧に対する電流 I_{data} が電流電圧変換素子2003に流れる。そして、この電流 I_{data} はトランジスタ2001にも流れる。そして、トランジスタ2001は、 I_{data} を流すのに必要なゲートソース間電圧となっている。

【0100】

このときのトランジスタ2001のゲートソース間電圧は、トランジスタ2001の電流特性(移動度やしきい値電圧など)やサイズ(ゲート幅やゲート長)に依存せず I_{data} を流すのに適切な大きさとなっている。したがって、トランジスタ2001の電流特性やサイズがばらついていてもトランジスタ2001は電流 I_{data} を流すことが出来るよ

10

20

30

40

50

うになる。その結果、そのトランジスタ2001は電流源として動作させることができ、さまざまな負荷（別のトランジスタや画素や信号線駆動回路など）に電流を供給することができる。

【0101】

そして、トランジスタ2001に電流I dataが流れている場合、つまり、設定動作を行っているときと、トランジスタ2001から負荷に電流を供給しているときとで、V dsが変化しても、トランジスタ2001に流れる電流値は変化しない。ただし、トランジスタを飽和領域で動作していても、キック（アーリー）効果によって、電流値が変化してしまう場合がある。その場合は、増幅回路2004の第2入力端子の電位を制御することにより、ノード2008の電位つまりトランジスタ2001の第2端子（このときドレイン端子となる）の電位を制御することができるので、キック（アーリー）効果の影響を低減することができる。

10

【0102】

例えば、設定動作を行っているときと出力動作を行っているときとで、電流I dataの大きさに応じて、増幅回路2004の第2入力端子の電位を適宜制御することによって、V dsを概ね等しくすることができる。

【0103】

また、負荷の電圧電流特性が劣化などにより変化した場合においても、増幅回路2004の第2入力端子に入力する電位を適宜制御することにより、設定動作を行うときのV dsを、出力動作を行うときのV dsに概ね等しくすることができる。よって、適切な電流を供給することができる。これにより、負荷がEL素子などの場合、EL素子の焼き付きを防止することができる。

20

【0104】

なお、増幅回路2004は出力インピーダンスが低い。よって、大きな電流を供給することができる。したがって、トランジスタ2001のソース電位を素早く設定することができる。つまり、電流I dataの書き込み速度が速くなり、素早く書き込みを完了することができる。また、電流I dataが小さくても、トランジスタのソース端子を素早く所望の電位にすることができるので信号の書き込み不良も防止することができる。

【0105】

増幅回路2004は、第1入力端子と第2入力端子との電位差を検知し、増幅して出力する機能を有している。図20では、増幅回路2004の第1入力端子とトランジスタ2001の第2端子（このときドレイン端子となる）と、が接続され、増幅回路2004の出力端子とトランジスタ2001の第1端子（このときソース端子となる）と、が接続されている。トランジスタ2001のドレイン電位が変化すると増幅回路2004の第1入力端子の電位も変化するため、増幅回路2004の出力電位も変化し、トランジスタ2001のソース電位も変化する。そして、トランジスタ2001のソース電位が変化するとドレイン電位も変化する。つまり、帰還回路が形成されている。そのため上記のような帰還動作を経て、各端子の状態が安定するような電位が増幅回路2004から出力されるようになる。

30

【0106】

つまり、図20ではトランジスタ2001のドレイン端子の電位が安定するような電位が、増幅回路2004からトランジスタ2001のソース端子に出力される。このときのトランジスタ2001のドレイン電位は配線2007に供給する電位によって制御することができる。したがって、配線2007に供給する電位により、電圧電圧変換素子2003にかかる電圧を制御することができ、つまりはトランジスタ2001に流す電流I dataを制御することができる。

40

【0107】

以上のように、増幅回路2004を有する帰還回路を用いることにより、トランジスタ2001に所望の電流を流すためのソース電位を設定することができる。そして、このとき、増幅回路2004を用いているため、トランジスタ2001のソース電位の設定を素早

50

く完了することができ、短い時間で書き込みを終了することができる。そして、設定されたトランジスタ2001は、電流源回路として用いることができ、様々な負荷に電流を供給することができる。

【0108】

なお、図20ではトランジスタにNチャンネル型トランジスタを用いているが、本実施の形態に示す半導体装置にはPチャンネル型トランジスタを適用することができる。その場合の構成を図24に示す。

【0109】

図24に示す半導体装置は、トランジスタ2401と、容量素子2402と、電流電圧変換素子2403と、増幅回路2404とを有している。なお、トランジスタ2401はP

10

【0110】

なお、トランジスタ2401は、第1端子(ソース端子又はドレイン端子)が増幅回路2404の出力端子と接続され、第2端子(ソース端子又はドレイン端子)が電流電圧変換素子2403を介して配線2405と接続され、ゲート端子が配線2407と接続されている。また、トランジスタ2401のゲート端子は増幅回路2404の第2入力端子と接続されるとともに、容量素子2402を介して配線2406と接続されている。また、増幅回路2404の第1入力端子は、トランジスタ2401の第2端子と電流電圧変換素子2403との間の配線に接続されている。なお、配線2407には所定の電位が供給される。また、トランジスタ2401の第2端子と電流電圧変換素子2403との間の配線と

20

【0111】

なお、容量素子2402はトランジスタ2401のゲートソース間電圧を保持できればよい。よって、トランジスタ2401のソース端子となる第1端子に増幅回路2404の出力を供給し続けるのであれば、容量素子2402は、トランジスタ2401のゲート電位を保持できればよい。したがって、容量素子2402はトランジスタ2401のゲート電位を保持することができればよいため、配線2406に供給する電位は限定されない。また、トランジスタ2401のゲート容量で代用することができるときには容量素子240

30

【0112】

次に、動作について簡単に説明する。増幅回路2404の第1入力端子において電流電圧変換素子2403の電圧を検出する。つまり、ノード2408の電位が増幅回路2404の第1入力端子に入力される。そして、増幅回路2404は、第1入力端子に入力される電位と第2入力端子に入力される電位との電位差が所定の電位差となるように出力端子から電位を出力する。つまり、増幅回路2404は、ノード2408の電位と配線2407に供給される電位との電位差が所定の電位差となるようにトランジスタ2401のソース電位を制御する。

【0113】

こうして、トランジスタ2401は、ノード2408の電位を所望の電位にするためのソース電位を取得することができる。そして、ノード2408を所望の電位にするにより、電流電圧変換素子2403にかかる電圧を所望の電圧にすることができる。このとき、電流電圧変換素子2403にかかるこの所望の電圧に対する電流I dataが電流電圧変換素子2403に流れる。そして、この電流I dataはトランジスタ2401にも流れる。そして、トランジスタ2401は、I dataを流すのに必要なゲートソース間電圧となっている。

40

【0114】

このときのトランジスタ2401のゲートソース間電圧は、トランジスタ2401の電流特性(移動度やしきい値電圧など)やサイズ(ゲート幅やゲート長)に依存せずにI d a

50

t aを流すのに適切な大きさとなっている。したがって、トランジスタ2401の電流特性やサイズがばらついていてもトランジスタ2401は電流I d a t aを流すことができるようになる。その結果、そのトランジスタ2401は電流源として動作させることができ、さまざまな負荷（別のトランジスタや画素や信号線駆動回路など）に電流を供給することができる。

【0115】

そして、トランジスタ2401に電流I d a t aが流れている場合、つまり、設定動作を行っているときと、トランジスタ2401から負荷に電流を供給しているときとで、V d sが変化しても、トランジスタ2401に流れる電流値は変化しない。ただし、トランジスタを飽和領域で動作していても、キック（アーリー）効果によって、電流値が変化してしまう場合がある。その場合は、増幅回路2404の第2入力端子の電位を制御することにより、ノード2408の電位つまりトランジスタ2401の第2端子（このときドレイン端子となる）の電位を制御することができるので、キック（アーリー）効果の影響を低減することができる。

10

【0116】

例えば、設定動作を行っているときと出力動作を行っているときとで、電流I d a t aの大きさに応じて、増幅回路2404の第2入力端子の電位を適宜制御することによって、V d sを概ね等しくすることができる。

【0117】

また、負荷の電圧電流特性が劣化などにより変化した場合においても、増幅回路2404の第2入力端子に入力する電位を適宜制御することにより、設定動作を行うときのV d sを、出力動作を行うときのV d sに概ね等しくすることができる。よって、適切な電流を供給することができる。これにより、負荷がE L素子などの場合、E L素子の焼き付きを防止することができる。

20

【0118】

なお、増幅回路2404は出力インピーダンスが低い。よって、大きな電流を供給することができる。したがって、トランジスタ2401のソース電位を素早く設定することができる。つまり、電流I d a t aの書き込み速度が速くなり、素早く書き込みを完了することができる。また、電流I d a t aが小さくてもトランジスタのソース端子を素早く所望の電位にすることができるので信号の書き込み不良を防止することができる。

30

【0119】

増幅回路2404は、第1入力端子と第2入力端子との電位差を検知し、増幅して出力する機能を有している。図24では、増幅回路2404の第2入力端子とトランジスタ2401の第2端子（このときドレイン端子となる）と、が接続され、増幅回路2404の出力端子とトランジスタ2401の第1端子（このときソース端子となる）と、が接続されている。トランジスタ2401のドレイン電位が変化すると増幅回路2404の第1入力端子の電位も変化するため、増幅回路2404の出力電位も変化し、トランジスタ2401のソース電位も変化する。そして、トランジスタ2401のソース電位が変化するとドレイン電位も変化する。つまり、帰還回路が形成されている。そのため上記のような帰還動作を経て、各端子の状態が安定するような電位が増幅回路2404から出力されるようになる。

40

【0120】

つまり、図24ではトランジスタ2401のドレイン端子の電位が安定するような電位が、増幅回路2404からトランジスタ2401のソース端子に出力される。このときのトランジスタ2401のドレイン電位は配線2407に供給する電位によって制御することができる。したがって、配線2407に供給する電位により、電流電圧変換素子2403にかかる電圧を制御することができ、つまりはトランジスタ2401に流す電流I d a t aを制御することができる。

【0121】

以上のように、増幅回路2404を有する帰還回路を用いることにより、トランジスタ2

50

401に所望の電流を流すためのソース電位を設定することができる。そして、このとき、増幅回路2404を用いているため、トランジスタ2401のソース電位の設定を素早く完了することができ、短い時間で書き込みを終了することができる。そして、設定されたトランジスタ2401は、電流源回路として用いることができ、様々な負荷に電流を供給することができる。

【0122】

(実施の形態3)

本実施の形態においては、実施の形態1乃至実施の形態2で示した半導体装置の増幅回路に適用可能な構成を説明する。増幅回路としてはオペアンプや差動増幅回路を適用することができる。また、オペアンプとしては、電圧帰還型オペアンプでもよいし、電流帰還型オペアンプでもよいし、位相補償回路のような様々な補正回路を付加したオペアンプでもよい。なお、本実施の形態に示した増幅回路は後述する他の実施の形態においても用いることができる。

10

【0123】

なお、オペアンプは、通常、非反転入力端子の電位と反転入力端子の電位とは、等しくなるように動作するが、特性バラツキなどにより、非反転入力端子の電位と反転入力端子の電位とは等しくならない場合がある。つまり、オフセット電圧が生じる場合がある。その場合は、通常のおペアンプと同様に、非反転入力端子の電位と反転入力端子の電位が等しくなるように調節して動作させてもよい。しかし、本実施の形態の場合、トランジスタが飽和領域で動作するように制御すればよい。したがって、トランジスタが飽和領域で動作する範囲内であれば、オペアンプにオフセット電圧が生じてもよいし、オフセット電圧がばらついて半導体装置の動作に影響は与えない。そのため、電流特性のバラツキが大きいようなトランジスタを用いてオペアンプを構成しても、正常に半導体装置が動作することになる。

20

【0124】

まず、実施の形態1で示した半導体装置の増幅回路に適用可能な構成について説明する。図1の半導体装置の増幅回路104にオペアンプを適用した場合について図2に示す。つまり、図1の増幅回路104としてオペアンプ201を用いている。そして、オペアンプ201は非反転入力端子と反転入力端子と出力端子とを有し、非反転入力端子が増幅回路104の第1入力端子に相当し、反転入力端子が増幅回路104の第2入力端子に相当し、出力端子が増幅回路104の出力端子に相当する。

30

【0125】

オペアンプ201は、反転入力端子と非反転入力端子との電位差を増幅して出力端子から電圧を出力する。つまり、ノード109の電位すなわちオペアンプ201の非反転入力端子の電位が、配線108に供給される電位すなわち反転入力端子の電位よりも高いと、オペアンプ201の出力電圧は正の電圧となる。そして、オペアンプ201からの出力により、トランジスタ101のゲート電位が高くなり、トランジスタ101に流れる電流が大きくなると、ノード109の電位が下がる。そして、オペアンプ201の非反転入力端子の電位も下がる。よって、オペアンプ201の非反転入力端子と反転入力端子との電位差が小さくなる。すると、オペアンプ201の出力電圧の絶対値も小さくなる。

40

【0126】

つまり、ノード109の電位すなわちオペアンプ201の非反転入力端子の電位が、配線108に供給される電位すなわち反転入力端子の電位よりも低いと、オペアンプ201の出力電圧は負の電圧となる。そして、オペアンプ201からの出力により、トランジスタ101のゲート電位が低くなり、トランジスタ101に流れる電流が小さくなると、ノード109の電位が上がる。そして、オペアンプ201の非反転入力端子の電位も上がる。よって、オペアンプ201の非反転入力端子と反転入力端子との電位差が小さくなる。すると、オペアンプ201の出力電圧の絶対値も小さくなる。

【0127】

こうして、オペアンプ201の第1入力端子と第2入力端子とがある電位差となり、ノ

50

ド109の電位が落ち着く。なお、ある電位差とは、電位差が0Vである場合も含むものとする。つまり、オペアンプ201の非反転入力端子と反転入力端子との電位差がほぼ0Vとなるような、いわゆる仮想短絡の状態も含むものとする。本構成においては、負帰還となるようにオペアンプ201が接続されている。

【0128】

次に、図12の半導体装置の増幅回路1204にオペアンプを適用した場合について図13に示す。つまり、図12の増幅回路1204としてオペアンプ1301を用いている。そして、オペアンプ1301は非反転入力端子と反転入力端子と出力端子とを有し、非反転入力端子が増幅回路1204の第1入力端子に相当し、反転入力端子が増幅回路1204の第2入力端子に相当し、出力端子が増幅回路1204の出力端子に相当する。

10

【0129】

オペアンプ1301は、反転入力端子と非反転入力端子との電位差を増幅して出力端子から電圧を出力する。つまり、ノード1209の電位すなわちオペアンプ1301の非反転入力端子の電位が、配線1208に供給される電位すなわち反転入力端子の電位よりも高ければ、オペアンプ1301の出力電圧は正の電圧となる。そして、オペアンプ1301からの出力により、トランジスタ1201のゲート電位が高くなり、トランジスタ1201に流れる電流が小さくなると、ノード1209の電位が低くなる。そして、オペアンプ1301の非反転入力端子の電位も低くなる。よって、オペアンプ1301の非反転入力端子と反転入力端子との電位差が小さくなる。すると、オペアンプ1301の出力電圧も小さくなる。こうして、オペアンプ1301の第1入力端子と第2入力端子とがある電位差になるようにノード1209の電位が落ち着く。本構成においては、負帰還となるようにオペアンプ1301が接続されている。

20

【0130】

次に、図1の半導体装置の増幅回路104に差動増幅回路を適用した場合について図11に示す。つまり、図1の増幅回路104として差動増幅回路1101を用いている。差動増幅回路1101は、第1のトランジスタ1102、第2のトランジスタ1103、第3のトランジスタ1104及び第4のトランジスタ1105を有している。

【0131】

第1のトランジスタ1102は、第1端子(ソース端子またはドレイン端子の一方)が配線1107に接続され、第2端子(ソース端子またはドレイン端子の他方)が第3のトランジスタ1104の第2端子(ソースまたはドレイン端子の一方)に接続され、ゲート端子はノード109にてトランジスタ101の第2端子と接続されている。

30

【0132】

また、第2のトランジスタ1103は、第1端子(ソース端子またはドレイン端子の一方)が配線1107に接続され、第2端子(ソース端子またはドレイン端子の他方)が第4のトランジスタ1105の第2端子(ソース端子またはドレイン端子の一方)に接続され、ゲート端子が配線108に接続されている。

【0133】

また、第3のトランジスタ1104は、ゲート端子が第2端子と接続されると共に第4のトランジスタ1105のゲート端子に接続され、第1端子(ソース端子またはドレイン端子の他方)が配線1106に接続されている。

40

【0134】

また、第4のトランジスタ1105の第1端子(ソース端子またはドレイン端子の他方)が配線1106に接続されている。また、第2のトランジスタ1103の第2端子と第4のトランジスタ1105の第2端子とが接続されるノード1108はトランジスタ101のゲート端子と接続されている。

【0135】

なお、配線1106には高電源電位V_{dd}が供給され、配線1107には低電源電位V_{ss}が供給されている。また、第1のトランジスタ1102のゲート端子は増幅回路104の第1入力端子に相当し、第2のトランジスタ1103のゲート端子は増幅回路104の

50

第2入力端子に相当する。また、ノード1108が増幅回路104の出力端子に相当する。

【0136】

ここで、差動増幅回路1101の動作について簡単に説明する。第3のトランジスタ1104は第2端子とゲート端子が接続されている。つまり、第3のトランジスタ1104の第2端子はドレイン端子となるので、第3のトランジスタ1104はドレイン端子とゲート端子が接続されていることになり、飽和領域で動作する。また、ノード109の電位により、第1のトランジスタ1102のゲートソース間電圧が決まり、その値により、ノード1109の電位が決定される。そして、ノード1109の電位は第4のトランジスタ1105のゲート端子にも入力される。こうして第4のトランジスタ1105のゲートソース間電圧が決まる。また、配線108に供給される電位により、第2のトランジスタ1103のゲートソース間電圧が決まる。そして、第4のトランジスタ1105のゲートソース間電圧と、第2のトランジスタ1103のゲートソース間電圧との値によって、ノード1108の電位が決定される。

10

【0137】

ここで、第1のトランジスタ1102と第2のトランジスタ1103との特性が等しく、第3のトランジスタ1104と第4のトランジスタ1105との特性が等しい場合について説明する。この場合、ノード109の電位と配線108に供給される電位が等しいときにはノード1109の電位とノード1108の電位は等しくなり、ノード109の電位が配線108に供給される電位より高くなると、ノード1109の電位は配線1107の電位に近づく。すると第4のトランジスタ1105のゲートソース間電圧が大きくなり、ノード1108の電位は配線1106の電位に近づく。よって、差動増幅回路1101の出力端子から出力される電位が高くなる。

20

【0138】

すると、トランジスタ101のゲート電位が高くなるため、トランジスタ101のゲートソース間電圧が大きくなる。つまり、トランジスタ101に流れる電流が大きくなる。したがって、電流電圧変換素子103に流れる電流も大きくなるため、電流電圧変換素子103での電圧降下が大きくなり、ノード109の電位は低くなる。

【0139】

ノード109の電位が配線108に供給される電位より低くなると、ノード1109の電位は配線1106の電位に近づく。すると第4のトランジスタ1105のゲートソース間電圧が小さくなり、ノード1108の電位は配線1107の電位に近づく。よって、差動増幅回路1101の出力端子から出力される電位が低くなる。

30

【0140】

すると、トランジスタ101のゲート電位が低くなるため、トランジスタ101のゲートソース間電圧が小さくなる。つまり、トランジスタ101に流れる電流が小さくなる。したがって、電流電圧変換素子103に流れる電流も小さくなるため、電流電圧変換素子103での電圧降下は小さくなり、ノード109の電位は高くなる。

【0141】

このように、本構成の半導体装置は、ノード109の電位が配線108に供給される電位より高くなると、ノード109の電位が低くなるように動作し、ノード109の電位が配線108に供給される電位より低くなると、ノード109の電位が高くなるように動作する。そして、ノード109の電位が配線108の電位と等しくなるように差動増幅回路1101は動作する。なお、第1のトランジスタ1102と第2のトランジスタ1103との特性が異なる場合には、所定の電位差となるように動作する。つまり、本実施の形態に示す半導体装置は負帰還となっている。

40

【0142】

続いて、実施の形態2で示した半導体装置の増幅回路にオペアンプを適用した場合について説明する。

【0143】

50

図 20 の半導体装置の増幅回路 2004 にオペアンプを適用した場合について図 21 に示す。つまり、図 20 の増幅回路 2004 としてオペアンプ 2101 を用いている。そして、オペアンプ 2101 は非反転入力端子と反転入力端子と出力端子を有し、非反転入力端子が増幅回路 2004 の第 2 入力端子に相当し、反転入力端子が増幅回路 2004 の第 1 入力端子に相当し、出力端子が増幅回路 2004 の出力端子に相当する。

【0144】

なお、本構成の半導体装置は、ノード 2008 の電位が配線 2007 に供給される電位より高くなると、ノード 2008 の電位が低くなるように動作し、ノード 2008 の電位が配線 2007 に供給される電位より低くなると、ノード 2008 の電位が高くなるように動作する。つまり、本実施の形態に示す半導体装置は負帰還となっている。

10

【0145】

次に、図 24 の半導体装置の増幅回路 2404 にオペアンプを適用した場合について図 25 に示す。つまり、図 24 の増幅回路 2404 としてオペアンプ 2501 を用いている。そして、オペアンプ 2501 は非反転入力端子と反転入力端子と出力端子を有し、非反転入力端子が増幅回路 2404 の第 2 入力端子に相当し、反転入力端子が増幅回路 2404 の第 1 入力端子に相当し、出力端子が増幅回路 2404 の出力端子に相当する。

【0146】

なお、本構成の半導体装置は、ノード 2408 の電位が配線 2407 に供給される電位より高くなると、ノード 2408 の電位が低くなるように動作し、ノード 2408 の電位が配線 2407 に供給される電位より低くなると、ノード 2408 の電位が高くなるように動作する。つまり、本実施の形態に示す半導体装置は負帰還となっている。

20

【0147】

(実施の形態 4)

本実施の形態においては、実施の形態 1 乃至実施の形態 3 で示した半導体装置において、ゲートソース間電圧を設定したトランジスタを電流源として用いて、負荷に電流を供給する場合の半導体装置の構成を示す。

【0148】

まず、実施の形態 1 の図 1 に示した半導体装置の基本原理を用いる場合において、ゲートソース間電圧を設定したトランジスタを電流源として用いて負荷に電流を供給する半導体装置の構成を図 5 に示す。なお、図 5 の構成において図 1 と共通するところは共通の符号を用いている。

30

【0149】

図 5 の半導体装置は、ゲートソース間電圧を設定したトランジスタ 101 を電流源として負荷 501 に電流を供給することができる。負荷 501 はトランジスタ 101 の第 2 端子と配線 505 の間に接続されている。また、負荷 501 とトランジスタ 101 の第 2 端子との間にはスイッチ 502 が接続されている。また、トランジスタ 101 の第 2 端子とノード 109 の間にはスイッチ 503 が接続されている。また、増幅回路 104 の出力端子とトランジスタ 101 のゲート端子との間にはスイッチ 504 が接続されている。なお、配線 505 には高電源電位 V_{dd2} が供給されている。高電源電位 V_{dd2} は $V_{dd2} < V_{ss}$ であり、配線 107 に供給されている高電源電位 V_{dd} と等しくてもよいし異なっ

40

【0150】

続いて、本構成の半導体装置の動作を図 6 (A)、(B) を用いて説明する。

【0151】

図 6 (A) は本構成の半導体装置の設定動作を示している。スイッチ 503 及びスイッチ 504 をオンにし、スイッチ 502 はオフにする。すると、電流電圧変換素子 103 に電流が流れる。そして、ノード 109 の電位が増幅回路 104 の第 1 入力端子に入力され、増幅回路 104 は第 1 入力端子と第 2 入力端子の電位差が所定の電位差になるようにトランジスタ 101 のゲート端子の電位を設定する。こうして、トランジスタ 101 のゲートソース間電圧が設定される。つまり、信号電流の書き込みが完了したことになる。次に、

50

スイッチ504及びスイッチ503をオフにする。スイッチ504をオフにすると、トランジスタ101のゲートソース間電圧を容量素子102で保持することができる。よって、トランジスタ101は電流源として用いることができるようになる。

【0152】

また、図6(B)は本構成の半導体装置の出力動作を示している。スイッチ503及びスイッチ504をオフにし、スイッチ502をオンにする。すると、トランジスタ101で設定された電流を負荷501に流すことができる。

【0153】

なお、図66に示すように、図5のスイッチ502にトランジスタ6601を適用し、トランジスタ6601のゲート端子とトランジスタ101のゲート端子とを接続してもよい。これにより、出力動作時にトランジスタ101とトランジスタ6601はマルチゲートトランジスタとして機能する。よって、設定動作時に設定する電流より、出力動作時に負荷に501に流す電流を小さくすることができる。つまり、設定動作時には大きな電流によりトランジスタのゲートソース間電圧を設定することができる。

【0154】

次に、実施の形態1の図12に示した半導体装置において、ゲートソース間電圧を設定したトランジスタを電流源として用いて負荷に電流を供給する場合の構成を図14に示す。なお、図14の構成において図12と共通するところは共通の符号を用いている。

【0155】

図14の半導体装置は、ゲートソース間電圧を設定したトランジスタ1201を電流源として負荷1401に電流を供給することができる。負荷1401はトランジスタ1201の第2端子と配線1405の間に接続されている。また、負荷1401とトランジスタ1201の第2端子との間にはスイッチ1402が接続されている。また、トランジスタ1201の第2端子とノード1209の間にはスイッチ1403が接続されている。また、増幅回路1204の出力端子とトランジスタ1201のゲート端子との間にはスイッチ1404が接続されている。なお、配線1405には低電源電位 V_{SS2} が供給されている。低電源電位 V_{SS2} は $V_{SS2} < V_{DD}$ であり、配線1207に供給されている低電源電位 V_{SS} と等しくてもよいし異なってもよい。よって、配線1405は配線1207と同じ配線であってもよい。

【0156】

続いて、本構成の半導体装置の動作を図15(A)、(B)を用いて説明する。

【0157】

図15(A)は本構成の半導体装置の設定動作を示している。スイッチ1403及びスイッチ1404をオンにし、スイッチ1402はオフにする。すると、電流電圧変換素子1203に電流が流れる。そして、ノード1209の電位が増幅回路1204の第1入力端子に入力され、増幅回路1204は第1入力端子と第2入力端子の電位差が所定の電位差になるようにトランジスタ1201のゲート端子の電位を設定する。こうして、トランジスタ1201のゲートソース間電圧が設定される。つまり、信号電流の書き込みが完了したことになる。次に、スイッチ1404及びスイッチ1403をオフにする。スイッチ1404をオフにすると、トランジスタ1201のゲートソース間電圧を容量素子1202で保持することができる。よって、トランジスタ1201は電流源として用いることができるようになる。

【0158】

また、図15(B)は本構成の半導体装置の出力動作を示している。スイッチ1403及びスイッチ1404をオフにし、スイッチ1402をオンにする。すると、トランジスタ1201で設定された電流を負荷1401に流すことができる。

【0159】

次に、実施の形態2の図20に示した半導体装置において、ゲートソース間電圧を設定したトランジスタを電流源として用いて負荷に電流を供給する場合の構成を図22に示す。なお、図22の構成において図20と共通するところは共通の符号を用いている。

【0160】

図22の半導体装置は、ゲートソース間電圧を設定したトランジスタ2001を電流源として負荷2201に電流を供給することができる。負荷2201はトランジスタ2001の第2端子と配線2207の間に接続されている。また、負荷2201とトランジスタ2001の第2端子との間にはスイッチ2202が接続されている。また、トランジスタ2001の第2端子とノード2008の間にはスイッチ2205が接続されている。また、増幅回路2004の出力端子とトランジスタ2001の第1端子との間にはスイッチ2204が接続されている。また、増幅回路2004の第2入力端子とトランジスタ2001のゲート端子との間にはスイッチ2203が接続されている。また、トランジスタ2001の第1端子はスイッチ2206を介して配線2208と接続されている。なお、配線2207には高電源電位 V_{dd2} が供給されている。高電源電位 V_{dd2} は $V_{dd2} > V_{ss}$ であり、配線2005に供給されている高電源電位 V_{dd} と等しくてもよいし異なってもよい。よって、配線2207は配線2005と同じ配線であってもよい。

10

【0161】

続いて、本構成の半導体装置の動作を図23(A)、(B)を用いて説明する。

【0162】

図23(A)は本構成の半導体装置の設定動作を示している。スイッチ2203、スイッチ2204及びスイッチ2205をオンにし、スイッチ2202及びスイッチ2206はオフにする。すると、電流電圧変換素子2003に電流が流れる。そして、ノード2008の電位が増幅回路2004の第1入力端子に入力され、増幅回路2004は第1入力端子と第2入力端子の電位差が所定の電位差になるようにトランジスタ2001のソース端子の電位を設定する。こうして、トランジスタ2001のゲートソース間電圧が設定される。つまり、信号電流の書き込みが完了したことになる。次に、図23(B)は本構成の半導体装置の出力動作を示している。スイッチ2203、スイッチ2204及びスイッチ2205をオフにする。スイッチ2203をオフにすると、トランジスタ2001のゲート電位を容量素子2002で保持することができる。よって、トランジスタ2001は電流源として用いることができるようになる。そして、スイッチ2202及びスイッチ2206をオンにすると、トランジスタ2001で設定された電流を負荷2201に流すことができる。

20

【0163】

なお、配線2006がトランジスタ2001のソース端子に接続されておらず、配線2006にはある電位が供給されている場合、設定動作(図23(A))と出力動作(図23(B))とでトランジスタ2001のソース電位が変わってしまう場合がある。その場合、トランジスタ2001のゲートソース間電圧も変わってしまう場合がある。トランジスタ2001のゲートソース間電圧が変わってしまうと、トランジスタ2001に流れる電流値も変わってしまう。そこで、設定動作と出力動作とで、トランジスタ2001のゲートソース間電圧が変わらないようにする必要がある。それを実現するためには、例えば、配線2006をトランジスタ2001のソース端子に接続しておけばよい。そのようにすると、例えトランジスタ2001のソース電位が変わってしまっても、それに合わせてゲート電位も変わるため、結果としてゲートソース間電圧が変わらないようにすることができる。

30

40

【0164】

あるいは、配線2208の電位を、設定動作のときの増幅回路2004の出力電位と等しくなるように制御してもよい。例えば、配線2208にボルテージフォロワ回路などを接続し、配線2208の電位を制御してもよい。

【0165】

または、図28に示すように出力動作のときも増幅回路2004から電流を供給してもよい。

【0166】

なお、図67に示すように、図22のスイッチ2202にトランジスタ6701を適用し

50

、トランジスタ6701のゲート端子とトランジスタ2001のゲート端子とを接続してもよい。これにより、出力動作時にトランジスタ2001とトランジスタ6701はマルチゲートトランジスタとして機能する。よって、設定動作時に設定する電流より、出力動作時に負荷2201に流す電流を小さくすることができる。つまり、設定動作時には大きな電流によりトランジスタのゲートソース間電圧を設定することができる。

【0167】

次に、実施の形態2の図24に示した半導体装置において、ゲートソース間電圧を設定したトランジスタを電流源として用いて負荷に電流を供給する場合の構成を図26に示す。なお、図26の構成において図24と共通するところは共通の符号を用いている。

【0168】

図26の半導体装置は、ゲートソース間電圧を設定したトランジスタ2401を電流源として負荷2601に電流を供給することができる。負荷2601はトランジスタ2401の第2端子と配線2607の間に接続されている。また、負荷2601とトランジスタ2401の第2端子との間にはスイッチ2602が接続されている。また、トランジスタ2401の第2端子とノード2408の間にはスイッチ2605が接続されている。また、増幅回路2404の出力端子とトランジスタ2401の第1端子の間にはスイッチ2604が接続されている。また、増幅回路2404の第1入力端子とトランジスタ2401のゲート端子の間にはスイッチ2603が接続されている。また、トランジスタ2401の第1端子はスイッチ2606を介して配線2608と接続されている。なお、配線2607には低電源電位 V_{ss2} が供給されている。低電源電位 V_{ss2} は $V_{ss2} < V_{dd}$ であり、配線2405に供給されている低電源電位 V_{ss} と等しくてもよいし異なってもよい。よって、配線2607は配線2405と同じ配線であってもよい。なお、本実施の形態において配線2406はトランジスタ2401の第1端子(ここではソース端子となる)に接続する。

【0169】

続いて、本構成の半導体装置の動作を図27(A)、(B)を用いて説明する。

【0170】

図27(A)は本構成の半導体装置の設定動作を示している。スイッチ2605、スイッチ2603及びスイッチ2604をオンにし、スイッチ2602及びスイッチ2606はオフにする。すると、電流電圧変換素子2403に電流が流れる。そして、ノード2408の電位が増幅回路2404の第1入力端子に入力され、増幅回路2404は第1入力端子と第2入力端子の電位差が所定の電位差になるようにトランジスタ2401のソース端子の電位を設定する。こうして、トランジスタ2401のゲートソース間電圧が設定される。つまり、信号電流の書き込みが完了したことになる。次に、スイッチ2603、スイッチ2604及びスイッチ2605をオフにする。スイッチ2603及びスイッチ2604をオフにすると、トランジスタ2401のゲートソース間電圧を容量素子2402で保持することができる。よって、トランジスタ2401は電流源として用いることができるようになる。

【0171】

また、図27(B)は本構成の半導体装置の出力動作を示している。スイッチ2605、スイッチ2604及びスイッチ2603をオフにし、スイッチ2602及びスイッチ2606をオンにする。すると、トランジスタ2401で設定された電流を負荷2601に流すことができる。

【0172】

(実施の形態5)

本実施の形態においては、設定動作時にトランジスタに設定された電流を出力動作時に増幅又は減衰して出力することが可能な半導体装置について説明する。つまり、本発明の半導体装置にカレントミラー回路を適用するか、設定動作時と出力動作時とで電流源となるトランジスタのゲート長を変える構成とする。

【0173】

10

20

30

40

50

まず、実施の形態 4 の図 5 に示した半導体装置の基本原理を用いた構成にカレントミラー回路を適用した構成について図 5 9 に示す。なお、図 5 と共通する構成については共通の符号を用いてその説明を省略する。

【0174】

図 5 9 ではトランジスタ 1 0 1 のゲート端子に接続されるトランジスタ 5 9 0 1 を有する。そして、トランジスタ 5 9 0 1 は、第 1 端子（ソース端子又はドレイン端子の一方）が配線 5 9 0 2 に接続され、第 2 端子（ソース端子又はドレイン端子の他方）が負荷 5 9 0 3 を介して配線 5 9 0 4 に接続されている。なお、配線 5 9 0 2 は配線 1 0 5 と概略等しい電位とするとよい。そうすれば、トランジスタ 1 0 1 とトランジスタ 5 9 0 1 のゲートソース間電圧を概略等しくすることができるので、トランジスタ 5 9 0 1 に流れる電流を

10

【0175】

続いて、図 5 9 の半導体装置の動作について説明する。

【0176】

設定動作時にはスイッチ 5 0 3 及びスイッチ 5 0 4 をオンにする。すると、電流電圧変換素子 1 0 3 に電流が流れる。そして、増幅回路 1 0 4 はノード 1 0 9 の電位と配線 1 0 8 の電位とが所定の電位差となるようにトランジスタ 1 0 1 のゲート電位を制御する。こうして、トランジスタ 1 0 1 に流れる電流 I_{data} を設定することができる。

【0177】

このとき、トランジスタ 5 9 0 1 のゲート端子もトランジスタ 1 0 1 のゲート端子と概略等しい電位となっている。よって、配線 1 0 5 と配線 5 9 0 2 の電位が概略等しければ、トランジスタ 1 0 1 とトランジスタ 5 9 0 1 のゲートソース間電圧は概ね等しくなっている。よって、トランジスタ 1 0 1 のチャンネル長を L_1 、チャンネル幅を W_1 、トランジスタ 5 9 0 1 のチャンネル長を L_2 、チャンネル幅を W_2 とすると、 $(W_1 / L_1) = (W_2 / L_2)$ となるようにトランジスタ 1 0 1 及びトランジスタ 5 9 0 1 を設計すればトランジスタ 5 9 0 1 にも電流 I_{data} が流れるようになっている。

20

【0178】

そして、出力動作時には、スイッチ 5 0 3 及びスイッチ 5 0 4 をオフにする。すると、容量素子 1 0 2 でトランジスタ 1 0 1 及びトランジスタ 5 9 0 1 のゲート電位が保持される。つまり、容量素子 1 0 2 によって、トランジスタ 1 0 1 及びトランジスタ 5 9 0 1 のゲートソース間電圧が保持される。したがって、出力動作時には、トランジスタ 5 9 0 1 によって設定される電流を負荷 5 9 0 3 に流すことができる。

30

【0179】

また、 $(W_1 / L_1) > (W_2 / L_2)$ となるようにトランジスタ 1 0 1 及びトランジスタ 5 9 0 1 を設計すれば、設定動作時にトランジスタ 1 0 1 に流れる電流より、出力動作時にトランジスタ 5 9 0 1 に流れる電流を小さくすることができる。つまり、出力動作時に負荷に流したい電流より大きな電流によってトランジスタ 5 9 0 1 の電流の設定ができる。よって、すばやく設定動作を完了することができる。

【0180】

逆に、 $(W_1 / L_1) < (W_2 / L_2)$ となるようにトランジスタ 1 0 1 及びトランジスタ 5 9 0 1 を設計してもよい。この場合には、設定動作時にトランジスタ 1 0 1 に流れる電流より大きな電流を出力動作時に負荷 5 9 0 3 に流すことができる。

40

【0181】

次に、実施の形態 4 の図 2 2 に示した半導体装置の基本原理を用いた構成にカレントミラー回路を適用した構成について図 6 0 に示す。なお、図 2 2 と共通する構成については共通の符号を用いてその説明を省略する。

図 6 0 ではトランジスタ 2 0 0 1 のゲート端子に接続されるトランジスタ 6 0 0 1 を有する。そして、トランジスタ 6 0 0 1 は、第 1 端子（ソース端子又はドレイン端子の一方）

50

が配線 2006 と接続され、第 2 端子（ソース端子又はドレイン端子の他方）が負荷 6002 を介して配線 6003 に接続されている。

【0182】

続いて、図 60 の半導体装置の動作について説明する。

【0183】

設定動作時にはスイッチ 2203、スイッチ 2204 及びスイッチ 2205 をオンにし、スイッチ 2206 はオフにする。すると、電流電圧変換素子 2003 に電流が流れる。そして、増幅回路 2004 はノード 2008 の電位と配線 2007 の電位とが所定の電位差となるようにトランジスタ 2001 のソース電位を制御する。こうして、トランジスタ 2001 に流れる電流 I_{data} を設定することができる。

10

【0184】

このとき、トランジスタ 2001 とトランジスタ 6001 のゲートソース間電圧は概ね等しくなっている。よって、トランジスタ 2001 のチャンネル長を L_1 、チャンネル幅を W_1 、トランジスタ 6001 のチャンネル長を L_2 、チャンネル幅を W_2 とすると、 $(W_1 / L_1) = (W_2 / L_2)$ となるようにトランジスタ 2001 及びトランジスタ 6001 を設計すればトランジスタ 6001 にも電流 I_{data} が流れるようになっている。

【0185】

そして、出力動作時には、スイッチ 2203、スイッチ 2204 及びスイッチ 2205 をオフにし、スイッチ 2206 をオンにする。すると、容量素子 2002 でトランジスタ 2001 及びトランジスタ 6001 のゲートソース間電圧が保持される。よって、出力動作時には、トランジスタ 6001 によって設定される電流を負荷 6002 に流すことができる。

20

【0186】

また、 $(W_1 / L_1) > (W_2 / L_2)$ となるようにトランジスタ 2001 及びトランジスタ 6001 を設計すれば、設定動作時にトランジスタ 2001 に流れる電流より、出力動作時にトランジスタ 6001 に流れる電流を小さくすることができる。つまり、出力動作時に負荷に流したい電流より大きな電流によってトランジスタ 6001 の電流の設定ができる。よって、すばやく設定動作を完了することができる。

【0187】

逆に、 $(W_1 / L_1) < (W_2 / L_2)$ となるようにトランジスタ 2001 及びトランジスタ 6001 を設計してもよい。この場合には、設定動作時にトランジスタ 2001 に流れる電流より大きな電流を出力動作時に負荷 6002 に流すことができる。

30

【0188】

続いて、設定動作時と出力動作時とで電流源となるトランジスタのゲート長を変えることができる構成について説明する。

【0189】

まず、実施の形態 4 の図 5 に示した半導体装置の基本原理を用いた構成において、設定動作時に所望の電流を流すためのゲートソース間電圧を設定するトランジスタと、出力動作時において設定動作時に設定したゲートソース間電圧を用いることによって電流源として機能するトランジスタとのゲート長を変えることが可能な構成について図 64 に示す。

40

【0190】

図 64 の半導体装置では、トランジスタ 101 と直列に接続されるトランジスタ 6401 を有する。つまり、トランジスタ 6401 は、第 1 端子（ソース端子又はドレイン端子の一方）がトランジスタ 101 の第 2 端子に接続され、第 2 端子（ソース端子又はドレイン端子の他方）がスイッチ 503 を介して電流電圧変換素子 103 と接続されている。そして、トランジスタ 6401 はゲート端子がトランジスタ 101 のゲート端子と接続されている。また、トランジスタ 6401 は第 1 端子と第 2 端子とがスイッチ 6402 を介して接続されている。つまり、スイッチ 6402 がオンすると、トランジスタ 6401 の第 1 端子と第 2 端子、つまりソース端子とドレイン端子が短絡することになる。

50

【0191】

次に動作について説明する。設定動作時には、スイッチ503、スイッチ504及びスイッチ6402をオンにして、スイッチ502をオフにする。すると、電流電圧変換素子103に電流が流れる。そして、トランジスタ101にも電流が流れる。なお、トランジスタ6401はソース端子とドレイン端子がスイッチ6402を介して短絡していることになり、トランジスタ6401には電流が流れない。

【0192】

増幅回路2004はノード109の電位と配線108の電位とが所定の電位差となるようにトランジスタ101のゲート電位を制御する。こうして、トランジスタ101に流れる電流I dataを設定することができる。

10

【0193】

出力動作時には、スイッチ503、スイッチ504及びスイッチ6402をオフにし、スイッチ502をオンにする。すると、トランジスタ101とトランジスタ6401はマルチゲートトランジスタとして機能する。そして、トランジスタ101及びトランジスタ6401によって設定される電流が負荷501に流れる。

【0194】

ここで、トランジスタ101のチャンネル長をL1、トランジスタ6401のチャンネル長をL2とすると、設定動作時においてゲートソース間電圧が設定されるトランジスタのチャンネル長はL1であり、出力動作時において設定動作時に設定したゲートソース間電圧を用いて電流源とするトランジスタのチャンネル長はL1+L2である。よって、設定動作時において設定された電流より、小さい電流が出力動作時に負荷501に流れることになる。つまり、出力動作時に負荷501に流したい電流より大きな電流によって、設定動作を行うことができる。

20

【0195】

なお、スイッチ6402を設定動作時にオフにし、出力動作時にオンにすれば、設定動作より大きな電流を負荷501に流すことができる。

【0196】

次に、実施の形態4の図22に示した半導体装置の基本原理を用いた構成において、設定動作時に所望の電流を流すためのゲートソース間電圧を設定するトランジスタと、出力動作時において設定動作時に設定したゲートソース間電圧を用いて電流源とするトランジスタとのゲート長を変えることが可能な構成について図65に示す。なお、図22と共通する構成については共通の符号を用いてその説明を省略する。

30

【0197】

図65の半導体装置では、トランジスタ2001と直列に接続されるトランジスタ6501を有する。つまり、トランジスタ6501は、第1端子(ソース端子又はドレイン端子の一方)がトランジスタ2001の第2端子に接続され、第2端子(ソース端子又はドレイン端子の他方)がスイッチ2205を介して電流電圧変換素子2003と接続されている。そして、トランジスタ6501はゲート端子がトランジスタ2001のゲート端子と接続されている。また、トランジスタ6501は第1端子と第2端子とがスイッチ6502を介して接続されている。つまり、スイッチ6502がオンすると、トランジスタ6501の第1端子と第2端子、つまりソース端子とドレイン端子が短絡することになる。

40

【0198】

なお、設定動作時にスイッチ6502をオンにし、出力動作時にスイッチ6502をオフにすれば、設定動作時において設定された電流より、小さい電流が出力動作時に負荷2201に流れることになる。つまり、出力動作時に負荷2201に流したい電流より大きな電流によって、設定動作を行うことができる。また、スイッチ6502を設定動作時にオフにし、出力動作時にオンにすれば、設定動作より大きな電流を負荷2201に流すことができる。

【0199】

(実施の形態6)

50

本実施の形態においては、実施の形態 3 に示した半導体装置の構成において、オペアンプの一方の入力端子に入力する電位を設定する回路を有する半導体装置の構成を示す。

【0200】

まず、実施の形態 1 の図 2 に示した半導体装置のオペアンプ 201 の反転入力端子に入力される電位を設定する回路を有する半導体装置を図 7 に示す。なお、図 2 の構成と共通するところは共通の符号を用いてその説明を省略する。

【0201】

図 7 の半導体装置は、トランジスタ 101 の第 2 端子と電流電圧変換素子 103 とが接続される配線と配線 707 との間にスイッチ 702 及び電流源 701 が接続されている。またノード 109 とトランジスタ 101 の第 2 端子との間にスイッチ 703 が接続されている。また、オペアンプ 201 の出力端子とトランジスタ 101 のゲート端子との間にスイッチ 704 が接続されている。また、オペアンプ 201 の出力端子と反転入力端子との間にスイッチ 705 が接続されている。また、オペアンプ 201 の反転入力端子は容量素子 706 を介して配線 708 と接続されている。

10

【0202】

まず、オペアンプの反転入力端子に入力する電位を設定するための動作について説明する。図 8 に示すように、スイッチ 702、スイッチ 705 をオンにし、スイッチ 703、スイッチ 704 をオフにする。すると、電流源 701 に流れる電流 I_{data} が電流電圧変換素子 103 に流れる。そして、そのときのノード 109 の電位がオペアンプ 201 の非反転入力端子に入力される。なお、ここで、オペアンプ 201 はスイッチ 705 がオンしていることにより、反転入力端子と出力端子が接続されていることになり、ボルテージフォロワとして働く。つまり、オペアンプ 201 は、非反転入力端子に入力される電位と概略等しい電位を出力する。そして、この電位分の電荷が容量素子 706 に蓄積される。

20

【0203】

次に、図 9 に示すようにスイッチ 702 をオン、スイッチ 703 及びスイッチ 704 をオフにした状態のままスイッチ 705 をオフにする。すると、容量素子 706 は、ノード 109 と概略等しい電位を保持する。つまり、オペアンプ 201 の反転入力端子にノード 109 の電位を入力し続けることができる。

【0204】

次に、トランジスタ 101 のゲートソース間電圧を設定する設定動作について説明する。図 10 に示すように、スイッチ 702 及びスイッチ 705 をオフにし、スイッチ 703 及びスイッチ 704 をオンにする。すると、ノード 109 の電位が反転入力端子に入力される電位と所定の電位差となるようにオペアンプ 201 から電圧が出力される。すると、トランジスタ 101 には電流源 701 に流れる電流 I_{data} と概略等しい電流が流れるようになる。つまり、トランジスタ 101 は、電流 I_{data} を流すだけのゲートソース間電圧となっている。よって、スイッチ 704 をオフにすれば、トランジスタ 101 のゲートソース間電圧を保持することができ、設定動作が完了する。

30

【0205】

次に、実施の形態 1 の図 12 に示した半導体装置において、オペアンプの一方の入力端子に入力する電位を設定する回路を有する半導体装置の構成を図 16 に示す。なお、図 16 の構成において図 12 と共通するところは共通の符号を用いている。

40

【0206】

図 16 の半導体装置は、トランジスタ 1201 の第 2 端子と電流電圧変換素子 1203 とが接続される配線と配線 1607 との間にスイッチ 1602 及び電流源 1601 が接続されている。またノード 1209 とトランジスタ 1201 の第 2 端子との間にスイッチ 1603 が接続されている。また、オペアンプ 1301 の出力端子とトランジスタ 1201 のゲート端子との間にスイッチ 1604 が接続されている。また、オペアンプ 1301 の出力端子と反転入力端子との間にスイッチ 1605 が接続されている。また、オペアンプ 1301 の反転入力端子は容量素子 1606 を介して配線 1608 と接続されている。

【0207】

50

まず、オペアンプの反転入力端子に入力する電位を設定するための動作について説明する。図17に示すように、スイッチ1602、スイッチ1605をオンにし、スイッチ1603、スイッチ1604をオフにする。すると、電流源1601に流れる電流I dataが電流電圧変換素子1203に流れる。そして、そのときのノード1209の電位がオペアンプ1301の非反転入力端子に入力される。なお、ここで、オペアンプ1301はスイッチ1605がオンしていることにより、反転入力端子と出力端子が接続されていることになり、ボルテージフォロワとして働く。つまり、オペアンプ1301は、非反転入力端子に入力される電位と概略等しい電位を出力する。そして、この電位分の電荷が容量素子1606に蓄積される。

【0208】

次に、図18に示すようにスイッチ1602をオン、スイッチ1603及びスイッチ1604をオフにした状態のままスイッチ1605をオフにする。すると、容量素子1606は、ノード1209と概略等しい電位を保持する。つまり、オペアンプ1301の反転入力端子にノード1209の電位を入力し続けることができる。

【0209】

次に、トランジスタ1201のゲートソース間電圧を設定する設定動作について説明する。図19に示すように、スイッチ1602及びスイッチ1605をオフにし、スイッチ1603及びスイッチ1604をオンにする。すると、ノード1209の電位が反転入力端子に入力される電位と所定の電位差となるようにオペアンプ1301から電圧が出力される。すると、トランジスタ1201には電流源1601に流れる電流I dataと概略等しい電流が流れるようになる。つまり、トランジスタ1201は、電流I dataを流すだけのゲートソース間電圧となっている。よって、スイッチ1604をオフにすれば、トランジスタ1201のゲートソース間電圧を保持することができ、設定動作が完了する。

【0210】

(実施の形態7)

本発明は、流れる電流値によって発光輝度を制御することが可能な発光素子で画素を形成した表示装置に適用することができる。代表的にはEL素子に用いることができる。

【0211】

よって、本実施の形態においては、実施の形態3で示した半導体装置の構成を表示装置の画素に適用した場合について説明する。

【0212】

まず、実施の形態3の図2に示した半導体装置の構成を画素に適用した場合について図29に示す。画素2917は、トランジスタ2907、容量素子2908、発光素子2909、スイッチ2910、スイッチ2911、スイッチ2912、第1の信号線2918、第2の信号線2919および電源線2920を有する。なお、発光素子2909の対向電極2916には所定の電位が供給されている。

【0213】

トランジスタ2907は、ゲート端子が容量素子2908を介して電源線2920に接続され、第1端子(ソース端子又はドレイン端子の一方)が電源線2920に接続され、第2端子(ソース端子又はドレイン端子の他方)がスイッチ2912を介して発光素子2909の画素電極と接続されている。また、トランジスタ2907の第2端子はスイッチ2911を介して第1の信号線2918と接続され、トランジスタ2907のゲート端子はスイッチ2910を介して第2の信号線2919と接続されている。

【0214】

また、第1の信号線2918は電流電圧変換素子2901を介して配線2913と接続されている。また、第1の信号線2918はスイッチ2902および電流源2906を介して配線2914と接続されている。また、第1の信号線2918にはオペアンプ2903の非反転入力端子が接続されている。また、オペアンプ2903の反転入力端子は容量素子2905を介して配線2915と接続されている。また、オペアンプ2903の出力端子は第2の信号線2919に接続されている。また、オペアンプ2903の反転入力端子

10

20

30

40

50

はスイッチ 2904 を介して出力端子と接続されている。

【0215】

次に、動作について図 30 を用いて説明する。なお、図 30 では符号を付していないが図 29 の構成と同様であるためそちらの符号を用いて説明する。

【0216】

まず、図 30 (A) に示すように、スイッチ 2902 およびスイッチ 2904 をオンにする。すると、電流源 2906 によって設定される電流が電流電圧変換素子 2901 に流れる。そして、そのとき電流電圧変換素子 2901 に電圧が発生する。そして、オペアンプ 2903 の非反転入力端子に入力される電位は、電流電圧変換素子 2901 による電圧降下によって下がる。つまり、配線 2913 の電位から電流電圧変換素子 2901 に発生する電圧分下がった電位がオペアンプ 2903 の非反転入力端子に入力される。そして、このときオペアンプ 2903 は反転入力端子と出力端子が導通しているためボルテージフォロワとして働く。つまり、容量素子 2905 の一方の電極の電位が非反転入力端子の電位と概略等しい電位となるまでオペアンプ 2903 の出力端子から電流が供給される。そして、オペアンプ 2903 の出力端子からの電流の供給がない状態になったら、図 30 (B) に示すように、スイッチ 2904 をオフにする。すると、容量素子 2905 でオペアンプ 2903 の反転入力端子の電位が保持される。

【0217】

次に、図 30 (C) に示すように、スイッチ 2902 をオフにし、スイッチ 2910 およびスイッチ 2911 をオンにする。すると、オペアンプ 2903 の出力端子からは、非反転入力端子の電位が反転入力端子に入力される電位と等しくなるようにトランジスタ 2907 のゲート端子に電位を供給する。つまり、オペアンプ 2903 の非反転入力端子の電位が反転入力端子の電位よりも高いときには、トランジスタ 2907 のゲート電位が高くなるようにオペアンプ 2903 の出力端子から電位が供給される。よって、トランジスタ 2907 に流れる電流が大きくなる。すると、電流電圧変換素子 2901 に流れる電流が大きくなるため、電圧降下も大きくなる。よって、オペアンプ 2903 の非反転入力端子に入力される電位が低くなる。また、オペアンプ 2903 の非反転入力端子の電位が反転入力端子の電位よりも低いときには、トランジスタ 2907 のゲート電位が低くなるようにオペアンプ 2903 の出力端子から電位が供給される。よって、トランジスタ 2907 に流れる電流が小さくなる。すると、電流電圧変換素子 2901 に流れる電流が小さくなるため、電圧降下も小さくなる。よって、オペアンプ 2903 の非反転入力端子に入力される電位が高くなる。こうして、オペアンプ 2903 の非反転入力端子の電位が反転入力端子の電位と概略等しい電位となると信号電流 I_{data} が電流電圧変換素子 2901 およびトランジスタ 2907 に流れるようになる。こうして、画素への信号の書き込みが完了する。

【0218】

そして、発光期間には、図 30 (D) に示すように、スイッチ 2910 およびスイッチ 2911 をオフにし、スイッチ 2912 をオンにする。すると、トランジスタ 2907 に設定された電流が、対向電極 2916 から発光素子 2909 およびトランジスタ 2907 に流れる。

【0219】

次に、実施の形態 3 の図 2 に示した半導体装置の構成を画素に適用した場合の他の構成について図 31 に示す。画素 3119 は、スイッチ 3107、スイッチ 3108、信号保持手段 3109、電流源回路 3110、発光素子 3111、信号線 3112、配線 3113、配線 3114、電源線 3120 を有する。なお、発光素子 3111 の対向電極 3118 には所定の電位が供給されている。

【0220】

電源線 3120 は電流源回路 3110 およびスイッチ 3108 を介して発光素子 3111 の画素電極と接続されている。また、信号保持手段 3109 はスイッチ 3107 を介して信号線 3112 と接続されている。また、配線 3113 および配線 3114 によって電流

10

20

30

40

50

源回路 3 1 1 0 に電流が設定される。そして、スイッチ 3 1 0 7 がオンしているときに信号線 3 1 1 2 から信号保持手段 3 1 0 9 に信号が入力されると信号保持手段 3 1 0 9 により信号が保持される。そして、その信号保持手段 3 1 0 9 に保持された信号によって、スイッチ 3 1 0 8 のオンオフが制御される。そして、スイッチ 3 1 0 8 がオンする場合、信号が信号保持手段 3 1 0 9 に保持されている間、電流源回路 3 1 1 0 に設定された電流が発光素子 3 1 1 1 に流れる。

【0221】

また、配線 3 1 1 3 には電流電圧変換素子 3 1 0 1 を介して配線 3 1 1 5 が接続されている。また、配線 3 1 1 3 にはスイッチ 3 1 0 2 および電流源 3 1 0 6 を介して配線 3 1 1 6 が接続されている。また、オペアンプ 3 1 0 3 の非反転入力端子が配線 3 1 1 3 に接続されている。また、オペアンプ 3 1 0 3 の反転入力端子が容量素子 3 1 0 5 を介して配線 3 1 1 7 に接続されている。また、オペアンプ 3 1 0 3 の出力端子は、スイッチ 3 1 0 4 を介して反転入力端子と接続されるとともに、配線 3 1 1 4 とともに接続されている。

10

【0222】

なお、電流源回路 3 1 1 0 の一構成例を図 3 2 に示し、図 3 3 を用いてその動作について説明する。なお、図 3 2 の構成は図 3 1 の電流源回路 3 1 1 0 の構成を詳細にした図であるため、共通するところは共通の符号を用いてその説明を省略する。

【0223】

まず、図 3 2 の構成について説明する。電流源回路 3 1 1 0 は、トランジスタ 3 2 0 1、容量素子 3 2 0 2、スイッチ 3 2 0 3、スイッチ 3 2 0 4、スイッチ 3 2 0 5 およびスイッチ 3 2 0 6 を有する。トランジスタ 3 2 0 1 の第 1 端子（ソース端子又はドレイン端子の一方）がスイッチ 3 1 0 8 を介して発光素子 3 1 1 1 の画素電極と接続されている。またトランジスタ 3 2 0 1 の第 1 端子はスイッチ 3 2 0 4 を介して配線 3 2 0 7 と接続されている。また、トランジスタ 3 2 0 1 は第 1 端子とゲート端子が容量素子 3 2 0 2 を介して接続されている。また、トランジスタ 3 2 0 1 のゲート端子はスイッチ 3 2 0 3 を介して配線 3 1 1 4 と接続されている。また、トランジスタ 3 2 0 1 の第 2 端子（ソース端子又はドレイン端子の他方）は、スイッチ 3 2 0 6 を介して電源線 3 1 2 0 と、スイッチ 3 2 0 5 を介して配線 3 1 1 3 と接続されている。

20

【0224】

まず、図 3 3 (A) に示すように、スイッチ 3 1 0 2 およびスイッチ 3 1 0 4 をオンにする。すると、電流源 3 1 0 6 によって設定される電流が電流電圧変換素子 3 1 0 1 に流れる。そして、そのとき電流電圧変換素子 3 1 0 1 に電圧が発生する。そして、オペアンプ 3 1 0 3 の非反転入力端子に入力される電位は、電流電圧変換素子 3 1 0 1 による電圧降下によって下がる。つまり、配線 3 1 1 5 の電位から電流電圧変換素子 3 1 0 1 に発生する電圧分下がった電位がオペアンプ 3 1 0 3 の非反転入力端子に入力される。そして、このときオペアンプ 3 1 0 3 は反転入力端子と出力端子が導通しているためボルテージフォロワとして働く。つまり、容量素子 3 1 0 5 の一方の電極の電位が非反転入力端子の電位と概略等しい電位となるまでオペアンプ 3 1 0 3 の出力端子から電流が供給される。そして、オペアンプ 3 1 0 3 の出力端子からの電流の供給がない状態になったら、図 3 3 (B) に示すように、スイッチ 3 1 0 4 をオフにする。すると、容量素子 3 1 0 5 でオペアンプ 3 1 0 3 の反転入力端子の電位が保持される。

30

40

【0225】

次に、図 3 3 (C) に示すように、スイッチ 3 1 0 2 をオフにし、スイッチ 3 2 0 3、スイッチ 3 2 0 4 およびスイッチ 3 2 0 5 をオンにする。すると、オペアンプ 3 1 0 3 の出力端子からは、非反転入力端子の電位が反転入力端子に入力される電位と等しくなるようにトランジスタ 3 2 0 1 のゲート端子に電位を供給する。つまり、オペアンプ 3 1 0 3 の非反転入力端子の電位が反転入力端子の電位よりも高いときには、トランジスタ 3 2 0 1 のゲート電位が高くなるようにオペアンプ 3 1 0 3 の出力端子から電位が供給される。よって、トランジスタ 3 2 0 1 に流れる電流が大きくなる。すると、電流電圧変換素子 3 1 0 1 に流れる電流が大きくなるため、電圧降下も大きくなる。よって、オペアンプ 3 1 0

50

3の非反転入力端子に入力される電位が低くなる。また、オペアンプ3103の非反転入力端子の電位が反転入力端子の電位よりも低いときには、トランジスタ3201のゲート電位が低くなるようにオペアンプ3103の出力端子から電位が供給される。よって、トランジスタ3201に流れる電流が小さくなる。すると、電流電圧変換素子3101に流れる電流が小さくなるため、電圧降下も小さくなる。よって、オペアンプ3103の非反転入力端子に入力される電位が高くなる。こうして、オペアンプ3103の非反転入力端子の電位が反転入力端子の電位と概略等しい電位となると信号電流 I d a t a が電流電圧変換素子3101およびトランジスタ3201に流れるようになる。こうして、画素の電流源回路3110へのプログラミングが完了する。

【0226】

そして、画素への信号書き込み期間には、スイッチ3203、スイッチ3204およびスイッチ3205をオフにし、スイッチ3206をオンにする。また、スイッチ3107をオンにし、信号線3112から信号保持手段3109に信号を入力する。そして、信号保持手段3109は入力された信号を保持する。この信号保持手段3109に保持されている信号によってスイッチ3108のオンオフが制御される。そして、スイッチ3108がオンする場合には図33(D)に示すように、トランジスタ3201によって設定される電流が発光素子3111に流れる。

【0227】

次に、実施の形態3の図21に示した半導体装置の構成を画素に適用した場合について図34に示す。画素3424は、トランジスタ3408、容量素子3409、発光素子3410、スイッチ3411、スイッチ3412、スイッチ3413、スイッチ3414、スイッチ3415、信号線3416、配線3417および配線3418を有する。なお、発光素子3410の対向電極3422には所定の電位が供給されている。

【0228】

トランジスタ3408は、ゲート端子がスイッチ3411を介して配線3418と接続され、第1端子(ソース端子又はドレイン端子の一方)がスイッチ3415を介して配線3417と接続され、また、第2端子(ソース端子又はドレイン端子の他方)がスイッチ3412を介して信号線3416と接続されている。また、トランジスタ3408は、第1端子がスイッチ3414を介して配線3423と接続され、第2端子がスイッチ3413を介して発光素子3410の画素電極と接続されている。また、トランジスタ3408のゲート端子と第1端子は容量素子3409を介して接続されている。

【0229】

また、信号線3416は電流電圧変換素子3401を介して配線3420と接続されている。また、信号線3416はスイッチ3402および電流源3419を介して配線3421と接続されている。また、信号線3416にはオペアンプ3403の反転入力端子が接続されている。また、オペアンプ3403は、非反転入力端子が配線3418と接続され、出力端子が配線3417と接続されている。また、信号線3416はスイッチ3402、スイッチ3406、スイッチ3407およびバッファ3405を介して配線3418と接続され、スイッチ3402およびスイッチ3406および容量素子3404を介して配線3425と接続されている。

【0230】

次に、動作について図35を用いて説明する。なお、図35では符号を付していないが図34の構成と同様であるためそちらの符号を用いて説明する。

【0231】

まず、図35(A)に示すように、スイッチ3402およびスイッチ3406をオンにする。すると、電流源3419によって設定される電流が電流電圧変換素子3401に流れる。そして、そのとき電流電圧変換素子3401に電圧が発生する。そして、容量素子3404の一方の電極に入力される電位は、電流電圧変換素子3401による電圧降下によって下がる。つまり、配線3420の電位から電流電圧変換素子3401に発生する電圧分下がった電位が容量素子3404の一方の電極に入力される。そして、図35(B)に

10

20

30

40

50

示すように、スイッチ3406をオフにする。すると、容量素子3404の他方の電極は所定の電位の供給されている配線3425に接続されているため、容量素子3404の一方の電極に入力される電位が容量素子3404で保持される。

【0232】

次に、図35(C)に示すように、スイッチ3402をオフにし、スイッチ3407、スイッチ3411、スイッチ3412およびスイッチ3415をオンにする。すると、容量素子3404で保持されている電位と概略同じ電位がバッファ3405から出力される。そして、バッファ3405から出力された電位は、配線3418に供給され、オペアンプ3403の非反転入力端子およびトランジスタ3408のゲート端子に入力される。また、配線3420から電流電圧変換素子3401およびトランジスタ3408を介してオペアンプ3403の出力端子に電流が流れる。

10

【0233】

オペアンプ3403の反転入力端子には、配線3420の電位から電流電圧変換素子3401に発生する電圧分下がった電位が入力される。そして、オペアンプ3403は、非反転入力端子に入力される電位と反転入力端子に入力される電位差が所定の電位差となるように、出力端子から電位を出力する。

【0234】

こうして、容量素子3409にはトランジスタ3408のゲートソース間電圧分の電荷が蓄積される。

【0235】

そして、発光期間には、図35(D)に示すように、スイッチ3407、スイッチ3411、スイッチ3412およびスイッチ3415をオフにし、スイッチ3413およびスイッチ3414をオンにする。すると、トランジスタ3408に設定された電流が、対向電極3422から発光素子3410およびトランジスタ3408を介して配線3423に流れる。

20

【0236】

(実施の形態8)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の半導体装置を適用することができる。

30

【0237】

表示装置は、図36に示すように、画素部3601、走査線駆動回路3602、信号線駆動回路3610を有している。走査線駆動回路3602は、画素部3601に選択信号を順次出力する。信号線駆動回路3610は、画素部3601にビデオ信号を順次出力する。画素部3601では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3610から画素部3601へ入力するビデオ信号は、電流である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3610から入力されるビデオ信号(電流)によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED(フィールドエミッションディスプレイ)で用いる素子などがあげられる。

40

【0238】

なお、走査線駆動回路3602や信号線駆動回路3610は、複数配置されていてもよい。

【0239】

信号線駆動回路3610は、構成を複数の部分に分けられる。一例として、シフトレジスタ3603、第1ラッチ回路3604、第2ラッチ回路3605、デジタルアナログ変換回路3606に分けられる。デジタルアナログ変換回路3606には、電圧を電流に変換する機能も有しており、ガンマ補正を行う機能も有していてもよい。つまり、デジタルアナログ変換回路3606には、画素に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

50

【0240】

なお、図31に示したように、画素の構成によっては、ビデオ信号用のデジタル電圧信号と、画素の中の電流源回路のための制御用の電流とを、画素に入力する場合がある。その場合は、デジタルアナログ変換回路3606は、デジタルアナログ変換機能ではなく、電圧を電流に変換する機能を有しており、その電流を制御用の電流として画素に出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。

【0241】

また、画素は、EL素子などの表示素子を有している。その表示素子に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有しており、そこにも、本発明を適用することが出来る。

10

【0242】

そこで、信号線駆動回路3610の動作を簡単に説明する。シフトレジスタ3603は、フリップフロップ回路（FF）等を複数列用いて構成され、クロック信号（S-CLK）、スタートパルス（SP）、クロック反転信号（S-CLKb）が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0243】

シフトレジスタ3603より出力されたサンプリングパルスは、第1ラッチ回路3604に入力される。第1ラッチ回路3604には、ビデオ信号線3608より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタルアナログ変換回路3606を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は、電圧であることが多い。

20

ただし、第1ラッチ回路3604や第2ラッチ回路3605が、アナログ値を保存できる回路である場合は、デジタルアナログ変換回路3606は省略できる場合が多い。その場合、ビデオ信号は、電流であることも多い。また、画素部3601に出力するデータが2値、つまり、デジタル値である場合は、デジタルアナログ変換回路3606は省略できる場合が多い。

【0244】

第1ラッチ回路3604において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線3609よりラッチパルス（L a t c h P u l s e）が入力され、第1ラッチ回路3604に保持されていたビデオ信号は、一斉に第2ラッチ回路3605に転送される。その後、第2ラッチ回路3605に保持されたビデオ信号は、1行分が同時に、デジタルアナログ変換回路3606へと入力される。そして、デジタルアナログ変換回路3606から出力される信号は、画素部3601へ入力される。

30

【0245】

第2ラッチ回路3605に保持されたビデオ信号がデジタルアナログ変換回路3606に入力され、そして、画素部3601に入力されている間、シフトレジスタ3603においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

40

【0246】

つまり、デジタルアナログ変換回路3606には、図62に示すような構成の回路を有する。なお、図62では、簡単のため、3ビットの場合について説明する。すなわち、基本電流源回路6201A、6201B、6201Cがあり、設定動作の時の電流の大きさは、それぞれ I_c 、 $2 \times I_c$ 、 $4 \times I_c$ というようになっている。そして、電流源回路6202A、6202B、6202Cが各々接続されている。したがって、出力動作の時には、電流源回路6202A、6202B、6202Cは、それぞれ I_c 、 $2 \times I_c$ 、 $4 \times I_c$ の大きさの電流を出力することになる。そして、各電流源回路と直列に、スイッチ6203A、6203B、6203Cが接続されている。このスイッチは、図36で示した第2ラッチ回路3605から出力されるビデオ信号によって制御される。そして、各電流源

50

回路とスイッチから出力される電流の合計が、負荷、すなわち、信号線に出力される。以上のように動作させることにより、画素にビデオ信号としてアナログ電流を出力している。

【0247】

なお、デジタルアナログ変換回路3606が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、つまり、別の電流源回路から電流を入力して、トランジスタの特性バラツキの影響を受けない電流を出力できるような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路3614が配置されている。

【0248】

なお、電流源回路に対して設定動作を行う場合、そのタイミングを制御する必要がある。その場合、設定動作を制御するために、専用の駆動回路（シフトレジスタなど）を配置してもよい。あるいは、第1ラッチ回路を制御するためのシフトレジスタから出力される信号を用いて、電流源回路への設定動作を制御してもよい。つまり、一つのシフトレジスタで、第1ラッチ回路と電流源回路とを両方制御するようにしてもよい。その場合は、第1ラッチ回路を制御するためのシフトレジスタから出力される信号を直接、電流源回路に入力してもよいし、第1ラッチ回路への制御と電流源回路への制御を切り分けるため、その切り分けを制御する回路を介して、電流源回路を制御してもよい。あるいは、第2ラッチ回路から出力される信号を用いて、電流源回路への設定動作を制御してもよい。第2ラッチ回路から出力される信号は、通常、ビデオ信号であるため、ビデオ信号として使用する

10

20

【0249】

なお、信号線駆動回路やその一部（電流源回路や増幅回路など）は、画素部3601と同一基板上に存在せず、例えば、外付けのICチップを用いて構成されることもある。

【0250】

なお、信号線駆動回路などの構成は、図36に限定されない。

【0251】

例えば、第1ラッチ回路3604や第2ラッチ回路3605が、アナログ値を保存できる回路である場合、図37に示すように、リファレンス用電流源回路3614から第1ラッチ回路3604に、ビデオ信号（アナログ電流）が入力されることもある。また、図37において、第2ラッチ回路3605が存在しない場合もある。そのような場合は、第1ラッチ回路3604に、より多くの電流源回路が配置されている場合が多い。

30

【0252】

このような場合、図36における、デジタルアナログ変換回路3606の中の電流源回路に、本発明を適用することが出来る。デジタルアナログ変換回路3606の中に、複数のユニット回路があり、リファレンス用電流源回路3614に、電流源回路や増幅回路が配置されている。

【0253】

あるいは、図37における、第1ラッチ回路3604の中の電流源回路に、本発明を適用することが出来る。第1ラッチ回路3604の中に、複数のユニット回路があり、リファレンス用電流源回路3614に、基本電流源や追加電流源が配置されている。例えば、図61に示すように基本電流源回路6101と各列の画素に対応して電流源回路6102が設けられている。

40

【0254】

あるいは、図36、図37における画素部3601の中の画素（その中の電流源回路）に、本発明を適用することが出来る。画素部3601の中に、複数のユニット回路があり、信号線駆動回路3610に、電流源回路や増幅回路が配置されている。

【0255】

つまり、回路の様々な部分に、電流を供給するような回路が存在する。そのような電流

50

源回路は、正確な電流を出力する必要がある。そのため、別の電流源回路を用いて、トランジスタが正確な電流が出力できるように設定を行う。別の電流源回路も、正確な電流を出力する必要がある。したがって、基本となる電流源回路があり、そこから電流源トランジスタを次々に設定していく。それにより、電流源回路は、正確な電流を出力することが可能となる。よって、そのような部分に、本発明を適用することが出来る。

【0256】

(実施の形態9)

本実施の形態では、実施の形態1で示した表示パネルの構成について図38(a)、(b)を用いて説明する。

【0257】

なお、図38(a)は、表示パネルを示す上面図、図38(b)は図38(a)をA-A'で切断した断面図である。点線で示された信号線駆動回路3801、画素部3802、第1の走査線駆動回路3803、第2の走査線駆動回路3806を有する。また、封止基板3804、シール材3805を有し、シール材3805で囲まれた内側は、空間3807になっている。

【0258】

なお、配線3808は第1の走査線駆動回路3803、第2の走査線駆動回路3806及び信号線駆動回路3801に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)3809からビデオ信号、クロック信号、スタートパルス信号等を受け取る。FPC3809と表示パネルとの接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)3819A及びICチップ3819BがCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0259】

次に、断面構造について図38(b)を用いて説明する。基板3810上には画素部3802とその周辺駆動回路(第1の走査線駆動回路3803、第2の走査線駆動回路3806及び信号線駆動回路3801)が形成されているが、ここでは、信号線駆動回路3801と、画素部3802が示されている。

【0260】

なお、信号線駆動回路3801はTFT3820やTFT3821を有している。また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。

【0261】

また、画素部3802はTFT3811と、TFT3812とを有している。なお、TFT3812のソース電極は第1の電極(画素電極)3813と接続されている。また、第1の電極3813の端部を覆って絶縁膜3814が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0262】

また、カバレッジを良好なものとするため、絶縁膜3814の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁膜3814の材料としてポジ型の感光性アクリルを用いた場合、絶縁膜3814の上端部のみに曲率半径(0.2 μ m~3 μ m)を有する曲面を持たせることが好ましい。また、絶縁膜3814として、光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0263】

第1の電極3813上には、有機化合物を含む層3816、および第2の電極(対向電極)3817がそれぞれ形成されている。ここで、陽極として機能する第1の電極381

10

20

30

40

50

3に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0264】

また、有機化合物を含む層3816は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層3816には、元素周期表の第4族金属錯体をその一部に用いることとし、その他、組み合わせることで用いることができる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

10

【0265】

さらに、有機化合物を含む層3816上に形成される第2の電極3817に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）を用いればよい。なお、有機化合物を含む層3816で生じた光が第2の電極3817を透過させる場合には、第2の電極（陰極）3817として、膜厚を薄くした金属薄膜と、透明導電膜（インジウムスズ酸化物（ITO）、酸化インジウム酸化亜鉛合金（In₂O₃、ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。

20

【0266】

さらにシール材3805で封止基板3804を基板3810と貼り合わせることにより、基板3810、封止基板3804、およびシール材3805で囲まれた空間3807に発光素子3818が備えられた構造になっている。なお、空間3807には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材3805で充填される構成も含むものとする。

【0267】

なお、シール材3805にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板3804に用いる材料としてガラス基板や石英基板の他、FRP（Fiber glass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

30

【0268】

以上のようにして、表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示パネルの構成はこれに限定されない。なお、本発明の半導体装置は本実施の形態に示した表示パネルの信号線駆動回路や画素に適用することができる。

【0269】

図38示すように、信号線駆動回路3801、画素部3802、第1の走査線駆動回路3803及び第2の走査線駆動回路3806を一体形成することで、表示装置の低コスト化が図れる。

40

【0270】

なお、表示パネルの構成としては、図38(a)に示したように信号線駆動回路3801、画素部3802、第1の走査線駆動回路3803及び第2の走査線駆動回路3806を一体形成した構成に限られず、信号線駆動回路3801に相当する図44に示す信号線駆動回路4401をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図44(a)の基板4400、画素部4402、第1の走査線駆動回路4403、第2の走査線駆動回路4404、FPC4405、ICチップ4406、ICチップ4407、封止基板4408、シール材4409は図38(a)の基板3810、画

50

素部 3802、第1の走査線駆動回路 3803、第2の走査線駆動回路 3806、FPC 3809、ICチップ 3819A、ICチップ 3819B、封止基板 3804、シール材 3805に相当する。

【0271】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【0272】

そして、第2の走査線駆動回路 4403や第1の走査線駆動回路 4404を画素部 4402と一体形成することで、低コスト化を図れる。

10

【0273】

こうして、高精細な表示装置の低コスト化を図れる。また、FPC 4405と基板 4400との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

【0274】

また、図38(a)の信号線駆動回路 3801、第1の走査線駆動回路 3803及び第2の走査線駆動回路 3806に相当する図44(b)の信号線駆動回路 4411、第1の走査線駆動回路 4414及び第2の走査線駆動回路 4413をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図44(b)の基板 4410、画素部 4412、FPC 4415、ICチップ 4416、ICチップ 4417、封止基板 4418、シール材 4419は図38(a)の基板 3810、画素部 3802、FPC 3809、ICチップ 3819A、ICチップ 3819B、封止基板 3804、シール材 3805に相当する。

20

【0275】

また、画素部 4412のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【0276】

また、画素の行方向及び列方向に第2の走査線駆動回路、第1の走査線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図45(a)に示すようにICチップ上に形成された周辺駆動回路 4501が図44(b)に示す、第1の走査線駆動回路 4414、第2の走査線駆動回路 4413及び信号線駆動回路 4411の機能を有するようにしても良い。なお、図45(a)の基板 4500、画素部 4502、FPC 4504、ICチップ 4505、ICチップ 4506、封止基板 4507、シール材 4508は図38(a)の基板 3810、画素部 3802、FPC 3809、ICチップ 3819A、ICチップ 3819B、封止基板 3804、シール材 3805に相当する。

30

【0277】

なお、図45(a)の表示装置の配線の接続を説明する模式図を図45(b)に示す。基板 4510、周辺駆動回路 4511、画素部 4512、FPC 4513、FPC 4514有する。FPC 4513より周辺駆動回路 4511に外部からの信号及び電源電位が入力される。そして、周辺駆動回路 4511からの出力は、画素部 4512の有する画素に接続された行方向及び列方向の配線に入力される。

40

【0278】

さらに、発光素子 3818に適用可能な発光素子の例を図39(a)、(b)に示す。つまり、実施の形態1、実施の形態2、実施の形態3、実施の形態4及び本実施の形態で示した画素に適用可能な発光素子の構成について図39(a)、(b)を用いて説明する。

【0279】

図39(a)の発光素子は、基板 3901の上に陽極 3902、正孔注入材料からなる正

50

孔注入層 3903、その上に正孔輸送材料からなる正孔輸送層 3904、発光層 3905、電子輸送材料からなる電子輸送層 3906、電子注入材料からなる電子注入層 3907、そして陰極 3908 を積層させた素子構造である。ここで、発光層 3905 は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【0280】

また、図 39 (a) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域に分けることによって得られる白色発光素子などにも応用可能である。

10

【0281】

図 39 (a) に示す本発明の素子作製方法は、まず、陽極 3902 (インジウムスズ酸化物:ITO) を有する基板 3901 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 3908 を蒸着で形成する。

【0282】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0283】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン(以下「H₂Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下「PSS」と記す)をドーピングしたポリエチレンジオキシチオフェン(以下「PEDOT」と記す)や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド(以下「PI」と記す)がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム(以下「アルミナ」と記す)の超薄膜などがある。

20

30

【0284】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物である。広く用いられている材料として、4,4'-ビス(ジフェニルアミノ)-ピフェニル(以下、「TAD」と記す)や、その誘導体である4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ピフェニル(以下、「TPD」と記す)、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ピフェニル(以下、「NPD」と記す)がある。4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(以下、「TDATA」と記す)、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(以下、「MTDATA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

40

【0285】

電子輸送材料としては、金属錯体がよく用いられ、先に述べたAlq₃、BALq、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「Almq」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリノラト)ベリリウム(以下、「Bebq」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「Zn(BOX)₂」)と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「Zn(BTZ)₂」)と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ピフェニル)-5-(4

50

- tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール (以下、「PBD」と記す)、OXD - 7などのオキサジアゾール誘導体、TAZ、3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニリル) - 23、4 - トリアゾール (以下、「p - ET TAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン (以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

【0286】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート (以下、「Li(acac)」と記す) や 8 - キノリノラト - リチウム (以下、「Li q」と記す) などのアルカリ金属錯体も有効である。

10

【0287】

発光材料としては、先に述べた Alq₃、Almq、BeBq、BALq、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の 4, 4' - ビス(2, 2 - ジフェニル - ビニル) - ビフェニルや、赤橙色の 4 - (ジシアノメチレン) - 2 - メチル - 6 - (p - ジメチルアミノステリル) - 4 H - ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2 - フェニルピリジン)イリジウム、ビス(2 - (4' - トリル)ピリジナト - N, C^{2'})アセチルアセト

20

【0288】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0289】

また、図39(b)に示すように図39(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板3911の上に陰極3918、電子注入材料からなる電子注入層3917、その上に電子輸送材料からなる電子輸送層3916、発光層3915

30

【0290】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTF T及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0291】

上面射出構造の発光素子について図40(a)を用いて説明する。

40

【0292】

基板4000上に駆動用TF T 4001が形成され、駆動用TF T 4001のソース電極に接して第1の電極4002が形成され、その上に有機化合物を含む層4003と第2の電極4004が形成されている。

【0293】

また、第1の電極4002は発光素子の陽極である。そして第2の電極4004は発光素子の陰極である。つまり、第1の電極4002と第2の電極4004とで有機化合物を含む層4003が挟まれているところが発光素子となる。

【0294】

また、ここで、陽極として機能する第1の電極4002に用いる材料としては、仕事関数

50

の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0295】

また、陰極として機能する第2の電極4004に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

10

【0296】

こうして、図40(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図38の表示パネルに適用した場合には、封止基板3804側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板3804は光透過性を有する基板を用いる。

【0297】

また、光学フィルムを設ける場合には、封止基板3804に光学フィルムを設ければよい。

20

【0298】

なお、第1の電極4002を陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第2の電極4004にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0299】

また、下面射出構造の発光素子について図40(b)を用いて説明する。射出構造以外は図40(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

30

【0300】

ここで、陽極として機能する第1の電極4002に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0301】

また、陰極として機能する第2の電極4004に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

40

【0302】

こうして、図40(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図38の表示パネルに適用した場合には、基板3810側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板3810は光透過性を有する基板を用いる。

【0303】

また、光学フィルムを設ける場合には、基板3810に光学フィルムを設ければよい。

【0304】

両面射出構造の発光素子について図40(c)を用いて説明する。射出構造以外は図40(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

50

【0305】

ここで、陽極として機能する第1の電極4002に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜などの透明導電膜を用いることができる。透光性を有する導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0306】

また、陰極として機能する第2の電極4004に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）からなる金属薄膜と、透明導電膜（ITO（インジウムスズ酸化物）、酸化インジウム酸化亜鉛合金（In₂O₃ ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。こうして薄い金属薄膜と、透光性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

10

【0307】

こうして、図40(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図38の表示パネルに適用した場合には、基板3810側と封止基板3804側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板3810および封止基板3804は、ともに光透過性を有する基板を用いる。

【0308】

また、光学フィルムを設ける場合には、基板3810および封止基板3804の両方に光学フィルムを設ければよい。

20

【0309】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0310】

図41に示すように、基板4100上に下地膜4102が形成され、その上に駆動用TFT4101が形成され、駆動用TFT4101のソース電極に接して第1の電極4103が形成され、その上に有機化合物を含む層4104と第2の電極4105が形成されている。

【0311】

また、第1の電極4103は発光素子の陽極である。そして第2の電極4105は発光素子の陰極である。つまり、第1の電極4103と第2の電極4105とで有機化合物を含む層4104が挟まれているところが発光素子となる。図41の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター4106R、緑色のカラーフィルター4106G、青色のカラーフィルター4106Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス（BMともいう）4107が設けられている。

30

【0312】

上述した発光素子の構成は組み合わせることででき、本発明の画素構成を有する表示装置に適用することができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん本発明の画素構成は他の構成の表示装置に適用することもできる。

40

【0313】

次に、表示パネルの画素部の部分断面図を示す。

【0314】

まず、トランジスタの半導体層に結晶性半導体膜（ポリシリコン（p-Si:H）膜）を用いた場合について図42及び図43を用いて説明する。

【0315】

ここで、半導体層は、例えば基板上にアモルファスシリコン（a-Si）膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜

50

などの非晶質構造を含む化合物半導体膜でも良い。

【0316】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行っても良い。

【0317】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0318】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンニングして、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。なお、パターンニングとは、膜を形状加工することをいい、フォトリソグラフィ技術によって膜のパターンを形成すること（例えば、感光性アクリルにコンタクトホールを形成することや、感光性アクリルをスペーサとなるように形状加工することも含む）や、フォトリソグラフィ技術によってマスクパターンを形成し、当該マスクパターンを用いてエッチング加工を行うことなどをいう。

【0319】

図42に示すように、基板42101上に下地膜42102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ42118のチャンネル形成領域42103及びソース領域又はドレイン領域となる不純物領域42105、並びに容量素子42119の下部電極となるチャンネル形成領域42106、LDD領域42107及び不純物領域42108を有する。なお、チャンネル形成領域42103及びチャンネル形成領域42106にはチャンネルドープが行われていても良い。

【0320】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜42102としては、窒化アルミニウム（AlN）や酸化珪素（SiO₂）、酸化窒化珪素（SiO_xN_y）などの単層やこれらの積層を用いることができる。

【0321】

半導体層上にはゲート絶縁膜42109を介してゲート電極42110及び容量素子の上部電極42111が形成されている。

【0322】

駆動トランジスタ42118及び容量素子42119を覆って層間絶縁膜42112が形成され、層間絶縁膜42112上にコンタクトホールを介して配線42113が不純物領域42105と接している。配線42113に接して画素電極42114が形成され、画素電極42114の端部及び配線42113を覆って第2の層間絶縁物42115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極42114上に有機化合物を含む層42116及び対向電極42117が形成され、画素電極42114と対向電極42117とで有機化合物を含む層42116が挟まれた領域では発光素子42120が形成されている。

【0323】

また、図42(b)に示すように、容量素子42119の下部電極の一部を構成するLDD領域が、上部電極42111と重なるような領域42201を設けても良い。なお、図42(a)と共通するところは共通の符号を用い、説明は省略する。

【0324】

また、図43(a)に示すように、駆動トランジスタ42118の不純物領域42105と接する配線42113と同じ層に形成された第2の上部電極421301を有していても良い。なお、図42(a)と共通するところは共通の符号を用い、説明は省略する。第2の上部電極42301と上部電極42111とで層間絶縁膜42112を挟みこみ、第2の容量素子を構成している。また、第2の上部電極42301は不純物領域42108と接しているため、上部電極42111とチャンネル形成領域42106とでゲート絶縁膜

10

20

30

40

50

4 2 1 0 9 を挟みこんで構成される第 1 の容量素子と、上部電極 4 2 1 1 1 と第 2 の上部電極 4 2 3 0 1 とで層間絶縁膜 4 2 1 1 2 を挟みこんで構成される第 2 の容量素子と、が並列に接続され、第 1 の容量素子と第 2 の容量素子からなる容量素子 4 2 3 0 2 を構成している。この容量素子 4 2 3 0 2 の容量は第 1 の容量素子と第 2 の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【0325】

また、図 4 3 (b) に示すような容量素子の構成としても良い。基板 4 3 1 0 1 上に下地膜 4 3 1 0 2 が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ 4 3 1 1 8 のチャネル形成領域 4 3 1 0 3 及びソース領域又はドレイン領域となる不純物領域 4 3 1 0 5 を有する。なお、チャネル形成領域 4 3 1 0 3 はチャネルドープが行われていても良い。

【0326】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜 4 3 1 0 2 としては、窒化アルミニウム (Al N) や酸化珪素 (Si O₂)、酸化窒化珪素 (Si O_x N_y) などの単層やこれらの積層を用いることができる。

【0327】

半導体層上にはゲート絶縁膜 4 3 1 0 6 を介してゲート電極 4 3 1 0 7 及び第 1 の電極 4 3 1 0 8 が形成されている。

【0328】

駆動トランジスタ 4 3 1 1 8 及び第 1 の電極 4 3 1 0 8 を覆って第 1 の層間絶縁膜 4 3 1 0 9 が形成され、第 1 の層間絶縁膜 4 3 1 0 9 上にコンタクトホールを介して配線 4 3 1 1 0 が不純物領域 4 3 1 0 5 と接している。また、配線 4 3 1 1 0 と同じ材料からなる同層の第 2 の電極 4 3 1 1 1 が形成される。

【0329】

さらに、配線 4 3 1 1 0 及び第 2 の電極 4 3 1 1 1 を覆うように第 2 の層間絶縁膜 4 3 1 1 2 が形成され、第 2 の層間絶縁膜 4 3 1 1 2 上にコンタクトホールを介して、配線 4 3 1 1 0 と接して画素電極 4 3 1 1 3 が形成されている。また、画素電極 4 3 1 1 3 のと同じ材料からなる同層の第 3 の電極 4 3 1 1 4 が形成されている。ここで、第 1 の電極 4 3 1 0 8、第 2 の電極 4 3 1 1 1 及び第 3 の電極 4 3 1 1 4 からなる容量素子 4 3 1 1 9 が形成される。

【0330】

画素電極 4 3 1 1 3 の端部と第 3 の電極 4 3 1 1 4 を覆って絶縁膜 4 3 1 1 5 が形成され、絶縁膜 4 3 1 1 5 及び第 3 の電極 4 3 1 1 4 上に有機化合物を含む層 4 3 1 1 6 及び対向電極 4 3 1 1 7 が形成され、画素電極 4 3 1 1 3 と対向電極 4 3 1 1 7 とで有機化合物を含む層 4 3 1 1 6 が挟まれた領域では発光素子 4 3 1 2 0 が形成されている。

【0331】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図 4 2 及び図 4 3 に示したような構成が挙げられる。なお、図 4 2 及び図 4 3 に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタは P 型でも N 型でもよい。N 型の場合には、L D D 領域はゲート電極と重なっていても良いし、ゲート電極と重なってなくても良いし、又は L D D 領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパ形状でもよく、ゲート電極のテーパ部の下部に L D D 領域が自己整合的に設けられていても良い。また、ゲート電極は二つに限られず三以上のマルチゲート構造でも良いし、一つのゲート電極でも良い。

【0332】

また、半導体層にポリシリコン (p - Si) を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図 4 6 (a) に示す。

【0333】

基板4601上に下地膜4602が形成されている。さらに下地膜4602上にゲート電極4603が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極4604が形成されている。ゲート電極4603の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0334】

また、ゲート電極4603及び第1の電極4604を覆うようにゲート絶縁膜4605が形成されている。ゲート絶縁膜4605としては酸化珪素膜や窒化珪素膜などが用いられる。

【0335】

また、ゲート絶縁膜4605上に、半導体層が形成されている。半導体層は駆動トランジスタ4622のチャネル形成領域4606、LDD領域4607及びソース領域又はドレイン領域となる不純物領域4608、並びに容量素子4623の第2の電極となるチャネル形成領域4609、LDD領域4610及び不純物領域4611を有する。なお、チャネル形成領域4606及びチャネル形成領域4609はチャネルドーピングが行われていてもよい。

【0336】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜4602としては、窒化アルミニウム(AIN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0337】

半導体層を覆って第1の層間絶縁膜4612が形成され、第1の層間絶縁膜4612上にコンタクトホールを介して配線4613が不純物領域4608と接している。また、配線4613と同層に同じ材料で第3の電極4614が形成されている。第1の電極4604、第2の電極、第3の電極4614によって容量素子4623が構成されている。

【0338】

また、第1の層間絶縁膜4612には開口部4615が形成されている。駆動トランジスタ4622、容量素子4623及び開口部4615を覆うように第2の層間絶縁膜4616が形成され、第2の層間絶縁膜4616上にコンタクトホールを介して、画素電極4617が形成されている。また、画素電極4617の端部を覆って絶縁膜4618が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極4617上に有機化合物を含む層4619及び対向電極4620が形成され、画素電極4617と対向電極4620とで有機化合物を含む層4619が挟まれた領域では発光素子4621が形成されている。そして、発光素子4621の下部に開口部4615が位置している。つまり、発光素子4621からの発光を基板側から取り出すときには開口部4615を有するため透過率を高めることができる。

【0339】

また、図46(a)において画素電極4617と同層に同じ材料を用いて第4の電極4624を形成して、図46(b)のような構成としてもよい。すると、第1の電極4604、第2の電極、第3の電極4614及び第4の電極4624によって構成される容量素子4625を形成することができる。

【0340】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図47にはトップゲートのトランジスタ、図48及び図49にはボトムゲートのトランジスタの場合について示す。

【0341】

アモルファスシリコンを半導体層に用いた順スタガ構造のトランジスタの断面を図47(a)に示す。基板4701上に下地膜4702が形成されている。さらに下地膜4702上に画素電極4703が形成されている。また、画素電極4703と同層に同じ材料から

10

20

30

40

50

なる第1の電極4704が形成されている。

【0342】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜4702としては、窒化アルミニウム(A1N)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0343】

また、下地膜4702上に配線4705及び配線4706が形成され、画素電極4703の端部が配線4705で覆われている。配線4705及び配線4706の上部にN型の導電性を有するN型半導体層4707及びN型半導体層4708が形成されている。また、配線4706と配線4705の間であって、下地膜4702上に半導体層4709が形成されている。そして、半導体層4709の一部はN型半導体層4707及びN型半導体層4708上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ-Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層4709上にゲート絶縁膜4710が形成されている。また、ゲート絶縁膜4710と同層の同じ材料からなる絶縁膜4711が第1の電極4704上にも形成されている。なお、ゲート絶縁膜4710としては酸化珪素膜や窒化珪素膜などが用いられる。

【0344】

また、ゲート絶縁膜4710上に、ゲート電極4712が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極4713が第1の電極4704上に絶縁膜4711を介して形成されている。第1の電極4704及び第2の電極4713で絶縁膜4711を挟まれた容量素子4719が形成されている。また、画素電極4703の端部、駆動トランジスタ4718及び容量素子4719を覆い、層間絶縁膜4714が形成されている。

【0345】

層間絶縁膜4714及びその開口部に位置する画素電極4703上に有機化合物を含む層4715及び対向電極4716が形成され、画素電極4703と対向電極4716とで有機化合物を含む層4715が挟まれた領域では発光素子4717が形成されている。

【0346】

また、図47(a)に示す第1の電極4704を図47(b)に示すように第1の電極4720で形成してもよい。第1の電極4720は配線4705及び4706と同層の同一材料で形成されている。

【0347】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図48に示す。

【0348】

基板4801上に下地膜4802が形成されている。さらに下地膜4802上にゲート電極4803が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極4804が形成されている。ゲート電極4803の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0349】

また、ゲート電極4803及び第1の電極4804を覆うようにゲート絶縁膜4805が形成されている。ゲート絶縁膜4805としては酸化珪素膜や窒化珪素膜などが用いられる。

【0350】

また、ゲート絶縁膜4805上に、半導体層4806が形成されている。また、半導体層4806と同層に同じ材料からなる半導体層4807が形成されている。

【0351】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることがで

10

20

30

40

50

きる。また、下地膜 4802 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0352】

半導体層 4806 上には N 型の導電性を有する N 型半導体層 4808、4809 が形成され、半導体層 4807 上には N 型半導体層 4810 が形成されている。

【0353】

N 型半導体層 4808、4809 上にはそれぞれ配線 4811、4812 が形成され、N 型半導体層 4810 上には配線 4811 及び 4812 と同層の同一材料からなる導電層 4813 が形成されている。

【0354】

半導体層 4807、N 型半導体層 4810 及び導電層 4813 からなる第 2 の電極が構成される。なお、この第 2 の電極と第 1 の電極 4804 でゲート絶縁膜 4805 を挟み込んだ構造の容量素子 4820 が形成されている。

【0355】

また、配線 4811 の一方の端部は延在し、その延在した配線 4811 上部に接して画素電極 4814 が形成されている。

【0356】

また、画素電極 4814 の端部、駆動トランジスタ 4819 及び容量素子 4820 を覆うように絶縁膜 4815 が形成されている。

【0357】

画素電極 4814 及び絶縁膜 4815 上には有機化合物を含む層 4816 及び対向電極 4817 が形成され、画素電極 4814 と対向電極 4817 とで有機化合物を含む層 4816 が挟まれた領域では発光素子 4818 が形成されている。

【0358】

容量素子の第 2 の電極の一部となる半導体層 4807 及び N 型半導体層 4810 は設けなくても良い。つまり第 2 の電極は導電層 4813 とし、第 1 の電極 4804 と導電層 4813 でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0359】

なお、図 48 (a) において、配線 4811 を形成する前に画素電極 4814 を形成することで、図 48 (b) に示すような、画素電極 4814 からなる第 2 の電極 4821 と第 1 の電極 4804 でゲート絶縁膜 4805 が挟まれた構造の容量素子 4822 を形成することができる。

【0360】

なお、図 48 では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図 49 (a)、(b) を用いて説明する。

【0361】

図 49 (a) に示すチャネル保護型構造のトランジスタは図 48 (a) に示したチャネルエッチ構造の駆動トランジスタ 4819 の半導体層 4806 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4901 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0362】

また、同様に、図 49 (b) に示すチャネル保護型構造のトランジスタは図 48 (b) に示したチャネルエッチ構造の駆動トランジスタ 4819 の半導体層 4806 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4901 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0363】

本発明の画素を構成するトランジスタの半導体層 (チャネル形成領域やソース領域やドレイン領域など) に非晶質半導体膜を用いることで、製造コストを削減することができる。

【0364】

10

20

30

40

50

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0365】

(実施の形態10)

本発明の半導体装置は様々な電子機器の回路部に適用することができる。特に、電子機器の表示部を構成する回路に本発明の半導体装置を用いることができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

10

【0366】

図50(A)はディスプレイであり、筐体50001、支持台50002、表示部50003、スピーカ部50004、ビデオ入力端子50005等を含む。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0367】

図50(B)はカメラであり、本体50101、表示部50102、受像部50103、操作キー50104、外部接続ポート50105、シャッター50106等を含む。

20

【0368】

図50(C)はコンピュータであり、本体50201、筐体50202、表示部50203、キーボード50204、外部接続ポート50205、ポインティングマウス50206等を含む。

【0369】

図50(D)はモバイルコンピュータであり、本体50301、表示部50302、スイッチ50303、操作キー50304、赤外線ポート50305等を含む。

【0370】

図50(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体50401、筐体50402、表示部A50403、表示部B50404、記録媒体(DVD等)読み込み部50405、操作キー50406、スピーカ部50407等を含む。

30

【0371】

図50(F)はゴーグル型ディスプレイであり、本体50501、表示部50502、アーム部50503を含む。

【0372】

図50(G)はビデオカメラであり、本体50601、表示部50602、筐体50603、外部接続ポート50604、リモコン受信部50605、受像部50606、バッテリー50607、音声入力部50608、操作キー50609、接眼部50610等を含む。

40

【0373】

図50(H)は携帯電話機であり、本体50701、筐体50702、表示部50703、音声入力部50704、音声出力部50705、操作キー50706、外部接続ポート50707、アンテナ50708等を含む。

【0374】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0375】

(実施の形態11)

本実施の形態において携帯電話の構成例について図53を用いて説明する。

50

【0376】

表示パネル5310はハウジング5300に脱着自在に組み込まれる。ハウジング5300は表示パネル5310のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル5310を固定したハウジング5300はプリント基板5301に嵌入されモジュールとして組み立てられる。

【0377】

表示パネル5310はFPC5311を介してプリント基板5301に接続される。プリント基板5301には、スピーカ5302、マイクロフォン5303、送受信回路5304、CPU及びコントローラなどを含む信号処理回路5305が形成されている。このようなモジュールと、入力手段5306、バッテリー5307を組み合わせ、筐体5309に収納する。表示パネル5310の画素部は筐体5309に形成された開口窓から視認できよう配置する。

10

【0378】

表示パネル5310は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にTFTを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)で表示パネル5310に実装しても良い。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した表示パネルの構成は図44(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

20

【0379】

また、さらに消費電力の低減を図るため、図44(b)や図45(a)に示すように、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネルに実装しても良い。そして、画素部には、図2の画素構成を用い、非晶質半導体膜をトランジスタの半導体層に用いることで製造コストの削減を図ることができる。

【0380】

また、本実施例に示した構成は携帯電話機の一例であって、このような構成の携帯電話機に限られず様々な構成の携帯電話機の回路部に本発明の半導体装置の原理を適用することができる。

30

【0381】

(実施の形態12)

図51は表示パネル5101と、回路基板5102を組み合わせたELモジュールを示している。表示パネル5101は画素部5103、走査線駆動回路5104及び信号線駆動回路5105を有している。回路基板5102には、例えば、コントロール回路5106や信号分割回路5107などが形成されている。表示パネル5101と回路基板5102は接続配線5108によって接続されている。接続配線にはFPC等を用いることができる。

40

【0382】

表示パネル5101は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にTFTを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネル5101に実装するとよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いて表示パネル5101に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図44(a)に一例を示してある。

50

【0383】

また、さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)表示パネルに実装してもよい。

【0384】

なお、非晶質半導体膜を、画素を構成するトランジスタの半導体層に適用する場合には、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成したICチップをCOG等で実装した構成は図44(b)に一例を示してある。

10

【0385】

このELモジュールによりELテレビ受像機を完成させることができる。図52は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ5201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路5202と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路5203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路5106により処理される。コントロール回路5106は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路5107を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0386】

チューナ5201で受信した信号のうち、音声信号は音声信号増幅回路5204に送られ、その出力は音声信号処理回路5205を経てスピーカ5206に供給される。制御回路5207は受信局(受信周波数)や音量の制御情報を入力部5208から受け、チューナ5201や音声信号処理回路5205に信号を送出する。

20

【0387】

図50(A)に示すように、図51のELモジュールを筐体50001に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部50003が形成される。また、スピーカ部50004、ビデオ入力端子50005などが適宜備えられている。

【0388】

勿論、テレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤などの回路部に本発明の半導体装置の原理を適用することができる。

30

【実施例1】

【0389】

本実施例では、本発明の半導体装置を表示装置に適用した場合の画素レイアウトの構成例を示す。

【0390】

図29に示した画素2917の画素レイアウトを図63に示す。

【0391】

図63の画素は、走査線6301、配線6302、トランジスタ6307、容量素子6308、画素電極6309、スイッチトランジスタ6310、スイッチトランジスタ6311、スイッチトランジスタ6312、第1の信号線6318、第2の信号線6319及び電源線6320を有する。

40

【0392】

トランジスタ6307のゲート端子と電氣的に接続される配線と、電源線6320の一部とにより容量素子6308が形成されている。また、トランジスタ6307は、第1端子(ソース端子又はドレイン端子の一方)が電源線6320に接続され、第2端子(ソース端子又はドレイン端子の他方)がスイッチトランジスタ6312の第1端子(ソース端子又はドレイン端子の一方)、及びスイッチトランジスタ6311の第1端子(ソース端子

50

又はドレイン端子の一方)と接続されている。また、またトランジスタ6307のゲート端子はスイッチトランジスタ6310の第1端子(ソース端子又はドレイン端子の一方)と接続されている。スイッチトランジスタ6310の第2端子(ソース端子又はドレイン端子の他方)は第2の信号線6319と接続され、スイッチトランジスタ6311の第2端子(ソース端子又はドレイン端子の他方)は第1の信号線6318に接続されている。また、スイッチトランジスタ6310の及びスイッチトランジスタ6311のゲート端子は共に走査線6301に接続されている。スイッチトランジスタ6312は、ゲート端子が配線6302に接続され、第2端子(ソース端子又はドレイン端子の他方)が画素電極6309と接続されている。

【0393】

10

なお、トランジスタ6307、容量素子6308、スイッチトランジスタ6310、スイッチトランジスタ6311、スイッチトランジスタ6312、第1の信号線6318、第2の信号線6319及び電源線6320は図29の画素のトランジスタ2907、容量素子2908、スイッチ2910、スイッチ2911、スイッチ2912、第1の信号線2918、第2の信号線2919及び電源線2920にそれぞれ対応する。そして、画素電極6309上に有機化合物を含む層と対向電極とが形成されることにより図29に示す発光素子2909が完成する。

【0394】

なお、本実施例の画素レイアウトは一例であってこれに限定されない。

【図面の簡単な説明】

20

【0395】

【図1】本発明の半導体装置を示す図。

【図2】本発明の半導体装置を示す図。

【図3】本発明の半導体装置を示す図。

【図4】本発明の半導体装置を示す図。

【図5】本発明の半導体装置を示す図。

【図6】本発明の半導体装置の動作を説明する図。

【図7】本発明の半導体装置を示す図。

【図8】本発明の半導体装置の動作を説明する図。

【図9】本発明の半導体装置の動作を説明する図。

30

【図10】本発明の半導体装置の動作を説明する図。

【図11】本発明の半導体装置を示す図。

【図12】本発明の半導体装置を示す図。

【図13】本発明の半導体装置を示す図。

【図14】本発明の半導体装置を示す図。

【図15】本発明の半導体装置の動作を説明する図。

【図16】本発明の半導体装置を示す図。

【図17】本発明の半導体装置の動作を説明する図。

【図18】本発明の半導体装置の動作を説明する図。

【図19】本発明の半導体装置の動作を説明する図。

40

【図20】本発明の半導体装置を示す図。

【図21】本発明の半導体装置を示す図。

【図22】本発明の半導体装置を示す図。

【図23】本発明の半導体装置の動作を説明する図。

【図24】本発明の半導体装置を示す図。

【図25】本発明の半導体装置を示す図。

【図26】本発明の半導体装置を示す図。

【図27】本発明の半導体装置の動作を説明する図。

【図28】本発明の半導体装置の動作を説明する図。

【図29】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の構成を示

50

す図。

【図30】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の画素の動作を説明する図。

【図31】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の構成を示す図。

【図32】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の構成を示す図。

【図33】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の画素の動作を説明する図。

【図34】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の構成を示す図。 10

【図35】本発明の半導体装置を画素と信号線駆動回路の一部に適用した場合の画素の動作を説明する図。

【図36】表示装置を示す図。

【図37】表示装置を示す図。

【図38】表示パネルを説明する図。

【図39】表示装置に適用可能な発光素子を説明する図。

【図40】表示パネルを説明する図。

【図41】表示パネルを説明する図。

【図42】画素に適用可能なトランジスタや容量素子の構成を説明する図。 20

【図43】画素に適用可能なトランジスタや容量素子の構成を説明する図。

【図44】表示パネルを説明する図。

【図45】表示パネルを説明する図。

【図46】画素に適用可能なトランジスタや容量素子の構成を説明する図。

【図47】画素に適用可能なトランジスタや容量素子の構成を説明する図。

【図48】画素に適用可能なトランジスタや容量素子の構成を説明する図。

【図49】画素に適用可能なトランジスタや容量素子の構成を説明する図。

【図50】表示装置を表示部に有する電子機器を説明する図。

【図51】ELモジュールの例を示す図。

【図52】ELテレビ受像機の主要な構成を示すブロック図。 30

【図53】携帯電話機の構成例を示す図。

【図54】従来画素構成を示す図。

【図55】従来画素構成の動作を説明する図。

【図56】従来画素構成を説明する図。

【図57】従来回路の動作点を説明する図。

【図58】従来回路の動作点を説明する図。

【図59】本発明の半導体装置を示す図。

【図60】本発明の半導体装置を示す図。

【図61】本発明の半導体装置を信号線駆動回路の一部に適用した場合の構成を示す図。

【図62】本発明の半導体装置を信号線駆動回路の一部に適用した場合の構成を示す図。 40

【図63】画素レイアウトを示す図。

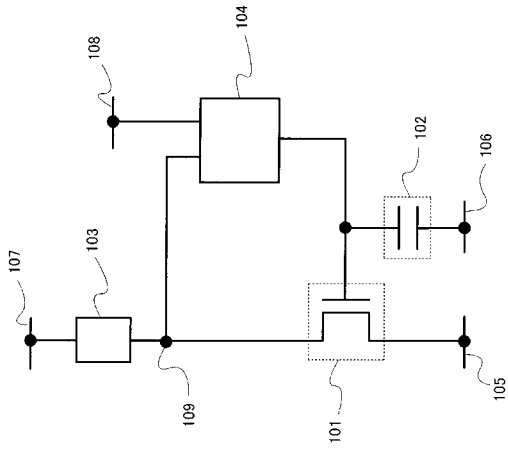
【図64】本発明の半導体装置を示す図。

【図65】本発明の半導体装置を示す図。

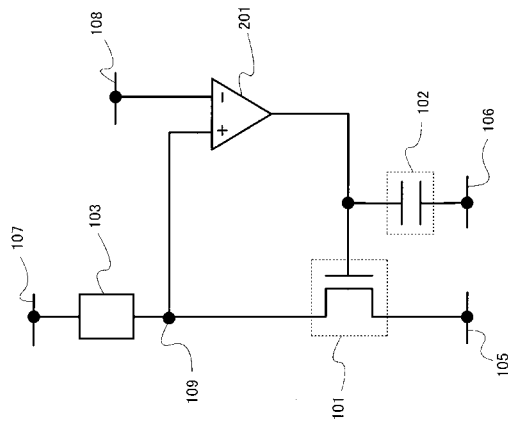
【図66】本発明の半導体装置を示す図。

【図67】本発明の半導体装置を示す図。

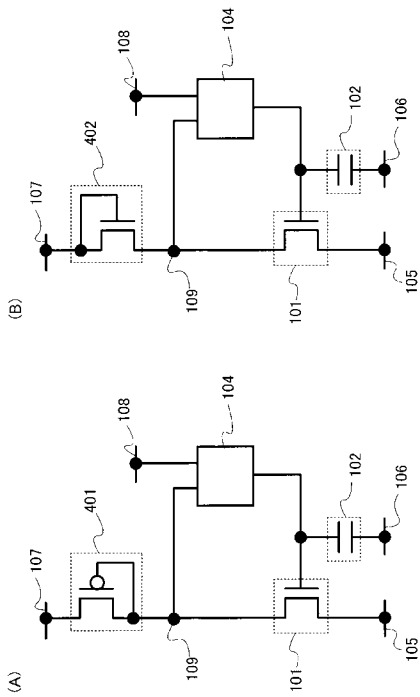
【図 1】



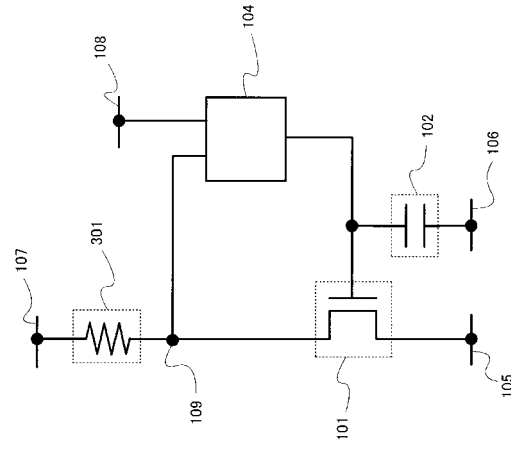
【図 2】



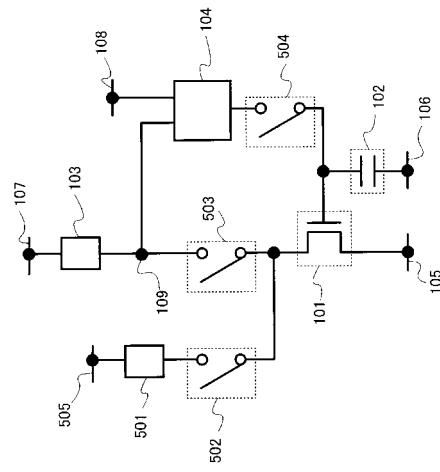
【図 4】



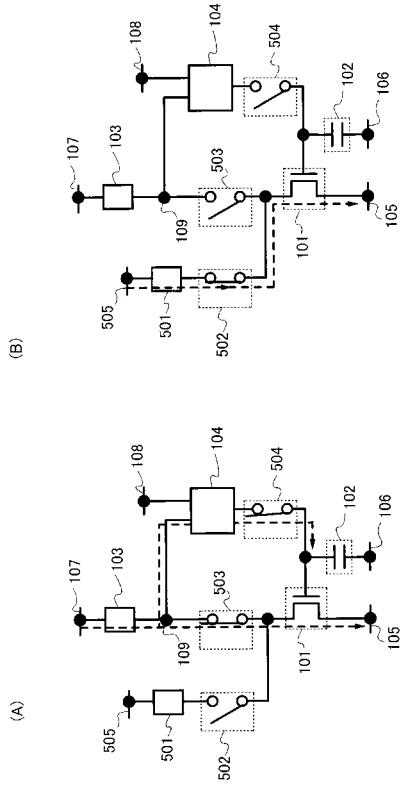
【図 3】



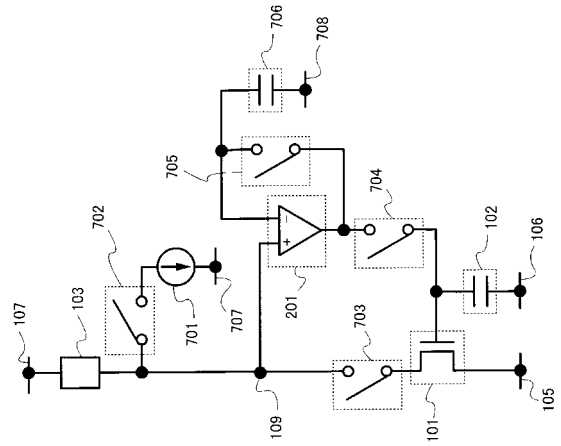
【図 5】



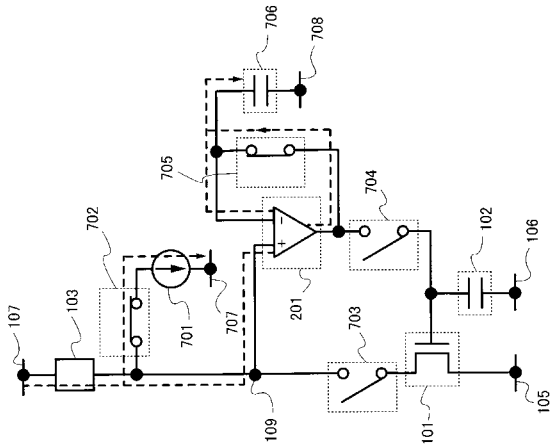
【 図 6 】



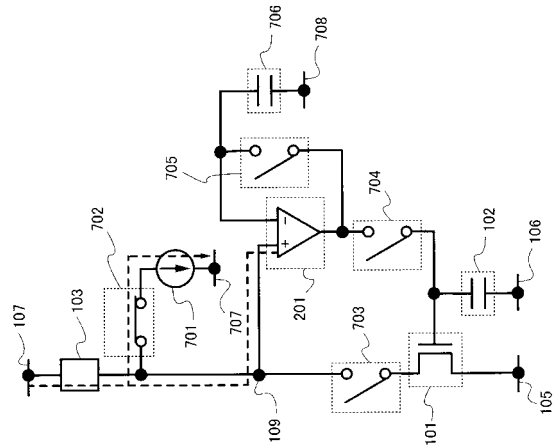
【 図 7 】



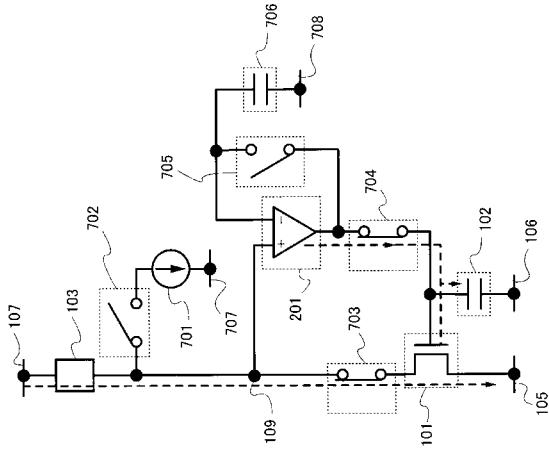
【 図 8 】



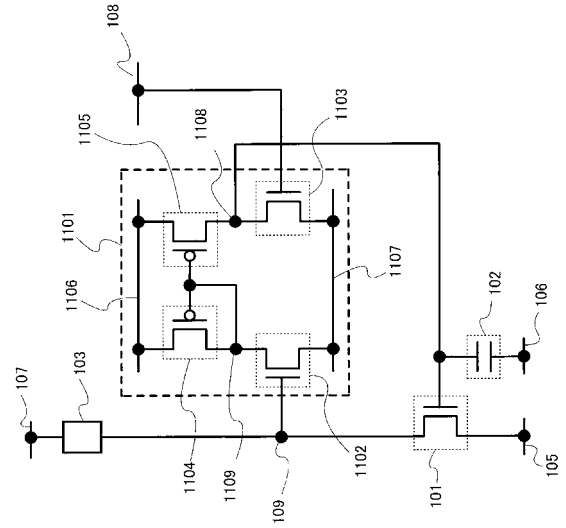
【 図 9 】



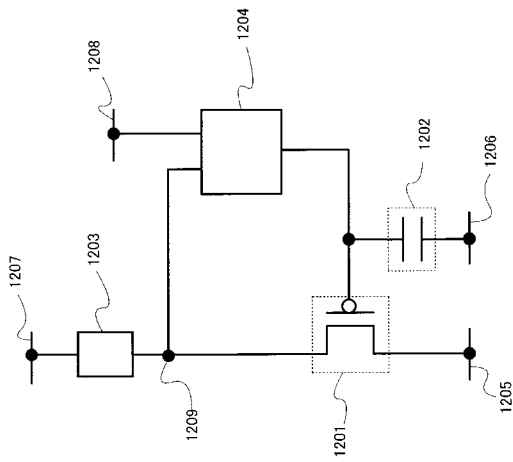
【図 10】



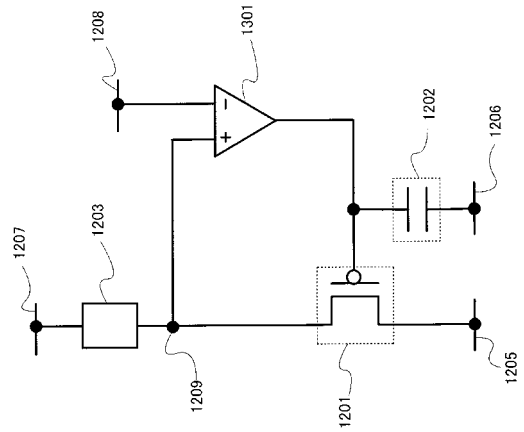
【図 11】



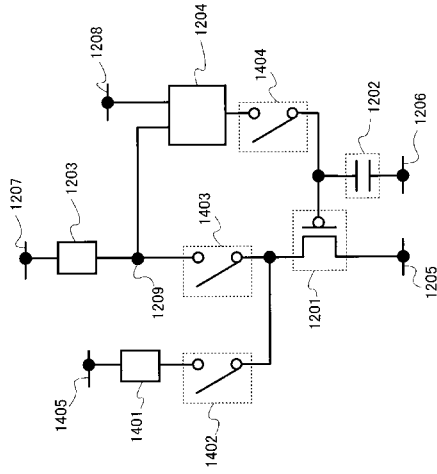
【図 12】



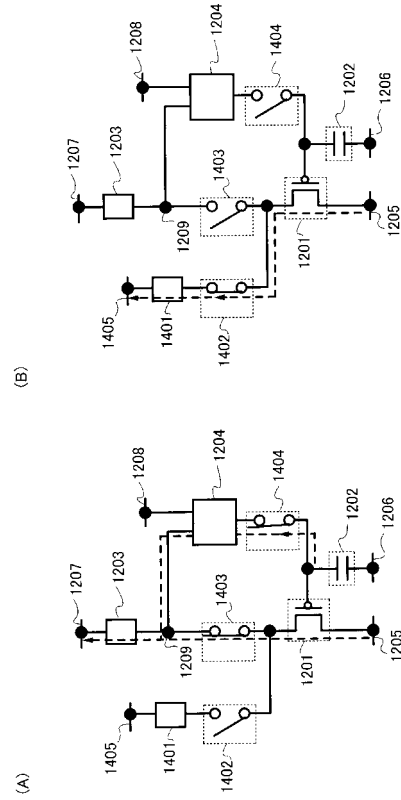
【図 13】



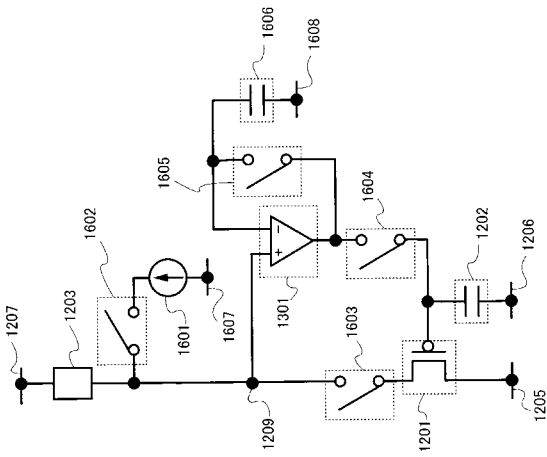
【 図 1 4 】



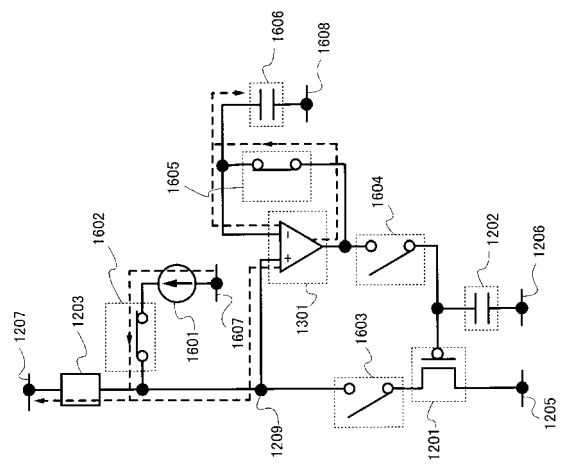
【 図 1 5 】



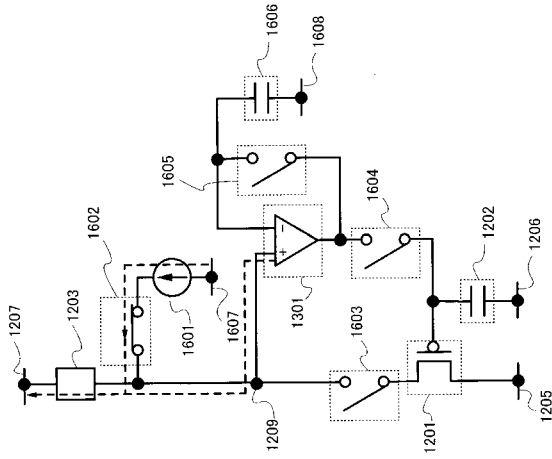
【 図 1 6 】



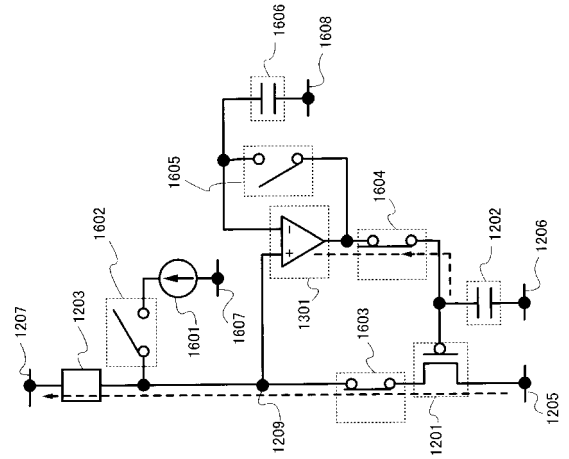
【 図 1 7 】



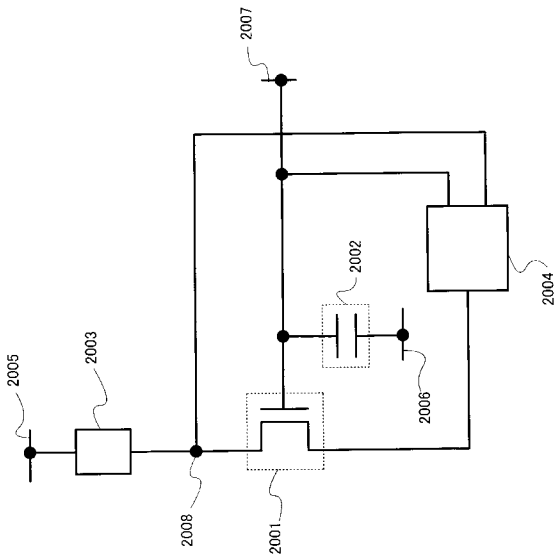
【図 18】



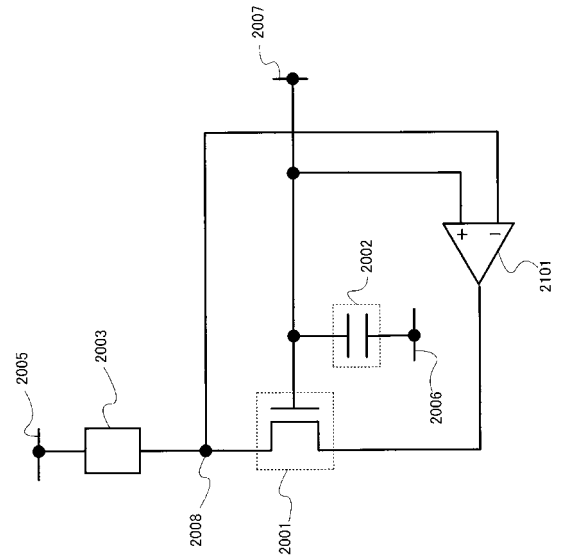
【図 19】



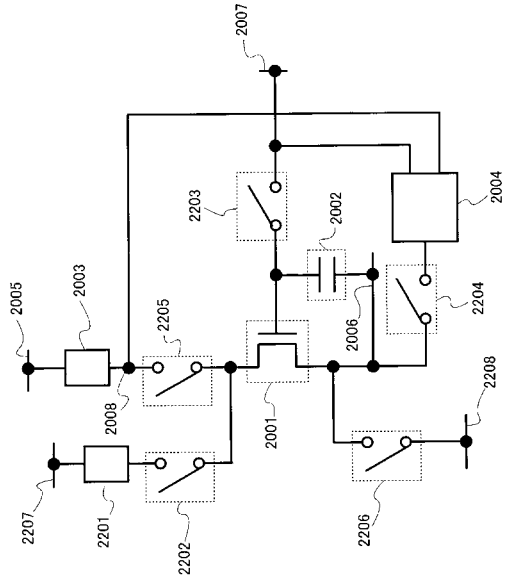
【図 20】



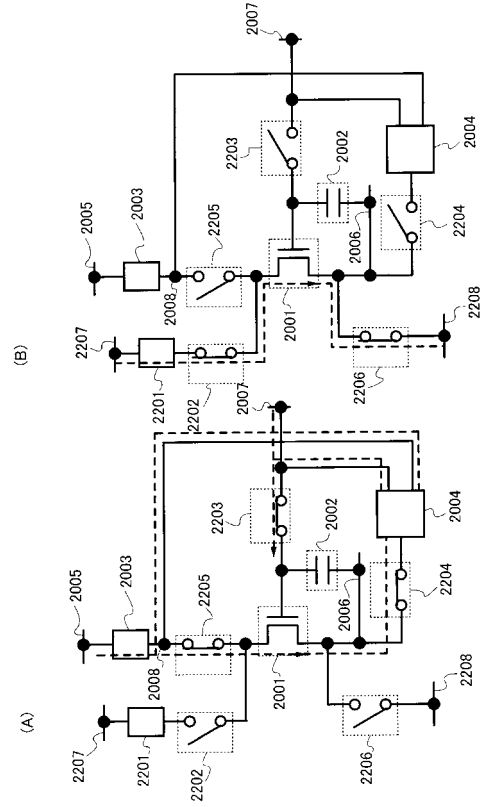
【図 21】



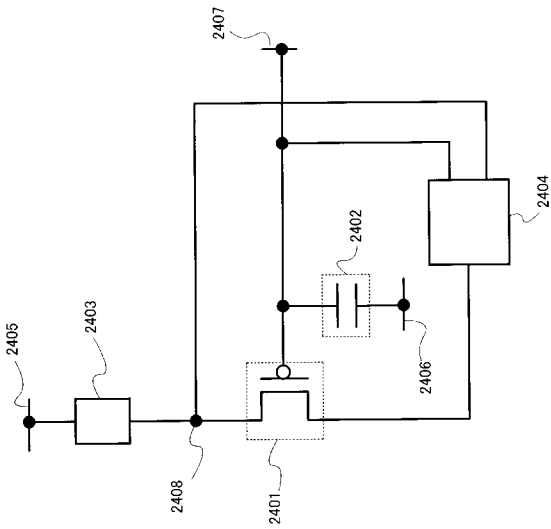
【 図 2 2 】



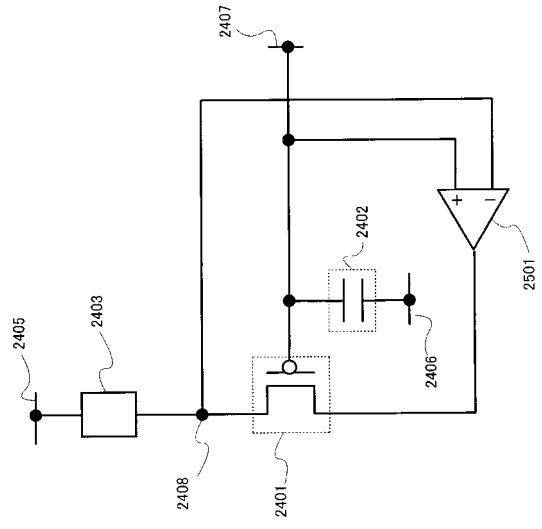
【 図 2 3 】



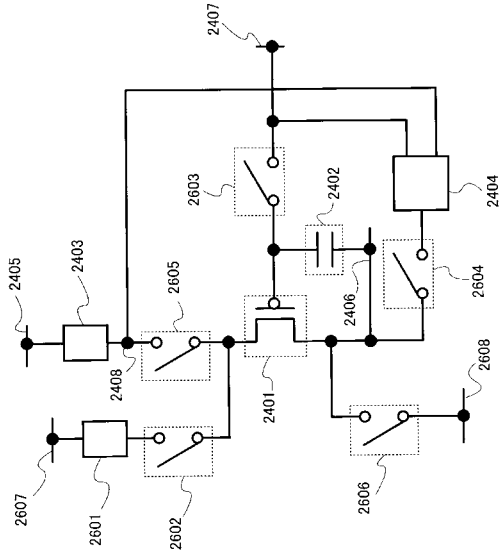
【 図 2 4 】



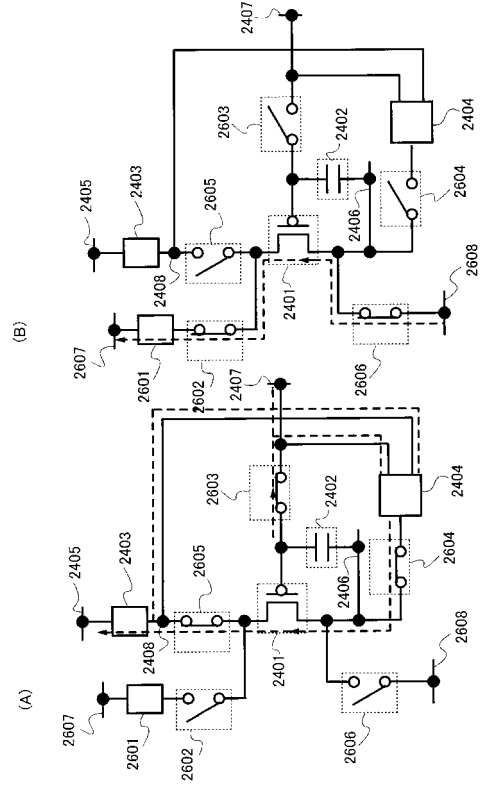
【 図 2 5 】



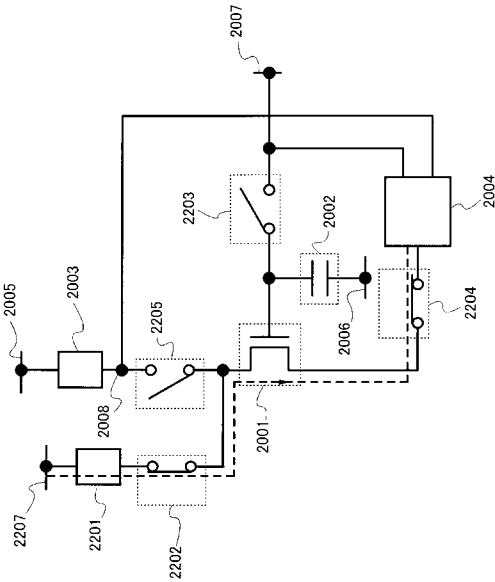
【 図 2 6 】



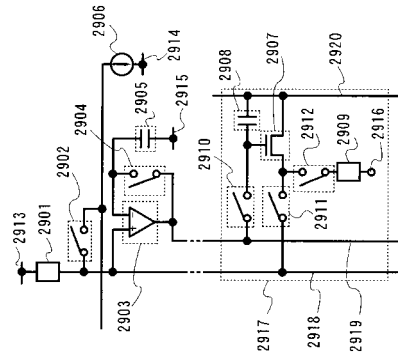
【 図 2 7 】



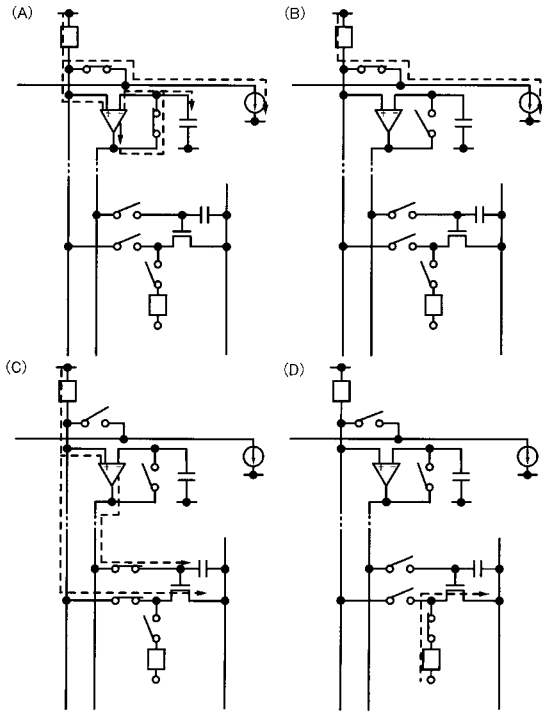
【 図 2 8 】



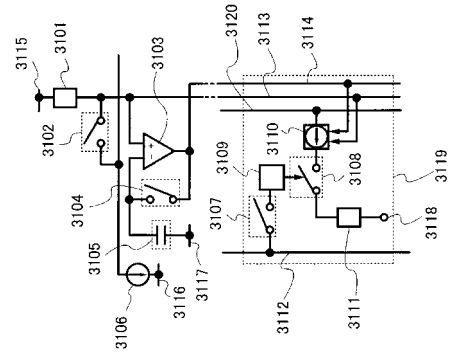
【 図 2 9 】



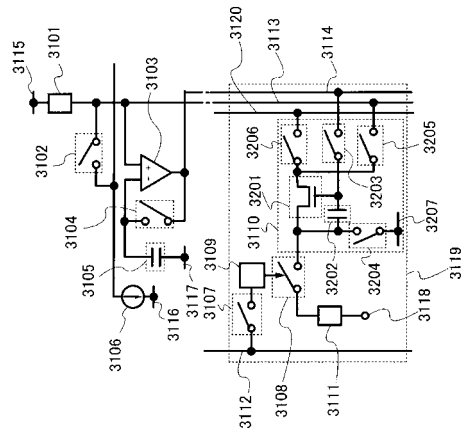
【図 30】



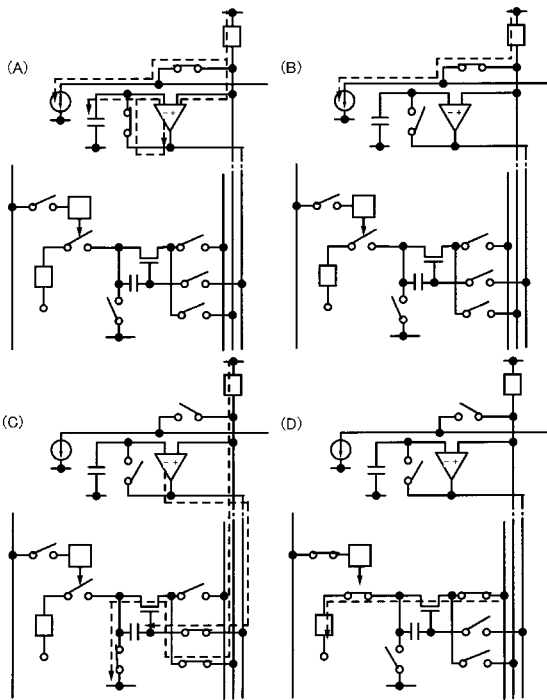
【図 31】



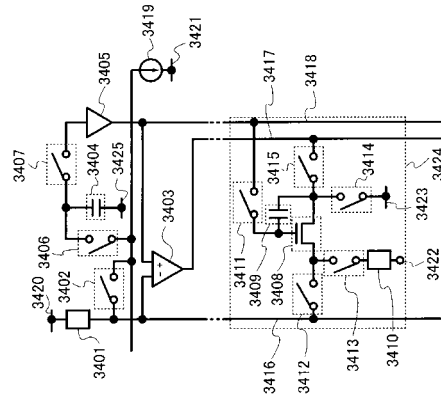
【図 32】



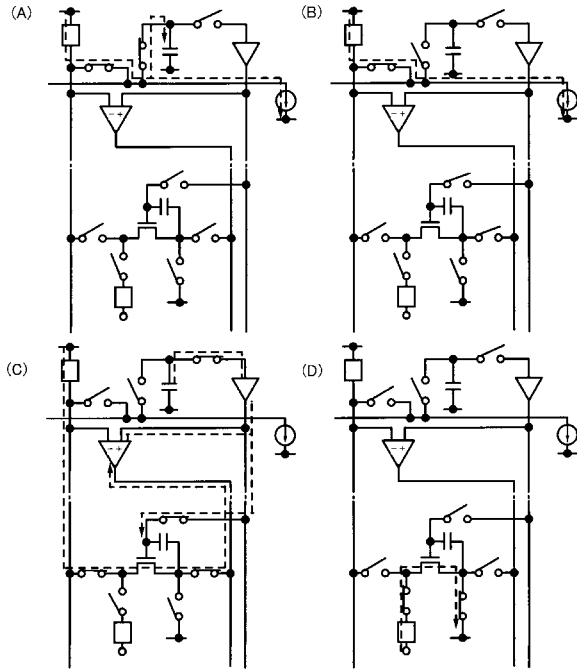
【図 33】



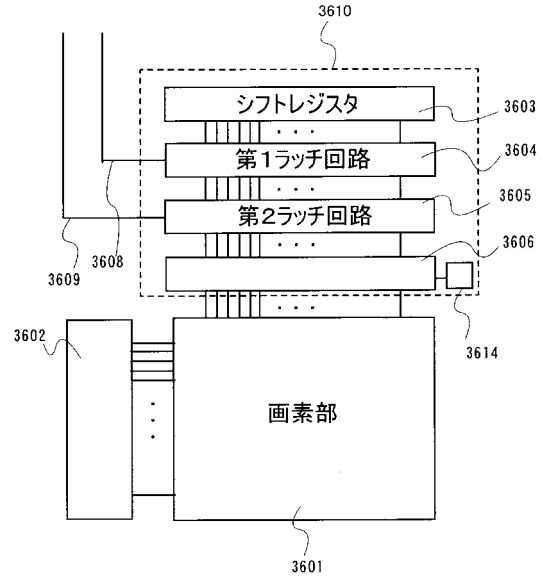
【図 34】



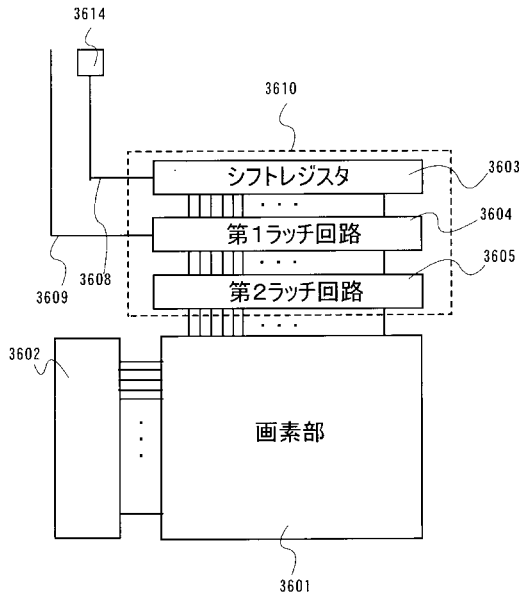
【図 35】



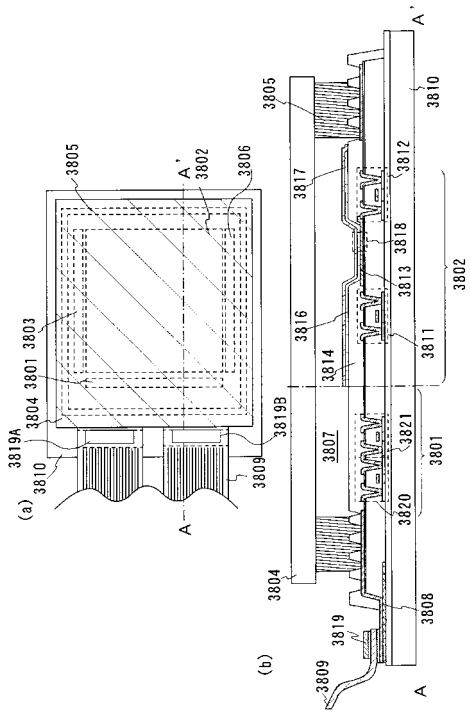
【図 36】



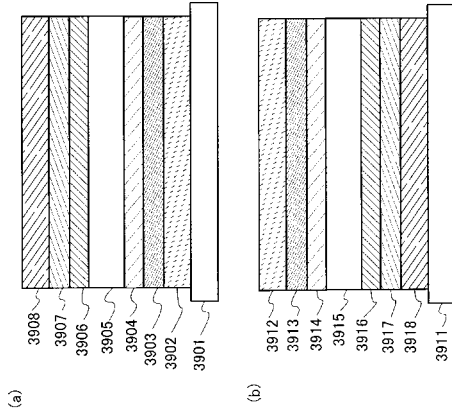
【図 37】



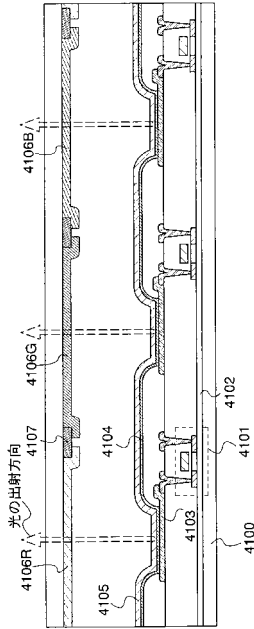
【図 38】



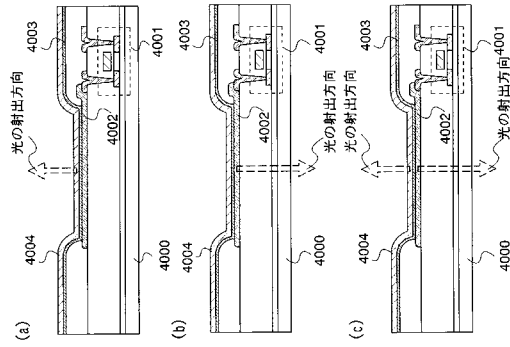
【 図 3 9 】



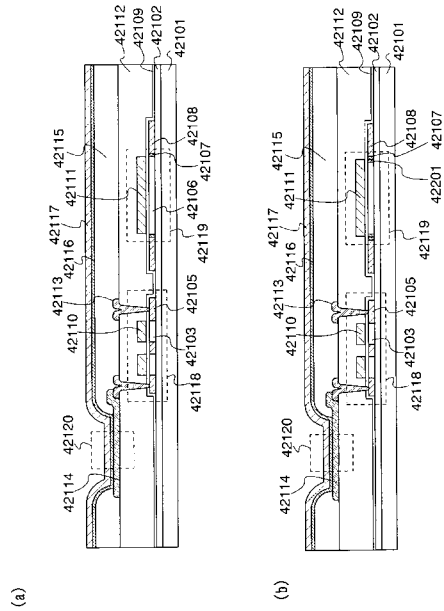
【 図 4 1 】



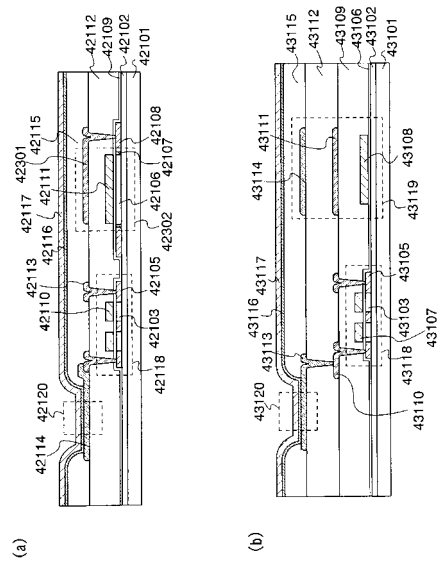
【 図 4 0 】



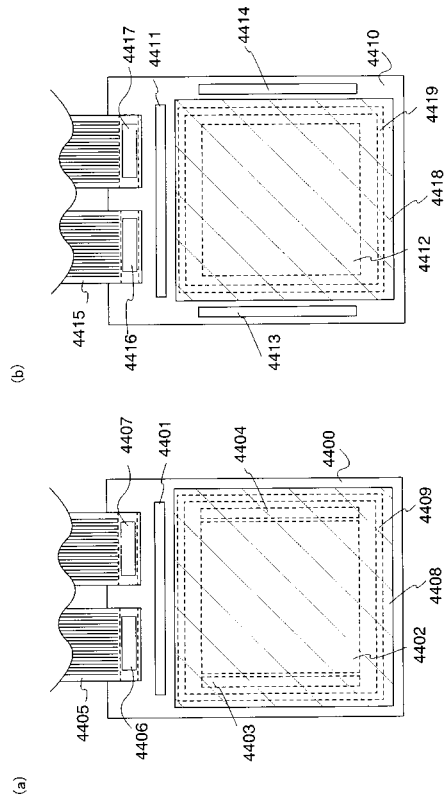
【 図 4 2 】



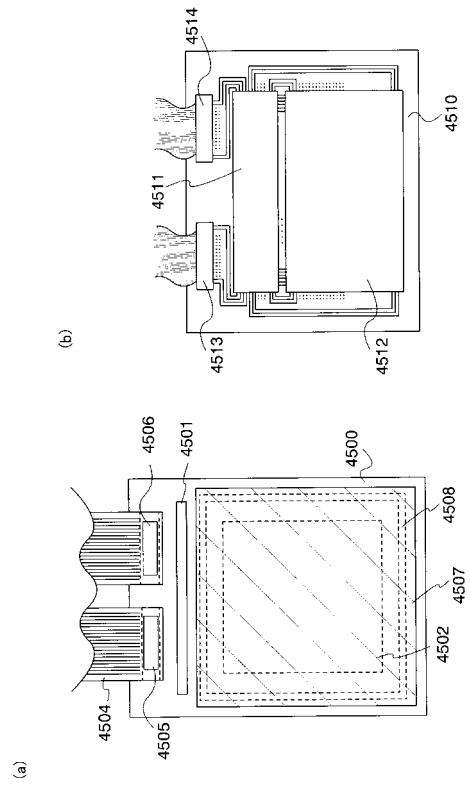
【 図 4 3 】



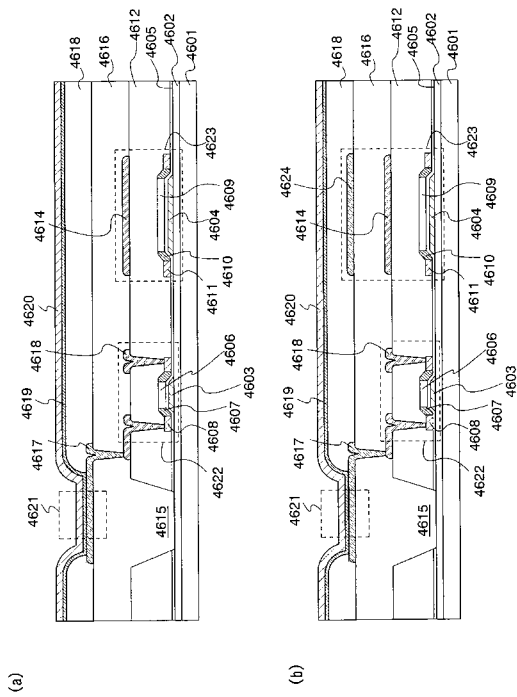
【 図 4 4 】



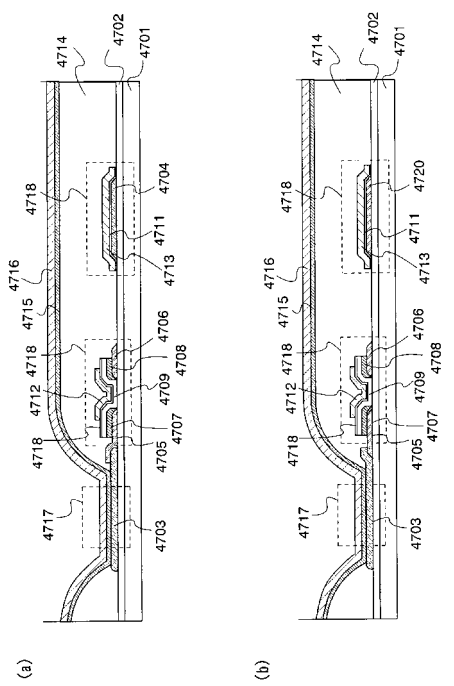
【 図 4 5 】



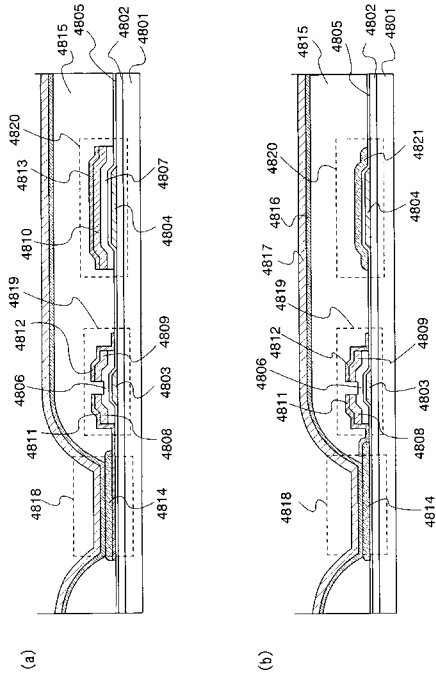
【 図 4 6 】



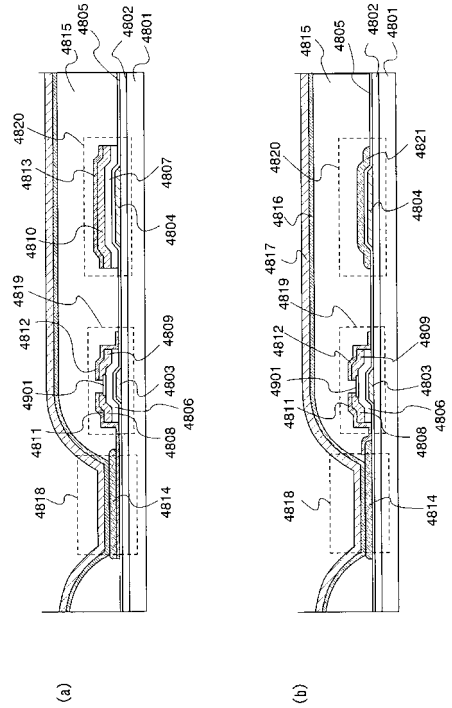
【 図 4 7 】



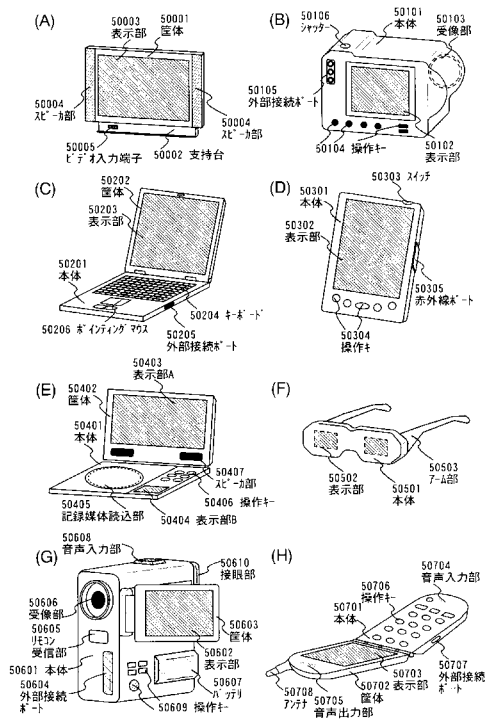
【 図 4 8 】



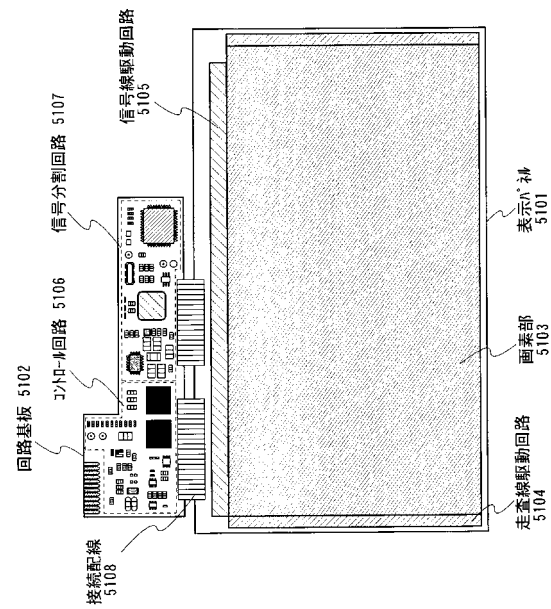
【 図 4 9 】



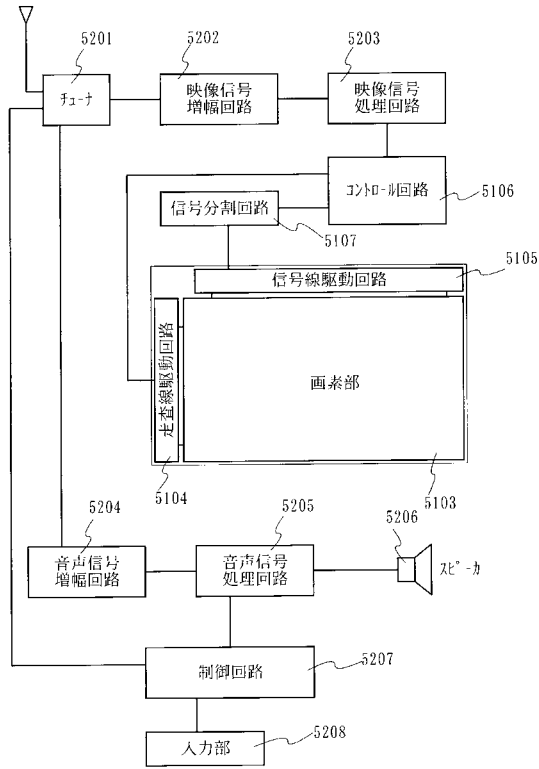
【 図 5 0 】



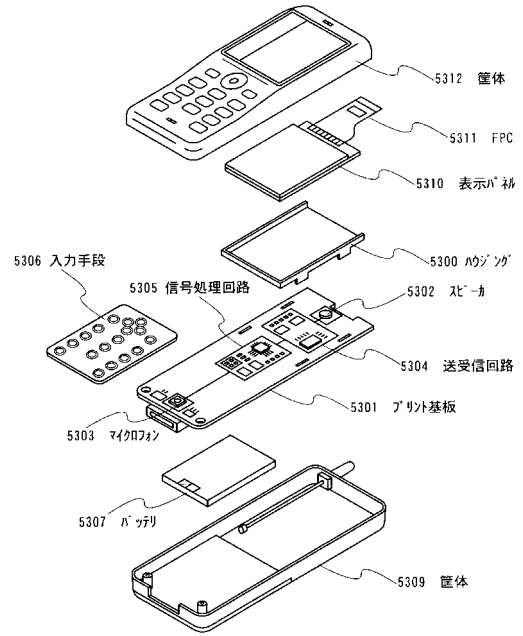
【 図 5 1 】



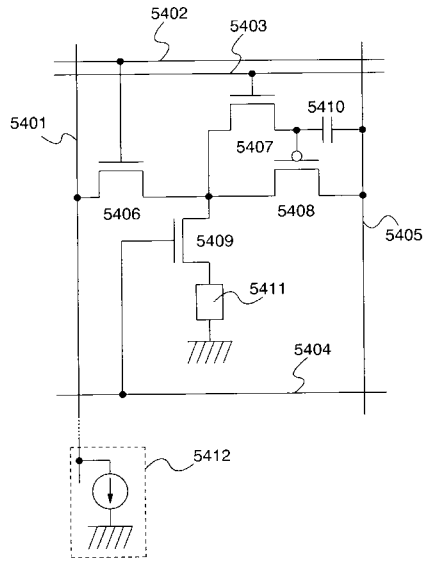
【図 5 2】



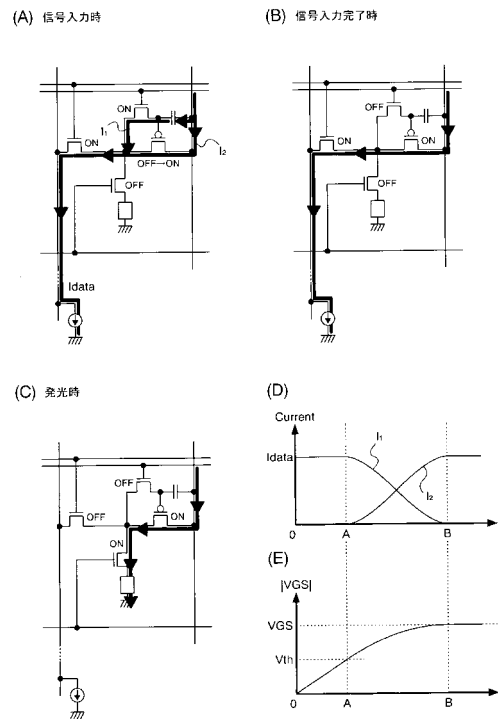
【図 5 3】



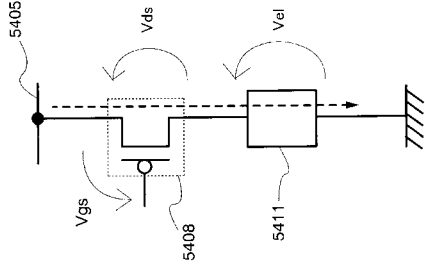
【図 5 4】



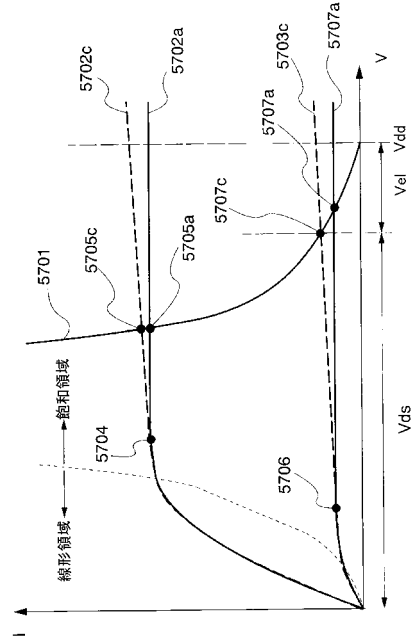
【図 5 5】



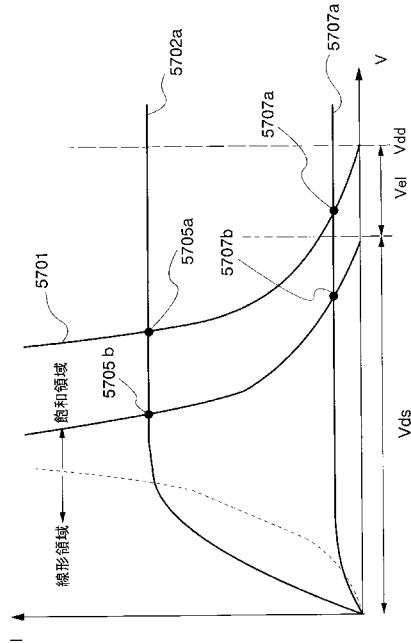
【 5 6 】



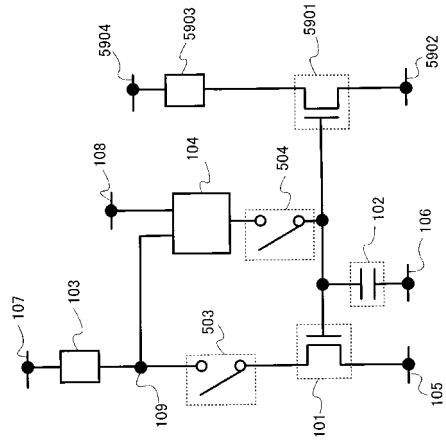
【 5 7 】



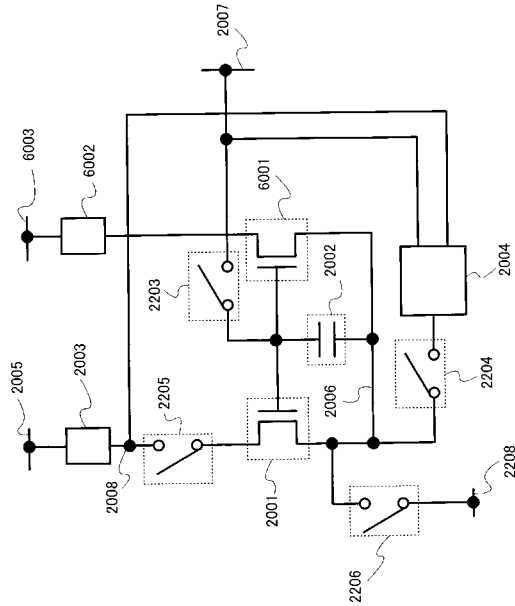
【 5 8 】



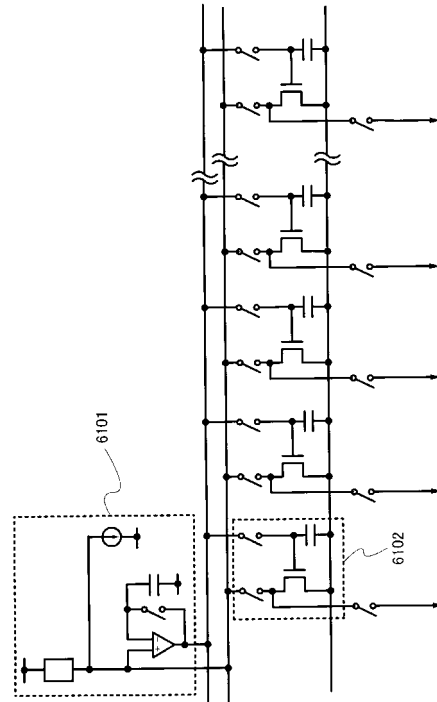
【 5 9 】



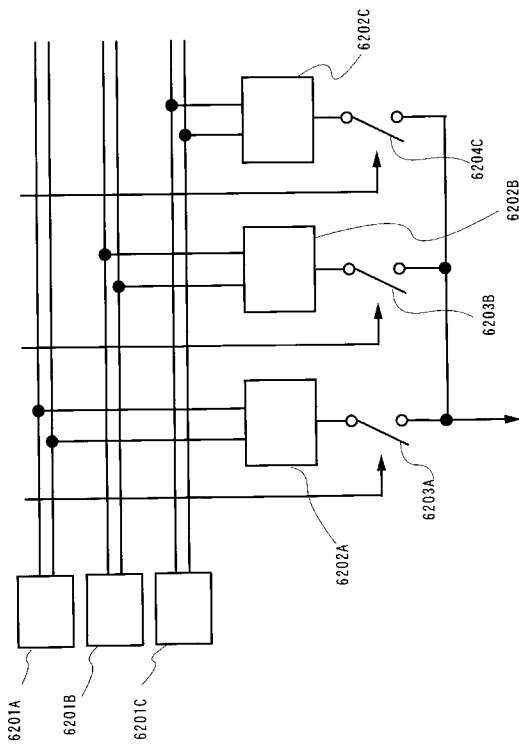
【 図 6 0 】



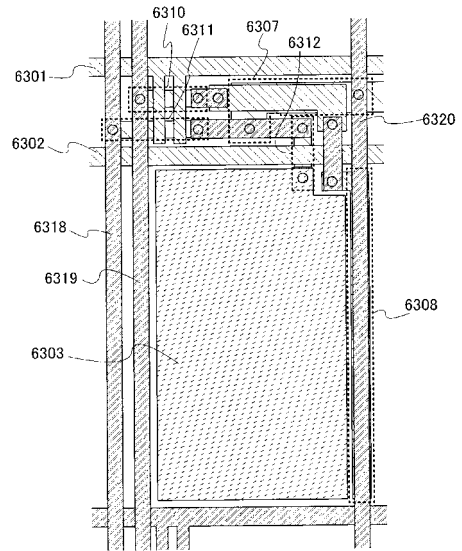
【 図 6 1 】



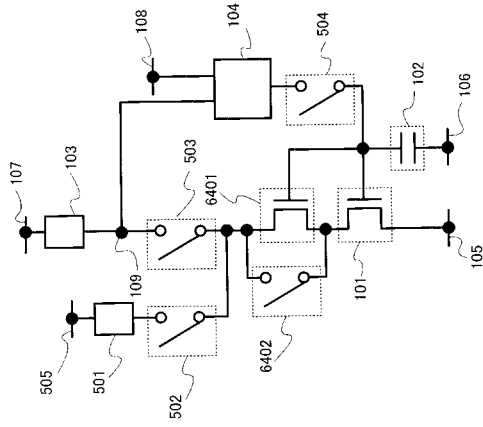
【 図 6 2 】



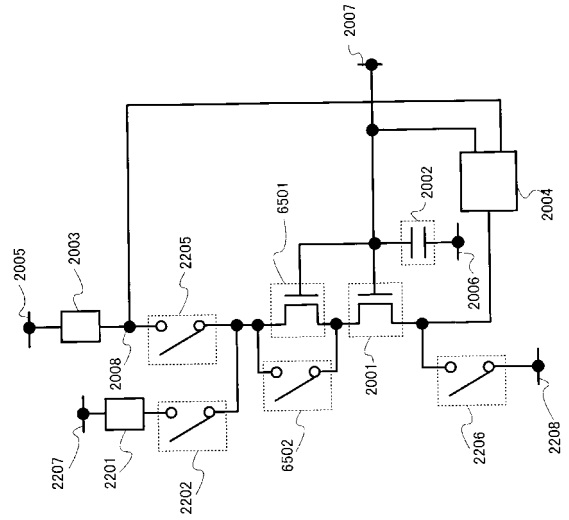
【 図 6 3 】



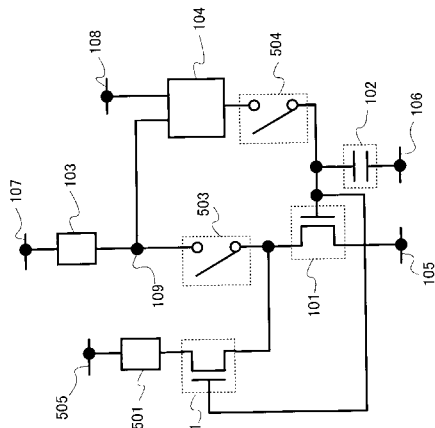
【 図 6 4 】



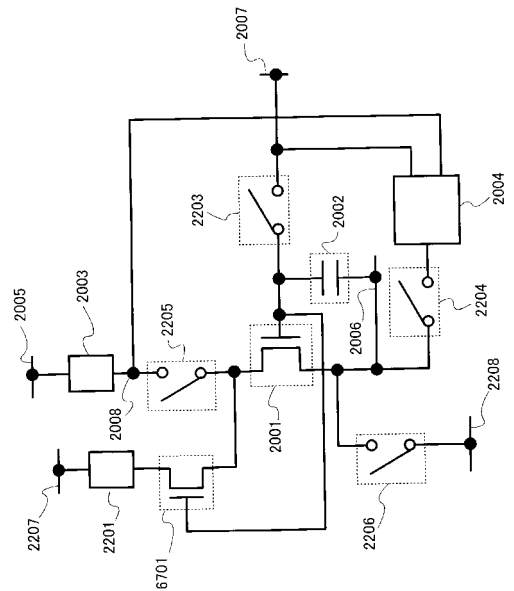
【 図 6 5 】



【 図 6 6 】



【 図 6 7 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

H 0 5 B 33/14 A