

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 21/28

(11) 공개번호 10-2005-0024667
(43) 공개일자 2005년03월11일

(21) 출원번호 10-2003-0060746
(22) 출원일자 2003년09월01일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김성진
경기도부천시원미구심곡동94-2(5/1)
주준용
경기도수원시팔달구영동동벽적골9단지아파트911-802
곽근호
경기도용인시기흥읍서천리322-8번지진성원룸207호

(74) 대리인 이영필

심사청구 : 없음

(54) 반도체소자의 버티컬택 형성방법

요약

본 발명의 반도체소자의 버티컬택 형성방법은, 액티브영역을 갖는 반도체기판 위에 게이트절연막을 개재하여 게이트도전막패턴을 형성하는 단계와, 게이트도전막패턴 및 액티브영역을 모두 덮는 버퍼막을 형성하는 단계와, 게이트도전막패턴의 측면에 게이트스페이서를 형성하는 단계와, 게이트도전막패턴의 상부면에 선택적에피택설성장막을 형성하는 단계와, 선택적에피택설성장막, 게이트스페이서 및 버퍼막을 덮는 식각정지막을 형성하는 단계와, 식각정지막 및 액티브영역을 덮는 층간절연막을 형성하는 단계와, 층간절연막 및 식각정지막의 일부를 제거하여 선택적에피택설성장막의 일부표면 및 상기 액티브영역의 일부표면을 모두 노출시키는 버티컬택홀을 형성하는 단계와, 그리고 버티컬택홀을 도전성물질막으로 채우는 단계를 포함한다.

대표도

도 3g

색인어

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 종래의 반도체소자의 버티컬택 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 2a 및 도 2b는 종래의 반도체소자의 버티컬택 형성방법의 다른 예를 설명하기 위하여 나타내 보인 단면도들이다.

도 3a 내지 도 3h는 본 발명에 따른 반도체소자의 버티컬택 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 반도체소자의 버팅컨택 형성방법에 관한 것이다.

최근 반도체소자의 집적도를 증가시키기 위하여 많은 노력이 이루어지고 있지만, 몇가지 한계요인들로 인하여 제약이 따르고 있는 것도 사실이다. 이와 같은 한계요인들 중 하나는 반도체소자의 액티브, 소스, 드레인, 게이트 등에 신호를 인가하기 위한 경로를 만들기 위한 컨택구조이다. 반도체소자의 컨택구조는 정렬마진 또는 소자분리마진 등을 확보하면서 이루어져야 하기 때문이다. 이와 같은 한계요인을 제거하기 위한 하나의 방법으로서, 최근에는 SRAM과 같은 반도체메모리소자나 CPU와 같은 반도체로직소자의 경우에 게이트와 액티브를 연결시키기 위한 버팅컨택(butting contact)이 주로 사용되고 있다.

도 1a 내지 도 1f는 종래의 반도체소자의 버팅컨택 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 1a에 도시된 바와 같이, 트랜치구조의 소자분리막(104)에 의해 액티브영역이 한정되는 반도체기판(102) 위에 게이트절연막(106)을 형성하고, 이 게이트절연막(106) 위에 게이트스택(108)을 형성한다. 게이트스택(108)은 게이트절연막(106) 위에서 게이트도전막패턴(108a), 메탈실리사이드막(108b) 및 반사방지막(ARL)(108c)이 순차적으로 적층된 구조이다. 다음에 게이트스택(108)에 의해 노출되는 반도체기판(102)의 상부영역에 얇은 불순물영역(110)을 형성한다.

다음에 도 1b에 도시된 바와 같이, 반도체기판(102)의 노출표면을 덮고 있던 게이트절연막(106)의 일부를 제거하고 전면에 버퍼층으로서의 중간온도산화(MTO)막(112)을 형성한다. 다음에 통상의 게이트스페이서 형성공정을 수행하여 게이트스택(108)의 양측면에 게이트스페이서(114)을 형성한다. 다음에 게이트스페이서(114)를 이온주입마스크로 한 이온주입공정을 수행하여 반도체기판(102)의 상부영역에 얇은 불순물영역(110)에 의해 둘러싸이는 깊은 불순물영역(116)을 형성한다. 얇은 불순물영역(110) 및 깊은 불순물영역(116)은 함께 LDD(Lightly Doped Drain) 구조의 불순물영역을 형성한다.

다음에 도 1c에 도시된 바와 같이, 인산을 식각액으로 한 식각공정을 수행하여 게이트스페이서(114)의 두께를 감소시킨다. 게이트스페이서(114)의 두께가 감소됨에 따라, 인접한 게이트스페이서(114) 사이의 간격(W_2)이 식각공정 이전의 간격(도 1b의 W_1)보다 더 커지며, 따라서 후속공정에서 보다 큰 식각마진을 확보할 수 있다. 다음에 도 1d에 도시된 바와 같이, 도 1c의 결과물 전면에 식각정지막으로서의 실리콘질화막(118)을 형성한다. 이때 게이트스택(108)의 모서리(도면에서 A로 표시한 부분)에서 실리콘질화막(118)은 얇은 두께로 적층되는 시닝(thinning) 현상이 발생한다.

다음에 도 1e 및 도 1f에 도시된 바와 같이, 층간절연막(120)을 형성하고, 그 위에 포토레지스트막패턴(122)을 형성한다. 그리고 이 포토레지스트막패턴(122)에 의해 노출된 층간절연막(120)을 제거하여 버팅컨택홀(124)을 형성한다. 이 버팅컨택홀(124)은 게이트와 액티브를 연결시키기 위한 것이며, 따라서 게이트와 액티브를 함께 노출시켜야 한다. 그러나 게이트의 상부표면과 액티브의 상부표면 사이에는 단차가 존재하게 되며, 이 단차로 인하여 게이트와 액티브가 함께 노출되지 않는 문제가 발생한다.

예컨대 도 1e에 나타난 바와 같이, 층간절연막(120)에 대한 식각공정시 식각종료위치를 게이트스택(108)의 상부표면으로 정할 경우에는, 도 1e의 B로 표시한 것과 같이 액티브가 노출되지 않는 현상이 발생한다. 또한 도 1f에 나타난 바와 같이, 층간절연막(120)에 대한 식각공정시 식각종료위치를 액티브의 상부표면, 즉 반도체기판(102)의 상부표면으로 정할 경우에는, 도 1f의 C로 표시한 것과 같이 게이트스택(108)에 대한 과도식각이 이루어지고, 이로 인해 게이트스택(108)의 모서리 부분에서 얇게 만들어진 실리콘질화막(118)이 모두 제거된 상태에서 계속 식각공정이 진행하게 된다. 그 결과 게이트스택(108)과 게이트스페이서(114) 사이의 중간온도산화막(112)이 완전히 식각되는 문제가 발생한다.

도 2a 및 도 2b는 종래의 반도체소자의 버팅컨택 형성방법의 다른 예를 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 2a에 도시된 바와 같이, 도 1a 내지 도 1d를 참조하여 설명한 바와 동일한 공정을 수행한 후에, 도 1d의 결과물상에 층간절연막(202)을 형성한다. 그리고 제1 마스크막패턴(미도시)을 이용하여 층간절연막(202)의 일부를 제거함으로써, 반도체기판(102)의 액티브를 노출시키는 제1 버팅컨택홀(204)을 형성한다. 그리고 제1 버팅컨택홀(204)이 완전히 채워지도록 제1 버팅컨택도전막(206)을 형성한다. 다음에 통상의 평탄화공정을 수행한다.

다음에 도 2b에 도시된 바와 같이, 제2 마스크막패턴(미도시)을 이용하여 층간절연막(202)의 일부를 제거함으로써, 게이트스택(108)의 상부표면을 노출시키는 제2 버팅컨택홀(210)을 형성한다. 제2 버팅컨택홀(210)은 제1 버팅컨택도전막(206)도 또한 노출시킨다. 다음에 제2 버팅컨택홀(210)이 완전히 채워지도록 제2 버팅컨택도전막(212)을 형성한다. 그리고 통상의 평탄화공정을 수행하여 버팅컨택을 완성시킨다.

이와 같은 방법은, 도 1e 및 도 1f에 도시된 바와 같은 현상이 발생하지 않지만, 액티브 노출을 위한 식각공정과 게이트스택 노출을 위한 식각공정을 분리하여 수행하므로 두 개의 마스크막패턴 형성, 두 단계의 식각공정, 두 단계의 평탄화공정 등이 요구되는 등 공정단계의 수가 증가한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 한번의 버핑컨택홀 형성공정을 통해 게이트와 액티브가 동시에 노출되도록 할 수 있는 반도체소자의 버핑컨택 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체소자의 버핑컨택 형성방법은, 액티브영역을 갖는 반도체기판 위에 게이트절연막을 개재하여 게이트도전막패턴을 형성하는 단계; 상기 게이트도전막패턴 및 상기 액티브영역을 모두 덮는 버퍼막을 형성하는 단계; 상기 게이트도전막패턴의 측면에 게이트스페이서를 형성하는 단계; 상기 게이트도전막패턴의 상부면에 선택적에피택셜성장막을 형성하는 단계; 상기 선택적에피택셜성장막, 게이트스페이서 및 버퍼막을 덮는 식각정지막을 형성하는 단계; 상기 식각정지막 및 액티브영역을 덮는 층간절연막을 형성하는 단계; 상기 층간절연막 및 식각정지막의 일부를 제거하여 상기 선택적에피택셜성장막의 일부표면 및 상기 액티브영역의 일부표면을 모두 노출시키는 버핑컨택홀을 형성하는 단계; 및 상기 버핑컨택홀을 도전성물질막으로 채우는 단계를 포함하는 것을 특징으로 한다.

상기 버퍼막은 중간은도산화막을 사용하여 형성하고 상기 식각정지막은 실리콘나이트라이드막 또는 실리콘옥사이드나이트라이드막을 사용하여 형성하는 것이 바람직하다.

상기 게이트도전막패턴은 도핑된 폴리실리콘막패턴을 사용하여 형성하고, 상기 선택적에피택셜성장막은 단결정실리콘막인 것이 바람직하다.

상기 선택적에피택셜성장막을 형성한 후에 상기 선택적에피택셜성장막 위에 금속셀리사이드막을 형성하는 단계를 더 포함하는 것이 바람직하다.

이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나 본 발명의 실시예들은 여러가지 다른 형태들로 변형될 수 있으며, 따라서 본 발명의 범위가 아래에서 상술되는 실시예들로 한정되는 것으로 해석되어져서는 안된다.

도 3a 내지 도 3h는 본 발명에 따른 반도체소자의 버핑컨택 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 3a를 참조하면, 실리콘과 같은 반도체기판(302) 내에 트랜치구조의 소자분리막(304)을 형성하여 액티브영역을 한정시킨다. 경우에 따라서 소자분리막(304)으로서 로코스(LOCOS)구조의 소자분리막을 사용할 수도 있다. 다음에 반도체기판(302) 표면에 산화막과 같은 게이트절연막(306)을 얇은 두께로 형성한다. 그리고 게이트절연막(306) 위에 게이트도전막패턴(308) 및 반사방지막패턴(310)을 형성한다. 게이트도전막패턴(308)은 폴리실리콘막패턴이고, 반사방지막패턴(310)은 실리콘옥사이드나이트라이드(SiON)막패턴이다. 게이트도전막패턴(308) 및 반사방지막패턴(310)은 액티브영역의 일부영역을 노출시킨다. 다음에 LDD구조의 소스/드레인 형성을 위한 통상의 이온주입공정을 수행하여 반도체기판(302)의 상부영역에 얇은 제1 불순물영역(312)을 형성한다.

다음에 도 3b를 참조하면, 반도체기판(302) 표면에서 노출되어 있던 게이트절연막(306)을 제거하여 반도체기판(302)의 제1 불순물영역(312)을 노출시킨다. 그리고 전면에 버퍼막(314)을 형성한다. 상기 버퍼막(314)으로는 MTO막을 사용한다. 이 버퍼막(314)은 게이트도전막패턴(308)과 반사방지막패턴(310)을 덮으면서 동시에 반도체기판(302)의 노출표면을 덮는다. 다음에 통상의 게이트스페이서 형성공정을 수행하여 게이트스페이서(316)을 형성한다. 즉 전면에 게이트스페이서용물질막, 예컨대 질화막을 형성하고, 이어서 에치백 등의 공정을 수행하여 버퍼막(314)의 상부에 있는 게이트스페이서용물질막은 모두 제거되도록 하고 측면에만 남도록 하여 게이트스페이서(316)를 형성한다. 다음에 LDD구조의 소스/드레인 형성을 위한 통상의 이온주입공정을 수행하여 반도체기판(302)의 상부영역에서 제1 불순물영역(312)에 의해 둘러싸이는 깊은 제2 불순물영역(318)을 형성한다. 제2 불순물영역(318)에서의 불순물농도는 제1 불순물영역(312)에서의 불순물농도보다 높다.

다음에 도 3c를 참조하면, 식각공정을 수행하여 게이트도전막패턴(308) 위의 반사방지막패턴(도 3b의 310)을 제거하여 게이트도전막패턴(308)의 상부표면이 노출되도록 한다. 상기 식각공정으로는 습식식각공정을 사용하고, 식각용액으로는 반도체기판(302)의 노출표면을 덮는 버퍼막(314)과 반사방지막패턴(310) 사이의 식각선택비가 높은 용액을 사용한다. 그렇지 않으면, 반도체기판(302) 위의 버퍼막(314)이 상기 식각공정에 의해 모두 제거되고, 그 결과 노출되는 반도체기판(302)이 손상될 수도 있다. 예를 들면, 반사방지막패턴(310)이 실리콘옥사이드나이트라이드막패턴이고 버퍼막(314)이 MTO막인 경우 인산(H₃PO₄)용액을 식각용액으로 사용할 수 있다. 인산용액의 경우 실리콘옥사이드나이트라이드막과 MTO막의 식각비는 대략 200:4이며, 따라서 게이트도전막패턴(308)의 상부표면이 노출되도록 반사방지막패턴(310)이 모두 제거되는 동안 버퍼막(314)은 반도체기판(302) 위에서 모두 제거되지 않고 남아서 반도체기판(302)을 보호해준다.

다음에 도 3d를 참조하면, 선택적에피택셜성장공정을 수행하여 노출된 게이트도전막패턴(308)의 상부에 선택적에피택셜성장막(320)을 형성한다. 게이트도전막패턴(308)이 폴리실리콘막패턴이므로, 선택적에피택셜성장막(320)은 단결정실리콘막이 된다. 이 단결정실리콘막은 후속공정에서 형성될 식각정지막, 예컨대 실리콘나이트라이드막과는 충분한 식각선택비를 갖는다.

다음에 도 3e를 참조하면, 선택적에피택셜성장막(320)의 상부에 금속셀리사이드막(322)을 형성한다. 이를 위하여, 먼저 전면에 금속막, 예컨대 코발트(Co)막을 형성하고, 열을 가한다. 그러면 선택적에피택셜성장막(320)과 코발트막의 경계에서 반응이 일어나서 코발트셀리사이드막(322)이 만들어진다. 코발트셀리사이드막(322)이 만들어진 후에는 반응이 일어나지 않은 코발트막을 모두 제거한다. 다음에 전면에 식각정지막(324)을 형성한다. 이 식각정지막(324)으로는 선택적에피택셜성장막(320)과는 충분한 식각선택비를 갖는 물질막을 사용하여 형성한다. 예컨대 선택

적에피택셜성장막(320)이 단결정실리콘막인 경우 식각정지막(324)으로는 실리콘나이트라이드막을 사용한다. 식각정지막(324)은 게이트스페이서(316), 선택적에피택셜성장막(320) 및 버퍼막(314)을 모두 덮는다.

다음에 도 3f를 참조하면, 식각정지막(324) 위에 층간절연막(324)을 형성한다. 그리고 층간절연막(324) 위에 마스크막패턴, 예컨대 포토레지스트막패턴(328)을 형성한다. 포토레지스트막패턴(328)은 층간절연막(324)의 일부표면을 노출시키는 개구부를 갖는다.

다음에 도 3g를 참조하면, 상기 포토레지스트막패턴(328)을 식각마스크로 한 식각공정을 수행하여 노출된 층간절연막(324)을 제거한다. 이 식각공정은 금속셀리사이드막(322)의 상부면과 반도체기판(302)의 일부표면이 노출될 때까지 수행된다. 비록 게이트도전막패턴(308)이 배치되는 부분에서 식각되어야 할 층간절연막(326)의 두께와 반도체기판(302)의 표면 부분에서 식각되어야 할 층간절연막(326)의 두께가 다르며, 따라서 반도체기판(302) 표면 위의 식각정지막(324)보다 게이트도전막패턴(308) 위의 식각정지막(324)이 더 빨리 노출되더라도, 선택적에피택셜성장막(320)이 식각정지막(324)에 대한 충분한 식각선택비를 가지므로, 선택적에피택셜성장막(320) 하부에 배치된 버퍼막(314)은 상기 식각공정동안에 영향을 받지 않는다. 상기 식각공정이 끝나면 금속셀리사이드막(322) 또는 선택적에피택셜성장막(320)의 일부표면을 노출시키고, 동시에 반도체기판(302)의 액티브영역의 일부표면을 모두 노출시키는 버핑컨택홀(330)이 만들어진다.

다음에 도 3h를 참조하면, 상기 버핑컨택홀(330) 내부를 완전히 채우도록 버핑컨택도전막(332)을 형성한다. 이 버핑컨택도전막(332)은 층간절연막(326) 상부에도 형성되므로, 평탄화공정, 예컨대 화학적기계적평탄화(CMP; Chemical Mechanical Polishing)공정을 수행하여 층간절연막(326) 상부의 버핑컨택도전막(332)이 모두 제거되도록 한다.

발명의 효과

이상의 설명에서와 같이, 본 발명에 따른 반도체소자의 버핑컨택 형성방법에 따르면, 게이트도전막패턴의 상부에 식각정지막과 충분한 식각선택비를 갖는 선택적에피택셜성장막을 형성함으로써 식각공정이 진행되는 동안에 버퍼층으로서의 중간온도산화막에 대한 식각이 억제되도록 할 수 있다는 장점을 제공한다.

(57) 청구의 범위

청구항 1.

- 액티브영역을 갖는 반도체기판 위에 게이트절연막을 개재하여 게이트도전막패턴을 형성하는 단계;
- 상기 게이트도전막패턴 및 상기 액티브영역을 모두 덮는 버퍼막을 형성하는 단계;
- 상기 게이트도전막패턴의 측면에 게이트스페이서를 형성하는 단계;
- 상기 게이트도전막패턴의 상부면에 선택적에피택셜성장막을 형성하는 단계;
- 상기 선택적에피택셜성장막, 게이트스페이서 및 버퍼막을 덮는 식각정지막을 형성하는 단계;
- 상기 식각정지막 및 액티브영역을 덮는 층간절연막을 형성하는 단계;
- 상기 층간절연막 및 식각정지막의 일부를 제거하여 상기 선택적에피택셜성장막의 일부표면 및 상기 액티브영역의 일부표면을 모두 노출시키는 버핑컨택홀을 형성하는 단계; 및
- 상기 버핑컨택홀을 도전성물질막으로 채우는 단계를 포함하는 것을 특징으로 하는 반도체소자의 버핑컨택 형성방법.

청구항 2.

- 제1항에 있어서,
- 상기 버퍼막은 중간온도산화막을 사용하여 형성하고 상기 식각정지막은 실리콘나이트라이드막 또는 실리콘옥사이드나이트라이드막을 사용하여 형성하는 것을 특징으로 하는 반도체소자의 버핑컨택 형성방법.

청구항 3.

- 제1항에 있어서,
- 상기 게이트도전막패턴은 도핑된 폴리실리콘막패턴을 사용하여 형성하고, 상기 선택적에피택셜성장막은 단결정실리콘막인 것을 특징으로 하는 반도체소자의 버핑컨택 형성방법.

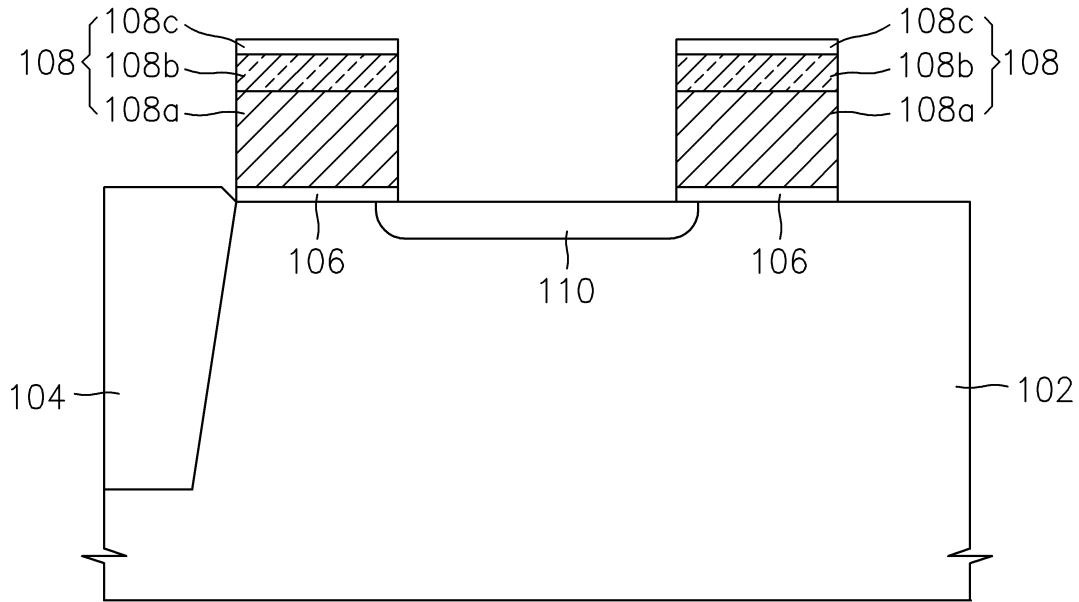
청구항 4.

제1항에 있어서,

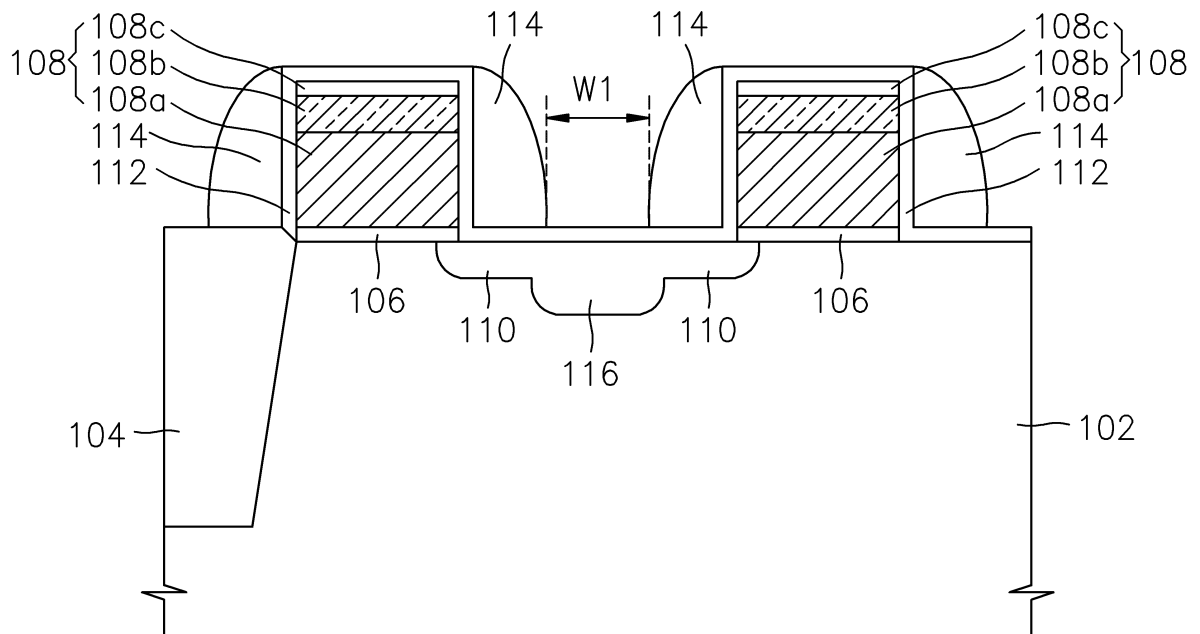
상기 선택적에피택설성장막을 형성한 후에 상기 선택적에피택설성장막 위에 금속셀리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 버핑컨택 형성방법.

도면

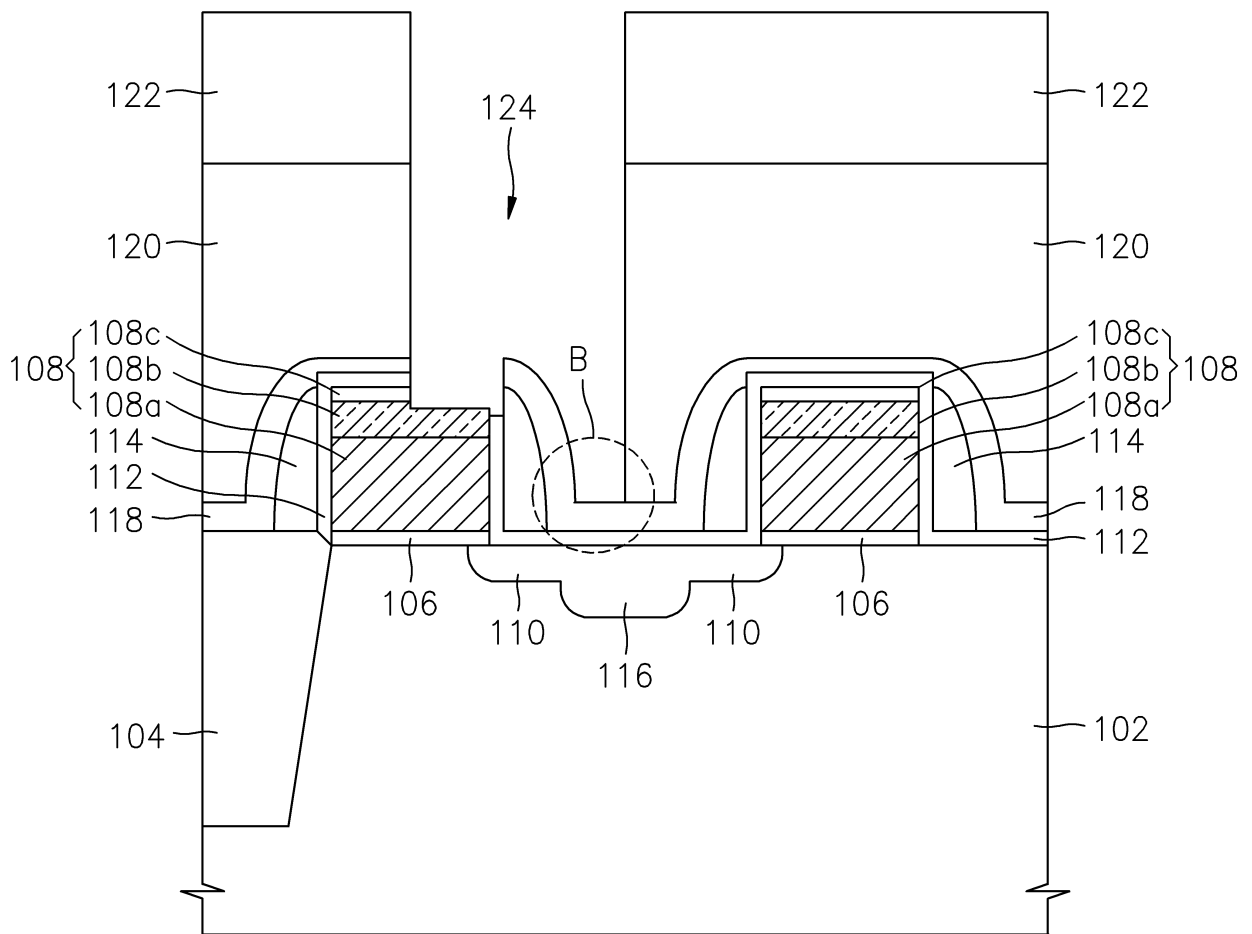
도면1a



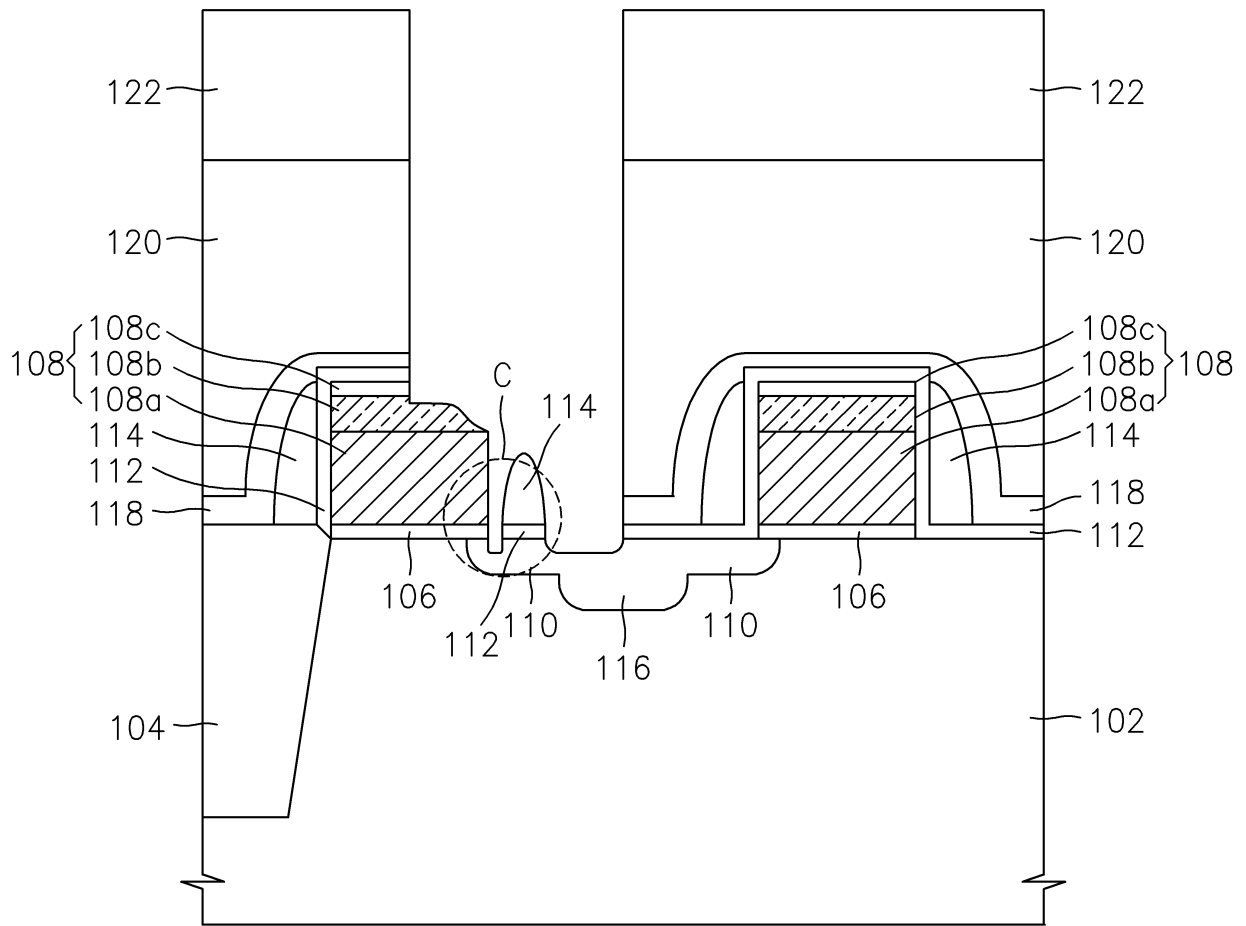
도면1b



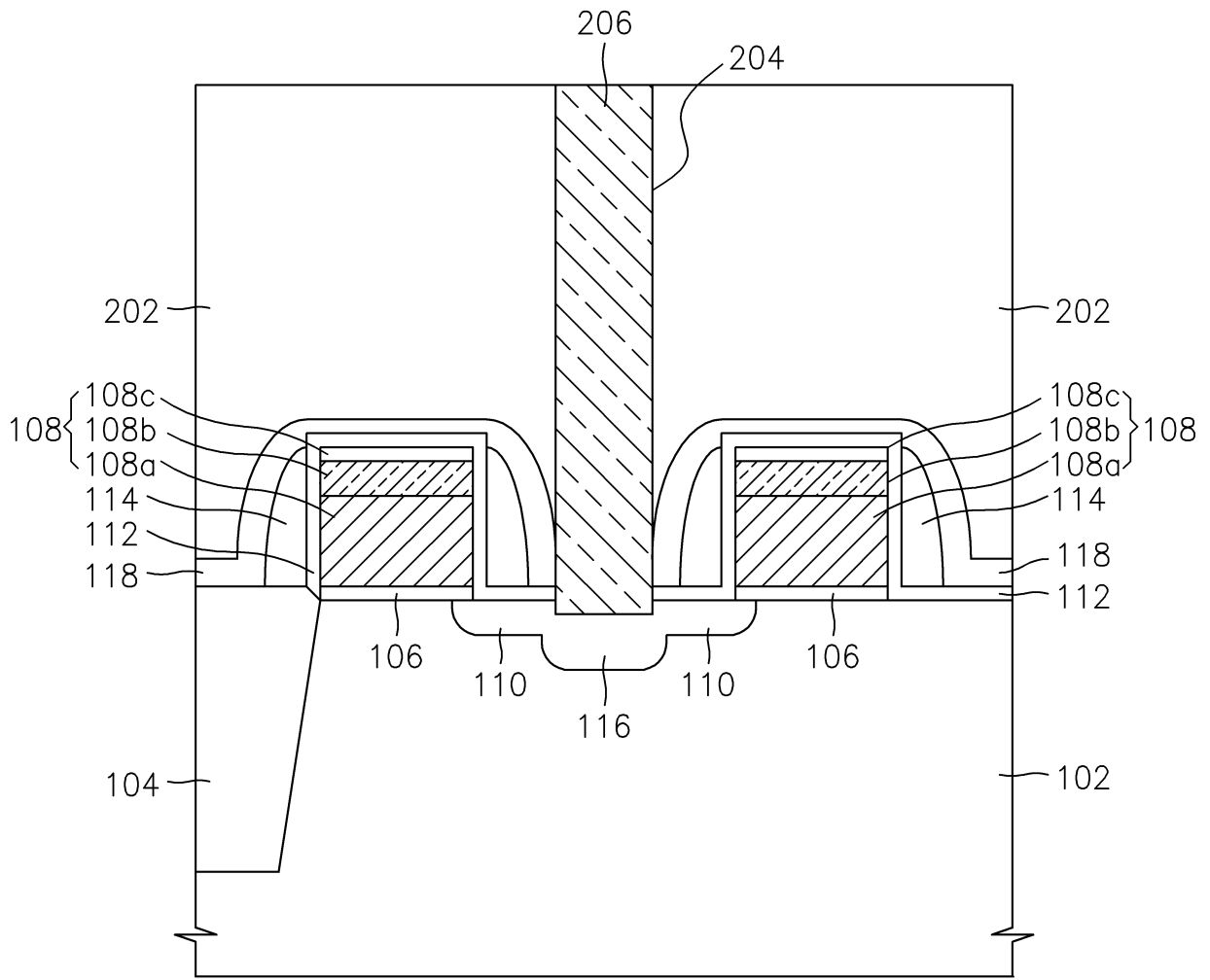
도면1e



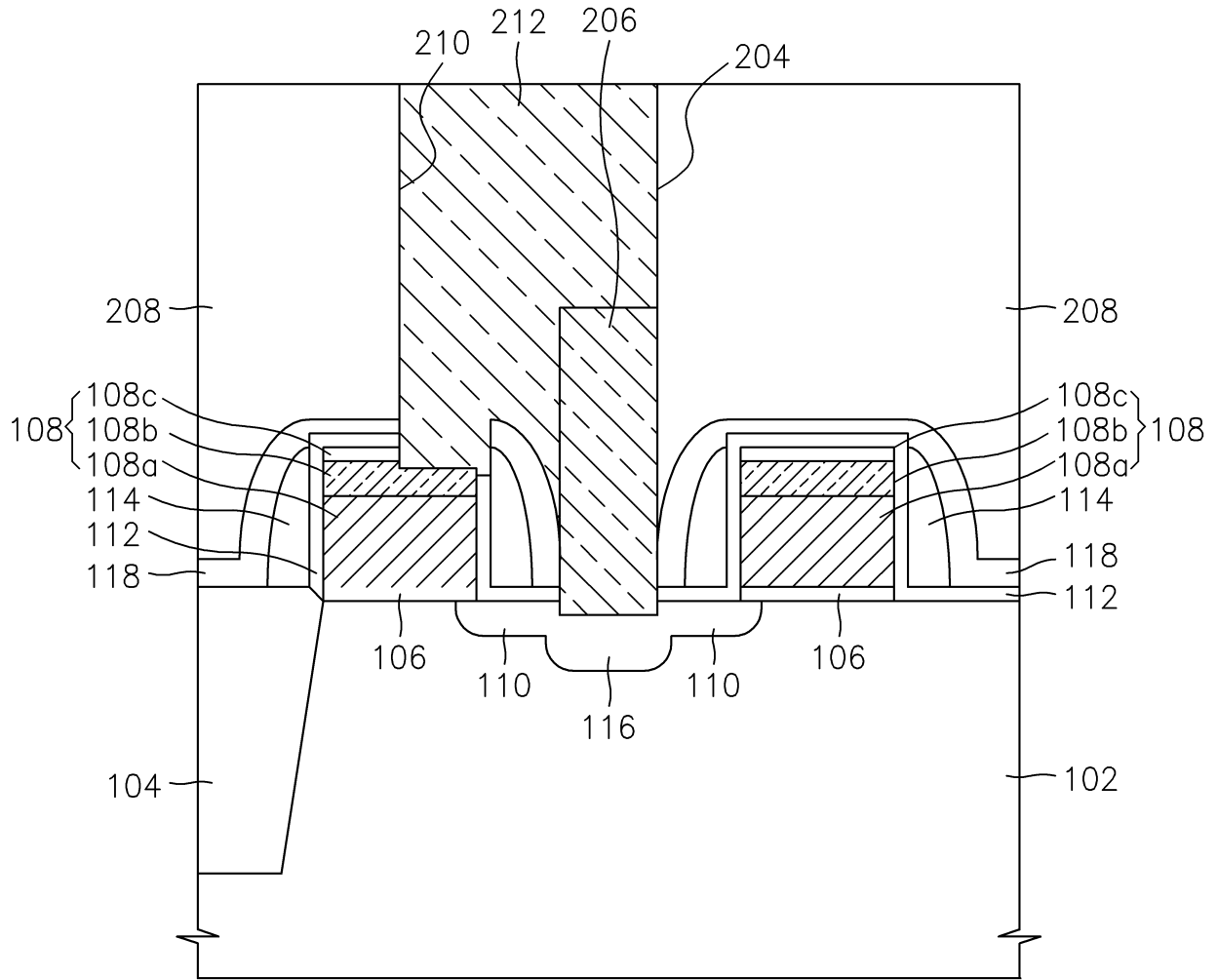
도면1f



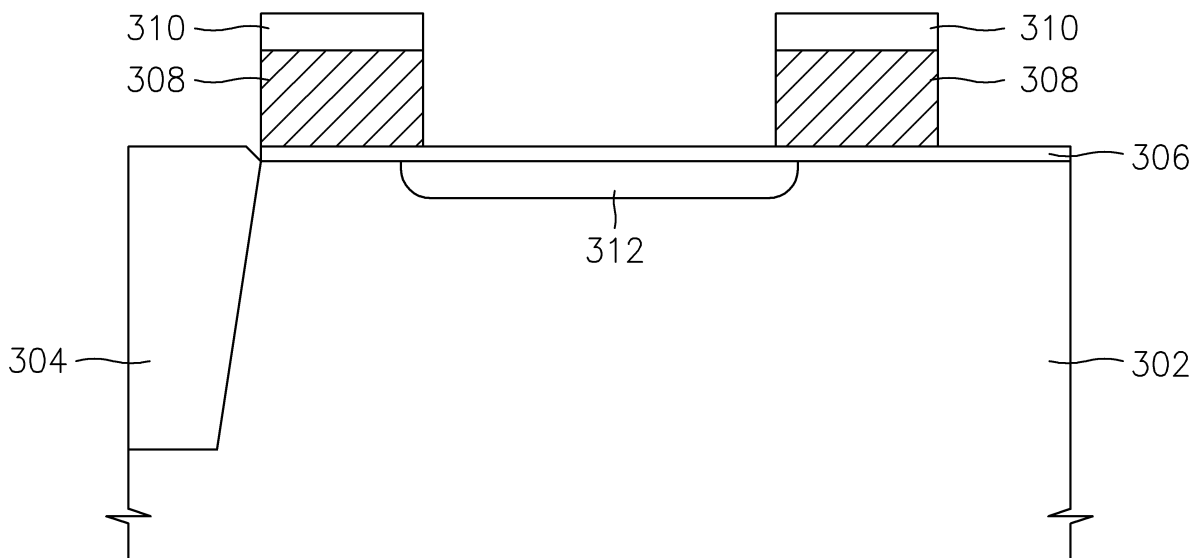
도면2a



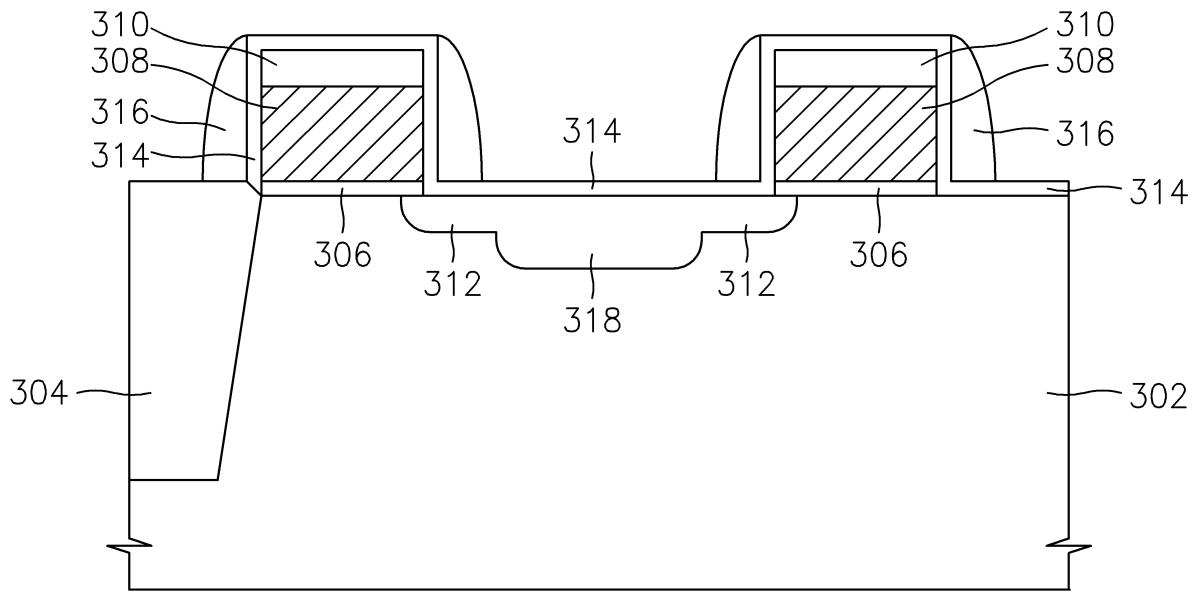
도면2b



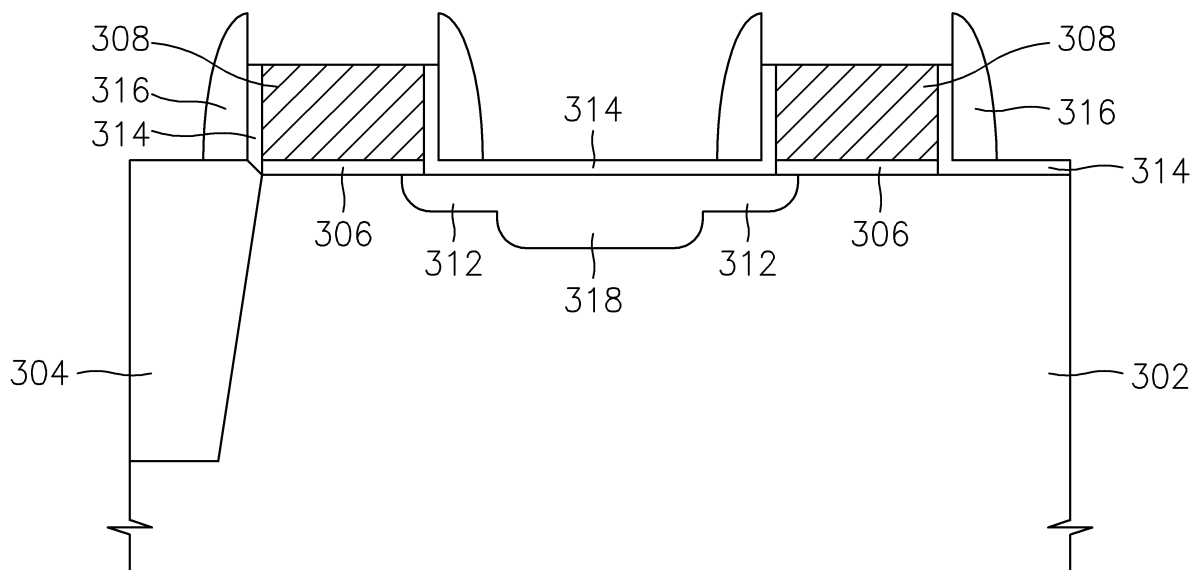
도면3a



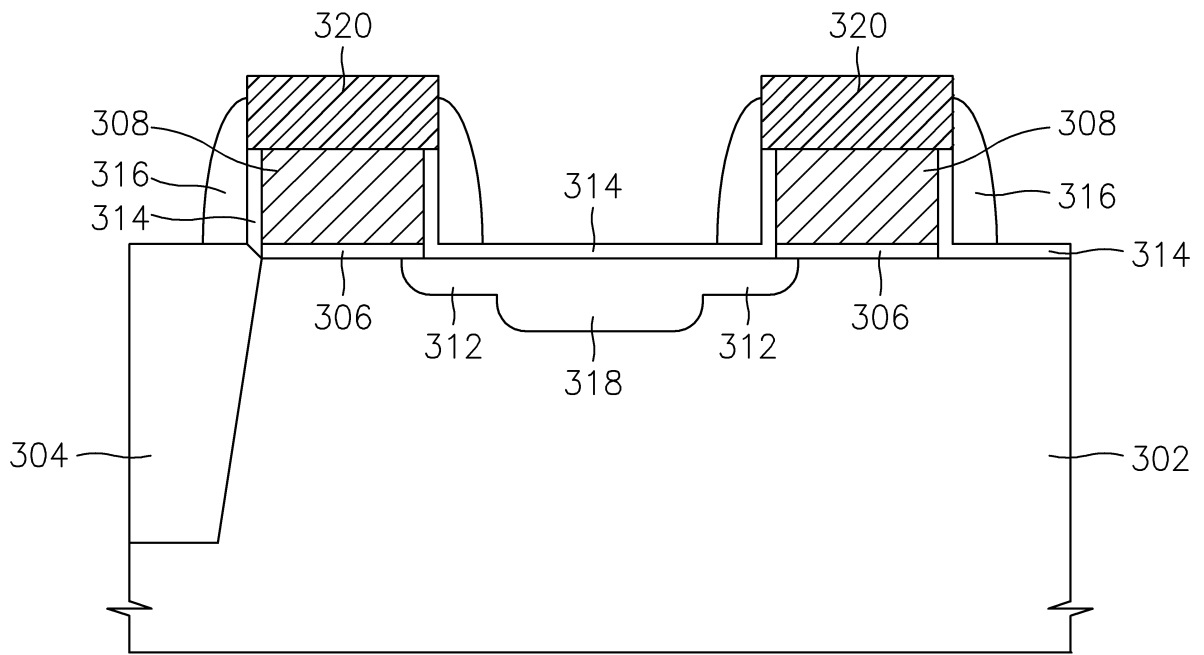
도면3b



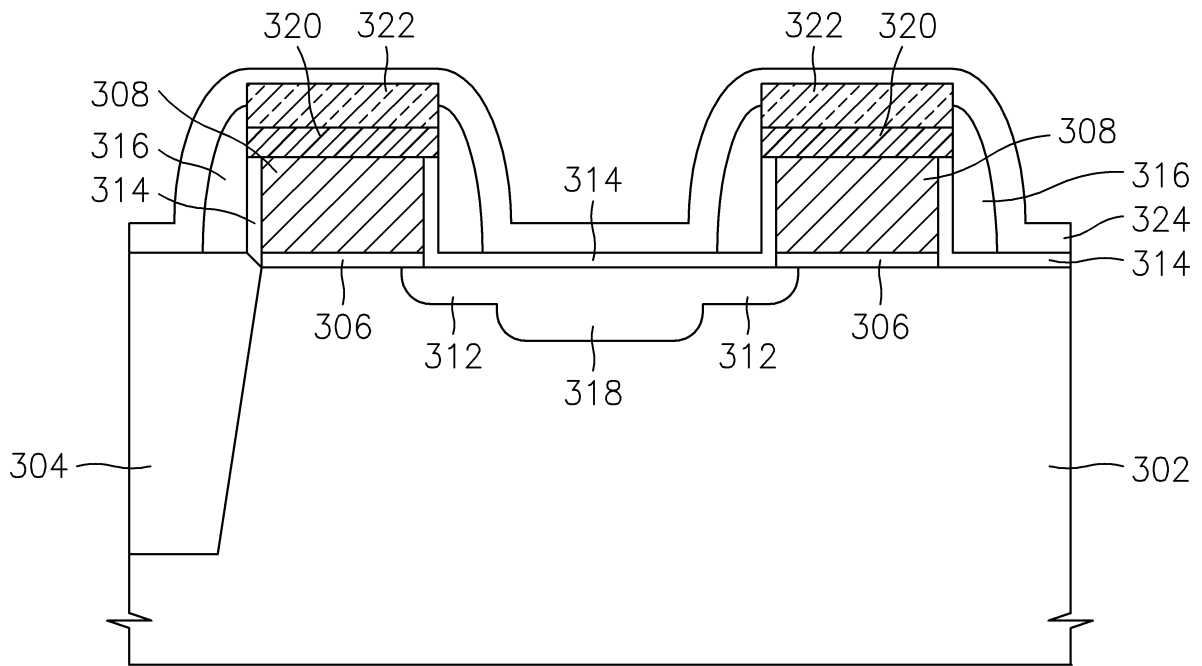
도면3c



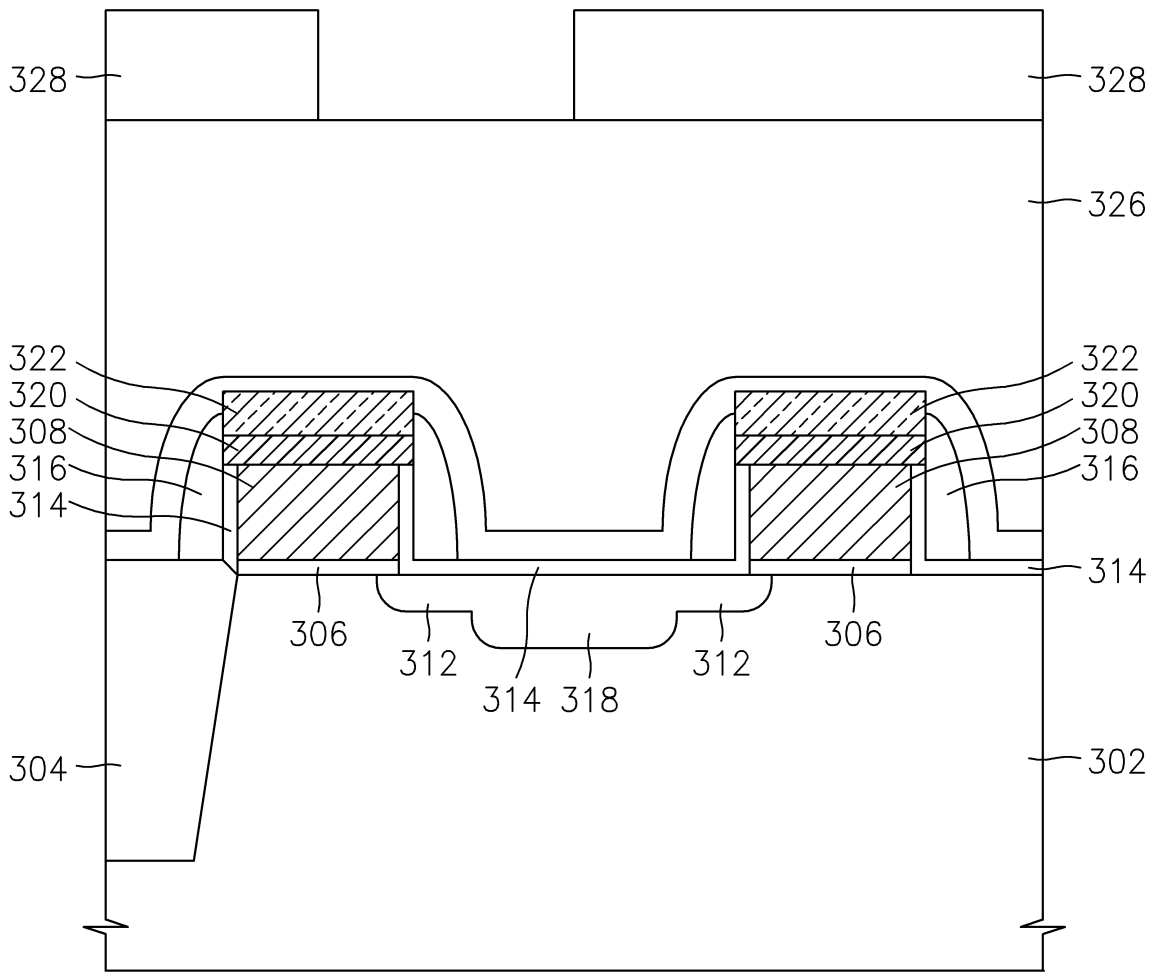
도면3d



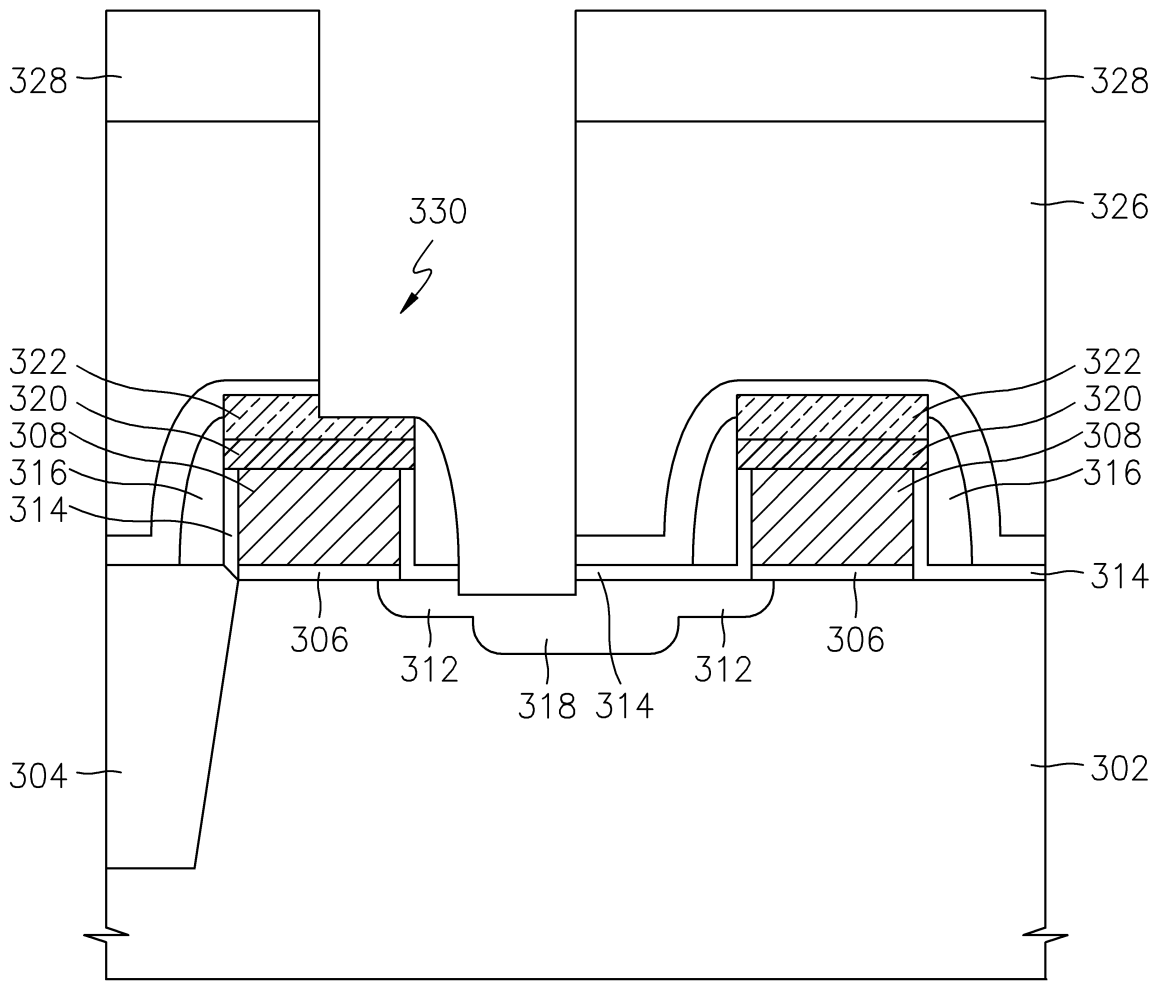
도면3e



도면3f



도면3g



도면3h

