(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0049524
(43) 공개일자 2009년05월18일

(51) Int. Cl.
H01L 21/027 (2006.01)
(21) 출원번호 10-2008-0069719
(22) 출원일자 2008년07월17일
심사청구일자 없음
(30) 우선권주장
1020070115319 2007년11월13일 대한민국(KR)

(71) 출원인
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
임종순
서울특별시 강동구 상일동 304-2번지 301호
(74) 대리인
특허법인아주

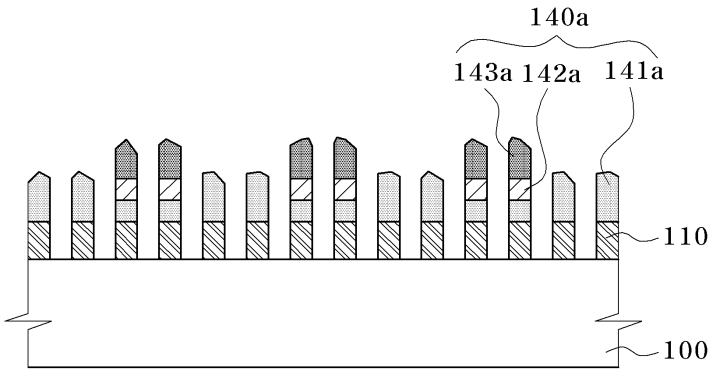
전체 청구항 수 : 총 21 항

(54) 스페이서를 이용한 반도체소자의 미세 패턴 형성 방법

(57) 요 약

기판 상에 패턴대상막을 형성하고, 패턴대상막 상에 희생 스페이서 패턴들을 형성한 후, 희생 스페이서 패턴들이 형성된 기판 상에 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막을 형성한다. 제3 스페이서막에 대한 1차 선택적 식각공정을 수행하여 제2 스페이서막 측벽에 제3 스페이서를 형성한 후, 제2 스페이서막을 2차 선택적 식각공정을 수행하여 제2 스페이서를 형성한다. 제1 스페이서막에 대한 3차 선택적 식각 공정을 수행하여 패턴대상막의 일부를 노출하는 제1 스페이서를 형성하고, 노출된 제2 스페이서 및 희생 스페이서 패턴들을 선택적으로 제거한다. 제2 스페이서가 제거되면서 노출된 상기 제1 스페이서를 4차 선택적 식각 공정을 수행하여 패턴대상막을 선택적으로 노출시킨 후, 노출된 패턴대상막 선택적으로 식각하여 미세 패턴을 형성하는 반도체소자의 미세 패턴 형성방법을 제시한다.

대 표 도 - 도10



특허청구의 범위

청구항 1

기판 상에 패턴대상막을 형성하는 단계;

패턴대상막 상에 희생 스페이서 패턴들을 형성하는 단계;

상기 희생 스페이서 패턴들이 형성된 기판 상에 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막을 형성하는 단계;

상기 제3 스페이서막에 대한 1차 선택적 식각공정을 수행하여 상기 제2 스페이서막 측벽에 제3 스페이서를 형성하는 단계;

상기 제2 스페이서막을 2차 선택적 식각공정을 수행하여 제2 스페이서를 형성하는 단계;

상기 제1 스페이서막에 대한 3차 선택적 식각 공정을 수행하여 상기 패턴대상막의 일부를 노출하는 제1 스페이서를 형성하는 단계;

상기 노출된 제2 스페이서 및 희생 스페이서 패턴들을 선택적으로 제거하는 단계;

상기 제2 스페이서가 제거되면서 노출된 상기 제1 스페이서를 4차 선택적 식각 공정을 수행하여 패턴대상막을 선택적으로 노출시키는 단계; 및

상기 노출된 패턴대상막 선택적으로 식각하여 미세 패턴을 형성하는 단계를 포함하는 반도체소자의 미세 패턴 형성방법.

청구항 2

제1항에 있어서,

미세패턴을 형성하는 단계 이후에, 상기 제1 스페이서, 제2 스페이서 및 제3 스페이서를 제거하는 단계를 더 포함하는 반도체소자의 미세 패턴 형성방법.

청구항 3

제1항에 있어서,

상기 패턴대상막은 상기 희생 스페이서 패턴들, 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막과 식각선택비를 갖는 물질막으로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 4

제1항에 있어서,

상기 패턴대상막은 실리콘나이트라이드막으로 이루어지는 반도체소자의 미세 패턴 형성방법.

청구항 5

제1항에 있어서,

상기 희생 스페이서 패턴들은 폴리실리콘막으로 이루어지는 반도체소자의 미세 패턴 형성방법.

청구항 6

제1항에 있어서,

상기 희생 스페이서 패턴들을 형성하는 단계는,

상기 패턴대상막 상에 라인과 이격간격이 7:9의 비율을 갖는 희생막 패턴을 형성하는 단계;

상기 희생막 패턴 측벽에 희생 스페이서막을 형성하는 단계;

상기 희생 스페이서막을 이방성 식각하여 상기 희생막 패턴 측벽에 스페이서 형태로 상기 희생 스페이서 패턴들을 형성하는 단계; 및

상기 희생막 패턴을 제거하는 단계로 이루어지는 반도체소자의 미세 패턴 형성방법.

청구항 7

제6항에 있어서,

상기 희생 스페이서는 상기 희생막 패턴과 식각선택비를 갖는 물질로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 8

제1항에 있어서,

상기 희생 스페이서 패턴들의 선폭은 형성하고자 하는 미세 패턴의 선폭과 대등한 선폭으로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 9

제1항에 있어서,

상기 제1 스페이서막 및 상기 제2 스페서막은 식각선택비를 갖는 물질막으로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 10

제1항에 있어서,

상기 제1 스페이서막 및 상기 제3 스페이서막은 같은 식각선택비를 갖는 물질막으로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 11

제1항에 있어서,

상기 희생 스페이서 패턴 및 상기 제2 스페이서막은 같은 식각선택비를 갖는 물질로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 12

제1항에 있어서,

상기 제1 스페이서막 및 상기 제3 스페이서막은 실리콘옥사이드막으로 형성 하고, 상기 제2 스페이서막 및 상기 희생 스페이서 패턴은 폴리실리콘막으로 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 13

제1항에 있어서,

상기 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막은 상호 간에 대등한 두께를 가지도록 형성하는 반도체소자의 미세 패턴 형성방법.

청구항 14

제1항에 있어서,

상기 희생스페이서 패턴측벽에 형성되는 상기 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막의 폭은 상기 희생 스페이서 패턴들과 대등한 선폭으로 형성되는 반도체소자의 미세 패턴 형성방법.

청구항 15

제1항에 있어서,

상기 노출된 스페이서 및 희생 스페이서 패턴을 제거한 이후에,

상기 제3 스페이서와 제2 스페이서 사이에 상기 제2 스페이서가 부분적으로 잔류하는 반도체소자의 미세 패턴 형성방법.

청구항 16

제1항에 있어서,

상기 패턴대상막 패턴 부분을 노출시키는 단계는, 상기 잔류하는 제2 스페이서 부분에 대해서는 저 선택비를 가지도록 식각하고, 상기 패턴대상막에 대해서는 고 선택비를 가지도록 건식 식각하는 반도체소자의 미세 패턴 형성방법.

청구항 17

제16항에 있어서,

상기 건식 식각은 카본 리치 가스(carbon rich gas)를 이용하여 수행하는 반도체소자의 미세 패턴 형성방법.

청구항 18

기판 상에 패턴대상막을 형성하는 단계;

상기 패턴대상막 상에 파티션들을 형성하는 단계;

상기 파티션들 측벽에 스페이서를 형성하는 단계;

상기 파티션들을 선택적으로 제거하는 단계; 및

상기 스페이서를 식각마스크로 한 식각공정을 수행하여 상기 패턴대상막을 선택적으로 식각하여 미세 패턴들을 형성하는 단계를 포함하고,

상기 파티션들 사이의 거리 및 스페이서의 형성 횟수를 조절하여 상기 미세 패턴의 갯수를 조절하는 반도체소자의 미세 패턴 형성방법.

청구항 19

제18항에 있어서,

상기 파티션들 사이의 거리(S)는 (2*N+1)*d (이때, N은 스페이서의 형성횟수이고, d는 미세 패턴의 선폭)의 수식에 의해 결정되어, 상기 미세 패턴의 갯수를 조절하는 반도체소자의 미세 패턴 형성방법.

청구항 20

제18항에 있어서,

상기 미세 패턴들의 갯수는, 상기 스페이서 증착 횟수가 홀수일 경우, P(N+1)+1의 수식에 의해 결정되고, 상기 스페이서 증착 횟수가 짝수일 경우, P*(N+1)(단, P는 파티션 패턴의 갯수이고, N은 스페이서의 증착 횟수)의 수식에 의해 결정되는 반도체소자의 미세 패턴 형성방법.

청구항 21

제18항에 있어서,

상기 파티션들은 레지스트막 또는 비정질 카본막으로 형성하는 반도체소자의 미세 패턴 형성방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체소자의 형성 방법에 관한 것으로, 보다 구체적으로 스페이서를 이용한 반도체소자의 미세 패턴 형성 방법에 관한 것이다.

배 경 기 술

<2> 반도체소자가 고집적화되면서, 소자의 사이즈가 점점 축소되고 있다. 즉, 제한된 면적 내에서 더 많은 패턴을 구현하기 위해 패턴의 피치(pitch) 사이즈 예컨대, 패턴 선폭(CD;Critical Deminsion) 및 패턴 사이의 간격(dispacing)이 줄어들고 있다.

<3> 특히, 반도체소자는 수 많은 미세 패턴들로 이루어져 있으며, 이와 같은 미세 패턴들은 포토리소그라피 공정을 통해 형성된다. 그러나, 소자의 디자인 룰이 감소됨에 따라, 반도체소자에 구현되는 패턴 예컨대, 라인 앤 스페이스 패턴(line and space pattern)의 피치 사이즈는 줄어들고 있는 반면에, 패턴을 형성하기 위한 포토리소그라피 공정에 있어서 한계 해상으로 인해 미세 피치의 패턴을 형성하기가 어렵다. 특히, 미세한 피치의 패턴을 형성하기 위해서는 패턴 마스크를 여러 번 사용해야 하며, 그 공정 단계 또한 복잡하여 미세 패턴을 형성하는데 한계가 있다. 에컨대, 패턴 마스크를 여러 번 사용함에 따라, 마스크의 오정렬(mis align)에 대한 문제점을 해결하기가 어려울 뿐만 아니라 공정 단계 별로 반도체소자가 오염되는 문제점이 유발되고 있다. 이에 따라, 한 번의 마스크를 사용하면서, 공정 단계를 단순화할 수 있는 패턴 형성방법에 대한 연구가 이루어지고 있다.

발명의 내용

<4> 본 발명의 일 실시예에 따른 반도체소자의 미세 패턴 형성방법은, 기판 상에 패턴대상막을 형성하는 단계; 패턴대상막 상에 희생 스페이서 패턴들을 형성하는 단계; 상기 희생 스페이서 패턴들이 형성된 기판 상에 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막을 형성하는 단계; 상기 제3 스페이서막에 대한 1차 선택적 식각공정을 수행하여 상기 제2 스페이서막 측벽에 제3 스페이서를 형성하는 단계; 상기 제2 스페이서막을 2차 선택적 식각공정을 수행하여 제2 스페이서를 형성하는 단계; 상기 제1 스페이서막에 대한 3차 선택적 식각 공정을 수행하여 상기 패턴대상막의 일부를 노출하는 제1 스페이서를 형성하는 단계; 상기 노출된 제2 스페이서 및 희생 스페이서 패턴들을 선택적으로 제거하는 단계; 상기 제2 스페이서가 제거되면서 노출된 상기 제1 스페이서를 4차 선택적 식각 공정을 수행하여 패턴대상막을 선택적으로 노출시키는 단계; 및 상기 노출된 패턴대상막 선택적으로 식각하여 미세 패턴을 형성하는 단계를 포함한다.

<5> 미세패턴을 형성하는 단계 이후에, 상기 제1 스페이서, 제2 스페이서 및 제3 스페이서를 제거하는 단계를 더 포함할 수 있다.

<6> 상기 패턴대상막은 상기 희생 스페이서 패턴들, 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막과 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다.

<7> 상기 패턴대상막은 실리콘나이트라이드막으로 이루어지는 것이 바람직하다.

<8> 상기 희생 스페이서 패턴들은 폴리실리콘막으로 이루어지는 것이 바람직하다.

<9> 상기 희생 스페이서 패턴들을 형성하는 단계는, 상기 패턴대상막 상에 라인과 이격간격이 7:9의 비율을 갖는 희생막 패턴을 형성하는 단계; 상기 희생막 패턴 측벽에 희생 스페이서막을 형성하는 단계; 상기 희생 스페이서막을 이방성 식각하여 상기 희생막 패턴 측벽에 스페이서 형태로 상기 희생 스페이서 패턴들을 형성하는 단계; 및 상기 희생막 패턴을 제거하는 단계로 이루어지는 것이 바람직하다.

<10> 상기 희생 스페이서는 상기 희생막 패턴과 식각선택비를 갖는 물질로 형성하는 것이 바람직하다.

<11> 상기 희생 스페이서 패턴들의 선폭은 형성하고자 하는 미세 패턴의 선폭과 대등한 선폭으로 형성하는 것이 바람직하다.

<12> 상기 제1 스페이서막 및 상기 제2 스페서막은 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다.

<13> 상기 제1 스페이서막 및 상기 제3 스페이서막은 같은 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다.

<14> 상기 희생 스페이서 패턴 및 상기 제2 스페이서막은 같은 식각선택비를 갖는 물질로 형성하는 것이 바람직하다.

<15> 상기 제1 스페이서막 및 상기 제3 스페이서막은 실리콘옥사이드막으로 형성하고, 상기 제2 스페이서막 및 상기 희생 스페이서 패턴은 폴리실리콘막으로 형성하는 것이 바람직하다.

<16> 상기 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막은 상호 간에 대등한 두께를 가지도록 형성하는 것이 바람직하다.

<17> 상기 희생스페이서 패턴측벽에 형성되는 상기 제1 스페이서막, 제2 스페이서막 및 제3 스페이서막의 폭은 상기

희생 스페이서 패턴들과 대등한 선폭으로 형성되는 것이 바람직하다. 상기 노출된 스페이서 및 희생 스페이서 패턴을 제거한 이후에, 상기 제3 스페이서와 제2 스페이서 사이에 상기 제2 스페이서가 부분적으로 잔류하는 것이 바람직하다.

<18> 상기 패턴대상막 패턴 부분을 노출시키는 단계는, 상기 잔류하는 제2 스페이서 부분에 대해서는 저 선택비를 가지도록 식각하고, 상기 패턴대상막에 대해서는 고 선택비를 가지도록 건식 식각하는 것이 바람직하다.

<19> 상기 건식 식각은 카본 리치 가스(carbon rich gas)를 이용하여 수행하는 것이 바람직하다.

<20> 본 발명의 다른 실시예에 따른 반도체소자의 미세 패턴 형성 방법은, 기판 상에 패턴대상막을 형성하는 단계; 상기 패턴대상막 상에 파티션들을 형성하는 단계; 상기 파티션들 측벽에 스페이서를 형성하는 단계; 상기 파티션들을 선택적으로 제거하는 단계; 및 상기 스페이서를 식각마스크로 한 식각공정을 수행하여 상기 패턴대상막을 선택적으로 식각하여 미세 패턴들을 형성하는 단계를 포함하고, 상기 파티션들 사이의 거리 및 스페이서의 형성 횟수를 조절하여 상기 미세 패턴의 갯수를 조절하여 형성하는 단계를 포함한다.

<21> 상기 파티션 패턴 사이의 거리(S)는 (2*N+1)*d (이때, N은 스페이서의 형성횟수이고, d는 미세 패턴의 선폭)의 수식에 의해 결정되는 것이 바람직하다.

<22> 상기 미세 패턴들의 갯수(M)는, 상기 스페이서 증착 횟수가 홀수일 경우, P(N+1)+1의 수식에 의해 결정되고, 상기 스페이서 증착 횟수가 짝수일 경우, P*(N+1)(단, P는 파티션 패턴의 갯수이고, N은 스페이서의 증착 횟수)의 수식에 의해 결정되는 것이 바람직하다.

<23> 상기 파티션은 레지스트막 또는 비정질 카본막으로 형성하는 것이 바람직하다.

<24> 상기 스페이서는, 상기 파티션 패턴과 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다.

<25> 상기 스페이서를 형성하는 단계는, 상기 파티션이 형성된 패턴대상막 상에 제1 스페이서막을 형성하는 단계; 상기 제1 스페이서막에 대한 평탄화 공정을 수행하여 파티션 측벽에 제1 스페이서를 형성하는 단계; 상기 제1 스페이서가 형성된 패턴대상막 상에 제2 스페이서막을 형성하는 단계; 및 상기 제2 스페이서막에 대한 평탄화 공정을 수행하여 상기 제1 스페이서 측벽에 제2 스페이서를 형성하는 단계로 이루어지는 것이 바람직하다.

<26> 상기 제1 스페이서막은 산화막을 포함하여 형성하고, 상기 제1 스페이서막은 질화막을 포함하여 형성하는 것이 바람직하다.

<27> 상기 제1 스페이서 및 제2 스페이서는 반복 배열되어 형성되는 것이 바람직하다.

발명의 실시를 위한 구체적인 내용

<28> (실시예 1)

<29> 도 1을 참조하면, 반도체기판(100) 상에 패턴대상막(110)을 형성한다. 패턴대상막(110)은 바람직하게, 실리콘나이트라이드(SiN)막으로 형성할 수 있으나, 이에 한정되지 않는다. 또한, 패턴대상막(110)은 실제 반도체소자를 구성하는 게이트라인 또는 비트라인을 형성하기 위한 물질막 예컨대, 폴리실리콘막 또는 금속막의 단일막 또는 적층막으로 형성할 수 있다.

<30> 패턴대상막(110) 상에 희생막 패턴(120)들을 형성한다. 희생막 패턴(120)들은 패턴대상막(110)과 식각선택비를 갖는 물질막 예컨대, 실리콘옥사이드막으로 형성할 수 있다. 희생막 패턴(120)들은 패턴 사이의 이격간격(d_1)과 패턴의 선폭(d_2)이 9:7의 비율을 갖도록 형성할 수 있다. 구체적으로, 패턴대상막(110) 상에 희생막 및 레지스트막을 형성한 후, 포토리소그라피(photolithography) 공정을 수행하여 희생막을 선택적으로 노출시키는 레지스트막 패턴(도시되지 않음)을 형성한다. 레지스트막 패턴을 식각마스크로 노출된 희생막을 선택적으로 식각하여 희생막 패턴(120)들을 형성한 후, 레지스트막 패턴을 제거한다.

<31> 도 2를 참조하면, 희생막 패턴(120)들 측벽에 스페이서 형태의 희생 스페이서 패턴(130)들을 형성한다. 희생 스페이서 패턴(130)들은 희생막과 패턴대상막(110)과 식각선택비를 갖는 물질 바람직하게, 폴리실리콘막으로 형성할 수 있으나, 이에 한정되지 않는다.

<32> 구체적으로, 희생막 패턴(120)들이 형성된 반도체기판(100) 상에 희생 스페이서막 예컨대, 폴리실리콘막을 형성한 후, 이방성 식각하여 희생막 패턴(120)들 사이의 패턴대상막(110) 부분을 노출시키면서 희생막 패턴(120) 측벽에 희생 스페이서 패턴(130)들을 형성한다. 희생 스페이서 패턴(130)들의 선폭(d_3)은 후속 형성하고자 하는

미세 패턴의 선폭과 대등한 선폭으로 형성할 수 있다.

<33> 도 3을 참조하면, 희생막 패턴(도 2의 120)들을 제거하여 희생 스페이서 패턴(130)들만 남겨둔다. 이때, 희생 스페이서 패턴(130)들의 이격간격은 희생 스페이서 패턴(130)들의 선폭보다 실질적으로, 7배 정도로 형성된다. 희생 스페이서 패턴(130)들의 이격간격과 선폭은 형성하고자 하는 미세 패턴의 선폭에 따라 달라질 수 있다.

<34> 도 4를 참조하면, 희생 스페이서 패턴(130)들이 형성된 패턴대상막(110) 상에 3중 구조의 트리플 스페이서막(triple spacer layer)(140)을 순차적으로 형성한다.

<35> 구체적으로, 희생 스페이서 패턴(130)들이 형성된 패턴대상막(110) 상에 희생 스페이서 패턴(130)들의 프로파일(profile)을 따라, 제1 스페이서막(141), 제2 스페이서막(142) 및 제3 스페이서막(143)을 형성한다. 여기서, 제1 스페이서막(141), 제2 스페이서막(142) 및 제3 스페이서막(143)은 상호 간에 식각선택비를 갖도록 서로 다른 물질막으로 형성할 수 있다.

<36> 제1 스페이서막(141), 제2 스페이서막(142) 및 제3 스페이서막(143)은 상호 간에 대등한 두께를 가지도록 형성할 수 있다. 또한, 제1 스페이서막(141), 제2 스페이서막(142) 및 제3 스페이서막(143)은 희생 스페이서 패턴(130)들의 측벽에 부착되는 부분의 폭이 희생 스페이서 패턴(130)들의 선폭과 대등한 선폭을 가지게 형성할 수 있다.

<37> 제1 스페이서막(141) 및 제3 스페이서막(143)은 후속 미세 패턴을 형성 시 식각마스크를 위한 층으로 하부의 패턴대상막(110)과 식각선택비를 갖는 물질막 예컨대, 실리콘옥사이드막으로 형성할 수 있다. 이때, 제2 스페이서막(142)은 희생 스페이서 패턴(130)들과 대등한 물질막 예컨대, 폴리실리콘막으로 형성할 수 있다.

<38> 도 5를 참조하면, 트리플 스페이서막들 순차적으로 스페이서식각 예컨대, 이방성 건식 식각하여 선택적으로 제거한다.

<39> 구체적으로, 제3 스페이서막에 대한 1차 선택적 식각을 수행하여 희생 스페이서막 패턴(130)들 측부의 제2 스페이서막(142) 사이에 부착되는 스페이서 형태로 제3 스페이서(143a)들을 형성한다. 이때, 1차 선택적 식각은 제2 스페이서막(142)에 대해 식각선택비를 가지게 수행되는 것이 바람직하다. 이때, 제3 스페이서(143a)들은 희생 스페이서 패턴(130)들, 제1 스페이서막(141) 및 제2 스페이서막(142) 사이를 두고 병립되도록 형성된다.

<40> 제3 스페이서(143a)들은 희생 스페이서 패턴(130)들의 선폭과 대등한 선폭으로 형성될 수 있다. 제3 스페이서(143a)들이 형성됨에 따라, 하부의 제2 스페이서막의 일부가 부분적으로 노출된다.

<41> 도 6을 참조하면, 제2 스페이서막에 대한 2차 선택적 식각을 수행하여 제1 스페이서막(141)을 부분적으로 노출시키면서, 제3 스페이서(143a)들과 제1 스페이서막(141) 사이에 제2 스페이서(142a)들을 형성한다. 2차 선택적 식각은 제1 스페이서막(141)과 제3 스페이서(143a)들과 식각선택비를 가지게 수행되는 것이 바람직하다. 예컨대, 제1 스페이서막(141) 및 제3 스페이서(143a)들은 바람직하게, 제2 스페이서막과 식각선택비를 갖도록 형성되어 있으므로, 2차 선택적 식각 시 식각마스크(etch mask)로 작용하게 된다. 따라서, 제3 스페이서(143a)들 사이에 노출된 부분의 제2 스페이서막이 선택적으로 식각되어 하부의 제1 스페이서막(141) 부분이 노출된다. 2차 선택적 식각을 수행함에 따라, 도 6에 도시된 바와 같이, 제3 스페이서(143a)들 하부에 제2 스페이서(142a)들 및 제1 스페이서막(141)이 잔류하게 된다.

<42> 도 7을 참조하면, 제1 스페이서막에 대한 3차 선택적 식각을 수행하여 패턴대상막(110)을 부분적으로 노출시키면서, 희생 스페이서 패턴(130)들과 제2 스페이서(142a)들 사이에 제1 스페이서(141a)들을 형성한다. 3차 선택적 식각은 희생 스페이서 패턴(130)들과, 제2 스페이서(142a)들과 식각선택비를 가지게 수행되는 것이 바람직하다. 이때, 제3 스페이서막은 바람직하게, 희생 스페이서 패턴(130)들과 식각선택비를 갖도록 형성되어 있으므로, 희생 스페이서 패턴(130)들의 상부 표면이 노출되는 경우, 3차 선택적 식각을 멈춘다. 3차 선택적 식각 시, 제1 스페이서막과 동일한 박막으로 형성된 제3 스페이서(143a)들이 일정 두께 식각될 수도 있다.

<43> 3차 선택적 식각을 수행함에 따라, 도 7에 도시된 바와 같이, 제1 스페이서(141a)들 사이에 패턴대상막(100) 부분이 노출되고, 제3 스페이서(143a)들 하부에 제2 스페이서(142a)들 및 제1 스페이서(141a)들이 잔류되며, 제2 스페이서(142a)들 하부에 제1 스페이서(141a)들이 잔류하게 된다.

<44> 이처럼, 트리플 스페이서막에 대해 선택적 식각을 수행함으로써, 인접하는 희생 스페이서 패턴(130)들 사이에 6개의 스페이서가 형성될 수 있다. 이때, 제1 스페이서(141)들, 제2 스페이서(142a)들, 제3 스페이서(143a)들 및 희생 스페이서 패턴(130)들은 서로 대등한 선폭을 가지게 형성될 수 있으며, 제3 스페이서(143a)들 사이의 이격

간격 또한, 대등한 선폭으로 형성될 수 있다.

<45> 또한, 제1 스페이서(141)들, 제2 스페이서(142a)들, 제3 스페이서(143a)들은 도 1에 제시된 희생막 패턴의 선폭에 비해 1/6배 정도로 미세한 선폭을 가지게 형성된다. 즉, 포토리소그라피 공정과정에 의해 형성될 수 있는 최소 선폭에 비해 적어도 1/6배 축소된 패턴을 형성할 수 있다.

<46> 도 8을 참조하면, 희생 스페이서 패턴(130)에 대한 비등방성 식각을 수행한다. 예컨대, 희생 스페이서 패턴(130)들 및 제2 스페이서(142a)들은 폴리실리콘막으로 형성되어 있으므로, 희생 스페이서 패턴(130)들 및 제2 스페이서(142a)들이 선택적으로 식각된다. 이때, 비등방성 식각은 제2 스페이서(142a)들 하부에 잔류된 제1 스페이서(141a)가 노출될 때까지 수행하는 것이 바람직하다. 따라서, 제3 스페이서 하부에 잔류된 제2 스페이서 부분이 잔류되며, 희생 스페이서 패턴 또한, 일정 두께 잔류된다.

<47> 비등방석 식각을 수행함에 따라, 제2 스페이서들 식각 시 측면 식각을 억제하여 제3 스페이서(143a)들 하부에 잔류된 제2 스페이서들 부분의 손상을 방지할 수 있다. 이에 따라, 제3 스페이서(143a)들이 리프팅되어 발생할 수 있는 결함을 방지할 수 있다.

<48> 도 9를 참조하면, 제1 스페이서 패턴(141a)에 대한 건식식각을 수행한다. 예컨대, 제1 스페이서 패턴(141a) 및 제3 스페이서 패턴(143a)은 실리콘옥사이드막으로 형성되어 있으므로, 제1 스페이서 패턴(141a) 및 제3 스페이서 패턴(143a)이 선택적으로 식각된다. 건식식각은 카본 리치 가스(carbon rich gas)를 이용하여 수행할 수 있다.

<49> 이때, 실리콘옥사이드에 대한 건식 식각 시 폴리실리콘막들 예컨대, 제3 스페이서 하부에 잔류된 제2 스페이서 부분에 대해서는 저 선택비로 수행하며, 하부의 패턴대상막(110) 예컨대, 실리콘나이트라이드막에 대해서는 고 선택비로 수행할 수 있다.

<50> 계속해서, 도 8에 도시된 바와 같이, 일정 두께 잔류된 희생 스페이서 패턴희생 스페이서 패턴(130)을 선택적으로 제거하여 선폭과 이격간격이 1:1 비율을 갖는 스페이서 패턴(140a)들이 형성된다. 이때, 스페이서 패턴(140a)들은 제1 스페이서(141a)들로 이루어지며, 제3 스페이서(143a)들 하부에 부분적으로 잔류된 제2 스페이서(142a)들 및 제1 스페이서(141a)들로 이루어진다.

<51> 도 10을 참조하면, 선폭과 이격간격이 1:1 비율을 갖는 스페이서 패턴(140a)들을 이용하여 노출된 패턴대상막을 선택적으로 식각하여 미세 패턴(111)들을 형성한다. 이러한 미세 패턴(111)들은 라인과 스페이스 형태가 반복적으로 배열된 패턴일 수 있다.

<52> 도 11을 참조하면, 스페이서 패턴(도 10의 140a)들을 제거한다. 그러면, 반도체기판(100) 상에 미세 패턴(111)들만 남게 된다. 미세 패턴(111)들은 반도체소자를 구성하는 게이트 라인 또는 비트라인 일 수 있으며, 또는 반도체소자의 패턴을 패터닝하기 위한 하드마스크 패턴으로 형성할 수 있다.

<53> 본 발명에 따르면, 마스크 공정을 수행하여 폴리실리콘막으로 이루어진 희생 스페이서 패턴 상에 트리플스페이서막(oxide-polysilicon-oxide)을 형성한 후, 선택적 식각공정을 수행하여 마스크 공정에서 형성된 희생막 패턴의 선폭에 비해 1/6배 정도로 미세한 선폭을 가지는 미세 패턴을 형성할 수 있다. 예컨대, 포토리소그라피 공정과정에 의해 형성될 수 있는 최소 선폭에 비해 적어도 1/6배 축소된 패턴을 형성할 수 있다.

<54> 이에 따라, 한번의 마스크 공정을 수행함에 따라 마스크 오정렬(mis align)을 방지하고, 복잡한 마스크 공정 스텝(step)에 따라 반도체소자가 오염되는 것을 억제할 수 있다.

<55> (실시예 2)

<56> 도 12 내지 도 20은 본 발명의 다른 실시예에 따른 반도체소자의 미세 패턴 형성방법을 설명하기 위해 나타내 보인 도면들이다. 도 12 내지 도 20에서 제시된 'A' 도면은 최종 패터닝 갯수가 홀수일 경우이고, 'B' 도면은 최종 패터닝 갯수가 짝수일 경우이다.

<57> 도 12를 참조하면, 반도체기판(200) 상에 패턴대상막(210)을 형성한다. 패턴대상막(210)은 바람직하게, 폴리실리콘막으로 형성할 수 있으나, 이에 한정되지 않는다, 또한, 패턴대상막(210)은 실제 반도체소자를 구성하는 게이트라인 또는 비트라인을 형성하기 위한 물질막 예컨대, 폴리실리콘막 또는 금속막의 단일막 또는 적층막으로 형성할 수 있다.

<58> 패턴대상막(210) 상에 파티션 패턴(220)들을 형성한다. 파티션 패턴(220)들은 네가티브(negative) 레지스트막 또는 포지티브(positive) 레지스트막으로 형성할 수 있으며, 경우에 따라, 비정질 카본(amorphous carbon)막으

로 형성할 수 있다. 파티션 패턴(200)들 사이의 거리(S)는 최종 패터닝 갯수(M)에 따라, 파티션 패턴(P)의 갯수, 후속 형성될 스페이서의 증착 횟수(N), 패터닝 사이즈(d)에 따라 달라질 수 있다. 즉, 파티션 패턴들 사이의 거리는 S=(2*N+1)*d의 수식에 의해 결정된다. 또한, 스페이서 증착 횟수(N)가 홀수일 때, 최종 패터닝 갯수 M=P(N+1)+1의 수식에 의해 결정되고, 스페이서 증착 횟수(N)가 짝수일 때, 최종 패터닝 갯수 M= P*(N+1)의 수식에 의해 결정된다. 따라서, 파티션 패턴을 갯수를 먼저 정한 후, 스페이서 증착 횟수를 조절하여 최종 패터닝 갯수를 홀수로 형성하거나, 짝수로 형성할 수 있다.

<59> 일 예로, 도 12의 'A'에 제시된 바와 같이, 파티션 패턴의 갯수를 2개로 지정하고, 스페이서 증착 횟수를 3회로 결정하게 되면, 파티션 패턴들 사이즈(d)와 파티션 패턴 사이의 거리(S)는 1:7의 비율을 갖게 되어 "S1" 간격으로 형성된다. 다른 예로, 도 12의 'B'에 제시된 바와 같이, 파티션 패턴의 갯수를 2개로 지정하고, 스페이서 증착 횟수를 2회로 결정하게 되면, 파티션 패턴들 사이의 거리는 마파티션 패턴들 사이즈(d)와 파티션 패턴 사이의 거리(S)는 1:5의 비율을 갖게 되어, "S2" 간격으로 형성된다.

<60> 도 13을 참조하면, 파티션 패턴(220)들이 형성된 패턴대상막(210) 상에 제1 스페이서막(230)을 형성한다. 제1 스페이서막(230)은 패턴대상막(210) 및 파티션 패턴(220)과 식각선택비를 갖는 물질막으로 형성할 수 있다. 예를 들어, 패턴대상막(210)을 폴리실리콘막으로 형성하고, 파티션 패턴(220)을 포토레지스트막으로 형성하는 경우, 제1 스페이서막(230)은 산화막으로 형성할 수 있으나, 이에 한정되지 않는다. 여기서, 제1 스페이서막(230)의 두께는 파티션 패턴들의 선폭 사이즈(d)과 대등한 선폭으로 형성할 수 있다.

<61> 도 14를 참조하면, 제1 스페이서막(도 13의 230)에 대한 이방성 식각 공정 예컨대, 에치백(etch back) 공정을 수행한다. 그러면, 파티션 패턴(220)들 사이의 패턴대상막(210) 부분 및 파티션 패턴(220)의 상부 표면이 노출되면서 파티션 패턴(220)들 측벽에 제1 스페이서(231)들이 형성된다.

<62> 다음에, 제1 스페이서(231)들 및 파티션 패턴(220)들이 형성된 패턴대상막(210) 상에 제2 스페이서막(240)을 형성한다. 제2 스페이서막(240)은 패턴대상막(210), 파티션 패턴(220), 제1 스페이서(231)와 식각선택비를 갖는 물질막으로 형성할 수 있다. 예를 들어, 패턴대상막(210)을 폴리실리콘막으로 형성하고, 파티션 패턴(220)을 포토레지스트막으로 형성하고, 제1 스페이서(231)를 산화막으로 형성하는 경우, 제2 스페이서막(140)은 질화막으로 형성할 수 있으나, 이에 한정되는 것은 아니다. 여기서, 제2 스페이서막(240)의 두께는 파티션 패턴들의 선폭 사이즈(d)및 제1 스페이서막의 두께와 대등한 선폭으로 형성할 수 있다. '

<63> 도 15를 참조하면, 제2 스페이서막(도 14의 240)에 대한 이방성 식각 공정 예컨대, 에치백 공정을 수행한다. 그러면, 파티션 패턴(220)들 사이의 패턴대상막(210) 부분, 파티션 패턴(220)의 상부 표면 및 제1 스페이서(231)들의 상부 표면이 노출되면서, 제1 스페이서(231)들 측벽에 제2 스페이서(241)들이 형성된다.

<64> 다음에, 제2 스페이서(241)들, 제1 스페이서(231)들, 파티션 패턴(220)들이 형성된 패턴대상막(210) 상에 제3 스페이서막(250)을 형성한다. 여기서, 제3 스페이서막(250)의 형성은, 스페이서 증착 회수를 3회로 결정한 'A'일 경우에만 해당되고, 스페이서 증착 횟수를 2회로 결정한 'B'일 경우에는 제3 스페이서막의 형성 공정을 생략한다. 제3 스페이서막(250)은 패턴대상막(210), 파티션 패턴(220), 제1 스페이서(231) 및 제2 스페이서(241)와, 식각선택비를 갖는 물질막으로 형성할 수 있다. 또는 제3 스페이서막(250)은 제1 스페이서(231)와 동일한 물질막으로 형성할 수도 있다. 예를 들어, 패턴대상막(210)을 폴리실리콘막으로 형성하는 경우, 파티션 패턴(220)을 포토레지스트막으로 형성하고, 제1 스페이서(231)를 산화막으로 형성하고, 제2 스페이서(241)를 질화막으로 형성하는 경우, 제3 스페이서막(250)은 산화막으로 형성할 수 있다. 제3 스페이서막(250)의 두께는 파티션 패턴(220)들의 선폭 사이즈(S), 제1 스페이서막 및 제2 스페이서막의 두께와 대등한 선폭으로 형성할 수 있다.

<65> 도 16을 참조하면, 제3 스페이서막(도 15의 250)에 대한 이방성 식각 공정 예컨대, 에치백 공정을 수행한다. 그러면, 제2 스페이서(241)들 사이의 패턴대상막 (210)부분, 파티션 패턴(220)의 상부 표면, 제1 스페이서(231)들 및 제2 스페이서(241)들의 상부 표면이 노출되면서, 제2 스페이서(241)들 측벽에 제3 스페이서(251)들이 형성된다.

<66> 다음에, 스페이서들 사이에 노출된 패턴대상막(210) 부분을 매립하는 절연막(260)을 형성하다. 절연막(260)은 최종 형성된 스페이서막과 식각선택비를 갖는 물질막으로 형성할 수 있다. 예컨대, 스페이서 증착 횟수를 3회로 결정한 'A'에서 형성되는 절연막은, 제2 스페이서(241)와 동일한 물질막 예컨대, 질화막으로 형성하는 반면에, 스페이서 증착 횟수를 2회로 결정한 'B'에서 형성되는 절연막(260)은, 제1 스페이서(231)와 동일한 물질막 예컨대, 산화막으로 형성한다.

<67> 구체적으로, 스페이서들 사이에 노출된 패턴대상막(210) 상에 절연막(260)을 형성한 후, 평탄화 예컨대, 화학기

계연마(CMP;Chemical Mechanical Polishing) 공정을 수행하여, 스페이서들 상부 표면을 노출시킨다. 그러면, 스페이서 증착 횟수가 3회로 결정된 'A'의 경우, 파티션 패턴(220)들 사이에 절연막(260)을 중심으로, 제1 스페이서(231), 제2 스페이서(241), 제3 스페이서(251)가 서로 병립되도록 형성된다. 스페이서 증착 횟수기 2회로 결정된 'B'의 경우, 파티션 패턴(220)들 사이에 절연막(260)을 중심으로, 제1 스페이서(231), 제2 스페이서(241)가 서로 병립되도록 형성된다.

<68> 도 17을 참조하면, 동일한 물질막으로 형성된 부분에 대한 선택적 식각공정을 수행하여, 패턴 사이즈와 패턴 사이의 간격이 1:1을 갖도록 형성한다. 예컨대, 'A'일 경우, 제1 스페이서들 및 제3 스페이서들을 선택적으로 제거하게 되면, 패턴 대상막(210) 상에 파티션 패턴들(220), 제2 스페이서(241)들 및 절연막(260)이 남게 되고, B일 경우, 제1 스페이서들 및 절연막을 선택적으로 제거하게 되면, 패턴대상막(210) 상에, 파티션 패턴(220)들 및 제2 스페이서(241)들만 남게 된다. 패턴대상막(210) 상에 남겨진 파티션 패턴(220)들, 스페이서들은 최종 패터닝을 형성하기 위한 식각공정 과정에서 식각마스크 역할을 한다.

<69> 도 18을 참조하면, 남겨진 파티션 패턴 및 스페이서들에 의해 노출된 패턴대상막 부분을 식각하여 최종 패턴(211)들을 형성한다. 여기서, 스페이서 증착횟수를 3회로 결정한 'A'는 최종 패터닝 갯수가 홀수로 형성되며, 스페이서 증착횟수를 2회로 결정한 'B'는 최종 패터닝 갯수가 짝수로 형성된다.

<70> 한편, 파티션 패턴을 포지티브 레지스트막으로 형성하는 경우, 홀수를 '0'이라 가정하고, 짝수를 '1'로 가정하는 경우, 파티션 패턴의 갯수와, 스페이서 증착 횟수에 따른, 최종 패터닝갯수는 파티션 패턴의 갯수와, 스페이서 증착 횟수의 논리합(OR) 원리에 따르며, 파티션 패턴을 네가티브 레지스트막으로 형성하는 경우, 최종 패터닝 갯수는 배타적 논리합(XOR) 원리에 따른다.

<71> 본 발명의 실시예에 따르면, 스페이서 증착 횟수, 파티션 패턴의 형성 갯수 및 파티션 패턴 사이의 거리를 조절하여, 최종 패터닝 갯수를 마음대로 형성할 수 있다. 예컨대, 스페이서를 이용한 패턴 형성방법의 기술적 한계를 벗어나, 갯수에 상관없이 스페이서를 이용하여 미세 패턴을 형성할 수 있다. 이에 따라, 스 페이서를 이용한 패턴 형성방법에서 불필요하게 패턴이 형성되는 부분이 형성되는 경우, 패턴을 제거하는 공정을 생략할 수 있으므로, 소자의 수율을 향상시킬 수 있다.

<72> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 바람직한 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

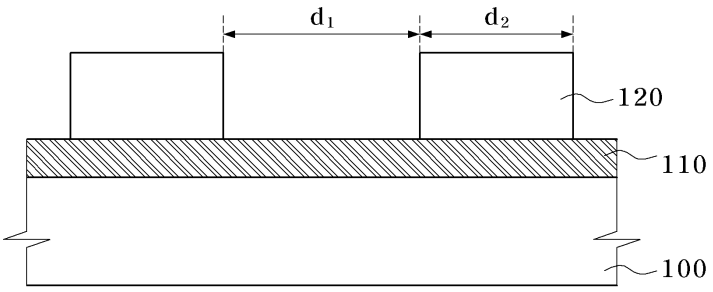
도면의 간단한 설명

<73> 도 1 내지 도 11을 본 발명의 일 실시예에 따른 스페이서를 이용한 반도체소장의 미세 패턴 형성방법을 설명하기 위해 나타내 보인 단면도들이다.

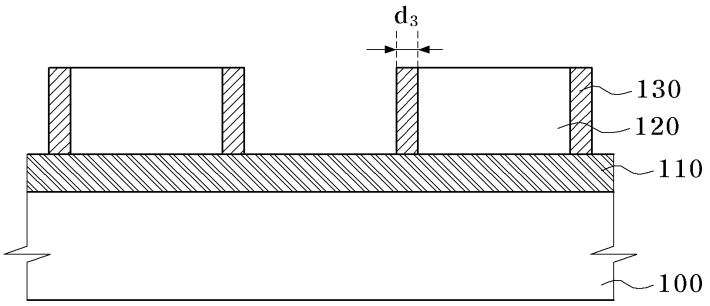
<74> 도 12 내지 도 19은 본 발명의 다른 실시예에 따른 스페이서를 이용한 반도체소자의 미세 패턴 형성방법을 설명하기 위해 나타내 보인 단면도들이다.

도면

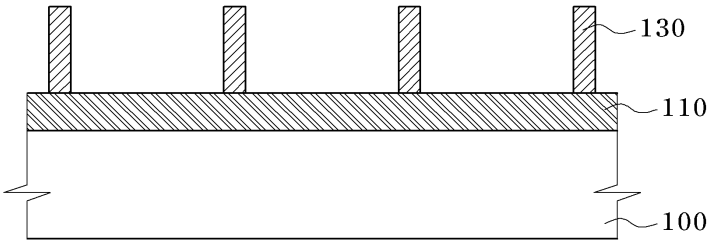
도면1



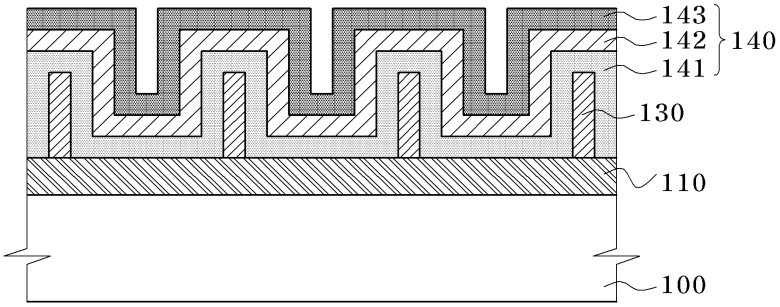
도면2



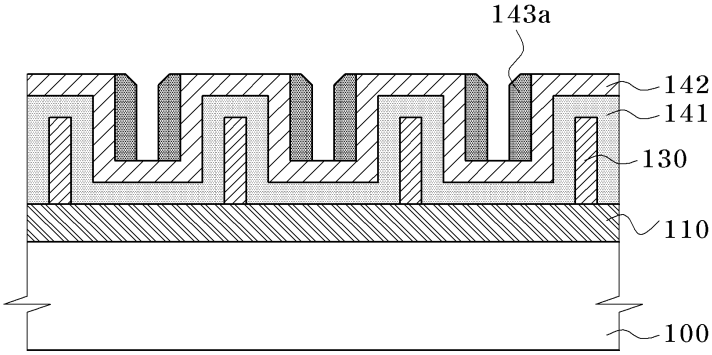
도면3



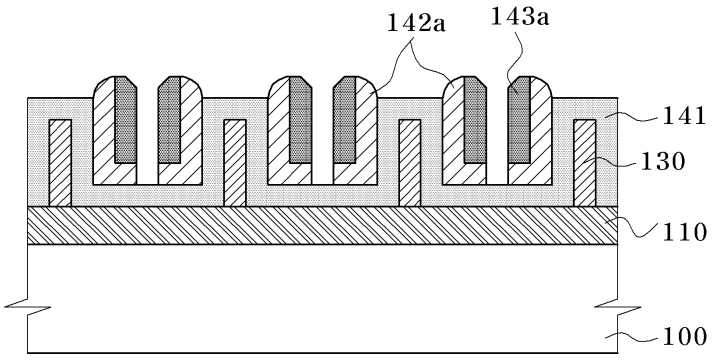
도면4



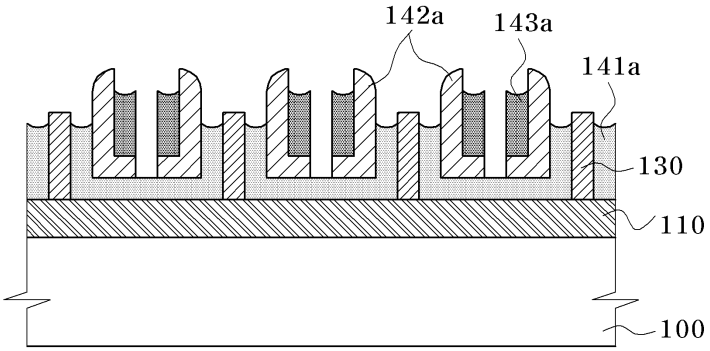
도면5



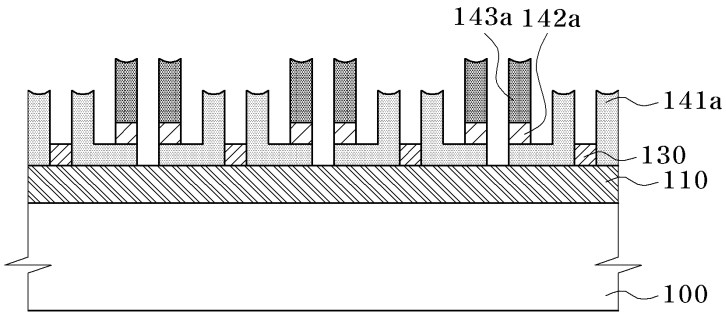
도면6


142a
143a
141
130
110
100

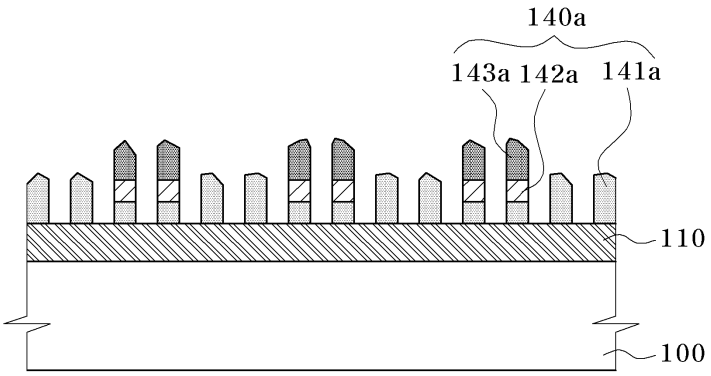
도면7


142a
143a
141a
130
110
100

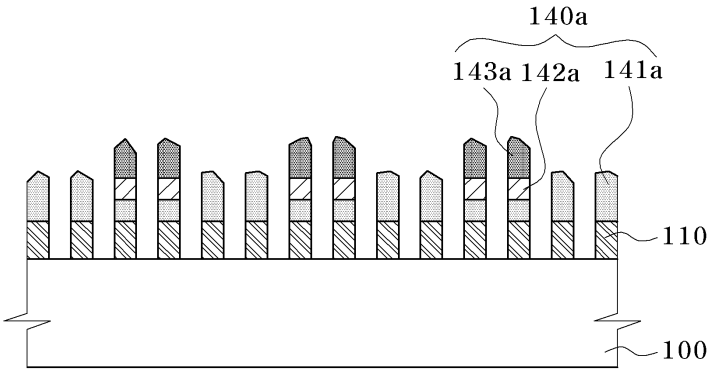
도면8


143a
142a
141a
130
110
100

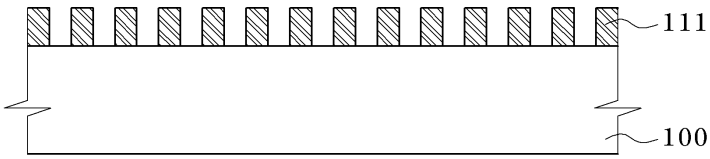
도면9



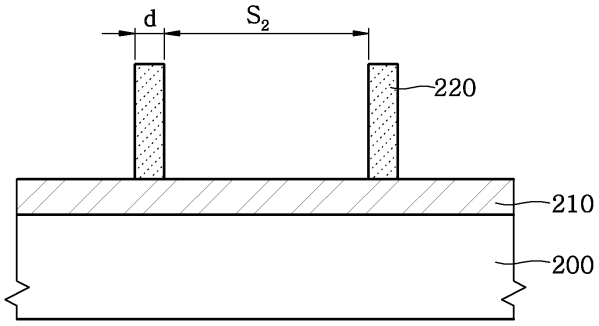
도면10



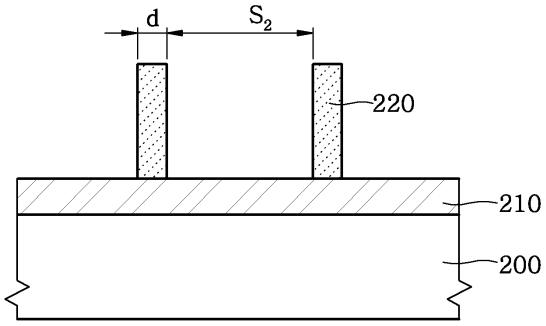
도면11



도면12

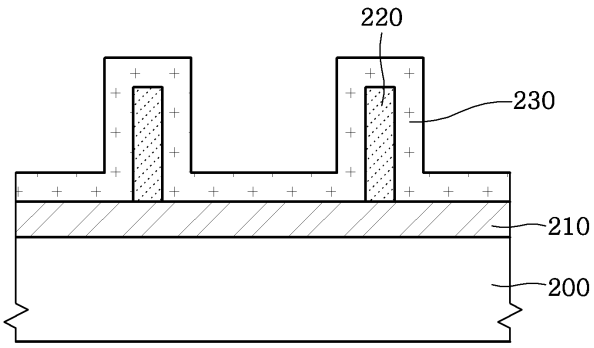


- A -

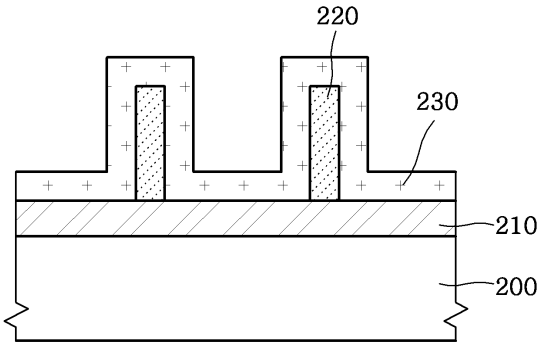


- B -

도면13

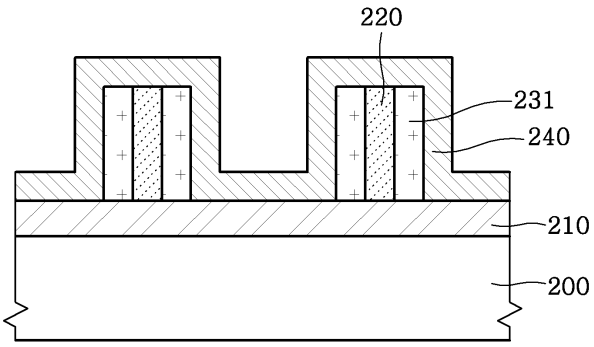


- A -

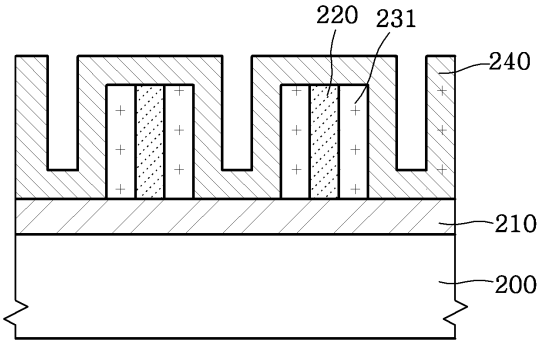


- B -

도면14

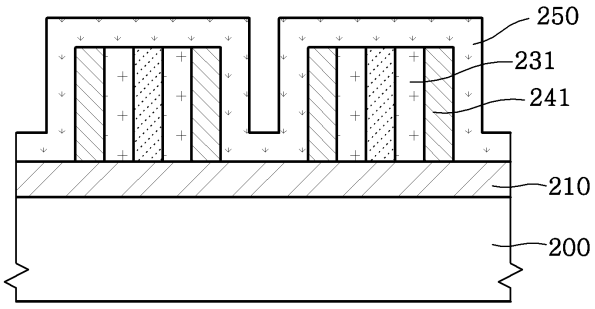


- A -

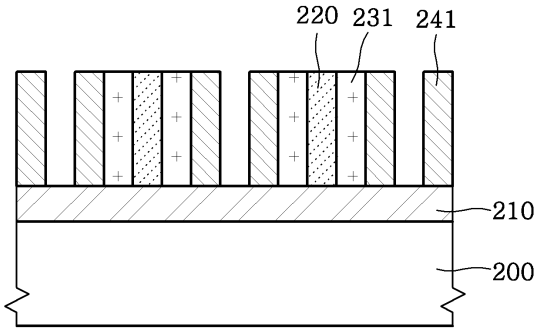


- B -

도면15

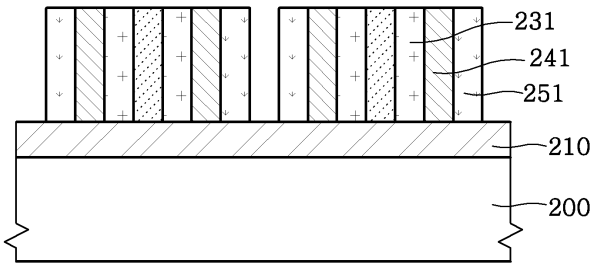


- A -

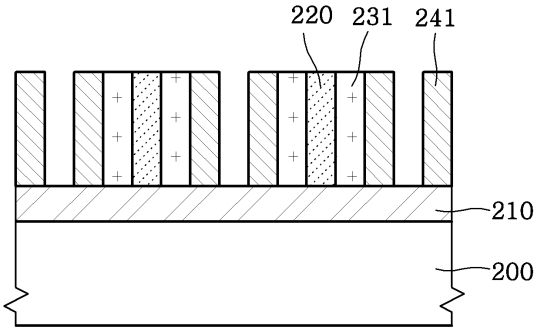


- B -

도면16

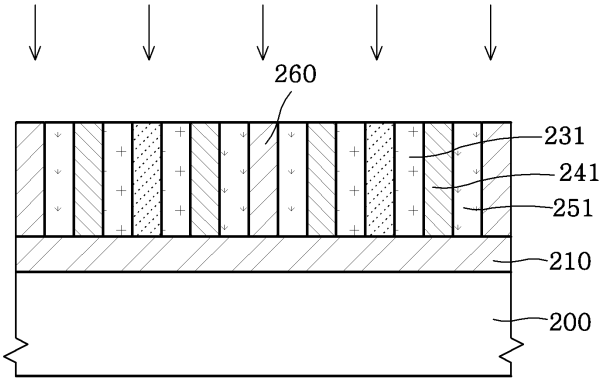


- A -

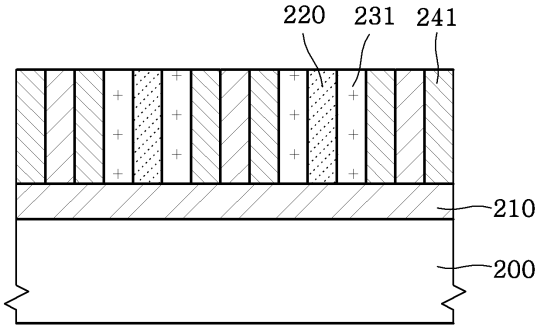


- B -

도면17

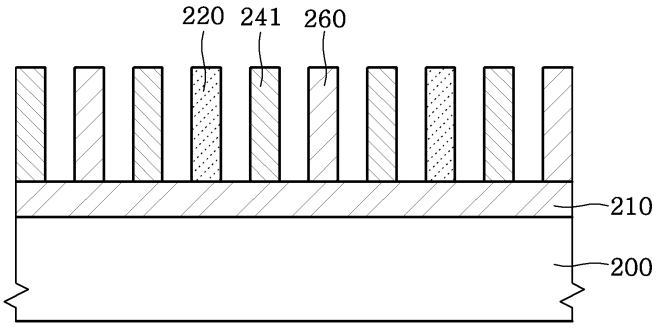


- A -

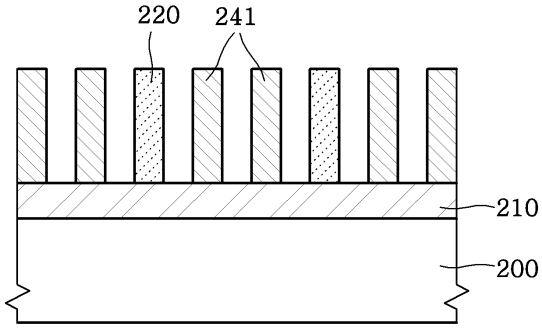


- B -

도면18

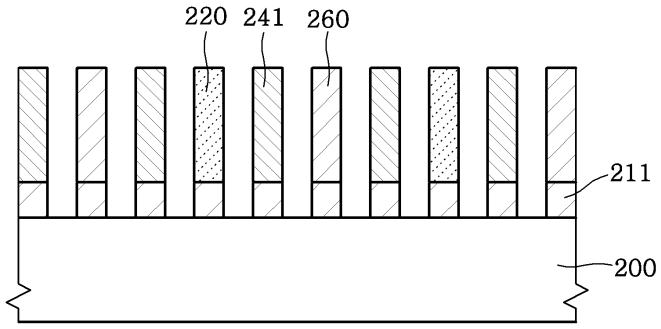


- A -

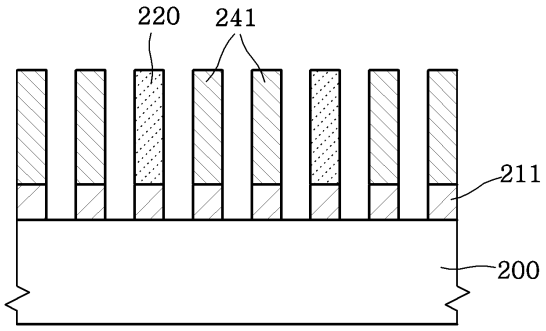


- B -

도면19



- A -



- B -