



# (12)发明专利申请

(10)申请公布号 CN 110858127 A

(43)申请公布日 2020.03.03

(21)申请号 201910048210.0

(22)申请日 2019.01.18

(30)优先权数据

107143390 2018.12.04 TW

62/720,942 2018.08.22 US

(71)申请人 慧荣科技股份有限公司

地址 中国台湾新竹县竹北市台元街36号8楼之1

(72)发明人 吴俊翰

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 徐伟

(51)Int.Cl.

G06F 3/06(2006.01)

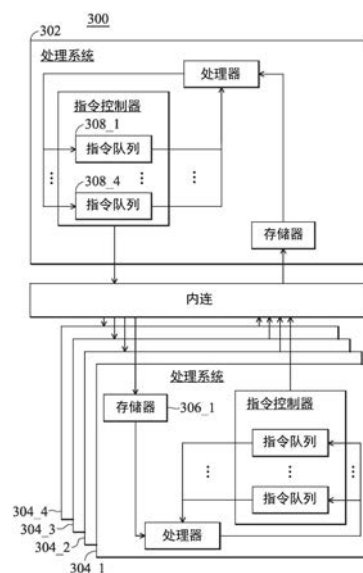
权利要求书1页 说明书6页 附图5页

(54)发明名称

数据存储装置

(57)摘要

数据存储装置的控制器的多阶层中央处理单元设计。多阶层中央处理单元中,发送端具有多个指令队列,使多笔指令得以队列于其中,实时传送给接收端。各指令队列负责特定属性的指令的队列。



1. 一种数据存储装置,包括:

一非挥发式存储器;以及

一控制器,操作该非挥发式存储器,包括一中央处理单元,

其中:

该中央处理单元采用多阶层架构,不同阶层的处理系统彼此通讯,其中一第一处理系统上,安装供实现一发送端的一指令控制器包括多个指令队列,其中一第一指令队列列有一第一指令时,该第一处理系统的一第一处理器是将一第二指令填入一第二指令队列待发送。

2. 根据权利要求1所述的数据存储装置,其特征在于:

该指令控制器将该第一指令自该第一指令队列经一传输接口发送至一接收端后,收集该接收端接收该第一指令后回传的一确收反馈,随之将该第二指令队列所队列的该第二指令自该第一处理系统藉该传输接口发送出去。

3. 根据权利要求2所述的数据存储装置,其特征在于:

该第一指令队列对应一第一存储器,且由该第一处理系统自该第一指令队列发送出去的该第一指令以该第一存储器为目的地;且

该第二指令队列对应一第二存储器,且由该第一处理系统自该第二指令队列发送出去的该第二指令以该第二存储器为目的地。

4. 根据权利要求3所述的数据存储装置,其特征在于,更包括:

一第二处理系统,具有一第二处理器以及该第一存储器,其中,该第一存储器接收的该第一指令由该第二处理器执行;以及

一第三处理系统,具有一第三处理器以及该第二存储器,其中,该第二存储器接收的该第二指令由该第三处理器执行。

5. 根据权利要求4所述的数据存储装置,其特征在于:

该传输接口为一高级可拓展接口。

6. 根据权利要求2所述的数据存储装置,其特征在于:

该指令控制器的该等指令队列采轮询方式轮流使用该传输接口。

7. 根据权利要求5所述的数据存储装置,其特征在于:

该指令控制器更包括一轮询控制器;且

该指令控制器的该等指令队列分别具有一轮询队列,使指令排队于其中,由该轮询控制器发送至该传输接口。

8. 根据权利要求2所述的数据存储装置,其特征在于:

上述多个指令队列与多个指令属性分别对应,使该等指令属性的指令是分开队列。

9. 根据权利要求8所述的数据存储装置,其特征在于:

该等指令队列分别具有一先入先出缓冲器,以队列同样指令属性的多个指令。

10. 根据权利要求8所述的数据存储装置,其特征在于:

各指令略去指令属性的信息而填入所对应的指令队列。

## 数据存储装置

### 技术领域

[0001] 本案有关于数据存储装置的控制架构。

### 背景技术

[0002] 非挥发式存储器有多种形式—例如,闪存(flash memory)、磁阻式随机存取存储器(Magnetoresistive RAM)、铁电随机存取存储器(Ferroelectric RAM)、电阻式随机存取存储器(Resistive RAM)、自旋转移力矩随机存取存储器(Spin Transfer Torque-RAM, STT-RAM) …等,用于长时间数据保存,可做为存储媒体实现一数据存储装置。

[0003] 一数据存储装置是以一控制器控制一非挥发式存储器。该控制器的设计为本技术领域一项重要课题。

### 发明内容

[0004] 本案一种实施方式以多阶层架构设计一中央处理单元(central processing unit),使之应用于一数据存储装置的一控制器。关于该中央处理单元中不同阶层之间的指令传送,本案令发送端具有多个指令队列(command queues),使多笔指令得以队列于其中,实时传送给接收端。一种实施方式中,一第一指令队列存有一第一指令,一第二指令则由一第二指令队列存储;第二指令的队列不受第一指令延滞。接收端收到该第一指令后会回复发送端一确收反馈。由于发送端早已在该第二指令队列备妥该第二指令,一旦获得该第一指令的该确收反馈,即可自该第二指令队列将该第二指令传送至接收端。

[0005] 一种实施方式中,接收端有多个存储器。发送端所提供的该等指令队列分别对应该等存储器。一种实施方式中,对应一第一存储器的一第一指令队列存有以该第一存储器为目的地的第一指令,以一第二存储器为目的地的第二指令则由对应该第二存储器的一第二指令队列存储;第二指令的队列不受第一指令延滞。该第一指令存入该第一存储器后,一确收反馈回传发送端。由于发送端早已在该第二指令队列备妥该第二指令,一旦获得该第一指令的该确收反馈,即可自该第二指令队列将该第二指令传送至该第二存储器。

[0006] 一种实施方式中,接收端为多核设计,具有多个处理器,各自对应存储器。一第一指令队列对应一第一处理器,用于暂存以该第一处理器中的一第一存储器为目的地的指令。一第二指令队列对应一第二处理器,用于暂存以该第二处理器中的一第二存储器为目的地的指令。一种实施方式中,以该第一存储器为目的地的第一指令是填入该第一指令队列,以该第二存储器为目的地的第二指令是填入该第二指令队列;第二指令的队列不受第一指令延滞。该第一指令存入该第一处理器上的该第一存储器后,一确收反馈回传发送端。由于发送端早已在该第二指令队列备妥该第二指令,一旦获得该第一指令的该确收反馈,即可自该第二指令队列将该第二指令传送至该第二处理器上的该第二存储器。

[0007] 一种实施方式中,多个指令队列是采轮询(round robin)方式轮流使用发送端与接收端之间的传输接口。

[0008] 一种实施方式中,各指令队列采先入先出(FIFO)存储结构,更显著增强指令队列

能力。

[0009] 下文特举实施例,并配合所附图示,详细说明本发明内容。

#### 附图说明

[0010] 图1图解根据本案一种实施方式实现的一数据存储装置100;

[0011] 图2图解根据本案一种实施方式所实现的一中央处理单元200;

[0012] 图3图解根据本案一种实施方式所实现的一中央处理单元300,其中包括多核的后端 (BE);

[0013] 图4为根据本案一种实施方式所实现的处理系统400,其中指令控制器404采用轮询(round robin)技术;以及

[0014] 图5根据本案一种实施方式图解分别包括先入先出 (FIFO) 缓冲器502\_1、502\_2、502\_3以及502\_4的指令队列504\_1、504\_2、504\_3以及504\_4。

[0015] 附图标记:

[0016]	100	数据存储装置;
[0017]	102	闪存;
[0018]	104	控制器;
[0019]	106	主机;
[0020]	108	中央处理单元;
[0021]	110	闪存控制器;
[0022]	112	前端 (FE);
[0023]	114	后端 (BE);
[0024]	200	中央处理单元;
[0025]	202、204	处理系统;
[0026]	206	内连;
[0027]	208、214	处理器;
[0028]	210、216	指令控制器;
[0029]	212、218	处理系统202以及204各自具有的一存储器模块;
[0030]	220_1...220_n	指令队列;
[0031]	222_1...222_n	存储器;
[0032]	300	中央处理单元;
[0033]	302	处理系统;
[0034]	304_1...304_4	处理系统;
[0035]	306_1...306_4	存储器;
[0036]	308_1...308_4	指令队列;
[0037]	400	处理系统;
[0038]	402	处理器;
[0039]	404	指令控制器;
[0040]	406	存储器;
[0041]	410_1...410_4	指令队列;

[0042]	412	轮询控制器；
[0043]	414_1…414_4	轮询队列；
[0044]	502_1…502_4	先入先出 (FIFO) 缓冲器；
[0045]	504_1…504_4	指令队列。

### 具体实施方式

[0046] 以下叙述列举本发明的多种实施例。以下叙述介绍本发明的基本概念，且并非意图限制本发明内容。实际发明范围应依照权利要求书界定之。

[0047] 非挥发式存储器可以是闪存 (Flash Memory)、磁阻式随机存取存储器 (Magnetoresistive RAM)、铁电随机存取存储器 (Ferroelectric RAM)、电阻式存储器 (Resistive RAM, RRAM)、自旋转移力矩随机存取存储器 (Spin Transfer Torque-RAM, STT-RAM) …等，提供长时间数据保存的存储媒体。以下特别以闪存为例进行讨论。

[0048] 现今数据存储装置常以闪存为存储媒体，实现存储卡 (Memory Card)、通用串行总线闪存装置 (USB Flash Device)、固态硬盘 (SSD) …等产品。有一种应用是采多芯片封装、将闪存与其控制器包装在一起一称为嵌入式闪存模块 (如eMMC)，或是将闪存、控制器以及 DRAM 包装在一起。

[0049] 以闪存为存储媒体的数据存储装置可应用于多种电子装置中。所述电子装置包括智能型手机、穿戴装置、平板计算机、虚拟现实设备…等。电子装置的运算模块可视为主机 (Host)，操作所使用的数据存储装置，以存取其中闪存。

[0050] 以闪存为存储媒体的数据存储装置也可用于建构数据中心。例如，服务器可操作固态硬盘 (SSD) 阵列形成数据中心。服务器即可视为主机，操作所链接的固态硬盘，以存取其中闪存。

[0051] 数据存储装置提供控制器，用以根据主机指令操作闪存。图1图解根据本案一种实施方式实现的数据存储装置100。

[0052] 数据存储装置100包括闪存102以及控制器104，数据存储装置100可更包括DRAM，用以暂存数据，其中，DRAM可配置于数据存储装置100中，或由主机106所配置的DRAM所虚拟而成。主机106可通过PCIe接口、SATA接口或SAS (Serial Attached SCSI) 接口来控制数据存储装置100的运作，根据快速非挥发式存储器 (NVMe) 或AHCI规范与该控制器104通信。

[0053] 该控制器104具有中央处理单元 (CPU) 108以及闪存控制器 (如，NAND flash controller, 简称NFC) 110。根据该主机106下达的主机指令，该中央处理单元108操作该闪存控制器110对该闪存102进行读/写以及各种管理。

[0054] 本案采多阶层架构实现该中央处理单元108。如图所示，该中央处理单元108包括前端 (Front End, 简称FE) 112以及后端 (Back End, 简称BE) 114。前端 (FE) 112以及后端 (BE) 114之间存在指令传输需求。前端 (FE) 112主要负责处理来自主机的主机指令，在主机指令完成接收、排序、除错等处理，或是下载主机指令的用户数据之后，前端 (FE) 112可将主机指令传送至后端 (BE) 114。后端 (BE) 114执行主机指令，例如，将主机指令转换成操作指令，再由闪存控制器110依据操作指令以操作闪存102，其中，操作指令可例如是读取、写入、抹除、重置指令、取得参数 (Get Features) 或设定参数 (Set Features) 等指令。后端 (BE) 114再依据闪存控制器110的执行结果而产生主机指令的执行结果，并将主机指令的执行结果回传

至前端 (FE) 112。

[0055] 为了加速主机指令的处理,本案设置有多个指令队列 (Command Queues, 详示于后续图示) 以供前端 (FE) 112 使用,如此一来,多笔主机指令得以队列于多个指令队列,实时传送给后端 (BE) 114,其中,多个指令队列较佳设置在中央处理单元 (CPU) 108 的内部存储器 (较佳为 SRAM) 中,亦可设置在 DRAM 中。假如有 4 笔主机指令以及 2 个指令队列,第 1-2 笔主机指令队列至第 1 指令队列,第 3-4 笔主机指令队列至第 2 指令队列。当前端 (FE) 112 传送主机指令至后端 (BE) 114 时,可以同时或依序传送第 1 指令队列中的第 1 笔主机指令以及第 2 指令队列中的第 3 笔主机指令。待第 1 笔主机指令执行完毕 (执行结果为成功) 之后,再传送第 1 指令队列中的第 2 笔主机指令至后端 (BE) 114。待第 3 笔主机指令执行完毕 (执行结果为成功) 之后,再传送第 2 指令队列中的第 4 笔主机指令至后端 (BE) 114。

[0056] 由上述中可知,指令队列的数目愈多,前端 (FE) 112 可同时或依序传送愈多主机指令至后端 (BE) 114,无需等待一笔主机指令执行完毕后才能传送下一笔主机指令。另外,每一指令队列可独立运作,当其中的一个指令队列中的一笔主机指令执行完毕后,前端 (FE) 112 亦可立即传送此指令队列中的下一笔主机指令至后端 (BE) 114,不会受到其他指令队列的主机指令的执行结果的影响,因此,中央处理单元 (CPU) 108 可以更高效率的方式来执行主机指令。

[0057] 一种实施方式中,本案设置有多个存储器在后端 (BE) 114,每一存储器分别对应其中一个指令队列。

[0058] 图 2 图解根据本案一种实施方式所实现的中央处理单元 200,处理系统 202 为前端 (FE),处理系统 204 为后端 (BE)。处理系统 202 以及处理系统 204 之间以内连 206 连结。一种实施方式是根据高级可拓展接口 (AXI, 简称 Advanced Extensible Interface) 实现内连 206 通信。处理系统 202 具有处理器 208、指令控制器 210 以及存储器模块 212。处理系统 204 具有处理器 214、指令控制器 216 以及存储器模块 218。处理器 208 所填入至指令控制器 210 中指令队列的主机指令经由内连 206 而传递至存储器模块 218 中的其中一个存储器。处理器 214 所填入至指令控制器 216 中指令队列的回复指令经由内连 206 传递至存储器模块 212 中的其中一个存储器。其中,回复指令可表示执行结果为成功或失败。处理系统 202 以及处理系统 204 都有机会为指令的发送端或接收端。为了简化说明,以下讨论只关于单一传输方向 (前端 FE 为发送端,后端 BE 为接收端)。另一传输方向 (后端 BE 为发送端,且前端 FE 为接收端) 则采类似机制实施。

[0059] 如图所示,指令控制器 210 包括多个指令队列 220\_1...220\_n,分别对应处理系统 204 中的存储器模块 218 中的多个存储器 222\_1...222\_n。各指令队列可包括多个缓存器,用以存储主机指令的参数,例如:目的地地址 (存储器 222\_1...222\_n 之一为主机指令传送的目的地)、指令细节 (OP Code、指令操作数...等)、有效位标示 (Byte Enable Signals) ...等。存储器 222\_1...222\_n 可能是动态随机存取存储器 (DRAM)、静态随机存取存储器 (SRAM)、信箱 (Mailbox) ...等。处理系统 202 欲发送主机指令 (以 Cmd\_i 示意,i 为编号) 至处理系统 204 时,处理器 208 将目的地地址写入指令队列 220\_i 的缓存器。目的地地址填写完后,指令控制器 210 将指令队列 220\_i 的内容汇整为传输规格 (如:AXI 规格),并要求内连 206 以进行主机指令 Cmd\_i 的传送。之后,内连 206 将主机指令 Cmd\_i 传送到存储器模块 218 中的存储器 222\_i。存储器 222\_i 确收后,确收反馈 (ACK) 回传至指令控制器 210,表示主机指令 Cmd\_i 已传送完

成。由于主机指令Cmd\_i已传送完成,因此,内连206可进入待机或准备状态以等待下一个要求。指令控制器210可提供结束信号通知处理器208。于收到主机指令之后,接收端的处理器214则开始执行存储器222\_i所接收到的主机指令Cmd\_i。

[0060] 由于处理系统202具有多个指令队列220\_1...220\_n,所以处理器208不需等待对应至主机指令Cmd\_i的回复指令,可直接将下一笔主机指令(以Cmd\_j示意,j为编号,以存储器222\_j为目的)交予指令控制器210。另外,处理器208无须考虑主机指令Cmd\_i的传递状况,当内连206进行主机指令Cmd\_i的传送时,即可将主机指令Cmd\_j存入对应的指令队列220\_j,完成指令队列220\_j的缓存器填写。缓存器填写完后,指令控制器210将指令队列220\_j的内容汇整为传输规格(如:AXI规格),并要求内连206以进行主机指令Cmd\_j的传送。在指令Cmd\_i的确收反馈之后,内连206开始传送主机指令Cmd\_j,将主机指令Cmd\_j传送到存储器模块218中的存储器222\_j。重复上述步骤,只要内连206闲置,中央处理单元200可不断地将主机指令从前端FE传送至后端BE,因此,可大幅度地增加主机指令传送的效率。

[0061] 由于指令队列220\_1...220\_n与存储器222\_1...222\_n存在一对一对应关系,指令队列220\_1...220\_n可简化设计,略去目的地地址、有效位标示...等缓存器。指令队列的硬件成本因而有效控制。指令队列的填写、以及通过内连206的传输也更加有效率。

[0062] 一种实施方式中,接收端为多核设计,具有多个处理器,各自有对应的存储器。发送端所提供的多个指令队列分别对应该等存储器。

[0063] 图3图解根据本案一种实施方式所实现的一中央处理单元300。处理系统302为前端(FE)。处理系统304\_1...304\_4则组成多核的后端(BE)。处理系统304\_1...304\_4除了各自具有一处理器,也各自具有一存储器,对应编号为306\_1...306\_4。处理系统302上的指令队列308\_1...308\_4分别对应该等处理系统304\_1...304\_4,以所对应处理系统上的存储器(306\_1...306\_4)作为主机指令传送的目的地。处理系统302欲发送指令队列308\_i的主机指令(以Cmd\_i示意)至处理系统304\_i(i为编号)上存储器306\_i,处理系统302将指令队列308\_i的缓存器内容汇整为传输规格(如:AXI规格),通过内连传送到存储器306\_i。无须考虑指令Cmd\_i的传递状况,处理系统302可将下一笔主机指令Cmd\_j存入对应的指令队列308\_j,完成指令队列308\_j的缓存器填写以及传输格式汇整。存储器306\_i确收后,回传确收反馈。一旦自处理系统304\_i收到主机指令Cmd\_i的确收反馈(确定内连可利用),指令队列308\_j将早已备妥在指令队列308\_j的主机指令Cmd\_j经由内连传送到处理系统304\_j的存储器306\_j。

[0064] 处理系统302可对处理系统304\_1...304\_4发出同样指令,例如,暂停频率指令。指令队列308\_1...308\_4的填写不受彼此内容是否成功通过内连传送到接收端而干扰。指令队列308\_1...308\_4一一被填入暂停频率指令,可一起被触发使其中内容汇整为传输规格(如,AXI规格),以最佳效率使用内连,近乎不间断地轮流通过内连写入各个处理系统的存储器(306\_1...306\_4)。处理系统304\_1...304\_4因而近乎同步地暂停频率。

[0065] 一种实施方式中,多个指令队列是采轮询(Round Robin)方式轮流使用发送端与接收端之间的传输接口。

[0066] 图4为根据本案一种实施方式所实现的处理系统400,其中包括处理器402、指令控制器404以及存储器406。作为发送端时,处理器402提供主机指令交由指令控制器404发送。作为接收端时,所接收的回复指令存储至存储器406,再由处理器402执行或判断。指令控制

器404采用轮询(Round Robin)技术。

[0067] 指令控制器404包括多个指令队列410\_1、410\_2、410\_3以及410\_4、以及轮询控制器412。指令队列410\_1、410\_2、410\_3以及410\_4分别具有轮询队列(Round Robin Queues)414\_1、414\_2、414\_3以及414\_4。处理器402填入各指令队列410\_1、410\_2、410\_3以及410\_4的指令在该等轮询队列414\_1、414\_2、414\_3以及414\_4中排队,在轮到自己时,由轮询控制器412发送出去。接收端的确收反馈也将由该轮询控制器412以轮询确认信号会报指令队列410\_1、410\_2、410\_3以及410\_4,使轮询队列414\_1、414\_2、414\_3以及414\_4中排队的下一个指令得以交由轮询控制器412发送出去。

[0068] 图标更显示本案提供专用指令队列的技术使得处理器402仅需将待填数据填入指令队列410\_1、410\_2、410\_3即可。处理器402可在待填数据之后发出触发信号,使得待填以及既定的指令数据汇整为内连传输规格,在所对应的轮询队列排队。各指令队列也可根据此触发信号告知该轮询控制器412有指令排队待发送。

[0069] 一种实施方式中,各指令队列采先入先出(FIFO)存储结构,更显著增强指令队列能力。

[0070] 图5根据本案一种实施方式图解分别包括先入先出(FIFO)缓冲器502\_1、502\_2、502\_3以及502\_4的指令队列504\_1、504\_2、504\_3以及504\_4。如此一来,各指令队列的指令队列能力更强。关于同一指令队列,无需考虑前一个主机指令的传输状况,就可以把后续主机指令填入先入先出缓冲器。

[0071] 在其他实施方式中,指令控制器中的多个指令队列可能是对应其他属性而提供。除了令多个指令队列分别对应多个装置,多个指令队列也可以是相应多种功能而提供。各指令因而可略去指令属性的信息就填入所对应的指令队列。

[0072] 虽然本发明已以较佳实施例公开如上,然其并非用以限定本发明,任何熟悉此项技艺者,在不脱离本发明的精神和范围内,当可做些许更动与润饰,因此本发明的保护范围当视后附的权利要求书所界定者为准。



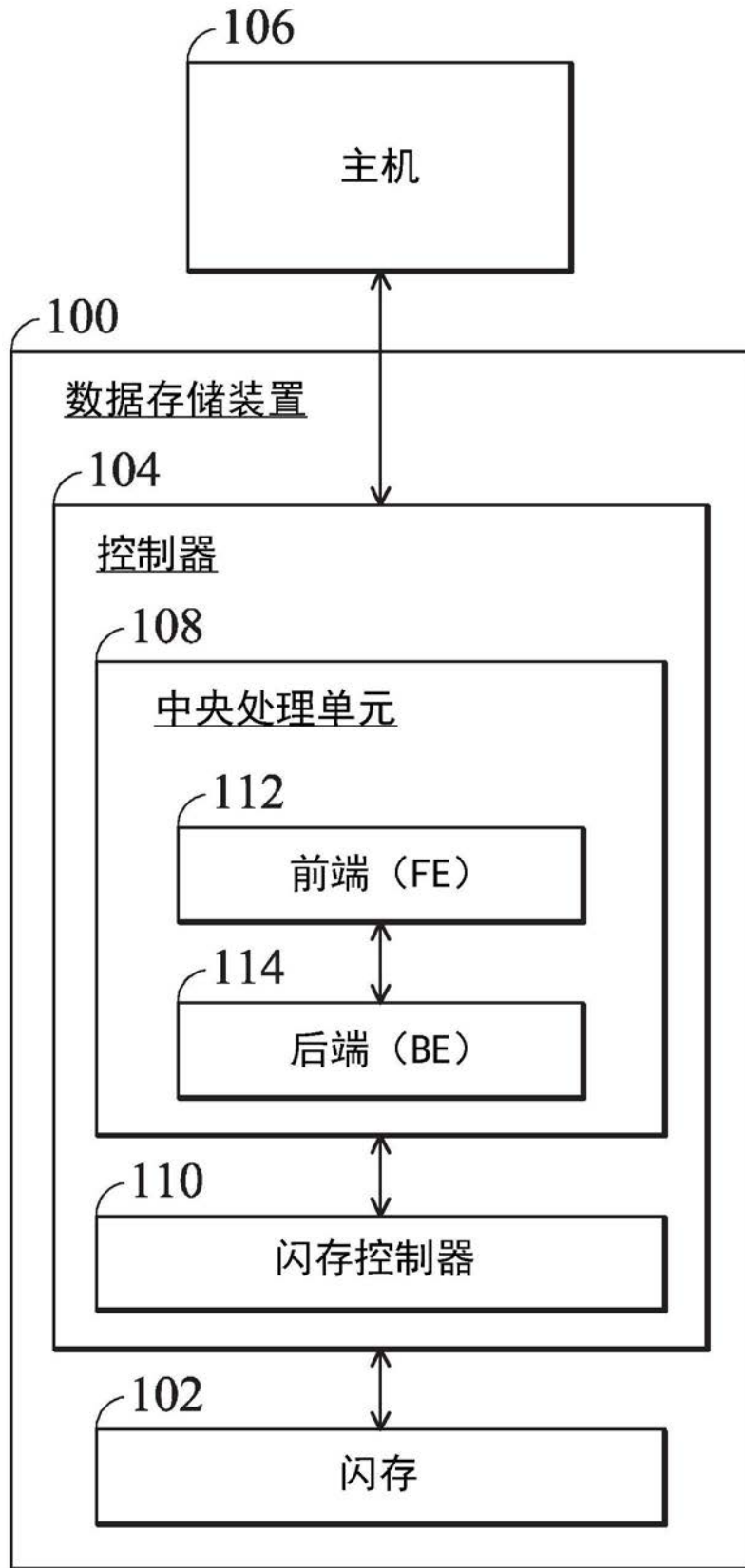


图1

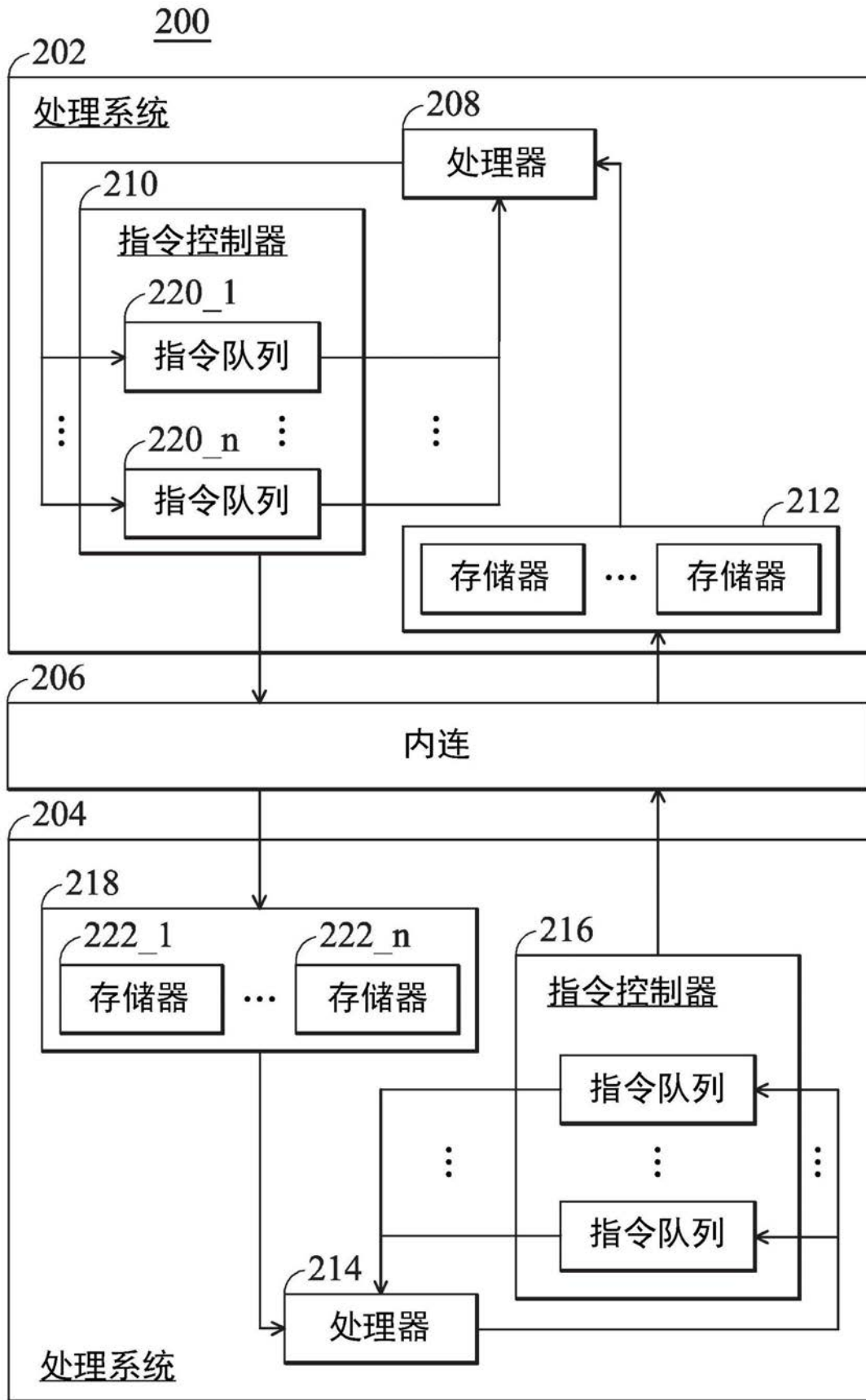


图2

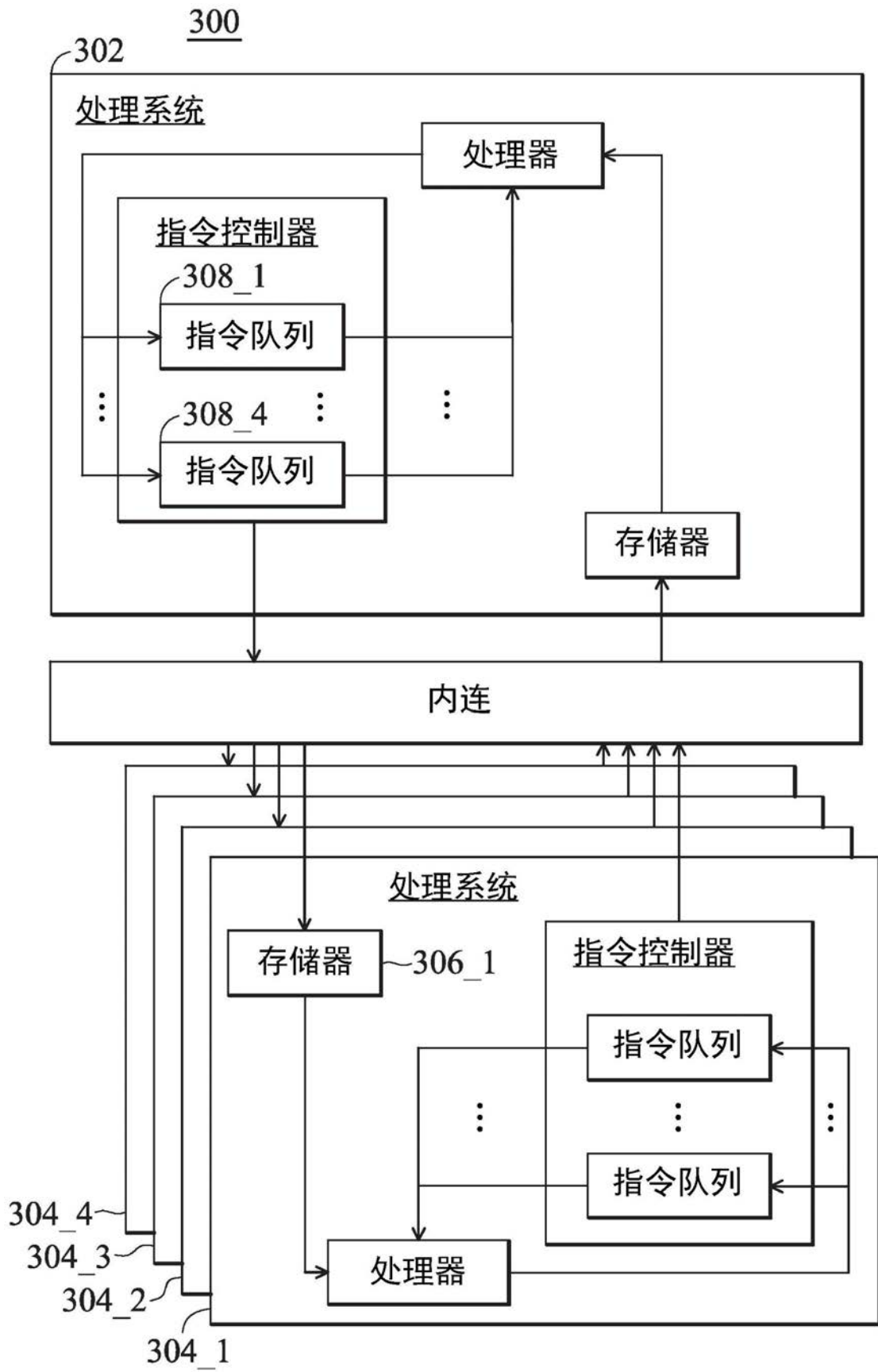


图3

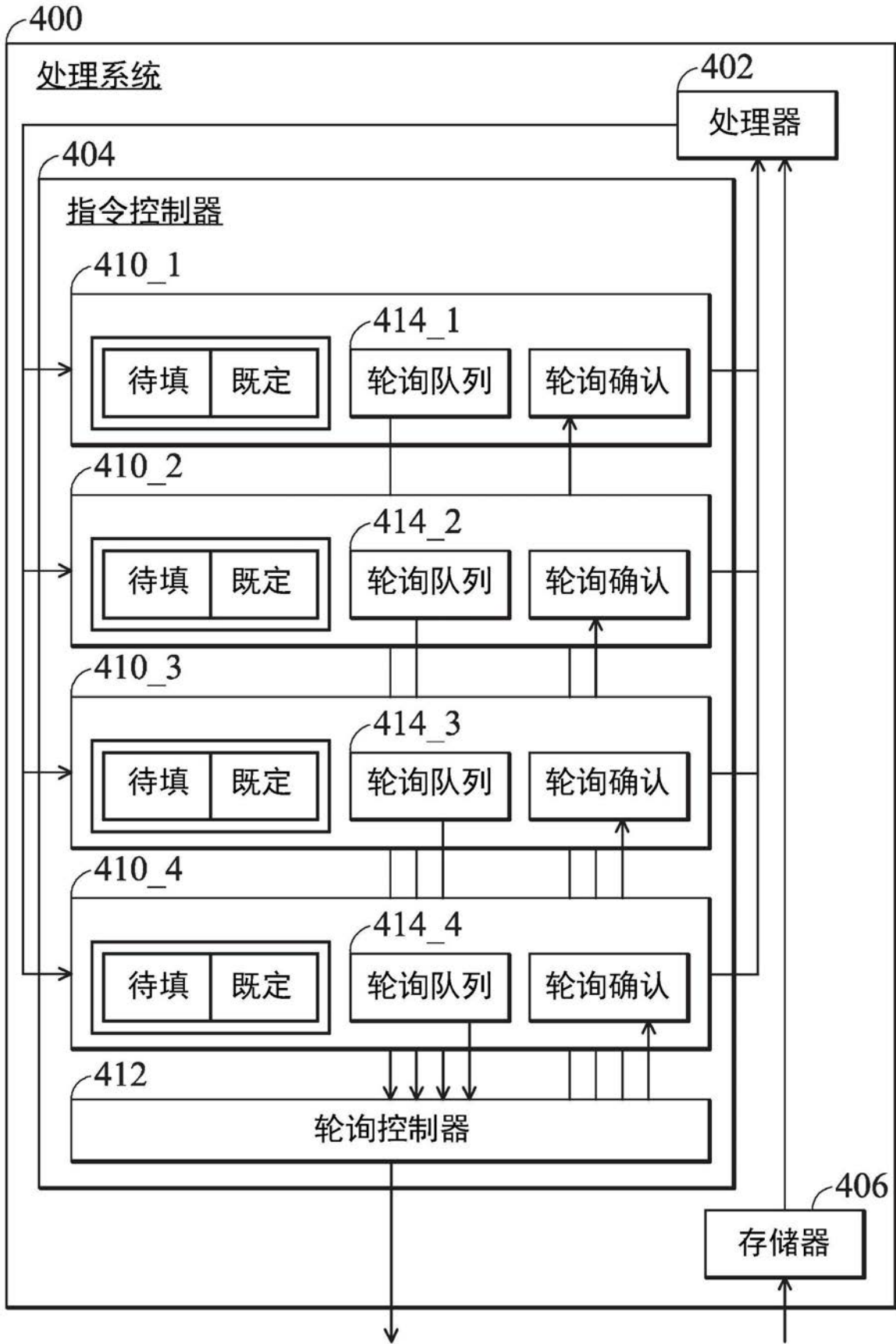


图4

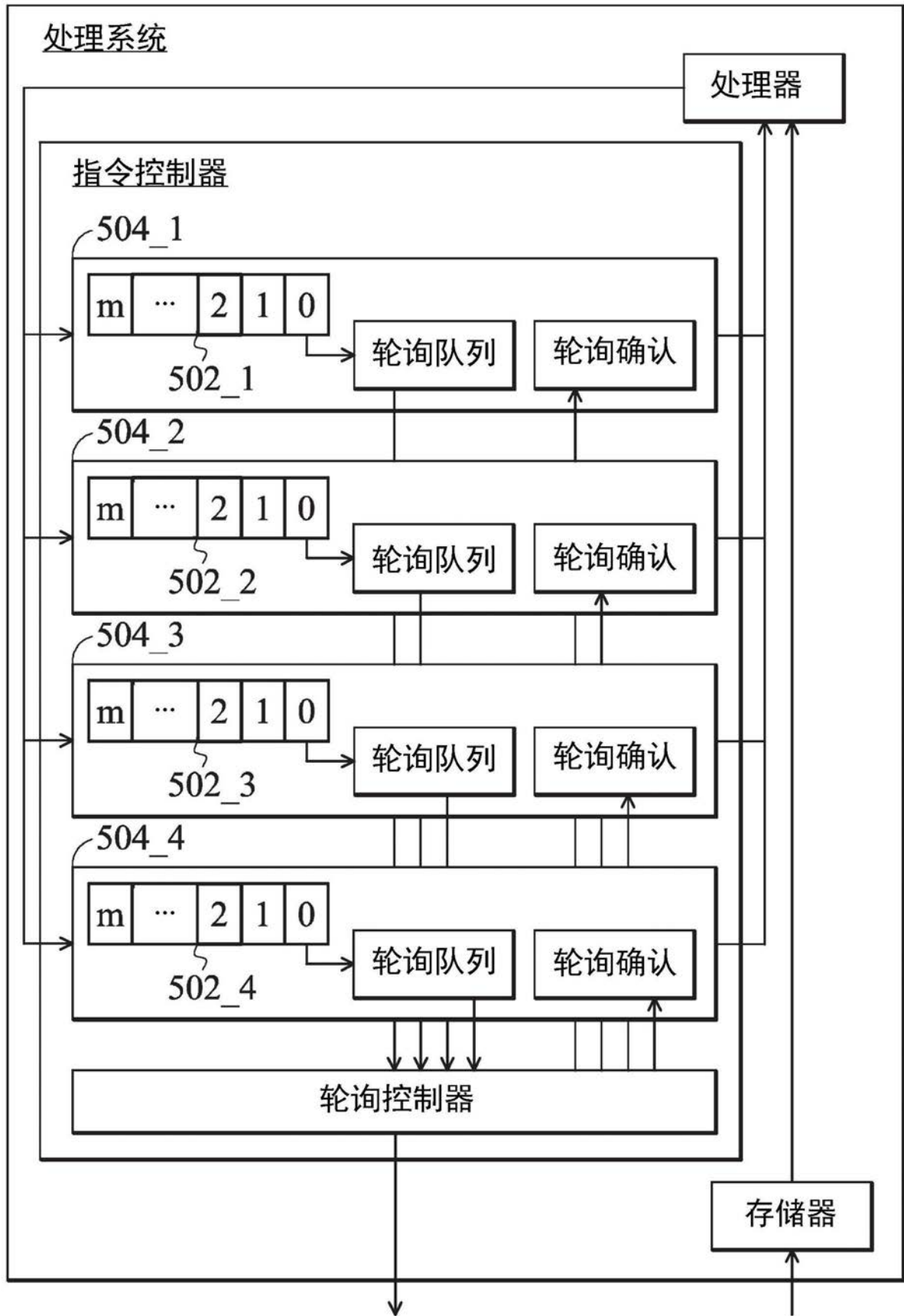


图5