



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월09일  
(11) 등록번호 10-0998944  
(24) 등록일자 2010년12월01일

(51) Int. Cl.

G11C 13/02 (2006.01) G11C 7/22 (2006.01)

G11C 7/10 (2006.01) G11C 29/00 (2006.01)

(21) 출원번호 10-2008-0134878

(22) 출원일자 2008년12월26일

심사청구일자 2008년12월26일

(65) 공개번호 10-2010-0076740

(43) 공개일자 2010년07월06일

(56) 선행기술조사문헌

KR1020040041678 A

KR100827703 B1

전체 청구항 수 : 총 20 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이주애

경기도 용인시 수지구 상현동 서원마을 현대아이파크아파트3단지 305-1203

(74) 대리인

특허법인 신성

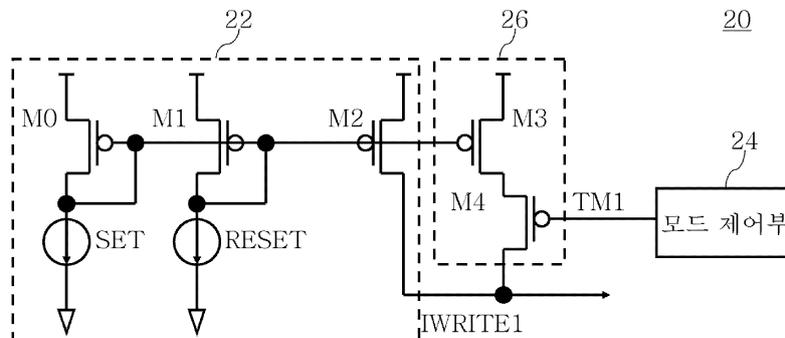
심사관 : 권영학

(54) 피램의 라이트 드라이버 회로

(57) 요약

PRAM의 셀의 수명 및 신뢰성을 평가하는 기능을 구현한 PRAM의 라이트 드라이버 회로를 개시하며, GST 셀의 수명 및 신뢰성을 평가하기 위한 가속 팩터(Factor)로써 전류가 이용되고, GST 셀에 스트레스를 주기 위한 전류로써 라이트 드라이버 회로에서 제공되는 라이트 전류를 이용하는 회로를 개시한다. 이를 위한 PRAM의 라이트 드라이버 회로는, 노멀 모드에서, 비트라인에 연결된 상변화 셀의 셋 또는 리셋을 위한 라이트 전류를 제공하는 노멀 드라이버; 상기 노멀 드라이버와 공유 노드를 가지며, 테스트 모드에 대응하여 상기 공유 노드를 통하여 상기 라이트 전류에 테스트를 위한 추가 전류를 제공하는 테스트 드라이버; 및 상기 테스트 드라이버에 테스트 모드 신호를 제공함으로써 상기 테스트 모드에 대응한 동작을 제어하는 모드 제어부를 구비함을 특징으로 한다.

대표도



## 특허청구의 범위

### 청구항 1

노멀 모드에서, 비트라인에 연결된 상변화 셀의 셋 또는 리셋을 위한 라이트 전류를 제공하는 노멀 드라이버;  
상기 노멀 드라이버와 공유 노드를 가지며, 테스트 모드에 대응하여 상기 공유 노드를 통하여 상기 라이트 전류에 테스트를 위한 추가 전류를 제공하는 테스트 드라이버; 및

상기 테스트 드라이버에 테스트 모드 신호를 제공함으로써 상기 테스트 모드에 대응한 동작을 제어하는 모드 제어부를 구비함을 특징으로 하는

피램의 라이트 드라이버 회로.

### 청구항 2

제 1 항에 있어서, 상기 테스트 드라이버는,

상기 노멀 드라이버의 동작에 연동하여 구동되는 구동소자; 및

상기 모드 제어부로부터 제공되는 테스트 모드 제어 신호에 의하여 상기 구동 소자와 상기 공유 노드 간의 연결을 제어하는 스위칭 소자를 구비하는

피램의 라이트 드라이버 회로.

### 청구항 3

제 2 항에 있어서,

상기 구동 소자는 PMOS 트랜지스터로 구성되는

피램의 라이트 드라이버 회로.

### 청구항 4

제 2 항에 있어서,

상기 스위칭 소자는 PMOS 트랜지스터로 구성되는

피램의 라이트 드라이버 회로.

### 청구항 5

제 1 항에 있어서,

상기 상변화 셀은 GST 셀로 이루어지는

피램의 라이트 드라이버 회로.

### 청구항 6

셋 전류원을 구비하여 노멀 상태의 셋 전류를 제공하는 셋 전류 구동부;

리셋 전류원을 구비하여 노멀 상태의 리셋 전류를 제공하는 리셋 전류 구동부;

상기 셋 전류 구동부 또는 리셋 전류 구동부로부터 제공되는 전류에 비례하는 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 구동부; 및

테스트 모드 상태에 인에이블되어서 상기 라이트 전류에 추가 전류를 제공하는 테스트 드라이버를 구비함을 특징으로 하는

피램의 라이트 드라이버 회로.

#### 청구항 7

제 6 항에 있어서, 상기 테스트 드라이버는,

상기 구동부와 연동하여 구동되는 구동소자; 및

테스트 모드에 대응하여 턴온되어서 상기 구동 소자로부터 제공되는 전류를 상기 라이트 전류에 추가 전류로 제공하는 스위칭 소자를 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 8

제 7 항에 있어서,

상기 구동 소자는 PMOS 트랜지스터로 구성되는

피램의 라이트 드라이버 회로.

#### 청구항 9

제 7 항에 있어서,

상기 스위칭 소자는 PMOS 트랜지스터로 구성되는

피램의 라이트 드라이버 회로.

#### 청구항 10

제 6 항에 있어서,

상기 상변화 셀은 GST 셀로 이루어지는

피램의 라이트 드라이버 회로.

#### 청구항 11

테스트 모드에 대응한 테스트 셋 전류를 제공하는 테스트 셋 전류 공급부;

상기 테스트 모드에 대응한 테스트 리셋 전류를 제공하는 테스트 리셋 전류 공급부;

상기 테스트 셋 전류 공급부와 병렬로 연결되는 노멀 모드를 위한 셋 전류원과 상기 테스트 리셋 전류 공급부와 병렬로 연결되는 상기 노멀 모드를 위한 리셋 전류원을 구비하여, 상기 노멀 모드에 대응하여 셋 전류원과 리셋 전류원에 의한 라이트 전류를 제공하고, 상기 테스트 모드에 대응하여 상기 테스트 셋 전류 공급부의 상기 테스트 셋 전류 또는 상기 테스트 리셋 전류 공급부의 상기 테스트 리셋 전류에 의한 상기 라이트 전류를 제공하며, 상기 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 드라이버; 및

상기 셋 전류 공급부와 상기 리셋 전류 공급부를 제어하기 위한 제 1 및 제 2 테스트 모드 신호를 각각 제공하는 모드 제어부를 구비함을 특징으로 하는

피램의 라이트 드라이버 회로.

#### 청구항 12

제 11 항에 있어서, 상기 드라이버는,

상기 셋 전류원을 구비하여 셋 전류를 제공하는 제 1 구동부;

상기 리셋 전류원을 구비하여 리셋 전류를 제공하는 제 2 구동부;

상기 제 1 구동부 또는 상기 제 2 구동부로부터 제공되는 전류에 비례하는 상기 라이트 전류를 구동하는 제 3 구동부를 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 13

제 11 항에 있어서, 상기 셋 전류 공급부는,

상기 제 1 테스트 모드 신호에 의하여 스위칭되는 제 1 스위치; 및

상기 셋 전류원과 병렬로 연결되며 상기 제 1 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 셋 전류원을 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 14

제 11 항에 있어서, 상기 리셋 전류 공급부는,

상기 제 2 테스트 모드 신호에 의하여 스위칭되는 제 2 스위치; 및

상기 리셋 전류원과 병렬로 연결되며 상기 제 2 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 리셋 전류원을 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 15

제 11 항에 있어서,

상기 상변화 셀은 GST 셀로 이루어지는

피램의 라이트 드라이버 회로.

#### 청구항 16

테스트 모드에 대응한 테스트 셋 전류를 제공하는 테스트 셋 전류 공급부;

상기 테스트 모드에 대응한 테스트 리셋 전류를 제공하는 테스트 리셋 전류 공급부; 및

상기 테스트 셋 전류 공급부와 병렬로 연결되는 노멀 모드를 위한 셋 전류원과 상기 테스트 리셋 전류 공급부와 병렬로 연결되는 상기 노멀 모드를 위한 리셋 전류원을 구비하여, 상기 노멀 모드에 대응하여 상기 셋 전류원과 상기 리셋 전류원에 의한 라이트 전류를 제공하고, 상기 테스트 모드에 대응하여 상기 테스트 셋 전류 공급부의 상기 테스트 셋 전류 또는 상기 테스트 리셋 전류 공급부의 상기 테스트 리셋 전류에 의한 상기 라이트 전류를 제공하며, 상기 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 드라이버를 구비함을 특징으로

하는

피램의 라이트 드라이버 회로.

#### 청구항 17

제 16 항에 있어서, 상기 드라이버는,

상기 셋 전류원을 구비하여 셋 전류를 제공하는 제 1 구동부;

상기 리셋 전류원을 구비하여 리셋 전류를 제공하는 제 2 구동부;

상기 제 1 구동부 또는 상기 제 2 구동부로부터 제공되는 상기 셋 또는 리셋 전류에 비례하는 상기 라이트 전류를 구동하는 제 3 구동부를 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 18

제 16 항에 있어서, 상기 셋 전류 공급부는,

상기 제 1 테스트 모드 신호에 의하여 스위칭되는 제 1 스위치; 및

상기 셋 전류원과 병렬로 연결되며 상기 제 1 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 셋 전류원을 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 19

제 16 항에 있어서, 상기 리셋 전류 공급부는,

상기 제 2 테스트 모드 신호에 의하여 스위칭되는 제 2 스위치; 및

상기 리셋 전류원과 병렬로 연결되며 상기 제 2 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 리셋 전류원을 구비하는

피램의 라이트 드라이버 회로.

#### 청구항 20

제 16 항에 있어서,

상기 상변화 셀은 GST 셀로 이루어지는

피램의 라이트 드라이버 회로.

### 명세서

#### 발명의 상세한 설명

##### 기술분야

[0001] 피램(PRAM : Phase change Random Access Memory, 이하 "PRAM" 이라 함)의 관련 기술이 개시되며, 보다 상세하게는 PRAM의 라이트 드라이버 회로에 셀의 수명 및 신뢰성을 평가하는 기능을 구현한 기술에 관한 것이다.

### 배경 기술

- [0002] 차세대 반도체 메모리 장치 중 하나로서 PRAM이 각광받고 있으며, PRAM은 상변화 물질을 이용해서 반도체 메모리를 구현한 것이다.
- [0003] PRAM은 상변화 물질의 하나인 게르마늄 안티몬 텔루라이드(Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>, "이하 "GST"라 함)를 이용하여 데이터를 저장하는 셀을 구현한 것이다. 상변화 물질인 GST는 온도 변화와 전류의 크기에 따라서 결정과 비결정 상태로 상 변화되고, PRAM은 GST의 상 변화에 대응하여 0과 1로 표현되는 데이터를 저장한다.
- [0004] 라이트(Write) 동작 시 GST에 전류가 흐르면, GST는 결정 상태 또는 비 결정 상태로 상 변화된다. GST의 상 변화는 셀(Cell)로 인가되는 전류를 이용한 주울 히팅(Joule Heating)에 의해 가능하다.
- [0005] 라이트(Write) 동작에서, GST가 라이트 전류(IWRITE)에 의하여 녹는 온도(Melting Temperature) 이상으로 가열된 뒤 급속히 냉각되면, GST는 비결정 상태로 상 변화되어서 그에 대응되는 정보 "H" 를 저장한다. 비결정 상태를 리셋(Reset) 상태로 부른다.
- [0006] 그리고, 라이트 동작에서, GST가 라이트 전류(IWRITE)에 의하여 결정 온도(Crystallization Temperature) 이상으로 가열된 뒤 일정 시간을 유지한 후 냉각되면, GST는 결정화 상태로 상 변화되어서 그에 대응되는 정보 "L" 를 저장한다. 결정 상태를 셋(Set) 상태로 부른다.
- [0007] 도 1은 PRAM의 일반적인 라이트 드라이버(Write Driver)(10)를 예시한 것이다.
- [0008] 라이트 드라이버(10)는 셋 전류원(SET), 리셋 전류원(RESET), 그리고 라이트 전류(IWRITE)를 조절하는 PMOS 트랜지스터들 M0, M1, M2를 구비한다.
- [0009] 리셋 전류원(RESET)에 의해, PMOS 트랜지스터 M2에 리셋 전류원(RESET)에 흐르는 전류에 비례하는 라이트 전류(IWRITE)가 흐르게 되면, 비트라인(도시되지 않음)에 연결된 GST 셀(도시되지 않음)은 리셋 상태로 상 변화되고, 그에 따라 PRAM은 GST 셀의 리셋 상태에 해당하는 "H" 정보를 저장한다.
- [0010] 셋 전류원(SET)에 의해 PMOS 트랜지스터 M2에 셋 전류원(SET)에 흐르는 전류에 비례하는 라이트 전류(IWRITE)가 흐르게 되면, 비트라인에 연결된 GST 셀은 셋 상태로 상 변화되고, 그에 따라 PRAM은 GST 셀의 셋 상태에 해당하는 "L" 정보를 저장한다.
- [0011] 상술한 바와 같이 정보를 저장하는 PRAM의 신뢰성은 GST 셀의 수명과 신뢰성에 의존된다. 그러므로, PRAM의 신뢰성을 확보하기 위해서는 도 1을 참조하여 설명된 바와 같이 라이트 전류를 공급받는 GST 셀의 수명과 신뢰성을 평가할 필요성이 있다.
- [0012] 그러므로, GST 셀의 수명과 신뢰성을 평가하기 위하여 번인(Burn-In) 조건과 같은 가혹한 조건으로 짧은 시간에 스트레스를 주어서 GST 셀의 수명 및 신뢰성을 평가할 수 있는 마땅한 방법의 제시가 소망되고 있다.

### 발명의 내용

#### 해결 하고자하는 과제

- [0013] 본 발명의 목적은 PRAM의 GST 셀의 수명 및 신뢰성을 평가하기 위한 라이트 드라이버 회로를 제공하는 것이다.
- [0014] 본 발명의 다른 목적은 GST 셀의 수명 및 신뢰성을 평가하기 위한 가속 팩터(Factor)로 전류를 이용하며, GST 셀에 스트레스를 주기 위한 전류로써 라이트 드라이버 회로에서 제공되는 라이트 전류를 이용하는 회로를 제공하는 것이다.

#### 과제 해결수단

- [0015] 제1실시예에 따른 PRAM의 라이트 드라이버 회로는,
- [0016] 노멀 모드에서, 비트라인에 연결된 상변화 셀의 셋 또는 리셋을 위한 라이트 전류를 제공하는 노멀 드라이버; 상기 노멀 드라이버와 공유 노드를 가지며, 테스트 모드에 대응하여 상기 공유 노드를 통하여 상기 라이트 전류에 테스트를 위한 추가 전류를 제공하는 테스트 드라이버; 및 상기 테스트 드라이버에 테스트 모드 신호를 제공함으로써 상기 테스트 모드에 대응한 동작을 제어하는 모드 제어부를 구비함을 특징으로 한다.

- [0017] 여기에서, 상기 테스트 드라이버는, 상기 노멀 드라이버의 동작에 연동하여 구동되는 구동소자; 및 상기 모드 제어부로부터 제공되는 테스트 모드 제어 신호에 의하여 상기 구동 소자와 상기 공유 노드 간의 연결을 제어하는 스위칭 소자를 구비할 수 있다.
- [0018] 그리고, 상기 구동 소자 또는 스위칭 소자는 PMOS 트랜지스터로 구성됨이 바람직하다.
- [0019] 여기에서, 상기 상변화 셀은 GST 셀로 이루어질 수 있다.
- [0020] 또한, 제2실시예에 따른 PRAM의 라이트 드라이버 회로는,
- [0021] 셋 전류원을 구비하여 노멀 상태의 셋 전류를 제공하는 셋 전류 구동부; 리셋 전류원을 구비하여 노멀 상태의 리셋 전류를 제공하는 리셋 전류 구동부; 상기 셋 전류 구동부 또는 리셋 전류 구동부로부터 제공되는 전류에 비례하는 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 구동부; 및 테스트 모드 상태에 인에이블되어서 상기 라이트 전류에 추가 전류를 제공하는 테스트 드라이버를 구비함을 특징으로 한다.
- [0022] 그리고, 또한 제3실시예에 따른 PRAM의 라이트 드라이버 회로는,
- [0023] 테스트 모드에 대응한 테스트 셋 전류를 제공하는 테스트 셋 전류 공급부; 상기 테스트 모드에 대응한 테스트 리셋 전류를 제공하는 테스트 리셋 전류 공급부; 상기 테스트 셋 전류 공급부와 병렬로 연결되는 노멀 모드를 위한 셋 전류원과 상기 테스트 리셋 전류 공급부와 병렬로 연결되는 상기 노멀 모드를 위한 리셋 전류원을 구비하여, 상기 노멀 모드에 대응하여 셋 전류원과 리셋 전류원에 의한 라이트 전류를 제공하고, 상기 테스트 모드에 대응하여 상기 테스트 셋 전류 공급부의 상기 테스트 셋 전류 또는 상기 테스트 리셋 전류 공급부의 상기 테스트 리셋 전류에 의한 상기 라이트 전류를 제공하며, 상기 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 드라이버; 및 상기 셋 전류 공급부와 상기 리셋 전류 공급부를 제어하기 위한 제 1 및 제 2 테스트 모드 신호를 각각 제공하는 모드 제어부를 구비함을 특징으로 한다.
- [0024] 여기에서, 상기 드라이버는, 상기 셋 전류원을 구비하여 셋 전류를 제공하는 제 1 구동부; 상기 리셋 전류원을 구비하여 리셋 전류를 제공하는 제 2 구동부; 상기 제 1 구동부 또는 상기 제 2 구동부로부터 제공되는 전류에 비례하는 상기 라이트 전류를 구동하는 제 3 구동부를 구비할 수 있다.
- [0025] 그리고, 상기 셋 전류 공급부는, 상기 제 1 테스트 모드 신호에 의하여 스위칭되는 제 1 스위치; 및 상기 셋 전류원과 병렬로 연결되며 상기 제 1 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 셋 전류원을 구비할 수 있다.
- [0026] 그리고, 상기 리셋 전류 공급부는, 상기 제 2 테스트 모드 신호에 의하여 스위칭되는 제 2 스위치; 및 상기 리셋 전류원과 병렬로 연결되며 상기 제 2 스위치의 턴온에 따라 추가 전류를 제공하는 테스트 리셋 전류원을 구비할 수 있다.
- [0027] 여기에서, 상기 상변화 셀은 GST 셀로 이루어질 수 있다.
- [0028] 또 한편, 제4실시예에 따른 PRAM의 라이트 드라이버 회로는, 테스트 모드에 대응한 테스트 셋 전류를 제공하는 테스트 셋 전류 공급부; 상기 테스트 모드에 대응한 테스트 리셋 전류를 제공하는 테스트 리셋 전류 공급부; 및 상기 테스트 셋 전류 공급부와 병렬로 연결되는 노멀 모드를 위한 셋 전류원과 상기 테스트 리셋 전류 공급부와 병렬로 연결되는 상기 노멀 모드를 위한 리셋 전류원을 구비하여, 상기 노멀 모드에 대응하여 상기 셋 전류원과 상기 리셋 전류원에 의한 라이트 전류를 제공하고, 상기 테스트 모드에 대응하여 상기 테스트 셋 전류 공급부의 상기 테스트 셋 전류 또는 상기 테스트 리셋 전류 공급부의 상기 테스트 리셋 전류에 의한 상기 라이트 전류를 제공하며, 상기 라이트 전류를 비트라인에 연결된 상변화 셀에 제공하는 드라이버를 구비함을 특징으로 한다.

**효 과**

- [0029] 본 발명에 의하면 전류를 가속 팩터로 이용하여, 번인(Burn-In) 조건과 같은 가혹한 조건으로 짧은 시간에 스트레스를 주어서 GST 셀의 수명 및 신뢰성을 평가할 수 있다.
- [0030] 또한, 본 발명에 의하면 GST 셀의 수명 및 신뢰성을 평가하기 위한 전류를 라이트 드라이버 회로를 이용하여 제공하여 GST 셀을 평가할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0031] 본 발명은 전류를 가속 팩터로 이용하여 상변화 물질의 하나인 GST를 이용하여 셀이 구현되는 PRAM의 신뢰성 테스트를 수행하기 위한 회로를 구현하며, 전류는 라이트 드라이버 회로를 이용하여 제공하도록 구현된다.
- [0032] 즉 라이트 드라이버 회로는 GST 셀로 전류를 과도하게 제공함으로써 GST 셀의 수명 및 신뢰성 평가를 위한 가속 팩터를 제공하는 기능을 수행하며, 상술한 스트레스 조건 하에서 GST 셀의 수명 및 신뢰성 평가가 수행될 수 있다.
- [0033] 도 2를 참조하면, 라이트 드라이버 회로(20)는 노멀 드라이버(22)와 테스트 드라이버(26) 및 모드 제어부(24)를 구비한다. 노멀 드라이버(22)와 테스트 드라이버(26)는 공유 노드를 통하여 라이트 전류(IWRITE1)를 출력하며, 테스트 드라이버(26)의 구동은 모드 제어부(24)에 의하여 제어된다.
- [0034] 구체적으로, 노멀 드라이버(22)는 셋 전류원(SET), 리셋 전류원(RESET), 셋 전류원(SET)에 직렬로 연결되며 게이트와 드레인이 커플링된 PMOS 트랜지스터(M0), 리셋 전류원(RESET)에 직렬로 연결되며 게이트와 드레인이 커플링된 PMOS 트랜지스터(M1), 그리고 자신의 게이트가 PMOS 트랜지스터들(M0, M1)의 게이트와 공유 커플링되고 라이트 전류의 출력을 제어하는 PMOS 트랜지스터(M2)를 구비한다.
- [0035] 그리고, 테스트 드라이버(26)는 직렬로 연결된 PMOS 트랜지스터(M3) 및 PMOS 트랜지스터(M4)를 구비하며, PMOS 트랜지스터(M3)의 게이트는 PMOS 트랜지스터들(M0, M1)의 게이트와 공유 커플링되고, PMOS 트랜지스터(M4)의 게이트에는 테스트 모드 신호 TM1이 인가된다. 그러므로, 테스트 모드 신호 TM1이 인에이블 상태로 인가되면 PMOS 트랜지스터(M4)는 턴온되고, PMOS 트랜지스터(M3)는 PMOS 트랜지스터(M4)가 턴온된 상태에서 테스트를 위한 추가 전류를 라이트 전류 IWRITE1로 공급한다.
- [0036] 즉, 테스트 모드 신호 TM1이 디스에이블 상태인 노멀 모드의 경우, 라이트 전류 IWRITE는 도 1에서 제공되는 라이트 전류 IWRITE와 동일한 레벨로 출력된다.
- [0037] 그러나, 테스트 모드 신호 TM1이 인에이블된 테스트 모드의 경우, 라이트 전류 IWRITE1은 노멀 모드에 비하여 PMOS 트랜지스터(M3)에서 제공되는 전류(a) 만큼 양이 커진다. 결과적으로 도 2의 실시예에 따른 라이트 드라이버 회로의 라이트 전류는 도 1의 종래의 라이트 드라이버 회로에서 제공되는 라이트 전류 IWRITE와 PMOS 트랜지스터(M3)에서 제공되는 전류(a)의 합이 된다. 즉, IWRITE1=IWRITE+a의 관계가 설정될 수 있다.
- [0038] 즉, 테스트를 위하여 큰 전류 값을 갖는 라이트 전류 IWRITE로써 테스트 모드가 수행될 수 있으며, 테스트 모드 상태에서 GST 셀에 대한 평가가 라이트 전류 IWRITE에 의한 스트레스 인가로서 수행될 수 있다.
- [0039] 한편 모드 제어부(24)는 GST 셀의 테스트를 위한 라이트 전류를 제공하는 모드를 수행하는 경우 테스트 모드 신호 TM1을 인에이블 상태로 출력하고, GST 셀에 노멀한 라이트 전류를 제공하는 모드를 수행하는 경우 테스트 모드 신호 TM1을 디스에이블 상태로 출력할 수 있다.
- [0040] 도 2의 실시예는 라이트 전류가 출력되는 노드에 테스트 드라이버를 병렬로 구성하는 것을 예시한 것이다.
- [0041] 이와 다르게 본 발명의 다른 실시예로서 노멀 모드에 대응하여 적용되는 전류원과 테스트 모드에 대응하여 추가로 적용되는 전류원을 별도로 구성하여 테스트를 위한 라이트 전류를 제공하도록 라이트 드라이버 회로(30)가 구성될 수 있다.
- [0042] 이에 대한 실시예는 도 3에 나타나 있으며, 도 3의 실시예의 라이트 드라이버 회로(30)는 드라이버(32), 테스트 셋 전류공급부(34), 테스트 리셋 전류 공급부(36), 및 모드 제어부(38)를 구비한다.
- [0043] 드라이버(32)는 도 2의 노멀 드라이버(22)의 구성과 동일하므로 중복되는 구성 및 동작에 대한 설명은 생략한다.
- [0044] 드라이버(32)의 PMOS 트랜지스터(M0)와 셋 전류원(SET) 사이의 노드에 테스트 셋 전류 공급부(34)가 연결되고, PMOS 트랜지스터(M1)와 리셋 전류원(RESET) 사이의 노드에 테스트 리셋 전류 공급부(36)가 연결된다. 즉, 셋 전류원(SET)과 병렬로 테스트 셋 전류 공급부(34)가 연결되고, 리셋 전류원(RESET)과 병렬로 테스트 리셋 전류 공급부(36)가 연결된다.
- [0045] 테스트 셋 전류 공급부(34)는 테스트 셋 전류원(TMSET)과 스위치(S1)가 직렬로 연결된 구성을 가지며,

스위치(S1)는 모드 제어부(38)에 의해서 제공되는 테스트 모드 신호 TM2에 의해서 턴온/턴오프된다.

[0046] 테스트 리셋 전류 공급부(36)는 테스트 리셋 전류원(TMRESET)과 스위치(S2)가 직렬로 연결된 구성을 가지며, 스위치(S2)는 모드 제어부(38)에 의하여 제공되는 테스트 모드 신호 TM3에 의해서 턴온/턴오프된다.

[0047] 모드 제어부(38)는 테스트 모드 신호 TM2, TM3를 각각 제공하며, 테스트 모드를 수행하지 않는 경우 테스트 모드 제어신호 TM2, TM3이 모두 디스에이블 상태를 유지하며, 테스트 셋을 수행하기 위하여 테스트 모드 신호 TM2가 인에이블 상태로 천이되고, 테스트 리셋을 수행하기 위하여 테스트 모드 신호 TM3이 인에이블 상태로 천이된다.

[0048] 노멀 모드 상태에서 드라이버(32)는 테스트 셋 전류 공급부(34) 또는 테스트 리셋 전류 공급부(36)에 의하여 추가 전류를 공급받지 않음에 따라서 도 1과 동일한 라이트 전류를 제공한다.

[0049] 테스트 모드 상태에서, 리셋 전류원(RESET)과 테스트 리셋 전류원(TMRESET)에 의해, 드라이버(32)의 PMOS 트랜지스터 M2에 리셋 전류원(RESET)과 테스트 리셋 전류원(TMRESET)에 의하여 제공되는 전류에 비례하는 라이트 전류(IWRITE2)가 흐르게 되면, 비트라인(도시되지 않음)에 연결된 GST 셀(도시되지 않음)은 테스트 모드 상태의 라이트 전류(IWRITE2)에 의하여 스트레스를 인가받음으로써 테스트된다.

[0050] 테스트 모드 상태에서, 셋 전류원(ET)과 테스트 셋 전류원(TMSET)에 의해, 드라이버(32)의 PMOS 트랜지스터 M2에 셋 전류원(SET)과 테스트 리셋 전류원(TMRESET)에 의하여 제공되는 전류에 비례하는 라이트 전류(IWRITE2)가 흐르게 되면, 비트라인에 연결된 GST 셀(도시되지 않음)은 테스트 모드 상태의 라이트 전류(IWRITE2)에 의하여 스트레스를 인가받음으로써 테스트된다.

[0051] 결국, 본 발명에 따른 실시예들은 전류를 가속 팩터로 이용하도록 구성되며, 번인(Burn-In) 조건과 같은 가혹한 조건으로 짧은 시간에 라이트 드라이버 회로로부터 제공되는 전류에 의한 스트레스로써 GST 셀의 수명 및 신뢰성을 평가할 수 있다.

**도면의 간단한 설명**

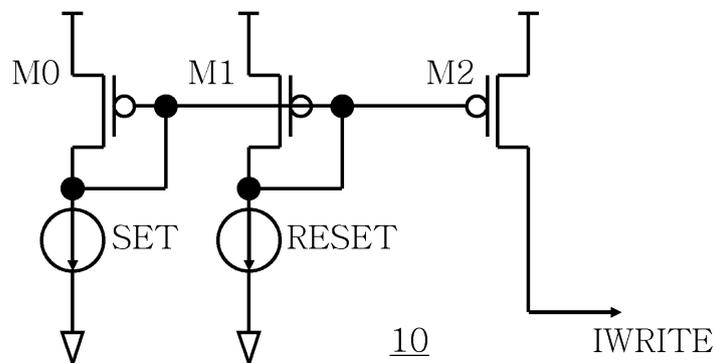
[0052] 도 1은 종래의 PRAM의 라이트 드라이버 회로의 회로도.

[0053] 도 2는 본 발명에 따른 라이트 드라이버 회로의 바람직한 실시예를 나타내는 회로도.

[0054] 도 3은 본 발명에 따른 라이트 드라이버 회로의 다른 실시예를 나타는 회로도.

**도면**

**도면1**



도면2

