(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/66

(45) 공고일자 2001년11월01일
(11) 등록번호 10-0297732
(24) 등록일자 2001년05월24일

(21) 출원번호 10-1999-0023280
(22) 출원일자 1999년06월21일

(65) 공개번호 특2001-0003118
(43) 공개일자 2001년01월15일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 김유현
서울특별시동작구흑석2동38-2
유광재
경기도수원시팔달구매탄동908주공4단지아파트422동208호

(74) 대리인 이영필
권석흠
정상빈

심사관 : 오제욱

(54) 반도체 소자의 소정 물질층의 패턴밀도를 구하는 방법 및 이를 이용한 화학기계적 연마의 시뮬레이션 방법

요약

본 발명은 반도체 장치의 제조공정중 소정 단계의 층의 패턴밀도를 계산하는 방법 및 화학기계적 연마공정의 시뮬레이션 방법에 관한 것이다. 본 발명의 패턴밀도 계산방법은, 소정 물질층의 패턴을 정의한 레이아웃을 다수의 사각형 패턴 셀로 나누고, 각 패턴 셀을 중심으로 소정 수의 주변 패턴 셀을 포함하는 패턴 윈도우를 설정한 다음, 각 패턴 셀의 패턴밀도를 구하고 이 패턴밀도에 패턴 윈도우 내에 포함된 주변 패턴 셀에 의한 영향을, 거리를 감안하여 가미한다. 또한, 본 발명의 화학기계적 연마의 시뮬레이션 방법은, 위의 패턴밀도 계산방법에 의해 구해진 주변 패턴 셀의 영향을 고려한 각 패턴 셀의 패턴밀도를 이용하여, 상기 물질층 상에 적층된 평탄화층에 화학기계적 연마를 수행했을 때의 연마 시간에 따른 평탄화층의 두께를 시뮬레이션한다.

본 발명에 따르면, 각 패턴 셀의 패턴밀도에 대한 주변 패턴 셀의 영향을 가미할 때 거리에 따른 가중치를 고려함으로써 더욱 정확한 예측을 보장하고, 또한 웨이퍼 수준으로 확장할 수 있어 웨이퍼 수준에서의 예측도 더욱 정확해진다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 일반적인 화학기계적 연마장치를 개략적으로 도시한 도면이다.

도 2a 및 도 2b는 소정의 패턴 위에 평탄화층을 적층한 상태 및 화학기계적 연마를 수행한 후의 상태를 도시한 단면도들이다.

도 3은 본 발명의 시뮬레이션 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 패턴밀도 계산방법에서 패턴 셀과 패턴 윈도우를 설정하는 과정을 설명하기 위한 소정 물질층 패턴의 레이아웃도이다.

도 5a 및 도 5b는 평탄화층의 적층방법에 따른 패턴밀도의 변화를 설명하기 위한 단면도들이다.

도 6은 본 발명의 패턴밀도 계산방법에서 사용하는 가중치 함수를 도시한 그래프이다.

도 7은 패턴밀도값에 따른 화학기계적 연마 후의 측정 두께를 도시한 그래프이다.

도 8a 및 도 8b는 반도체 칩 수준에서 본 발명의 시뮬레이션 방법에 따라 계산된 화학기계적 연마 후의 평탄화층의 두께와 실제로 화학기계적 연마를 수행한 후에 측정한 두께를 비교한 그래프들이다.

도 9a는 본 발명의 시뮬레이션 방법을 전체 웨이퍼 수준에 적용하기 위해 반도체 칩을 선정하는 과정을 설명하기 위한 웨이퍼 맵이다.

도 9b는 웨이퍼 수준에서 본 발명의 시뮬레이션 방법에 따라 계산된 각 칩의 화학기계적 연마 후의 두께 분포를 도시한 도면이다.

도 9c는 웨이퍼 수준에서 실제로 화학기계적 연마를 수행한 후에 측정한 평탄화층의 두께를 도시한 그래프이다.

도 9d 및 도 9e는 웨이퍼 수준에서 본 발명의 시뮬레이션 방법에 따라 계산된 화학기계적 연마 후의 평탄화층의 두께와 실제로 화학기계적 연마를 수행한 후에 측정한 두께를 비교한 그래프들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조공정 중의 소정 단계에서 형성될 물질층 패턴의 패턴밀도를 구하는 방법, 이 패턴층 상부에 평탄화층을 적층하고 화학기계적 연마(Chemical Mechanical Polishing, 이하 CMP라 한다)를 수행한 후의 평탄화층의 두께 분포 등을 시뮬레이션하는 방법에 관한 것이다.

일반적으로 웨이퍼 상에 다수의 패턴화된 물질층을 적층하여 제조되는 반도체 소자는 각 물질층의 패턴 유무에 따라 단차 즉, 높낮이의 차가 발생한다. 이 단차는 적층하는 물질층 수의 증가, 패턴의 미세화, 소자의 집적도의 증가에 따라 증가하는데, 이 단차는 각각의 제조공정에서 불량을 일으키는 요인이 되고, 배선의 전기적 특성을 열화시키는 요인이 되므로, 반도체 소자의 제조공정에서 평탄화 기술은 점점 중요하게 된다.

평탄화 기술의 하나인 CMP는 통상적으로 도 1과 같은 장치를 이용하여 도 2에 도시된 바와 같은 과정으로 수행된다. 즉, 도 2a에 도시된 바와 같이 기판(210) 상에 소정의 물질 예컨대, 배선을 위한 금속으로 이루어진 패턴(220)을 형성하고 그 위에 평탄화층(230)을 적층한 웨이퍼(도 1의 140)를 웨이퍼 캐리어(150)에 장착하고, 연마 패드(110)가 부착된 플래튼(120)과 웨이퍼 캐리어(150)를 함께 회전시키면서 연마를 수행한다. 이때, 액상의 연마재(170)를 연마 패드(110) 상에 분사하면, 연마 패드(110)과 웨이퍼(140)의 마찰에 의한 기계적인 연마와 함께, 화학적인 연마가 동시에 수행된다. 소정 시간 동안 CMP를 수행하면 도 2b에 도시된 바와 같이, 평탄화층(235)이 연마되어 그 두께가 감소되고 전체적으로 평탄화가 이루어진다.

그런데 CMP 수행 후의 결과는, 연마 시간, 플래튼(120)의 회전속도, 웨이퍼 캐리어(150)의 회전속도, 웨이퍼(140)와 연마 패드(110) 간의 압력, 연마 패드(110)의 탄성률 등 다양한 파라미터에 따라 다양하게 변화한다. 그래서, 경우에 따라서는 도 2b에 도시된 바와 같이 패턴이 없는 부위의 평탄화층(235)이 움푹 패이는 디싱(dishing) 현상(A)이나, 미세 패턴이 CMP에 의해 연마되어 버리는 씨닝(thinning) 현상(B)이 일어나기도 한다. 따라서, 이러한 파라미터를 최적으로 설정해야 하는데, 다양한 파라미터의 최적화된 설정은 일일이 실험을 통해 수많은 시행착오를 거쳐야 하는 무척 번거로운 작업이다.

따라서, 이렇게 시간이 많이 드는 CMP 파라미터의 실험을 통한 설정을 대신하여, 해석 모델의 구축이나 컴퓨터를 이용한 시뮬레이션 기법이 제안되었다. 이러한 해석 모델이나 시뮬레이션에서 가장 중요한 것은 예측의 정확성과 빠른 계산 속도이다.

시뮬레이션 방법의 한 가지를 제안하고 있는 미국 특허 US 5,552,996호는 먼저 소정 단계의 물질층의 패턴밀도를 계산하기 위하여, 설계된 패턴 레이아웃에 동일한 크기의 사각형 그리드(grid)를 정의하고 각 그리드 내의 패턴이 점하는 면적비율을 계산하여 이를 패턴밀도로 정의하고 있다. 그리고, 이 패턴밀도의 분포를 이용하여 CMP 정지 파라미터를 산출하는 방법을 제안하고 있다. 그러나, 상기 미국 특허에서는 각 그리드의 주위에 있는 다른 그리드의 패턴에 의한 영향을 고려하지 않음으로써 실제 CMP를 수행한 것과 시뮬레이션의 결과는 차이가 크게 된다.

한편, 타카하시(H. Takahashi) 등은 패턴밀도 계산 모델로서 상기 주위의 다른 그리드의 패턴에 의한 영향을 고려하기 위하여 인접한 다른 그리드의 패턴밀도의 단순 평균을 구하여 곱하는 방법을 제안하였다(H. Takahashi, K. Tokunaga, T. Kasuga, T. Suzuki, 'Modeling of Chemical Mechanical Polishing Process for Three-Dimensional Simulation', Symposium on VLSI Tech., pp. 25-26, Jun. 1997. 참조). 그러나 이 문헌이 제시한 계산모델은 상기한 미국 특허에 비하면 진일보한 모델이었지만, 인접한 다른 그리드의 거리에 따른 영향을 고려하지 않은 단순한 평균을 이용함으로써 여전히 그 예측의 정확도에서는 떨어지게 된다.

또한, 전술한 두 방법을 포함한 지금까지 제안된 대부분의 시뮬레이션 방법들은 웨이퍼 전체보다는 웨이퍼 내의 각 반도체 칩, 더 구체적으로는 각 칩 내의 개별소자 수준에서 시뮬레이션을 행하고 있다. 물론 웨이퍼에는 수십 개의 반도체 칩이 동일한 패턴으로 반복되어 제조되므로, 하나의 칩에 대한 CMP 시뮬레이션 결과를 보면 웨이퍼 전체에 대한 CMP 수행 결과를 개략적으로 예측할 수는 있겠지만, 실제로 웨이퍼 전체 수준에서의 CMP 결과는 플랫 존(flat zone)에 의한 비대칭성과 칩이 형성되지 않는 웨이퍼 주변부에 존재하는 패턴의 불균일성에 따른 효과를 무시할 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 CMP 시뮬레이션 등에서 사용되는 소정 물질층의 패턴밀도를 정확히 구할 수 있는 계산방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기의 패턴밀도 계산방법을 이용하고 예측의 정확성과 계산 속도의 향상을 이룬 CMP 시뮬레이션 방법을 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 상기의 정확하고 빠른 CMP 시뮬레이션 방법을 프로그램화하여 컴퓨터가 읽을 수 있는 기록매체로서 제공하는 것이다.

발명의 구성 및 작용

상기의 기술적 과제를 해결하기 위한 본 발명에 따른 소정 단계의 물질층 패턴의 패턴밀도를 구하는 방법은 다음과 같은 과정들을 구비하는 것을 특징으로 한다.

먼저, 반도체 칩의 제조공정 중 소정 물질층의 패턴을 정의한 레이아웃에 대해 사각형의 반복되는 패턴 셀을 설정한다. 이어서, 상기 각 패턴 셀에 대해, 각 패턴 셀 내에서 패턴이 점하는 면적 비율을 계산하여 이를 각 패턴 셀의 패턴밀도로서 취한다. 이어서, 상기 각 패턴 셀에 대해, 인접한 복수의 주변 패턴 셀의 패턴이 각 패턴 셀의 패턴밀도에 미치는 영향을, 상기 각 패턴 셀로부터의 거리의 함수로 계산하여 각 패턴 셀의 패턴밀도를 보정한 실효 패턴밀도를 구한다.

상기의 다른 기술적 과제를 해결하기 위한 본 발명에 따른 CMP 시뮬레이션 방법은, 상기의 패턴밀도 계산방법으로 구한, 주변 패턴 셀의 패턴의 영향을 고려한 각 패턴 셀의 실효 패턴밀도를 이용하여, 상기 물질층 상에 적층되는 평탄화층에 대해 CMP를 수행했을 때의 시간에 따른 반도체 칩 내부의 평탄화층의 두께 및 단차 분포를 구한다.

또한, 본 발명에 따른 패턴밀도를 구하는 방법 및 CMP 시뮬레이션 방법은, 패턴 위에 적층되어 CMP의 대상이 되는 평탄화층의 적층방법에 따라 패턴이 확장 또는 축소되는 점을 감안하여, 상기 각 패턴 셀의 패턴밀도를 구하기 전에 패턴을 일률적으로 확장·축소하거나 각 패턴 셀의 패턴밀도를 구한 후 그 패턴밀도 값에 일정한 스케일링 팩터를 곱하는 스케일링 단계를 더 구비할 수도 있다.

또한, 본 발명에 따른 CMP 시뮬레이션 방법은, 하나의 반도체 칩 내부에서의 평탄화층의 두께 및 단차 분포를 다수의 반도체 칩을 포함하는 웨이퍼 전체 수준으로 확장할 수도 있다. 즉, 하나의 칩 내부에서의 평탄화층의 두께를 구하는 식에, 웨이퍼 내에서의 각 칩의 위치에 따라 변화하는 연마 패드와 웨이퍼의 상대속도 V 및 연마 패드의 압력 P를 구하여 대입함으로써, 웨이퍼 내에서의 위치에 따른 각 반도체 칩에서의 평탄화층의 두께 및 단차 분포를 구한다.

또한, 위에서 구한 각 칩 수준의 또는 전체 웨이퍼 수준의 패턴밀도 분포나, 평탄화층의 두께 및 단차 분포를 이용하여, CMP 정지시간을 결정하거나, 모니터링 지점을 선정하거나 또는 더미패턴을 구축함으로써 패턴밀도 분포나 시뮬레이션 결과를 설계에 반영할 수 있다.

상기의 또 다른 기술적 과제를 해결하기 위하여 본 발명에 따른 CMP 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체는, 상기의 패턴밀도를 구하는 방법 및 CMP 시뮬레이션 방법의 각 단계를 프로그램화한 프로그램 모듈들을 구비한다.

이와 같이 본 발명에 따르면, 주변 패턴 셀의 패턴에 의한 영향을 중심 패턴 셀로부터의 거리를 고려하여 감안한 실효 패턴밀도를 이용함으로써 보다 정확한 예측을 가능하게 하고, 하나의 반도체 칩 수준의 시뮬레이션을 전체 웨이퍼 수준의 시뮬레이션으로 확장함으로써 웨이퍼 전체의 CMP 수행 후의 결과를 정확하게 예측할 수 있게 해준다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 3은 본 발명의 실시예에 따른 패턴밀도 계산방법 및 CMP 시뮬레이션 방법을 설명하기 위한 흐름도이다. 도 3에서 단계 335까지는 패턴밀도를 구하는 방법을 나타낸 것이고 단계 340 이후는 CMP 시뮬레이션 방법을 나타낸 것으로 이하에서는 이 두 방법을 연속하여 설명한다.

도 3을 참조하면, 먼저 반도체 소자들을 포함하는 반도체 칩 하나의 레이아웃을 설계한다(단계 310). 보통 이 레이아웃 설계는 캐드(CAD, Computer Aided Design) 툴을 사용하여 기판 상에 적층되는 다수의 층 각각에 대해 수행한다. 그러면, 도 4에 그 일부가 예시된 바와 같이, 각 패턴이 형성된 패턴 맵이 얻어진다. 실제로 이 패턴 맵은 일정한 형식을 가지는 수치 데이터로 저장되는데, 보통 레이아웃 설계의 결과 얻어지는 패턴 맵 데이터는, 저장되는 양의 감소와 설계시 수정이 용이하도록 계층적인(hierarchical) 구조를 갖도록 저장한다.

이어서, 레이아웃 설계의 결과 얻어진 패턴 맵 데이터는 그 층의 실제 사진식각 공정에서 사용되는 포토마스크(레티클)의 제조에 사용되는데, 이때 통상적으로 데이터의 변환이 이루어진다. 즉, 레이아웃 설계 결과 얻어진 패턴 맵 데이터는 계층적인 구조를 가지기 때문에 포토마스크의 제조시 전자빔을 조사하는 영역을 규정하는 데이터로서는 사용하기에 부적절하다. 따라서, 계층적인 패턴 맵 데이터는 비계층적인(평면적인) 패턴 맵 데이터로 변환하게 된다(단계 315). 후술하는 패턴밀도의 계산(단계 330 및 335)에는 이 두 가지 구조의 패턴 맵 데이터를 모두 이용할 수 있지만, 비계층적인 구조의 데이터가 계산속도의 면에서는 훨씬 빠르므로 본 실시예에서는 비계층적인 구조의 포토마스크 제조용 패턴 맵 데이터를 사용한다. 참고로 위의 두 가지 구조의 예시적인 패턴 맵 데이터를 이용하여 실제 패턴밀도를 계산해 보았는데, 레이아웃의 크기가 6214㎛×6212㎛이고 패턴의 개수가 5백만개인 계층적인 구조의 패턴 맵 데이터에 대해 패턴밀도를 계산하는데 소요된 시간은 2시간 정도였음에 반해, 레이아웃의 크기가 15040㎛×15225㎛이고 패턴의 개수가 6천5백만개인 비계층적인 구조의 패턴 맵 데이터에 대해서는 139초가 소요되었다.

이렇게 얻어진 패턴 맵에 대해 실제 패턴밀도를 구하기 위한 패턴 셀 및 패턴 윈도우를 정의한다(단계 320). 도 4에서 점선으로 표시된 각각의 작은 사각형들이 패턴 셀에 해당하고, 굵은 실선으로 표시된 다수의 패턴 셀이 포함된 사각형(420)이 패턴 윈도우이다. 이 패턴 윈도우(420)는 후술할 실효 패턴밀도를 구하기 위해 고려할 주변 패턴 셀들을 포함하는 것으로서, 본 명세서에서 실효 패턴밀도라 함은 주변 패턴 셀에 의한 영향을 고려한 어느 패턴 셀의 패턴밀도를 의미한다. 여기서, 각 패턴 셀의 크기는 작을수록, 또 패턴 윈도우에 포함되는 패턴 셀의 개수는 많을수록 예측의 정확도는 높아지지만, 그에 따라 계산에 소요되는 시간도 길어지므로 패턴 층의 패턴 크기 등을 고려하여 적절한 크기와 개수를 선택한다.

이어서, 패턴 맵 내의 모든 패턴 셀의 패턴밀도를 계산하는데(단계 330), 이는 각 패턴 셀 내에서 패턴이 점하는 면적을 각 패턴 셀의 전체 면적으로 나눔으로써 수행된다.

한편, 예측의 정확도를 더욱 높이기 위해 평탄화층의 적층방법에 따라 패턴을 확대, 축소하는 스케일링 과정(단계 325)을 추가할 수도 있다. 예컨대, 도 5a 및 도 5b에 도시된 바와 같이 동일한 하지막(510) 위에 형성된 동일한 패턴(520, 도 4에서의 패턴에 해당한다)에 대해서, 그 위에 적층되어 CMP의 대상이 되는 평탄화층(530 및 540)은 그 적층방법에 따라 두께 및 폭이 달라지게 된다. 도 5a에 도시된 평탄화층(530)은 플라즈마 화학기상 증착법(Plasma Enhanced Chemical Vapor Deposition)으로 증착한 경우를 예시한 것이고, 도 5b에 도시된 평탄화층(540)은 고밀도 플라즈마 증착법(High Density Plasma Deposition)으로 증착한 경우를 예시한 것이다. 도 5a에서 실제 CMP에 영향을 미치는 소정 높이 이상의 평탄화층(530)의 폭(L_2)을 보면, 패턴(520)의 폭(L_1)보다 넓게 확대된 것을 알 수 있다. 또한, 도 5b에서 소정 높이 이상의 평탄화층(540)의 폭(L_3)을 보면, 패턴(520)의 폭(L_1)보다 좁음을 알 수 있다. 따라서, 도 5a의 경우에는 패턴(520)의 폭을 평탄화층(530)의 적층 두께의 대략 75% 만큼 패턴의 폭방향으로 확장하고, 도 5b의 경우에는 패턴(520)의 폭을 평탄화층(540)의 적층 두께의 10% 만큼 패턴의 폭방향으로 축소(이때 패턴의 폭이 작아서 축소하면 그 폭이 0보다 작게되는 경우에는 0으로 한다)한 후, 확대 또는 축소된 패턴 맵에 대하여 각 패턴 셀의 패턴밀도를 구하면 보다 정확한 예측을 할 수 있다. 여기서, 확대 또는 축소량은 예시한 것으로, 실제 평탄화층의 적층 공정에서의 제반 조건에 따라 달라질 수 있다.

또한, 위에서는 스케일링 과정을 패턴밀도를 구하기 전에 했지만, 평탄화층의 적층방법에 따른 스케일링 팩터를 산출해 놓고, 각 패턴 셀의 패턴밀도를 구한 후에 구해진 패턴밀도값에 스케일링 팩터를 일률적으로 곱함으로써 수행할 수도 있다.

이어서, 이렇게 구한 각 패턴 셀의 패턴밀도에 대해 주변 패턴 셀의 영향을 고려한 실효 패턴밀도를 구한다(단계 335). 이 실효 패턴밀도는 연마 패드의 경도, 웨이퍼를 누르는 압력과 같은 공정조건에 의한 연마 패드의 변형과 밀접한 관련이 있고, 따라서 CMP의 결과에 밀접한 관련이 있다.

지금까지 구한 각 패턴 셀의 패턴밀도를 D(i,j)라 하면 주변 패턴 셀의 영향을 고려한 실효 패턴밀도 $D_p(i,j)$는 다음 수식에 의해 계산된다. 여기서, i,j는 도 4에 도시된 바와 같은 패턴 맵에서 각 패턴 셀의 x,y축 좌표를 나타낸다.

수학식 1

$$D_p(i,j)=\frac{1}{(2n+1)^2}\sum_{l=i-n}^{i+n}\sum_{m=j-n}^{j+n}\frac{D(l,m)}{|l|+|m|}D(i,j) \qquad \text{if}(l=i,m=j)\,\text{then}\,(|l|+|m|=1)$$

여기서 n은, 실효 패턴밀도를 구하고자 하는 패턴 셀 (i,j)를 중심 패턴 셀(410)로 놓았을 때, 중심 패턴 셀(410)의 상하좌우로 패턴 윈도우(420) 내에 포함되는 주변 패턴 셀의 개수를 정하기 위한 값으로, 실제 패턴 윈도우(420) 내에 포함되는 전체 패턴 셀의 개수는 $(2n+1)^2$이 된다. 그리고, 수식 1에서 $1/(|l|+|m|)$은 주변 패턴 셀이 중심 패턴 셀(410)의 패턴밀도에 미치는 영향을 거리에 반비례하여 계산하기 위한 가중치로서, 도 6에 도시된 바와 같이 중심 패턴 셀(410)로부터 멀리 떨어진 주변 패턴 셀일수록 이 값이 작아진다. 또한, l=i, m=j 즉, 위 수식 1에서 주변 패턴 셀 (l,m)이 중심 패턴 셀 (i,j)가 되는 경우는, 이 가중치를 1로 한다.

따라서, 수식 1에 의한 계산은 결과적으로, 각 패턴 셀에 대하여 그 패턴 셀을 중심 패턴 셀(410)로 놓은 다음, 패턴 윈도우(420) 내에 포함된 각 주변 패턴 셀의 패턴밀도에 거리에 따른 가중치를 곱하고, 이 가중치가 곱해진 각 주변 패턴 셀의 패턴밀도를 중심 패턴 셀의 패턴밀도에 곱한 후, 패턴 윈도우에 포함된 패턴 셀의 개수로 나누는 과정이다. 이 과정을 패턴 윈도우 내에 포함된 모든 패턴 셀에 대하여 수행하면 반도체 칩 하나의 패턴 맵에 대한 주변 패턴을 고려한 실효 패턴밀도 분포가 얻어진다.

이렇게 얻어진 패턴밀도 분포는 이를 분석함으로써(도 3의 단계 350), 패턴밀도값이 작은 부위에 생기는 디싱 현상을 방지하기 위해 실제 패턴과 연결되지 않고 실제 패턴과 동일한 막질로 형성하는 더미패턴을 구축하는(단계 355) 자료로 쓰이게 된다. 패턴밀도값이 작은 부위에 더미패턴을 형성하는 것은 도 7에 도시된 바와 같이, 패턴밀도값이 작을수록 실제 CMP 수행 후의 평탄화층의 두께는 작다는, 따라서 그 부위에서 디싱 현상이 일어나기 쉽다는 사실에 근거한다.

이어서, 실효 패턴밀도를 이용하여 CMP 수행 후의 평탄화층의 두께를 시뮬레이션한다(단계 340). 시뮬레이션 과정은 하나의 반도체 칩 내에서의 평탄화층 두께를 시뮬레이션 하는 과정과, 이 반도체 칩 내에서의 두께 시뮬레이션 결과를 이용하여 전체 웨이퍼 수준에서의 평탄화층의 두께를 시뮬레이션 하는 과정으로 나뉜다. 먼저, 하나의 칩 내에서의 두께 시뮬레이션 과정을 설명하면 다음과 같다.

먼저, CMP 해석 모델의 대표적인 방정식인 프레스턴(Preston) 방정식으로부터 평탄화층의 적층된 높이가 x인 곳에서의 연마율(polishing rate) dx/dt를 다음 수식으로 정의한다.

수학식 2

$$\frac{dx}{dt}=kPV$$

여기서, P는 웨이퍼를 누르는 압력 즉, 면적당 받는 부하이고, V는 웨이퍼와 연마 패드 간의 상대속도, k는 $k=k_p\times k_V$로 나타내지는 프레스턴 계수이다.

이어서, 연마 패드를 탄성 스프링으로 가정하여(스프링 모델) 다음의 방정식을 얻는다.

수학식 3

$$P_1 - P_2 = \frac{E}{U}(x_1 - x_2)$$

여기서, E는 연마 패드의 영(Young)의 탄성률, U는 연마 패드의 두께이고, x_1, x_2는 각각 패턴이 있는 곳과 없는 곳의 평탄화층의 적층된 높이(도 5a 참조), P_1, P_2는 각각 평탄화층의 높이가 x_1, x_2인 곳에서의 압력이다.

이어서, 평균 압력 P와 P_1, P_2의 관계는 패턴밀도 D(i,j)와 (1-D(i,j))에 따른 부분 압력의 합으로 가정하여 다음 수식과 같이 구한다.

수학식 4

$$D(i,j)P_1 + \{1 - D(i,j)\}P_2 = P$$

이어서, 위의 수식 2 내지 4를 CMP 수행시간 t에 따른 평탄화층의 두께 즉 높이에 대해 풀게 되면, 다음과 같은 각 패턴 셀에서의 CMP 후의 높이 H(i,j)가 얻어진다.

수학식 5

$$\begin{aligned} H(i,j) &= H_0(i,j) + [D(i,j)x_1 - \{1 - D(i,j)\}x_2] \\ &= H_0(i,j) + X_0 - kVPt + h_0[D(i,j)\exp(\frac{-kVtE}{U}) + D_p(i,j)\{1 - \exp(\frac{-kVtE}{U})\}] \end{aligned}$$

여기서, H_0는 지금까지 여러 층이 적층된 경우 지금까지의 적층에 의한 초기 높이로서, 특히 각 층의 적층과 CMP가 반복된 경우에 이전의 CMP에 대한 시뮬레이션 결과를 초기 입력으로 사용하여 현재 평탄화층의 CMP 시뮬레이션을 가능하게 해준다. 또한, X_0는 평탄화층의 적층 두께, h_0는 초기의 단차를 의미한다.

수식 5가 나타내는 물리적인 의미는, 연마 시간 t 후의 각 패턴 셀에서의 평탄화층의 연마량은 압력 P와 상대속도 V에 비례하며, 단차는 패턴밀도, 상도속도, 연마 패드의 탄성률 E에 비례하고 연마 패드의 두께 U에 반비례한다는 것이다.

수식 5에 의한 각 패턴 셀에 대한 CMP 후의 평탄화층의 높이를 칩 내의 모든 패턴 셀에 대해 계산하면 하나의 반도체 칩 전체에 대한 CMP 수행 후의 평탄화층의 두께 및 단차 분포가 얻어지고, 이 평탄화층의 두께 및 단차 분포를 이용하여 CMP 정지시간 및 실제 CMP 수행시의 모니터링 지점을 선정(단계 345)할 수 있게 된다. 모니터링 지점은 실제 양산과정(360) 등에서 CMP의 상황을 모니터링 하기 위한 지점으로서, 보통 시뮬레이션 결과 평탄화층의 높이가 가장 높은 곳과 가장 낮은 곳을 포함하여 선정한다. 또한, 이 두께 및 단차 분포는 더미패턴을 구축(단계 355)하는 데에도 이용할 수 있다. 물론, CMP 정지시간 결정, 모니터링 지점 선정 및 더미패턴의 구축은 후술하는 전체 웨이퍼 수준에서의 시뮬레이션이 끝난 후에 수행할 수도 있다.

다음으로, 지금까지 구한 하나의 반도체 칩 수준에서의 시뮬레이션 결과를 이용하여 전체 웨이퍼 수준의 평탄화층의 두께 및 단차 분포를 구하는 과정을 설명한다.

하나의 반도체 칩에 대한 CMP 시뮬레이션의 결과는 전체 웨이퍼 내에서의 평탄화층의 두께 분포를 예측하는데 기본적인 자료로서 이용되지만, 전체 웨이퍼 수준에서의 분포를 더욱 정확하게 예측하기 위해서는 웨이퍼 내의 위치에 따른 각 파라미터들의 변화를 고려해야 한다. 이를 위해서 본 실시예에서는 이러한 파라미터들의 변화를 수식을 이용하여 계산하는 방법과 실제 CMP를 수행하여 측정하는 방법을 사용한다.

수식을 이용하여 계산하는 경우에, 파라미터들중 가장 변화가 큰 파라미터로서 웨이퍼 내의 각 패턴 셀의 위치에 따른 웨이퍼와 연마 패드의 상대속도 및 웨이퍼를 누르는 압력의 변화를 고려한다. 구체적으로 웨이퍼와 연마 패드의 상대속도 V는 다음의 방정식을 이용하여 구한다.

수학식 6

$$V(R_c)=\int_0^T \frac{\vec{V}(R_c,t)dt}{T}=\frac{2\pi L\Omega_p}{60}\int_0^1 \{(1-\frac{\Omega_c}{\Omega_p})^2(\frac{R_c}{L})^2+2(1-\frac{\Omega_c}{\Omega_p})(\frac{R_c}{L})\cos(2\pi t)+1)\}^{\frac{1}{2}}dt$$

여기서, R_c는 연마 패드의 회전축(도 1에서 130)으로부터 웨이퍼(140) 내의 각 패턴 셀까지의 거리이고, L은 연마 패드의 회전축(130)과 웨이퍼의 회전축(160) 간의 거리, Ω_p 및 Ω_c는 각각 연마 패드 및 웨이퍼의 회전속도이다.

그리고, 웨이퍼 내에서의 각 패턴 셀의 위치에 따른 압력 P는 다음의 식을 이용한다.

수학식 7

$$P(r_w)=a\{P_i-(P_i-P_0)(\frac{r_w}{R})^2\}$$

여기서, r_w는 웨이퍼의 중심에서 각 패턴 셀까지의 거리, P_i는 웨이퍼 중심에서의 압력, P_0는 웨이퍼 모서리에서의 압력, R은 웨이퍼의 반경을 의미한다.

위 수식 6 및 7을 수식 5에 대입하여 계산하면 각 패턴 셀의 웨이퍼 내에서의 위치에 따른 영향을 고려한 각 패턴 셀에 대한 CMP 후의 평탄화층의 높이가 얻어진다.

한편, 실제 CMP를 수행하여 측정한 결과의 파라미터를 사용하는 경우는, 아무런 패턴이 형성되어 있지 않은 웨이퍼(bare wafer)를 CMP 장비에 장착하여 실제 CMP를 수행하고 측정하여 얻은 결과의 파라미터들을 그대로 수식 5에 대입하여 계산한다. 이러한 실제 측정에 의한 방법은 특히, 위의 계산에 의한 방법에서 고려한 상대속도 V 및 압력 P 이외의 다른 파라미터들의 변화가 크게 영향을 미칠 수 있는 경우에 더욱 정확한 시뮬레이션 결과를 보장할 수 있다.

이상과 같이 구한 웨이퍼 수준에서의 평탄화층의 두께 및 단차 분포를 이용하여 CMP 정지시간을 결정하거나, 모니터링 지점을 선정하고(단계 345), 또는 더미패턴을 구축하여(단계 355) 그 결과를 레이아웃 설계에 피드백하여 반영한다.

< 실험예

한편, 본 실시예에 따라 시뮬레이션한 하나의 반도체 칩 내에서의 평탄화층의 두께 및 단차 분포가 실제로 CMP를 수행한 결과와 어느 정도 일치하는지를 알아보기 위해 다음과 같이 특정 시편에 대해 실제로 CMP를 수행한 결과와 시뮬레이션한 결과를 비교하였다.

시편은 크기가 대략 2cm×2cm인 칩들이 형성된 웨이퍼에 초기 단차 h_0가 8000Å인 금속패턴층을 형성하고(전체 평균 패턴밀도는 0.29), 그 위에 실리콘 산화막으로 이루어진 층간절연막(평탄화층)을 X_0=21000Å로 증착했다. CMP 공정의 주요 파라미터들을, 압력 P는 8.5 lb/inch ^{2}, 연마 패드의 회전속도는 35 rpm, 웨이퍼의 회전속도는 15 rpm으로 하고 연마 시간 t는 2분 50초로 하여 CMP를 수행했으며, 시뮬레이션을 위해서는 위 시편의 패턴 맵을 크기가 99.5㎛×99.5㎛이고 개수가 201×198=39798 개의 패턴 셀로 나누고 위의 공정 파라미터를 대입하여 계산했다. 또한, 패턴 윈도우의 크기는 45×45개 즉, 수식 1에서 n=22로 하였다. 시뮬레이션 결과 얻어진 평탄화층의 최고 높이는 7960Å, 최저 높이는 5670Å였다.

비교를 위해 실제 CMP를 수행한 시편의 평탄화층의 두께를 82곳을 지정하여 측정하고, 동일한 위치의 시뮬레이션에 의한 두께를 비교하였는데, 그 결과를 도시한 것이 도 8a 및 도 8b의 그래프이다.

도 8a를 보면 실제 CMP를 수행한 후의 측정값과 시뮬레이션에 의한 값의 변화경향이 잘 일치하고 있음을 알 수 있다. 또한, 그 분포를 도시한 도 8b를 보면, 두 결과가 잘 일치하고 있음을 알 수 있다. 즉, 그 값이 일치하는 대각선 주위에 대부분이 분포하고, 거의가 오차 10%선인 점선 내에 포함되어 있다. 평균 오차는 3%였으며 최대 오차는 10%였다.

이어서, 전체 웨이퍼 수준으로 확장된 시뮬레이션과 측정을 하였다.

먼저, 도 9a에 그 웨이퍼 맵이 도시된 바와 같이, 동일한 금속패턴층 위에 평탄화층으로 실리콘 산화막이 형성된 30개의 반도체 칩(도 9a에서 각각의 사각형)이 포함된 웨이퍼를 준비하였다. 이때 칩이 형성되지 않은 웨이퍼의 주변부는 반도체 칩 영역의 금속패턴층을 형성하기 위해 적층했던 금속층이 패터닝 되지 않은 채로 남아 있고(따라서 패턴밀도는 1이 된다), 그 위에 동일한 평탄화층이 형성되어 있다. 따라서, 웨이퍼 주변부의 높이가 반도체 칩 영역에서의 평균 높이보다 높게 되어 있다. 이러한 웨이퍼에 대해 2분 50초 동안 CMP를 수행하였다.

시뮬레이션은 웨이퍼 중앙부의 칩(chip 2)을 택하여 상술한 바와 같이 칩 수준의 평탄화층의 두께 및 단차 분포를 계산한 후, 이 결과를 가지고 나머지 칩들의 평탄화층의 두께를 계산했다. 이때 웨이퍼 수준으로의 확장을 위해 수식 5에서의 파라미터들의 수정은, 계산의 단순화를 위해 웨이퍼 중심으로부터의 위치에 따른 변화를 고려하지는 않고 단순히 칩의 위치에 따른 경계조건만을 고려하였다. 즉, 패턴밀도가 1인, 칩이 형성되지 않은 웨이퍼 주변부에 의한 칩 영역의 패턴밀도의 변화만을 고려하였다. 이런 조건으로 시뮬레이션한 결과는, chip 2 내지 chip 6에 대해서 그 평탄화층의 높이를 도시한 도 9b에 도시된 바와 같이, 칩이 형성되지 않은 웨이퍼 주변부의 단차의 영향으로 chip 3, 4, 6의 모서리(도면에서 P로 표시한 부분)에서 가장 높게 나타났다.

실제 CMP 수행 후의 측정은, 도 9a에 도시된 바와 같은 7개의 칩(chip 1 내지 chip 7) 각각의 대각선을 따라서 31개 지점의 평탄화층의 높이를 측정했고, 그 결과는 도 9c에 도시된 바와 같다. 시뮬레이션에서와 마찬가지로 실제 측정에서도 chip 3, 4, 6의 모서리(측정지점 31, 30, 29 등)에서 평탄화층의 높이가 높았다. 이 웨이퍼 주변부의 영향에 의해 평탄화층의 높이가 높게 나타난 즉, CMP가 덜 된 영역의 폭은, 시뮬레이션 결과에서는 대략 2.2mm였고 측정값에서는 2.1mm로 거의 일치하였다.

시뮬레이션값과 실제 측정값과의 비교를 더 명확히 하기 위해 실제 측정했던 측정지점과 동일한 위치에서의 시뮬레이션 결과를 일부 비교 도시한 도 9d를 보면, 칩 수준에서의 시뮬레이션을 웨이퍼 수준으로 확장한 본 실험예에서의 시뮬레이션이 실제 CMP의 수행 결과와 잘 일치하고 있음을 알 수 있다. 시뮬레이션값의 실제 측정값과의 평균 오차는 4%였고, 최대 오차는 11%로 아주 양호한 것을 확인하였다. 또한, 도 9e에 도시된 바와 같이 그 분포가 시뮬레이션값과 측정값이 일치하는 대각선 주위에 분포하고 대부분이 오차 10%선인 점선 내에 분포한다.

본 실험예의 시뮬레이션에서는, 웨이퍼 전체에서 연마율은 동일한 것으로 가정하고 웨이퍼 주변부에 의한 경계조건만을 고려하였음에도 불구하고 위와 같이 정확한 결과를 얻었는데, 만약 웨이퍼의 중심으로부터의 거리에 따른, 또한 연마패드의 회전축으로부터의 거리에 따른 상대속도와 압력의 변화를 더 고려한다면 보다 정확한 결과를 얻을 수 있을 것이다.

한편, 상술한 실시예와 실험예에서는 금속배선을 위한 금속패턴층 위에 층간절연막으로서의 평탄화층에 대해 CMP를 수행한 것을 주로하여 설명하였으나 본 발명이 이에 한정되는 것은 아니다. 예컨대, 층간절연막에 금속배선이 형성될 영역을 패터닝하고 그 위에 금속층을 적층한 후 CMP를 수행하여 층간절연막 상부에 적층된 금속층을 전부 제거하여 금속배선을 형성하는 이른바 다마슨(Damascene) 공정에도 본 발명의 시뮬레이션 방법은 적용가능하다.

한편, 상술한 본 발명의 CMP 시뮬레이션 방법은 프로그램으로 구현가능하고, 이 프로그램은 컴퓨터가 읽을 수 있는 기록매체에 의해 제공될 수 있다. 그리하여 본 발명의 CMP 시뮬레이션 프로그램은 범용 디지털 컴퓨터에서 실행될 수 있다. 상기 기록매체는 마그네틱 저장매체(예:롬, 플로피디스크, 하드 디스크 등), 광학적 판독 매체(예:CD-ROM, DVD 등) 및 캐리어 웨이브(예:인터넷을 통해 전송)와 같은 저장매체를 포함한다.

본 발명의 CMP 시뮬레이션 방법을 구현한 시뮬레이션 프로그램은, 도 3에 도시된 바와 같은 CMP 시뮬레이션의 각 단계들이 컴퓨터에서 수행될 수 있도록, 소정 물질층 패턴의 레이아웃 데이터에 대하여 패턴 셀 및 패턴 윈도우를 설정하는 프로그램 모듈, 각 패턴 셀에 대해 패턴밀도를 구하는 프로그램 모듈, 각 패턴 셀에 대해, 인접한 복수의 주변 패턴 셀의 패턴이 중심 패턴 셀의 패턴밀도에 미치는 영향을 고려한 실효 패턴밀도를 구하는 프로그램 모듈, 및 상기 각 패턴 셀의 실효 패턴밀도를 이용하여, 상기 물질층 상에 적층되는 평탄화층에 대해 화학기계적 연마를 수행했을 때의 시간에 따른 평탄화층의 두께 및 단차 분포를 구하는 프로그램 모듈을 구비한다. 여기서 각 프로그램 모듈들이 수행하는 기능 및 동작은 상술한 CMP 시뮬레이션 방법에서 설명한 바와 동일하므로 그 설명을 생략한다. 그리고, 각 프로그램 모듈을 실제로 코드화한 기능적인(functional) 프로그램, 코드 및 코드 세그먼트들은 본 발명이 속하는 기술분야의 프로그래머들에 의해 용이하게 작성될 수 있다.

발명의 효과

이상 상술한 바와 같이 본 발명의 패턴밀도를 구하는 방법 및 CMP 시뮬레이션 방법에 따르면, 실제 물질층 패턴의 형성 및 CMP를 수행하지 않고도 레이아웃 데이터로부터 패턴밀도 및 CMP 후의 평탄화층의 두께 분포를 정확히 예측할 수 있어, 레이아웃 최적화 및 불량 분석위치 선정 등에 활용함으로써 반도체 소자의 개발기간을 단축할 수 있다. 또한, 본 발명의 패턴밀도를 구하는 방법은 주변 패턴에 의한 영향을 고려한 각 패턴 셀의 실효 패턴밀도를, 주변 패턴 셀과의 거리를 감안하여 고려함으로써 보다 정확한 예측이 가능하게 되고, 또한 패턴밀도의 계산시 평탄화층의 적층방법에 따른 스케일링 팩터를 고려함으로써 예측의 정확도를 더욱 높일 수 있다. 아울러, 본 발명의 시뮬레이션 방법은, 칩 수준의 시뮬레이션 결과를 웨이퍼 내에서의 패턴 셀의 위치에 따른 공정 파라미터의 변화를 고려하여 전체 웨이퍼 수준으로 확장함으로써, 전체 웨이퍼 수준에서의 예측의 정확성을 높일 수 있다.

(57) 청구의 범위

청구항 1.

반도체 소자를 이루는 소정 물질층의 패턴을 실제 형성하지 않고 상기 물질층 패턴의 패턴밀도를 예측하여 설계에 반영하기 위해, 상기 물질층 패턴을 정의한 레이아웃 데이터로부터 상기 물질층 패턴의 패턴밀도를 구하는 방법에 있어서,

(a) 상기 레이아웃 데이터에 대해 사각형의 반복되는 패턴 셀을 설정하는 단계;

(b) 상기 각 패턴 셀에 대해, 각 패턴 셀 내에서 패턴이 점하는 면적 비율을 계산하여 패턴밀도를 구하는 단계; 및

(c) 상기 각 패턴 셀에 대해, 상기 패턴 셀에 인접한 복수의 주변 패턴 셀의 패턴이 상기 각 패턴 셀의 패턴밀도에 미치는 영향을, 상기 각 패턴 셀로부터의 거리의 함수로 계산하여 상기 각 패턴 셀의 패턴밀도를 보정한 실효 패턴밀도를 구하는 단계를 구비하는 것을 특징으로 하는 소정 물질층 패턴의 패턴밀도를 구하는 방법.

청구항 2.

제1항에 있어서, 상기 (b) 단계 이전에,

상기 물질층 상에 적층되는 상부층의 적층방법에 따라 상기 각 패턴 셀 내의 패턴의 폭을 확장하거나 축소하는 스케일링 단계를 더 구비하는 것을 특징으로 하는 소정 물질층 패턴의 패턴밀도를 구하는 방법.

청구항 3.

제1항에 있어서, 상기 (b) 단계와 (c) 단계 사이에,

상기 (b) 단계에서 구한 패턴밀도에, 상기 물질층 상에 적층되는 상부층의 적층방법에 따른 스케일링 팩터를 곱하는 단계를 더 구비하는 것을 특징으로 하는 소정 물질층 패턴의 패턴밀도를 구하는 방법.

청구항 4.

제1항에 있어서, 상기 (c) 단계는,

(c1) 상기 실효 패턴밀도를 구할 각 패턴 셀을 중심 패턴 셀로 놓고 상기 중심 패턴 셀 주위의 복수의 주변 패턴 셀을 포함하는 패턴 윈도우를 설정하는 단계;

(c2) 상기 각 주변 패턴 셀의 패턴밀도에 상기 중심 패턴 셀로부터의 거리에 반비례하는 가중치를 곱하는 단계;

(c3) 상기 가중치가 곱해진 각 주변 패턴 셀의 패턴밀도와 상기 중심 패턴 셀의 패턴밀도를 곱하는 단계;

(c4) 상기 (c3) 단계에서 곱한 각 값들을 모두 합하는 단계; 및

(c5) 상기 (c4) 단계에서 합한 값을 상기 패턴 윈도우 내에 포함된 패턴 셀의 수로 나누는 단계로 이루어지는 것을 특징으로 하는 소정 물질층 패턴의 패턴밀도를 구하는 방법.

청구항 5.

제4항에 있어서, 상기 가중치는 다음 식으로 나타내지는 것을 특징으로 하는 소정 물질층 패턴의 패턴밀도를 구하는 방법.

$$\frac{1}{|l|+|m|}$$

여기서, l은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 x축 방향 거리이고, m은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 y축 방향 거리이다.

청구항 6.

반도체 소자를 이루는 소정 물질층의 패턴 상에 적층된 평탄화층에 대한 화학기계적 연마 결과를 예측하여 설계에 반영하기 위해, 상기 물질층 패턴을 정의한 레이아웃 데이터로부터 상기 평탄화층의 화학기계적 연마 수행후의 형상을 시뮬레이션하는 방법에 있어서,

(a) 상기 레이아웃 데이터에 대해 사각형의 반복되는 패턴 셀을 설정하는 단계;

(b) 상기 각 패턴 셀에 대해, 각 패턴 셀 내에서 패턴이 점하는 면적 비율을 계산하여 패턴밀도를 구하는 단계;

(c) 상기 각 패턴 셀에 대해, 상기 패턴 셀에 인접한 복수의 주변 패턴 셀의 패턴이 상기 각 패턴 셀의 패턴밀도에 미치는 영향을, 상기 각 패턴 셀로부터의 거리의 함수로 계산하여 상기 각 패턴 셀의 패턴밀도를 보정한 실효 패턴밀도를 구하는 단계; 및

(d) 상기 각 패턴 셀의 실효 패턴밀도를 이용하여, 상기 물질층 상에 적층되는 평탄화층에 대해 화학기계적 연마를 수행했을 때의 시간에 따른 상기 반도체 칩 내부의 상기 평탄화층의 두께 및 단차 분포를 구하는 단계를 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 7.

제6항에 있어서, 상기 (b) 단계 이전에,

상기 물질층 상에 적층되는 평탄화층의 적층방법에 따라 상기 각 패턴 셀 내의 패턴의 폭을 확장하거나 축소하는 스케일링 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 8.

제6항에 있어서, 상기 (b) 단계와 (c) 단계 사이에,

상기 (b) 단계에서 구한 패턴밀도에, 상기 물질층 상에 적층되는 평탄화층의 적층방법에 따른 스케일링 팩터를 곱하는 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 9.

제6항에 있어서, 상기 (c) 단계는,

(c1) 상기 실효 패턴밀도를 구할 각 패턴 셀을 중심 패턴 셀로 놓고 상기 중심 패턴 셀 주위의 복수의 주변 패턴 셀을 포함하는 패턴 윈도우를 설정하는 단계;

(c2) 상기 각 주변 패턴 셀의 패턴밀도에 상기 중심 패턴 셀로부터의 거리에 반비례하는 가중치를 곱하는 단계;

(c3) 상기 가중치가 곱해진 각 주변 패턴 셀의 패턴밀도와 상기 중심 패턴 셀의 패턴밀도를 곱하는 단계;

(c4) 상기 (c3) 단계에서 곱한 각 값들을 모두 합하는 단계; 및

(c5) 상기 (c4) 단계에서 합한 값을 상기 패턴 윈도우 내에 포함된 패턴 셀의 수로 나누는 단계로 이루어지는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 10.

제9항에 있어서, 상기 가중치는 다음 식으로 나타내지는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

$$\frac{1}{|l|+|m|}$$

여기서, l은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 x축 방향 거리이고, m은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 y축 방향 거리이다.

청구항 11.

제6항에 있어서, 상기 (d) 단계의 상기 시간에 따른 평탄화층의 두께 H는 다음 식으로 주어지는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

$$H(i,j)=H_0(i,j)+X_0-kVPt+h_0[D(i,j)\exp(\frac{-kVtE}{U})+D_p(i,j)\{1-\exp(\frac{-kVtE}{U})\}]$$

여기서, i,j는 정수로서 각각 상기 각 패턴 셀의 상기 반도체 칩 내에서의 위치를 나타내고, H_0는 지금까지의 각 층의 적층에 의한 초기 높이, X_0는 평탄화층의 적층 두께, h_0는 초기의 단차, D는 상기 (b) 단계에서 구한 각 패턴 셀의 패턴밀도, D_p는 상기 (c) 단계에서 구한 각 패턴 셀의 실효 패턴밀도, k는 프레스턴(Preston) 계수, V는 웨이퍼와 연마 패드 간의 상대속도, P는 연마 패드가 웨이퍼를 누르는 압력, t는 시간, E는 연마 패드의 영(Young)의 탄성률, U는 연마 패드의 두께이다.

청구항 12.

제11항에 있어서, 상기 (d) 단계 이후에,

상기 시간에 따른 평탄화층의 두께 H의 식에, 웨이퍼 내에서의 각 반도체 칩의 위치에 따라 변화하는 파라미터들을 구하여 대입함으로써, 상기 웨이퍼 내에서의 위치에 따른 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 구하는 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 13.

제12항에 있어서, 상기 웨이퍼 내에서의 각 반도체 칩의 위치에 따른 상기 두께 H의 식의 파라미터중, 연마 패드와 웨이퍼의 상대속도 V 및 연마 패드의 압력 P의 변화를 각각 다음 식으로 계산하여 대입하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

$$V(R_c)=\int_0^T\frac{\vec{V}(R_c,t)dt}{T}=\frac{2\pi L\Omega_p}{60}\int_0^1\{(1-\frac{\Omega_c}{\Omega_p})^2(\frac{R_c}{L})^2+2(1-\frac{\Omega_c}{\Omega_p})(\frac{R_c}{L})\cos(2\pi t)+1)\}^{\frac{1}{2}}dt$$

$$P(r_w)=a\{P_i-(P_i-P_0)(\frac{r_w}{R})^2\}$$

여기서, R_c는 연마 패드의 회전축과 웨이퍼 내의 각 패턴 셀 간의 거리, L은 연마 패드의 회전축과 웨이퍼의 회전축 간의 거리, Ω_p는 연마 패드의 회전속도, Ω_c는 웨이퍼의 회전속도, t는 시간을 나타내고, r_w는 웨이퍼의 중심에서 각 패턴 셀까지의 거리, P_i는 웨이퍼 중심에서의 압력, P_0는 웨이퍼 모서리에서의 압력, R은 웨이퍼의 반경을 나타낸다.

청구항 14.

제12항에 있어서, 상기 웨이퍼 내에서의 각 반도체 칩의 위치에 따라 변화하는 파라미터들을, 무패턴의 웨이퍼를 화학기계적 연마를 수행하여 측정한 결과로부터 얻는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 15.

제6항에 있어서, 상기 (d) 단계 이후에,

상기 (d) 단계에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 웨이퍼에 대한 화학기계적 연마의 정지시간을 결정하는 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 16.

제6항에 있어서, 상기 (d) 단계 이후에,

상기 (d) 단계에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 웨이퍼에 대해 실제로 화학기계적 연마를 수행했을 때의 모니터링 지점을 선정하는 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 17.

제6항에 있어서, 상기 (d) 단계 이후에,

상기 (d) 단계에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 평탄화층의 두께가 얇게 되는 곳에 더미 패턴을 구축하여 상기 (a) 단계의 레이아웃에 피드백하는 단계를 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 18.

제6항에 있어서, 상기 물질층은 상기 반도체 칩의 금속 배선을 위한 금속층이고, 상기 평탄화층은 상기 금속층 상에 적층되는 층간절연막인 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 방법.

청구항 19.

반도체 소자를 이루는 소정 물질층의 패턴 상에 적층된 평탄화층에 대한 화학기계적 연마를 실제 수행하기 전에, 상기 물질층 패턴을 정의한 레이아웃 데이터로부터 상기 평탄화층의 화학기계적 연마 수행후의 형상을 시뮬레이션하는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체에 있어서,

(a) 상기 레이아웃 데이터에 대해 사각형의 반복되는 패턴 셀을 설정하는 프로그램 모듈;

(b) 상기 각 패턴 셀에 대해, 각 패턴 셀 내에서 패턴이 점하는 면적 비율을 계산하여 패턴밀도를 구하는 프로그램 모듈;

(c) 상기 각 패턴 셀에 대해, 상기 패턴 셀에 인접한 복수의 주변 패턴 셀의 패턴이 상기 각 패턴 셀의 패턴밀도에 미치는 영향을, 상기 각 패턴 셀로부터의 거리의 함수로 계산하여 상기 각 패턴 셀의 패턴밀도를 보정한 실효 패턴밀도를 구하는 프로그램 모듈; 및

(d) 상기 각 패턴 셀의 실효 패턴밀도를 이용하여, 상기 물질층 상에 적층되는 평탄화층에 대해 화학기계적 연마를 수행했을 때의 시간에 따른 상기 반도체 칩 내부의 상기 평탄화층의 두께 및 단차 분포를 구하는 프로그램 모듈을 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 20.

제19항에 있어서, 상기 (a) 모듈에서 설정된 상기 각 패턴 셀에 대하여, 상기 물질층 상에 적층되는 평탄화층의 적층방법에 따라 상기 각 패턴 셀 내의 패턴의 폭을 확장하거나 축소하여 스케일링하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 21.

제19항에 있어서, 상기 (b) 모듈에서 구한 패턴밀도에, 상기 물질층 상에 적층되는 평탄화층의 적층방법에 따른 스케일링 팩터를 곱하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 22.

제19항에 있어서, 상기 (c) 모듈은,

(c1) 상기 실효 패턴 밀도를 구할 각 패턴 셀을 중심 패턴 셀로 놓고 상기 중심 패턴 셀 주위의 복수의 주변 패턴 셀을 포함하는 패턴 윈도우를 설정하는 서브 프로그램 모듈;

(c2) 상기 각 주변 패턴 셀의 패턴밀도에 상기 중심 패턴 셀로부터의 거리에 반비례하는 가중치를 곱하는 서브 프로그램 모듈;

(c3) 상기 가중치가 곱해진 각 주변 패턴 셀의 패턴밀도와 상기 중심 패턴 셀의 패턴밀도를 곱하는 서브 프로그램 모듈;

(c4) 상기 (c3) 서브 모듈에서 곱한 각 값들을 모두 합하는 서브 프로그램 모듈; 및

(c5) 상기 (c4) 서브 모듈에서 합한 값을 상기 패턴 윈도우 내에 포함된 패턴 셀의 수로 나누는 서브 프로그램 모듈로 이루어지는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 23.

제22항에 있어서, 상기 가중치는 다음 식으로 나타내지는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

$$\frac{1}{|l|+|m|}$$

여기서, l은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 x축 방향 거리이고, m은 상기 각 주변 패턴 셀의 상기 중심 패턴 셀로부터의 y축 방향 거리이다.

청구항 24.

제19항에 있어서, 상기 (d) 모듈은 상기 시간에 따른 평탄화층의 두께 H를 다음 식을 이용하여 구하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

$$H(i,j)=H_0(i,j)+X_0-kVPt+h_0[D(i,j)\exp(\frac{-kVtE}{U})+D_p(i,j)\{1-\exp(\frac{-kVtE}{U})\}]$$

여기서, i,j는 정수로서 각각 상기 각 패턴 셀의 상기 반도체 칩 내에서의 위치를 나타내고, H_0는 지금까지의 각 층의 적층에 의한 초기 높이, X_0는 평탄화층의 적층 두께, h_0는 초기의 단차, D는 상기 (b) 모듈에서 구한 각 패턴 셀의 패턴밀도, D_p는 상기 (c) 모듈에서 구한 각 패턴 셀의 실효 패턴밀도, k는 프레스턴(Preston) 계수, V는 웨이퍼와 연마 패드 간의 상대속도, P는 연마 패드가 웨이퍼를 누르는 압력, t는 시간, E는 연마 패드의 영(Young)의 탄성률, U는 연마 패드의 두께이다.

청구항 25.

제24항에 있어서, 상기 (d) 모듈에서 이용하는 시간에 따른 평탄화층의 두께 H의 식에, 웨이퍼 내에서의 각 반도체 칩의 위치에 따라 변화하는 파라미터들을 구하여 대입함으로써, 상기 웨이퍼 내에서의 위치에 따른 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 구하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 26.

제25항에 있어서, 상기 웨이퍼 내에서의 각 반도체 칩의 위치에 따른 상기 두께 H의 식의 파라미터중, 연마 패드와 웨이퍼의 상대속도 V 및 연마 패드의 압력 P의 변화를 각각 다음 식으로 계산하여 대입하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

$$V(R_c)=\int_0^T \frac{\vec{V}(R_c,t)dt}{T}=\frac{2\pi L\Omega_p}{60}\int_0^1\{(1-\frac{\Omega_c}{\Omega_p})^2(\frac{R_c}{L})^2+2(1-\frac{\Omega_c}{\Omega_p})(\frac{R_c}{L})\cos(2\pi t)+1)\}^{\frac{1}{2}}dt$$

$$P(r_w)=a\{P_i-(P_i-P_0)(\frac{r_w}{R})^2\}$$

여기서, R_c는 연마 패드의 회전축과 웨이퍼 내의 각 패턴 셀 간의 거리, L은 연마 패드의 회전축과 웨이퍼의 회전축 간의 거리, Ω_p는 연마 패드의 회전속도, Ω_c는 웨이퍼의 회전속도, t는 시간을 나타내고, r_w는 웨이퍼의 중심에서 각 패턴 셀까지의 거리, P_i는 웨이퍼 중심에서의 압력, P_0는 웨이퍼 모서리에서의 압력, R은 웨이퍼의 반경을 나타낸다.

청구항 27.

제25항에 있어서, 상기 웨이퍼 내에서의 각 반도체 칩의 위치에 따라 변화하는 파라미터들을, 무패턴의 웨이퍼를 화학기계적 연마를 수행하여 측정한 결과로부터 얻는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 28.

제19항에 있어서, 상기 (d) 모듈에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 웨이퍼에 대한 화학기계적 연마의 정지시간을 결정하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 29.

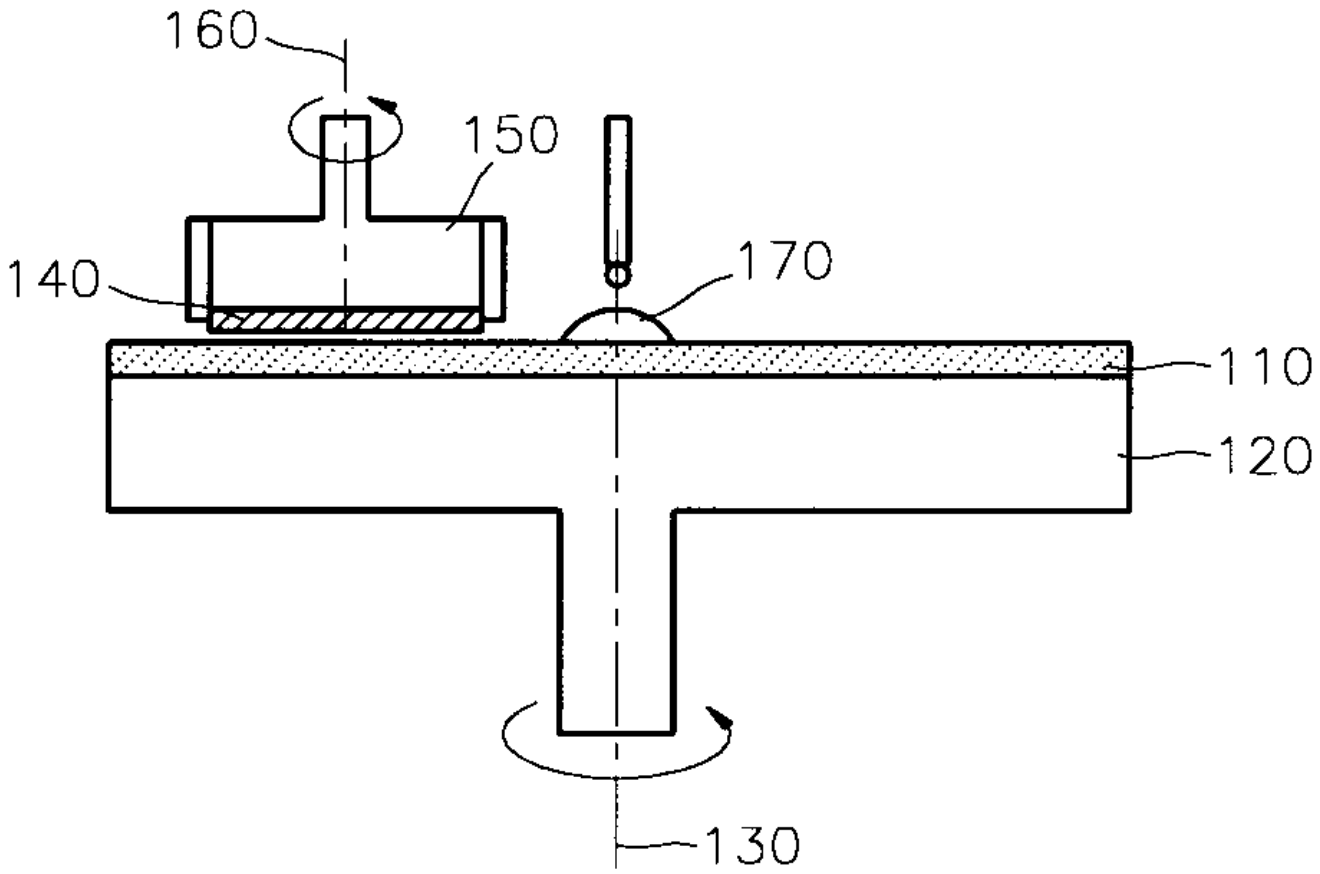
제19항에 있어서, 상기 (d) 모듈에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 웨이퍼에 대해 실제로 화학기계적 연마를 수행했을 때의 모니터링 지점을 선정하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

청구항 30.

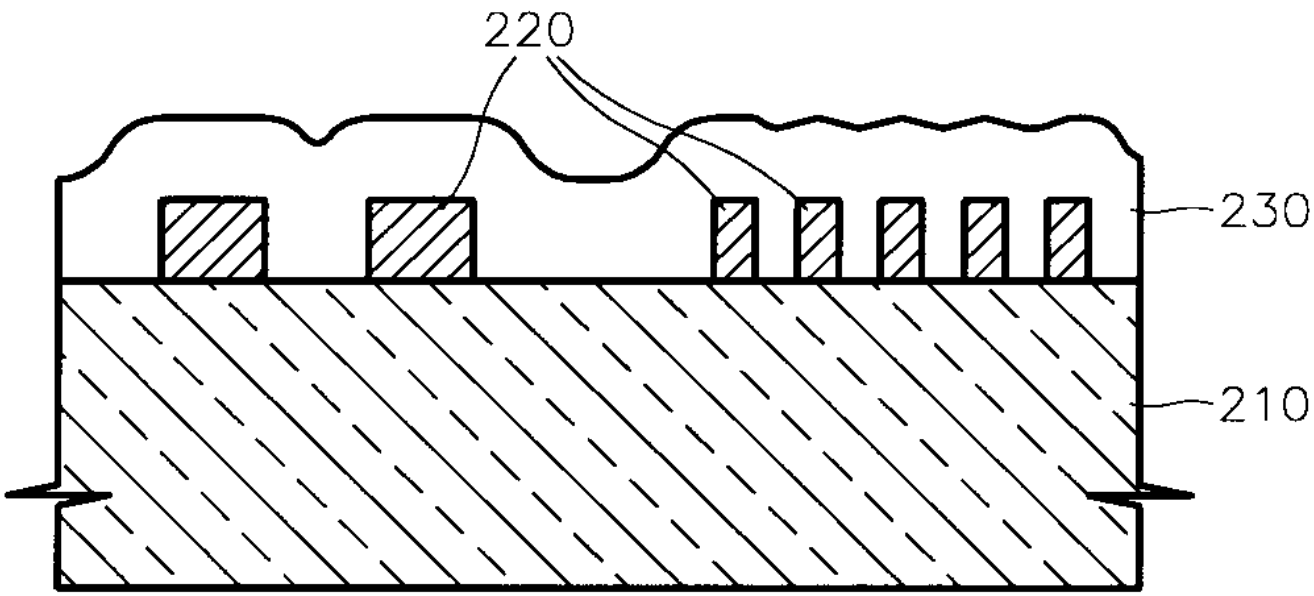
제19항에 있어서, 상기 (d) 모듈에서 구한 웨이퍼 내의 각 반도체 칩에서의 상기 평탄화층의 두께 및 단차 분포를 이용하여, 상기 평탄화층의 두께가 얇게 되는 곳에 더미 패턴을 구축하여 상기 (a) 모듈의 레이아웃에 피드백하는 프로그램 모듈을 더 구비하는 것을 특징으로 하는 화학기계적 연마의 시뮬레이션 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

도면

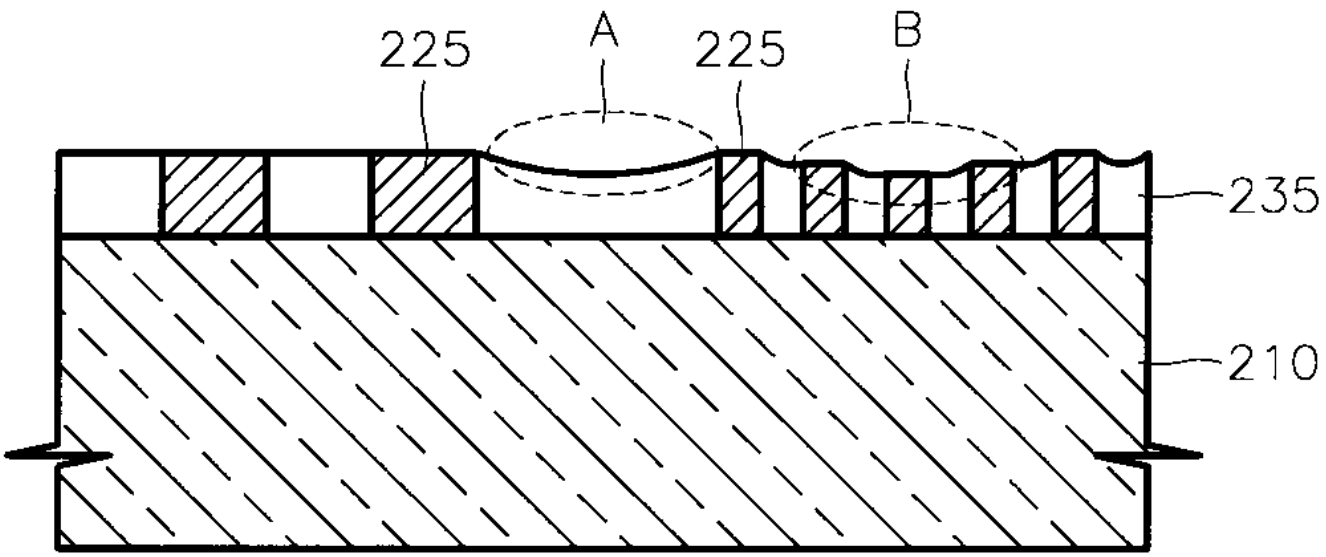
도면 1



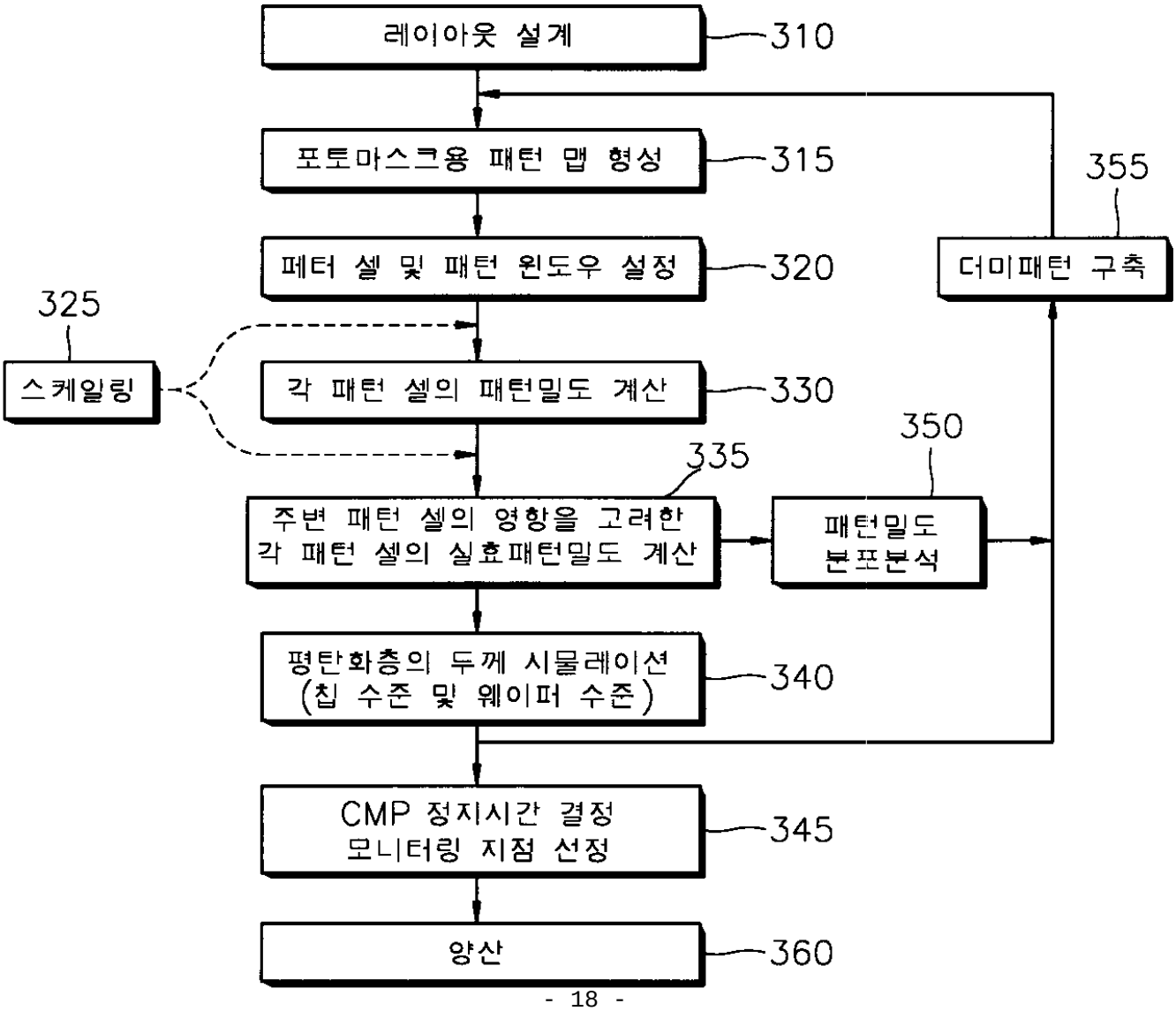
도면 2a



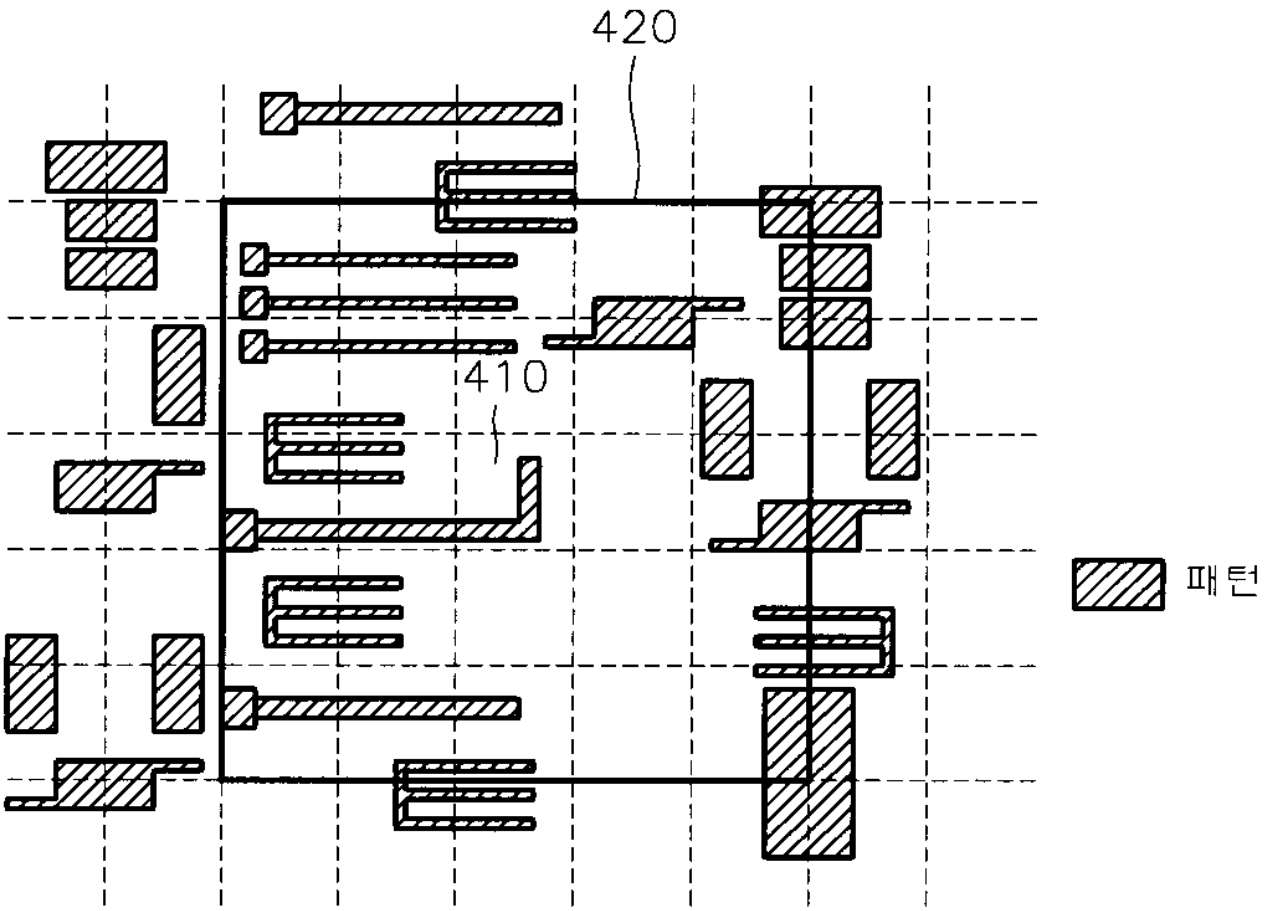
도면 2b


225
A
225
B
235
210

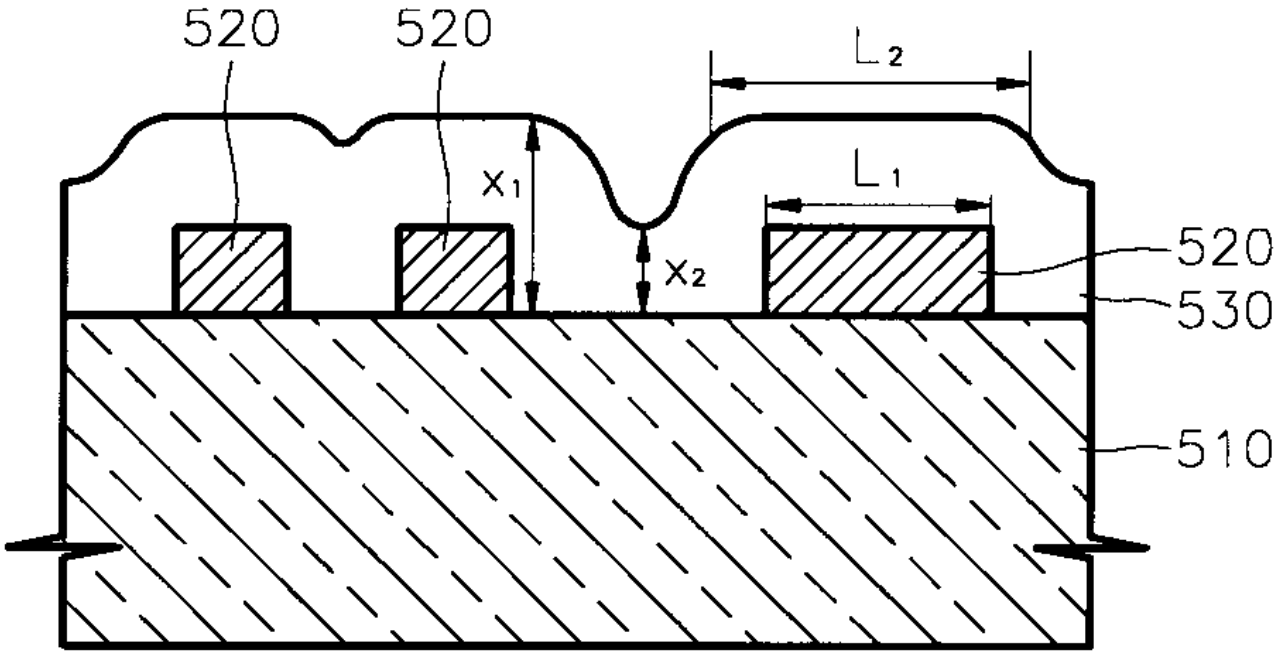
도면 3


레이아웃 설계
310
포토마스크용 패턴 맵 형성
315
355
페터 셀 및 패턴 윈도우 설정
320
더미패턴 구축
325
스케일링
각 패턴 셀의 패턴밀도 계산
330
350
335
주변 패턴 셀의 영향을 고려한
각 패턴 셀의 실효패턴밀도 계산
패턴밀도
분포분석
평탄화층의 두께 시뮬레이션
(칩 수준 및 웨이퍼 수준)
340
CMP 정지시간 결정
모니터링 지점 선정
345
양산
360

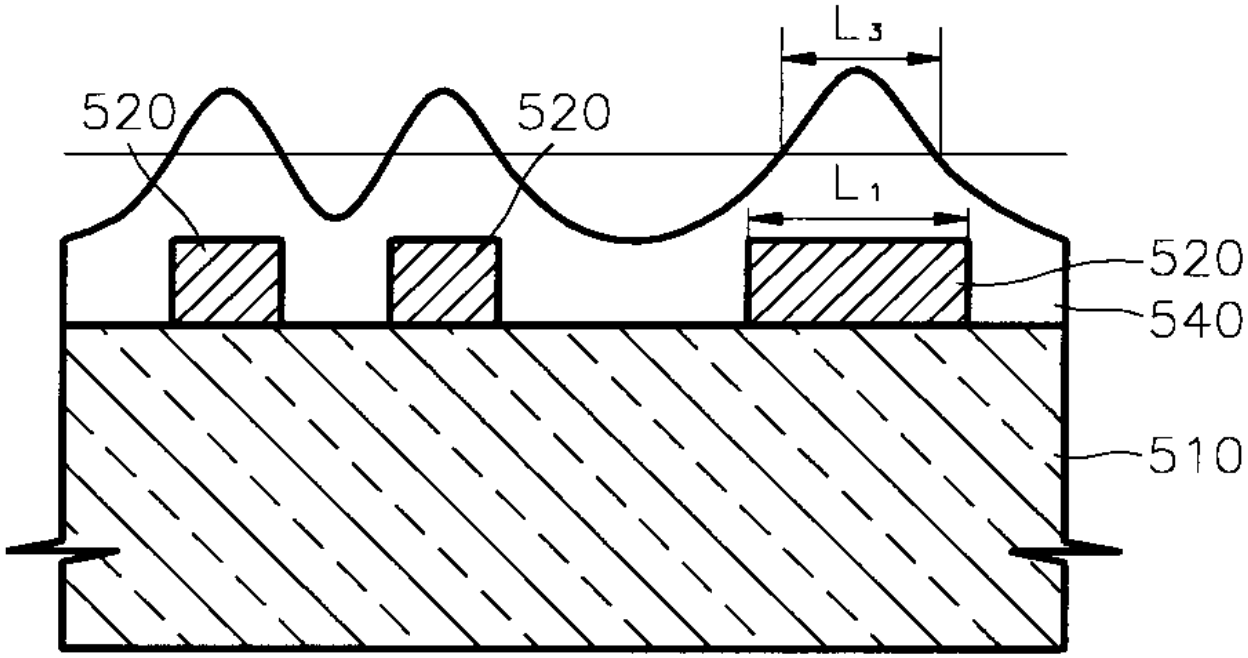
도면 4



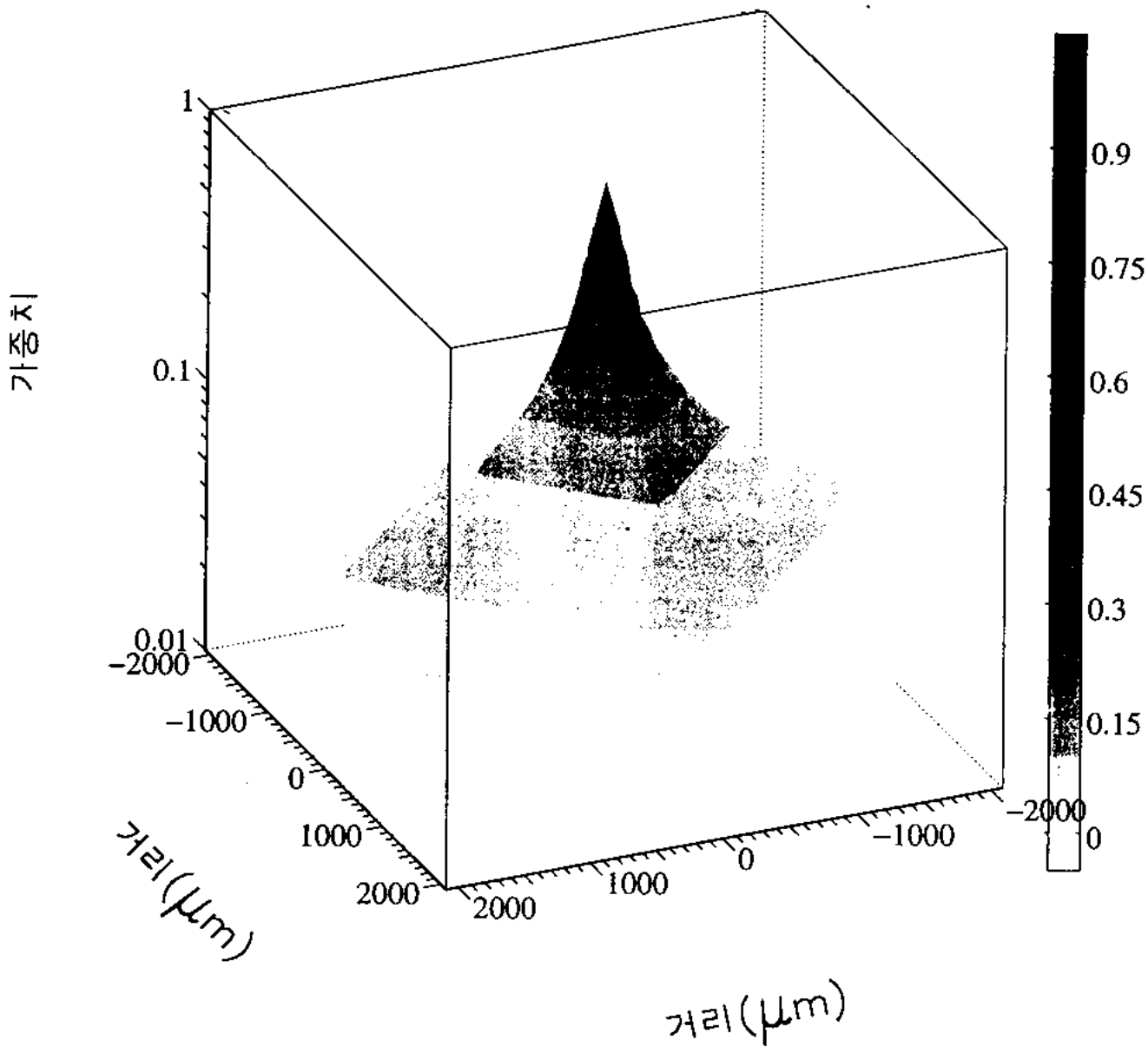
도면 5a



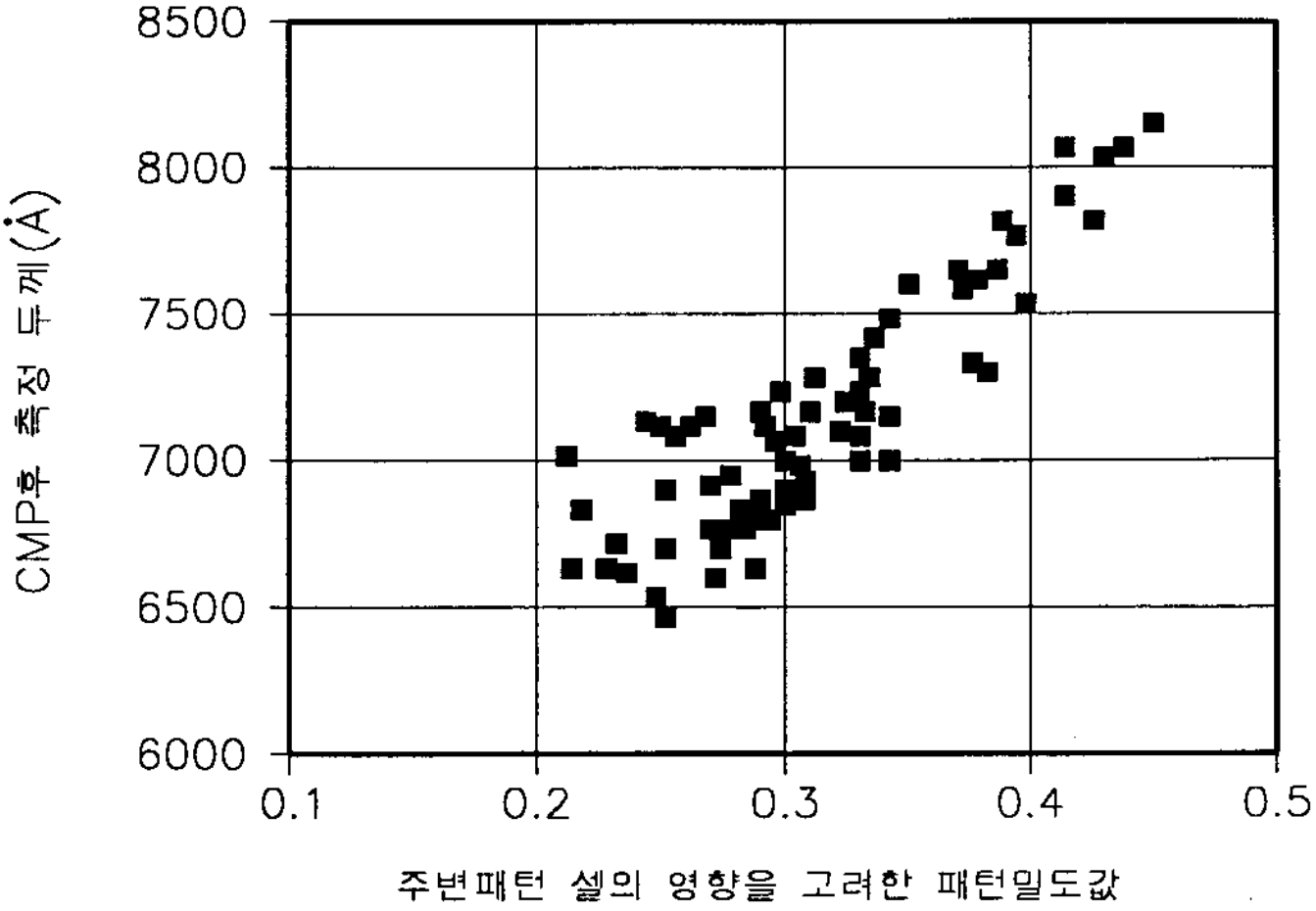
도면 5b



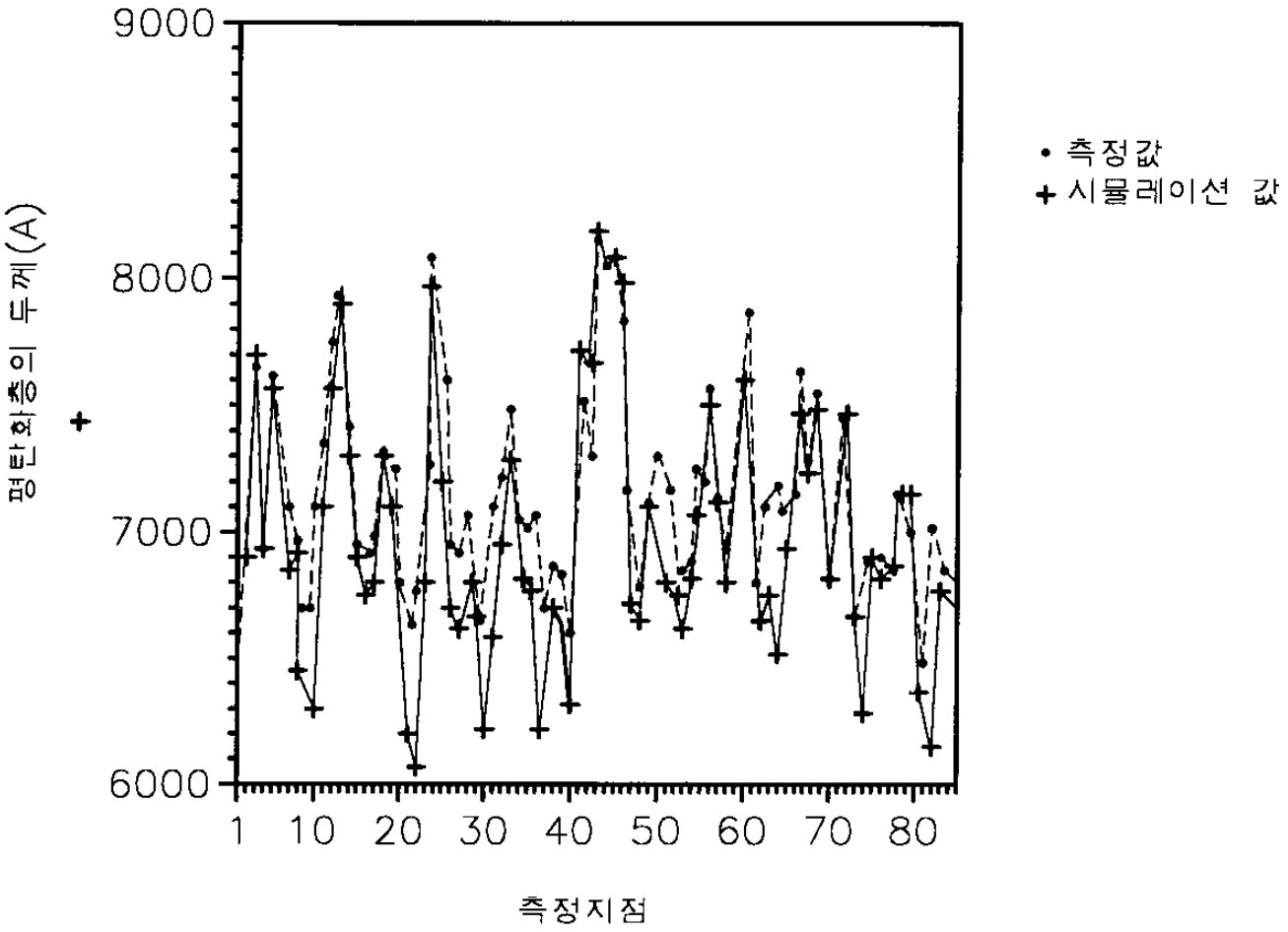
도면 6


가중치
1
0.1
0.01
−2000
−1000
0
1000
2000
거리(μm)
2000
1000
0
−1000
−2000
거리(μm)
0.9
0.75
0.6
0.45
0.3
0.15
0

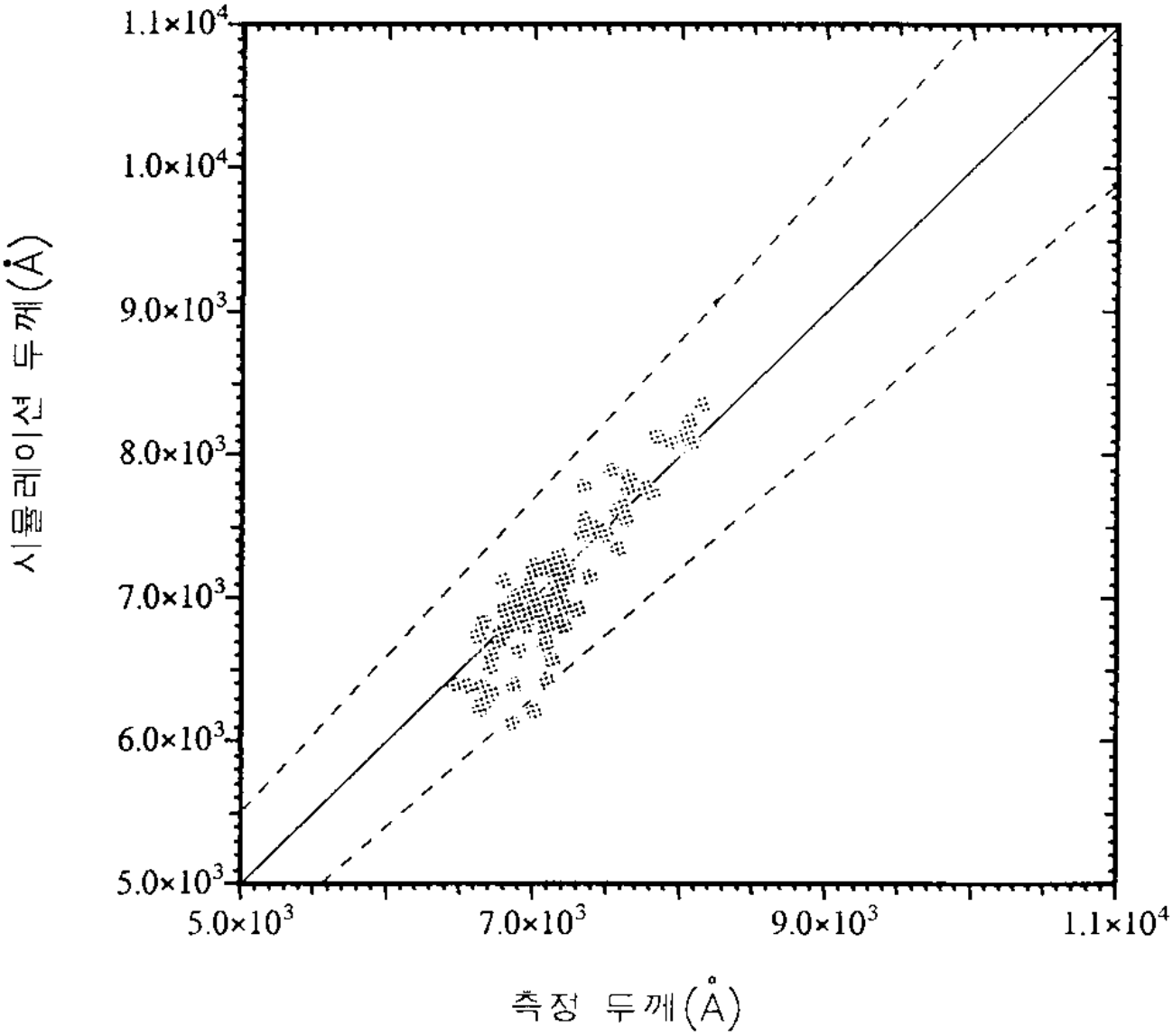
도면 7


8500
8000
7500
7000
6500
6000
CMP후 측정 두께(Å)
0.1
0.2
0.3
0.4
0.5
주변패턴 셀의 영향을 고려한 패턴밀도값

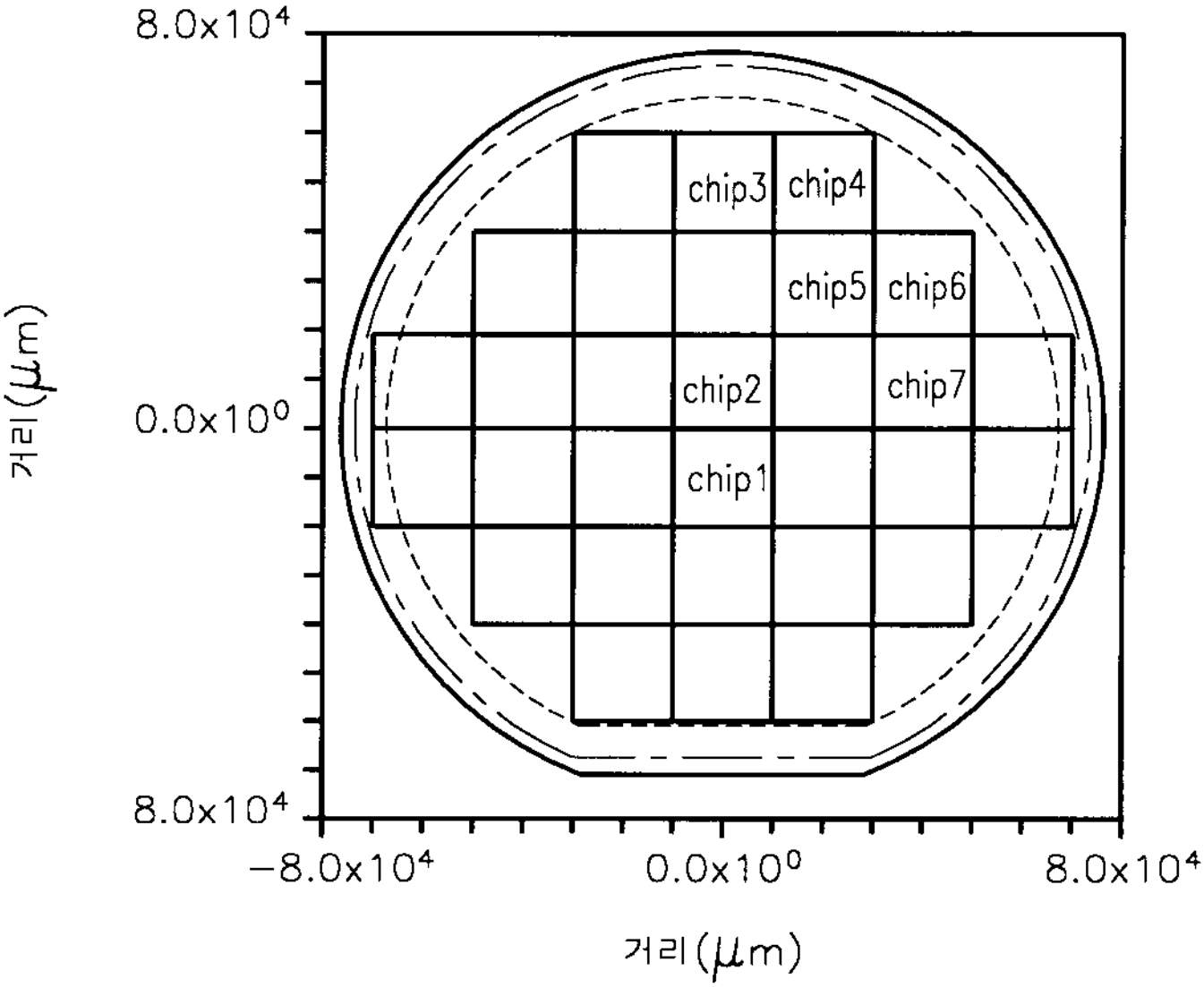
도면 8a


9000
8000
7000
6000
1
10
20
30
40
50
60
70
80
평탄화층의 두께(A)
측정지점
• 측정값
+ 시뮬레이션 값

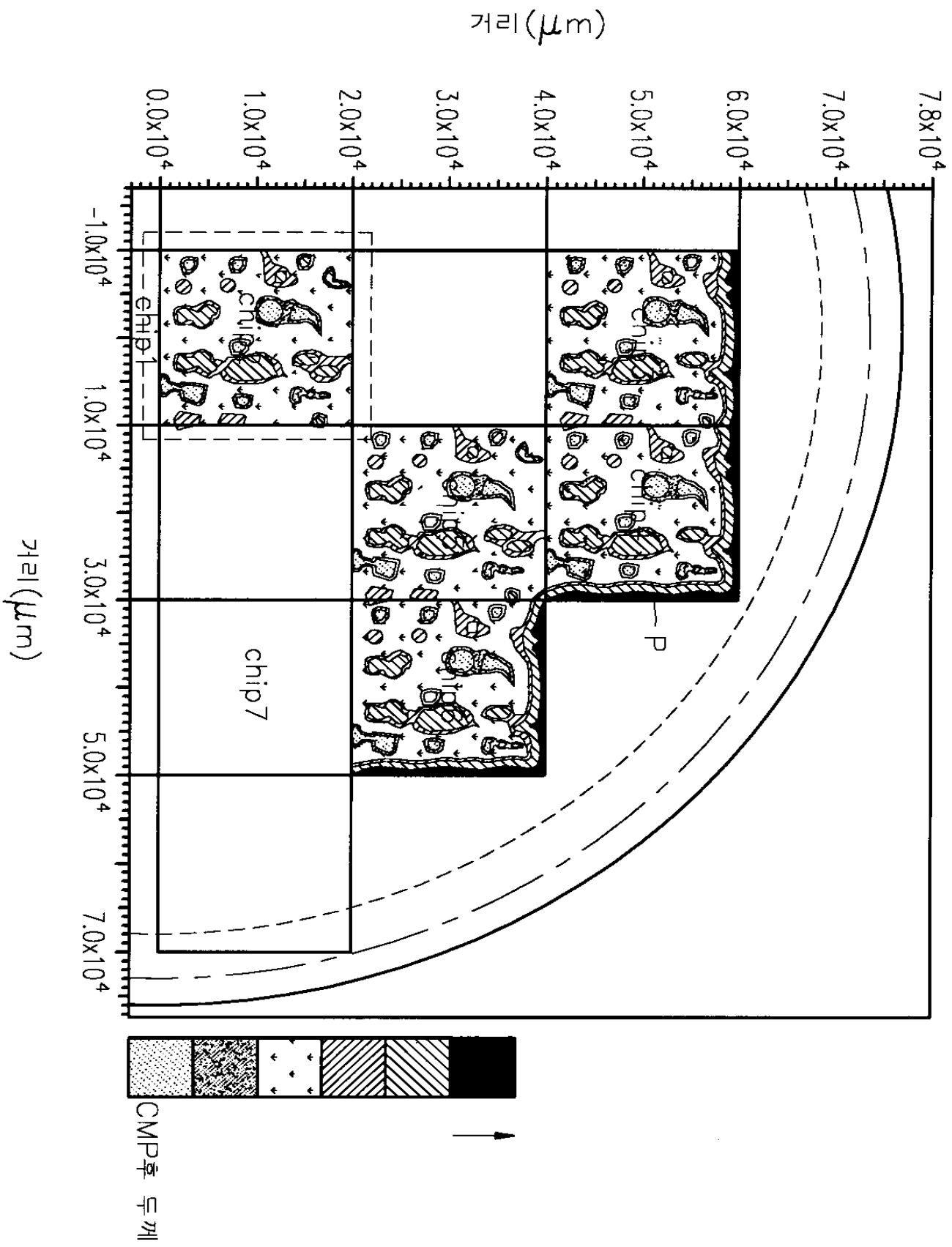
도면 8b


1.1×10^4
1.0×10^4
9.0×10^3
8.0×10^3
7.0×10^3
6.0×10^3
5.0×10^3
시뮬레이션 두께(Å)
5.0×10^3
7.0×10^3
9.0×10^3
1.1×10^4
측정 두께(Å)

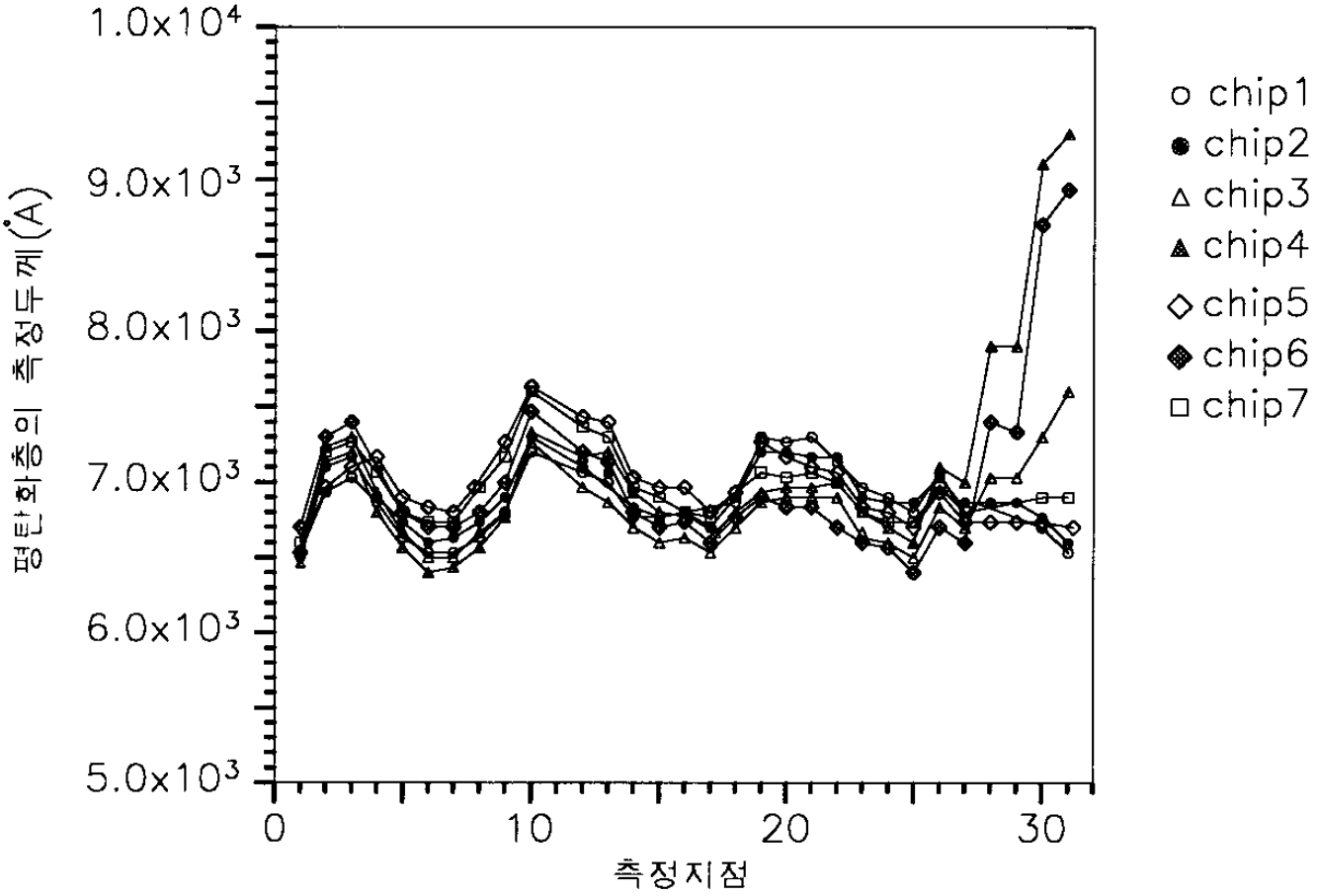
도면 9a


8.0x10⁴
0.0x10⁰
8.0x10⁴
−8.0x10⁴
0.0x10⁰
8.0x10⁴
거리(μm)
거리(μm)
chip3
chip4
chip5
chip6
chip2
chip7
chip1

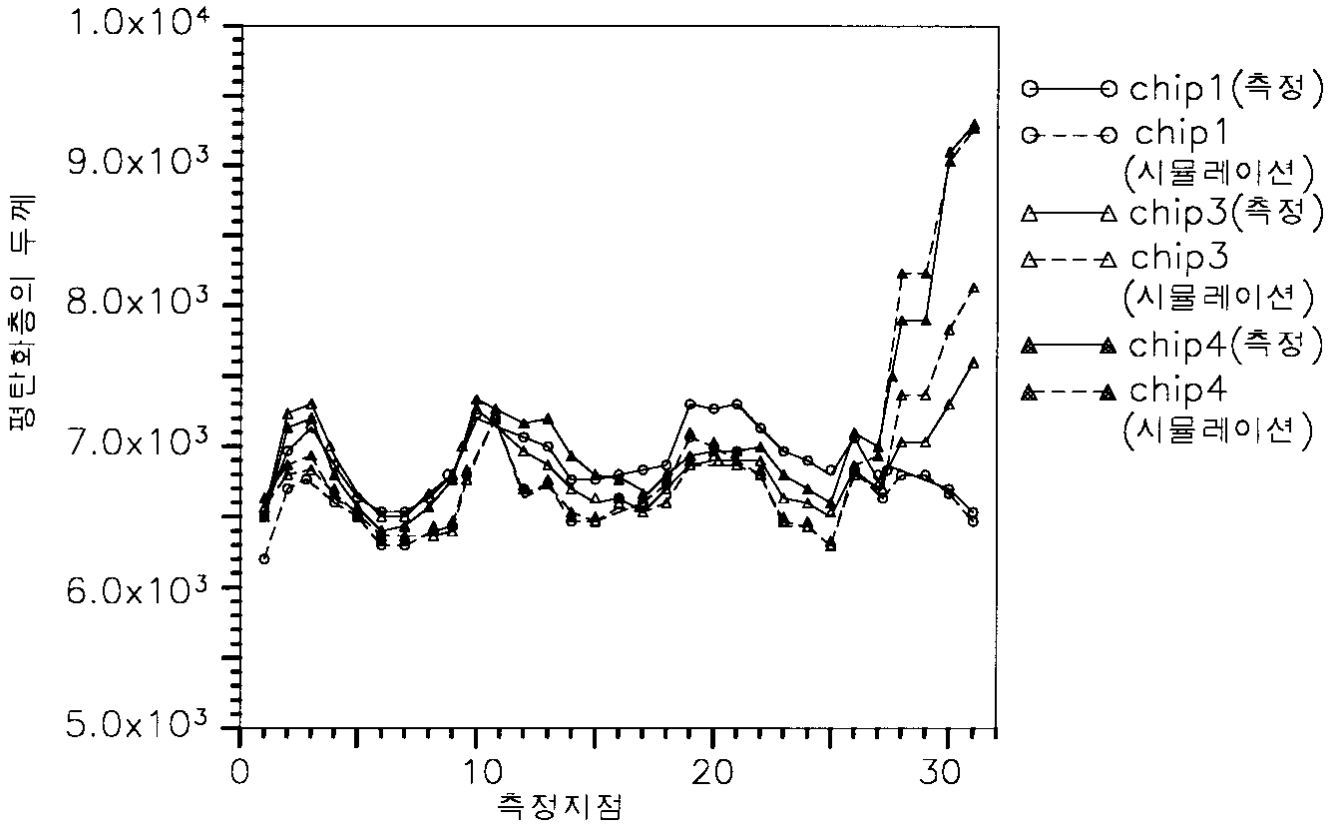
도면 9b


거리(μm)
0.0x10⁴
1.0x10⁴
2.0x10⁴
3.0x10⁴
4.0x10⁴
5.0x10⁴
6.0x10⁴
7.0x10⁴
7.8x10⁴
-1.0x10⁴
1.0x10⁴
3.0x10⁴
5.0x10⁴
7.0x10⁴
chip1
chip7
P
CMP후 두께

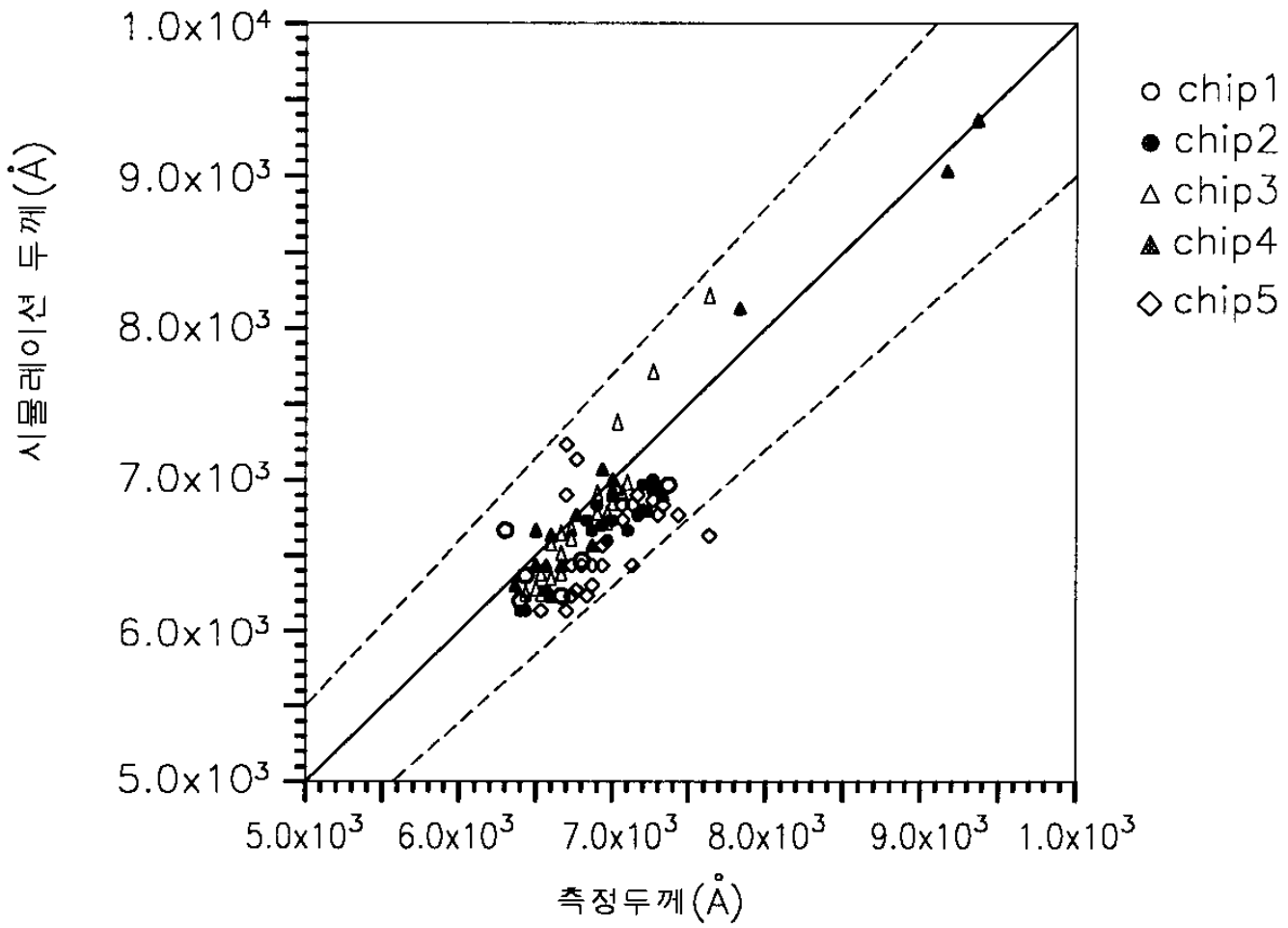
도면 9c


1.0x10⁴
9.0x10³
8.0x10³
7.0x10³
6.0x10³
5.0x10³
0
10
20
30
측정지점
평탄화층의 측정두께(Å)
chip1
chip2
chip3
chip4
chip5
chip6
chip7

도면 9d


1.0x10⁴
9.0x10³
8.0x10³
7.0x10³
6.0x10³
5.0x10³
평탄화층의 두께
0
10
20
30
측정지점
chip1(측정)
chip1 (시뮬레이션)
chip3(측정)
chip3 (시뮬레이션)
chip4(측정)
chip4 (시뮬레이션)

도면 9e


1.0x10⁴
9.0x10³
8.0x10³
7.0x10³
6.0x10³
5.0x10³
시뮬레이션 두께(Å)
5.0x10³
6.0x10³
7.0x10³
8.0x10³
9.0x10³
1.0x10³
측정두께(Å)
chip1
chip2
chip3
chip4
chip5