



(12) 发明专利申请

(10) 申请公布号 CN 102013424 A

(43) 申请公布日 2011. 04. 13

(21) 申请号 201010194492. 4

(22) 申请日 2010. 05. 28

(30) 优先权数据

12/554, 604 2009. 09. 04 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 庄学理 郑光茗 钟昇镇 叶灵翰

张立伟 许育瑛 杨宝如

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 姜燕 邢雪红

(51) Int. Cl.

H01L 27/04 (2006. 01)

H01L 21/77 (2006. 01)

H01L 21/28 (2006. 01)

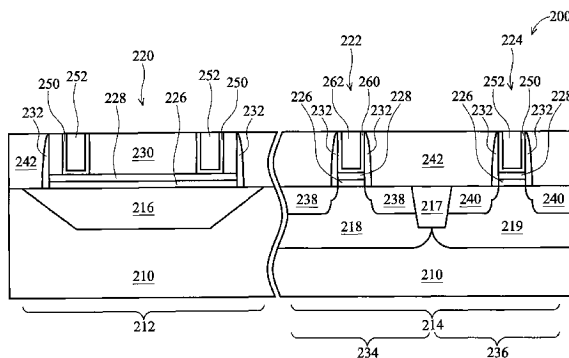
权利要求书 2 页 说明书 15 页 附图 15 页

(54) 发明名称

集成电路及其制法

(57) 摘要

本发明提供一种集成电路及其制法。此集成电路包括半导体基材与无源多晶硅元件设置于半导体基材之上。无源多晶硅元件还包括多晶硅特征结构，与多个电极埋设于多晶硅结构特征中。由于重掺杂多晶硅电极及 / 或硅化物形成于电极的上部分，因此，接触电阻大体上降低，且形成一欧姆接触。因为不需要额外的工艺步骤，因此不会增加额外的工艺成本。



1. 一种集成电路，包括：
  - 一半导体基材；以及
  - 一无源多晶硅元件，设置于该半导体基材之上，其中该无源多晶硅元件还包括：
    - 一多晶硅结构特征；以及
    - 多个电极，埋设于该多晶硅结构特征中。
2. 如权利要求 1 所述的集成电路，还包括一高介电常数介电层介于该半导体基材与该无源多晶硅元件之间。
3. 如权利要求 2 所述的集成电路，还包括：
  - 一 n 型场效应晶体管的第一栅极堆叠结构形成于该半导体基材之上，其中该第一栅极堆叠结构包括：
    - 该高介电常数介电层的一第一部分；
    - 一具有一第一功函数的第一金属层，位于该高介电常数介电层之上；以及
    - 一第一导电层，位于该第一金属层之上；以及
    - 一 p 型场效应晶体管的第二栅极堆叠结构，其中该第二栅极堆叠结构包括：
      - 该高介电常数介电层的一第二部分；
      - 一具有一第二功函数的第二金属层，位于该高介电常数介电层之上；以及
      - 一第二导电层，位于该第二金属层之上，其中该第二功函数大于该第一功函数。
4. 如权利要求 3 所述的集成电路，其中所述多个电极包括：
  - 该第一金属层与该第二金属层其中之一；以及
  - 该第一导电层与该第二导电层其中之一。
5. 如权利要求 1 所述的集成电路，其中所述多个电极包括重掺杂多晶硅，且该多晶硅结构特征包括未掺杂多晶硅和轻掺杂多晶硅其中之一。
6. 如权利要求 5 所述的集成电路，其中所述多个电极还包括硅化物设置于该重掺杂多晶硅上。
7. 如权利要求 1 所述的集成电路，其中该无源多晶硅元件包括一多晶硅电阻器与一多晶硅熔丝至少其中之一。
8. 一种集成电路的制法，包括以下步骤：
  - 形成一高介电常数介电层于一半导体基材上；
  - 形成一多晶硅层于该高介电常数介电层之上；
  - 图案化该多晶硅层以形成一多晶硅结构特征，以供一无源元件使用；以及
  - 形成多个电极，埋设于该多晶硅结构特征之中。
9. 如权利要求 8 所述的集成电路的制法，其中形成所述多个电极包括：
  - 对该多晶硅结构特征施加一离子注入工艺，以形成所述多个电极。
10. 如权利要求 8 所述的集成电路的制法，其中形成所述多个电极包括：
  - 形成一具有开口的图案化掩模，其中该开口定义位于该多晶硅结构特征之上的接触区域；以及
  - 对位于开口中的该多晶硅结构特征施加一离子注入工艺。
11. 如权利要求 8 所述的集成电路的制法，其中形成所述多个电极包括：
  - 形成一层间介电层于该半导体基材上；

进行一第一化学机械研磨工艺，以回蚀刻该层间介电层；  
移除该多晶硅结构特征的一部分，以形成多个柱状沟槽于该无源元件中；以及  
形成一第一金属层于所述多个条柱状沟槽中，其中该第一金属层具有一第一功函数。

12. 如权利要求 11 所述的集成电路的制法，其中

图案化该多晶硅层包括对于一第一场效应晶体管形成一第一虚设栅极，与对于一第二场效应晶体管形成一第二虚设栅极；

移除该多晶硅结构特征的一部分包括从该第一场效应晶体管中移除该第一虚设栅极，以于第一场效应晶体管中形成一第一栅极沟槽；以及

形成该第一金属层包括形成该第一金属层于该第一栅极沟槽中。

13. 如权利要求 12 所述的集成电路的制法，还包括：

从该第二场效应晶体管中移除该第二虚设栅极，以于该第二场效应晶体管中形成一第二栅极沟槽；以及

形成一第二金属层于该第二栅极沟槽中，其中该第二金属层具有一不同于该第一功函数的第二功函数。

14. 如权利要求 12 所述的集成电路的制法，还包括进行一第二化学机械研磨工艺，以移除该第一金属层多余的部分。

15. 如权利要求 8 所述的集成电路的制法，还包括施加一硅化工艺，以于所述多个电极上形成硅化物。

## 集成电路及其制法

### 技术领域

[0001] 本发明涉及一种集成电路，且特别涉及一种多晶硅电阻器的集成电路。

### 背景技术

[0002] 精密多晶硅电阻器 (precise polysilicon resistor) 已使用于传统的集成电路中。当半导体元件 (例如金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET)) 随着技术节点 (node) 不断下降的同时，会采用高介电常数材料和金属作为栅极堆叠结构。对于栅极取代工艺 (gate replacement process) 而言，所形成的多晶硅电阻器的电阻太低。因此，提出单晶硅的电阻器，以解决上述问题。然而，单晶硅电阻器对于各种应用，例如模拟电路 (analog)、无线射频 (radio frequency, RF) 与混合模式电路 (mixed-mode circuits)，无法提供精密的阻抗匹配 (precise impedance matching)。

### 发明内容

[0003] 本发明提供一种集成电路，包括：一半导体基材；以及一无源多晶硅元件 (passive polysilicon device)，设置于该半导体基材之上，其中该无源多晶硅元件还包括：一多晶硅结构特征；以及多个电极，埋设于该多晶硅结构特征中。

[0004] 本发明还提供一种集成电路的制法，包括以下步骤：形成一高介电常数 (high-k) 介电层于一半导体基材上；形成一多晶硅层于该高介电常数介电层之上；为了形成一无源元件，图案化该多晶硅层以形成一多晶硅结构特征；以及形成多个电极，埋设于该多晶硅结构特征之中。

[0005] 本发明亦提供一种集成电路的制法，包括以下步骤：形成一高介电常数材料层于一半导体基材上；形成一多晶硅层于该高介电常数材料层之上；图案化该高介电常数材料层，用以对一第一场效应晶体管 (field-effect transistor, FET) 形成一第一虚设栅极 (dummy gate)，对一第二场效应晶体管形成一第二虚设栅极，对一无源元件形成一多晶硅结构特征；形成一层间介电层 (ILD) 于该半导体基材之上；对该层间介电层进行一第一化学机械研磨 (chemical mechanical polishing, CMP) 工艺；从该无源元件中移除一部分的多晶硅结构特征，从该第一场效应晶体管中移除该第一虚设栅极，以于该无源元件中形成多个柱状沟槽，于该第一场效应晶体管中形成一第一栅极沟槽；于该些柱状沟槽中与该第一栅极沟槽中形成一第一金属层，其中该第一金属层具有一第一功函数；形成一第一导电层于该第一金属层之上；以及进行一第二化学机械研磨 (CMP) 工艺，以移除位于该层间介电层 (ILD) 之上表面的该第一金属层与该第一导电层。

[0006] 本发明更提供一种集成电路的制法，包括以下步骤：形成一高介电常数 (high-k) 材料层于一半导体基材上；形成一多晶硅层于该高介电常数材料层之上；图案化该高介电常数材料层，用以对一第一场效应晶体管 (field-effect transistor, FET) 形成一第一虚设栅极 (dummy gate)，对一第二场效应晶体管形成一第二虚设栅极，对一无源元件形成一多晶硅结构特征；形成一图案化掩模于该半导体基材之上，其中该图案化掩模

具有一第一组开口，用以定义位于该无源元件的多晶硅结构特征的接触区域，与一第二组开口，用以定义位于该第一场效应晶体管中的源极 / 漏极区域；以及对该半导体基材施加一第一离子注入，用以于该第一组开口中形成多个埋设于该多晶硅结构特征中的电极，于该第二组开口中形成该第一场效应晶体管的源极与漏极。

[0007] 由于重掺杂多晶硅电极及 / 或硅化物形成于电极的上部分，因此，接触电阻大体上降低，且形成一欧姆接触。因为不需要额外的工艺步骤，因此不会增加额外的工艺成本。依据本发明的各种实施例，用于形成电极的重掺杂工艺可与形成 n 型场效应晶体管 (nFET) 或 p 型场效应晶体管 (pFET) 的源极 / 漏极的重掺杂工艺一起进行。原本只用于形成 n 型场效应晶体管 (nFET) 或 p 型场效应晶体管 (pFET) 的源极 / 漏极的重掺杂工艺的光罩图案，需要被修改，以包括用于形成无源元件电极的开口。

[0008] 为了让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下。

### 附图说明

[0009] 图 1 为一流程图，用以说明本发明一实施例中具有金属栅极堆叠结构与多晶硅结构的半导体元件的制法。

[0010] 图 2 ~ 图 6 与图 8 ~ 图 11 为一系列剖面图，用以说明本发明一实施例的半导体元件于各个工艺阶段的结构。

[0011] 图 7 为一俯视图，用以说明本发明一实施例的多晶硅结构特征与埋设于多晶硅结构特征中的电极。

[0012] 图 12 为一俯视图，用以说明本发明一实施例中具有多个多晶硅堆叠结构的半导体结构。

[0013] 图 13 为一流程图，用以说明本发明一实施例中具有金属栅极堆叠结构与多晶硅结构的半导体元件的制法

[0014] 图 14 为一剖面图，用以说明本发明一实施例中具有金属栅极堆叠结构与多晶硅结构的半导体结构。

[0015] 图 15 ~ 图 16 为一系列剖面图，用以说明图 14 的多晶硅结构的各种实施例。

[0016] 并且，上述附图中的附图标记说明如下：

[0017] 100 ~ 半导体元件的制法

[0018] 102 ~ 提供一半导体基材

[0019] 104 ~ 形成多晶硅电阻堆叠结构与栅极堆叠结构

[0020] 106 ~ 形成层间介电层 (ILD)

[0021] 108 ~ 对层间介电层进行化学机械研磨工艺 (CMP)

[0022] 110 ~ 形成硬掩模层

[0023] 112 ~ 从 p 型场效应晶体管 (pFET) 与多晶硅电阻堆叠结构中移除多晶硅

[0024] 114 ~ 填充 p 型金属层至电阻沟槽与 p 型场效应晶体管 (pFET) 栅极沟槽中

[0025] 116 ~ 于第一区域中形成图案化光致抗蚀剂层

[0026] 118 ~ 从 n 型场效应晶体管 (nFET) 中移除多晶硅

[0027] 120 ~ 移除图案化光致抗蚀剂层

- [0028] 122 ~ 填充 n 型金属层至 n 型场效应晶体管 (nFET) 栅极沟槽中
- [0029] 200 ~ 半导体结构
- [0030] 210 ~ 半导体基材
- [0031] 212 ~ 第一区域
- [0032] 214 ~ 第二区域
- [0033] 216、217 ~ 沟槽
- [0034] 218 ~ p 型阱
- [0035] 219 ~ n 型阱
- [0036] 220 ~ 电阻堆叠结构
- [0037] 222、224 ~ 栅极堆叠结构
- [0038] 226 ~ 高介电常数介电层
- [0039] 228 ~ 导电层
- [0040] 230、230a、230b、230c ~ 多晶硅层
- [0041] 232 ~ 间隙壁 (spacer)
- [0042] 234 ~ n 型场效应晶体管 (nFET)
- [0043] 236 ~ p 型场效应晶体管 (pFET)
- [0044] 238、240 ~ 源极 / 漏极
- [0045] 242 ~ 层间介电层 (ILD)
- [0046] 244 ~ 硬掩模层
- [0047] 246 ~ 电阻沟槽
- [0048] 248 ~ 栅极沟槽
- [0049] 250 ~ p 型金属
- [0050] 252 ~ 导电材料
- [0051] 253 ~ 无源元件
- [0052] 254 ~ 电极
- [0053] 256 ~ 图案化电阻层
- [0054] 258 ~ 栅极沟槽
- [0055] 260 ~ n 型金属 (n-metal)
- [0056] 262 ~ 导电材料
- [0057] 263 ~ 无源元件
- [0058] 264 ~ 有源元件区域
- [0059] 300 ~ 半导体结构
- [0060] 400 ~ 半导体元件的制法
- [0061] 402 ~ 提供一半导体基材
- [0062] 404 ~ 形成多晶硅电阻堆叠结构与栅极堆叠结构
- [0063] 406 ~ 形成轻掺杂漏极结构特征 (LDD)
- [0064] 408 ~ 施加一重掺杂工艺, 以于多晶硅电阻结构中形成接触插塞
- [0065] 410 ~ 形成硅化物于埋设在多晶硅电阻结构中的电极上
- [0066] 412 ~ 形成层间介电层 (ILD)

- [0067] 450 ~ 半导体结构
- [0068] 452、454 ~ 轻掺杂漏极结构特征 (LDD)
- [0069] 456 ~ 源极 / 漏极结构特征 (S/D)
- [0070] 458 ~ 电极
- [0071] 460 ~ 源极 / 漏极结构特征 (S/D)
- [0072] 462 ~ 硅化物
- [0073] 470 ~ 无源元件

### 具体实施方式

[0074] 以下特举出本发明的实施例，并配合所附图式作详细说明。以下实施例的元件和设计是为了简化所公开的发明，并非用以限定本发明。本发明于各个实施例中可能使用重复的参考符号及 / 或用字。这些重复符号或用字是为了简化与清晰的目的，并非用以限定各个实施例及 / 或所述结构之间的关系。此外，说明书中提及形成第一结构特征位于第二结构特征之上，其包括第一结构特征与第二结构特征是直接接触的实施例，另外也包括于第一结构特征与第二结构特征之间另外有其他结构特征的实施例，亦即，第一结构特征与第二结构特征并非直接接触。

[0075] 依据本发明所公开的实施例，图 1 显示具有金属栅极堆叠结构的半导体元件的制法 100 的一实施例的流程图。依据一或多个实施例，图 2 至图 11 显示半导体结构 200 于各个工艺阶段的剖面图。，半导体结构 200 与其制法 100 共同地 (collectively) 叙述于图 1 至图 11 中。

[0076] 制法 100 起始于步骤 102，其中提供一半导体基材 210。半导体基材 210 包括硅，另外，也可包括锗 (germanium)、硅化锗 (silicon germanium) 或其他适合的半导体材料。半导体基材 210 也包括各种隔离结构特征，例如浅沟隔离结构 (shallow trench isolation, STI) 形成于基材中，用以隔离各种元件。半导体基材也包括各种掺杂区域，例如 n 型阱与 p 型阱。于一实施例中，半导体基材 210 包括第一区域 212 与第二区域 214。第一区域 212 包括浅沟隔离结构特征 216，而第二区域 214 包括另一浅沟隔离结构特征 217。形成浅沟隔离结构特征 (STI) 的方法包括于基材中蚀刻一沟槽，用绝缘材料 (例如氧化硅、氮化硅或氮氧化硅) 填充沟槽。填充后的沟槽可具有多层结构，例如用热氧化衬层与氮化硅填充沟槽。于一实施例中，浅沟隔离结构特征 (STI) 可利用一系列工艺，例如成长垫氧化层、形成低压化学气相沉积氮化层、利用光致抗蚀剂与掩模图案化浅沟隔离结构特征 (STI) 的开口、于基材中蚀刻沟槽、视需要的 (optionally) 形成热氧化沟槽衬层以改善沟槽介面、用化学气相沉积 (CVD) 氧化物填充沟槽、利用化学机械研磨 (chemical mechanical planarization, CMP) 进行回蚀刻、以及使用氮化物剥除 (nitride stripping)，以留下浅沟隔离结构特征 (STI)。于另一实施例中，于第二区域 214 中的半导体基材 210 包括 p 型阱 218 与 n 型阱 219。

[0077] 制法 100 接着进行步骤 104，其中形成多晶硅电阻堆叠结构 (或电阻堆叠结构) 220 于第一区域 212 中，与形成栅极堆叠结构 222/224 于第二区域 214 中。电阻堆叠结构 220 与栅极堆叠结构 222/224 形成于一相同的工艺。电阻堆叠结构 220 包括高介电常数 (high-k) 介电层 226 形成于浅沟隔离结构特征 (STI) 216 之上。高介电常数介电层 226

包括一介电材料，其介电常数值大于热氧化硅的介电常数值（约 3.9）。于一实施例中，高介电常数介电层 226 包括氧化铪 (hafnium oxide, HfO)。于各种实施例中，高介电常数介电层 226 包括金属氧化物、金属氮化物或上述的组合。于一实施例中，高介电常数介电层 226 的厚度为约 10 埃至 20 埃。于一实施例中，电阻堆叠结构 220 还包括导电层 228 设置于高介电常数介电层 226 之上。于一实施例中，导电层 228 包括氮化钛 (titanium nitride, TiN)。于另一实施例中，氮化钛的厚度为约 10 埃至 30 埃。

[0078] 多晶硅电阻堆叠结构 220 还包括一多晶硅层 230 设置于导电层 228 之上。为了具有高电阻值，多晶硅层为非掺杂 (non-doped)，或为了具有适当电阻值对多晶硅层进行掺杂。于一实施例中，多晶硅可掺杂至电阻值为每单位面积高于 500 欧姆。同样的，栅极堆叠结构 222/224 也包括高介电常数介电层 226 设置于第二区域 214 的基材 210 上。于一实施例中，栅极堆叠结构 222/224 包括导电层 228 设置于高介电常数介电层 226 之上。栅极堆叠结构 222 和 224 还包括多晶硅层 230 设置于导电层 228 之上。为了区别，位于电阻堆叠结构 220 的多晶硅层 230 与位于栅极堆叠结构 222/224 的多晶硅层 230 分别标示成 230a、230b 与 230c。于一实施例中，间隙壁 232 设置于多晶硅电阻堆叠结构 220 与栅极堆叠结构 222/224 的侧壁。另外的，介面层 (interfacial layer, IL)，例如氧化硅，可介于高介电常数介电层 226 和基材 210 之间。特别的，介面层设置于第一区域 212 的浅沟隔离结构特征 (STI) 216 和高介电常数介电层 226 之间，与设置于第二区域 214 的基材 210 与高介电常数介电层 226 之间。

[0079] 于一实施例中，电阻堆叠结构 220 用以形成无源元件。此无源元件可用于作为电阻器 (resistor) 或另外作为多晶硅熔丝 (polysilicon fuse)。于另一实施例中，位于第二区域 214 的第一栅极堆叠结构 222，用于形成 n 型场效应晶体管 (nFET) 234，位于第二区域 214 的第二栅极堆叠结构 224，用于形成 p 型场效应晶体管 (pFET) 236。于一实施例中，n 型场效应晶体管 (nFET) 234 形成于 p 型阱 218 中。于另一实施例中，p 型场效应晶体管 (pFET) 236 形成于 n 型阱 219 中。n 型场效应晶体管 (nFET) 234 还包括各种掺杂区域，例如源极 / 漏极 238。同样的，p 型场效应晶体管 (pFET) 236 还包括各种掺杂区域，例如源极 / 漏极 240。于一实施例中，n 型场效应晶体管 (nFET) 234 与 p 型场效应晶体管 (pFET) 236 包括金属氧化物半导体场效应晶体管 (MOSFET)，例如 nMOSFET 或 pMOSFET。

[0080] 于形成电阻堆叠结构 220 和栅极堆叠结构 222/224 的一实施例中，通过各种沉积技术形成各种材料层于基材 210 中，包括形成高介电常数介电层 226、导电层 228 与多晶硅层 230。之后，通过对上述各种材料层进行光刻图案化工艺 (lithography patterning process)，以形成电阻堆叠结构 220 与栅极堆叠结构 222/224。

[0081] 通过合适的技术，例如离子注入，对 n 型场效应晶体管 (nFET) 234 形成源极 / 漏极 238。同样的，对 p 型场效应晶体管 (pFET) 236 亦使用相同技术形成源极 / 漏极 240。于一实施例中，源极 / 漏极结构特征 (238 与 240) 还包括对准于相关的栅极堆叠结构的轻掺杂源极 / 漏极 (LDD) 结构特征与对准于相关的侧壁间隙壁 232 的重掺杂源极 / 漏极 (S/D) 结构特征。为了解此实施例，以 n 型场效应晶体管 (nFET) 234 为例，首先通过离子注入一轻掺杂杂质 (lightdoping dose) 以形成轻掺杂源极 / 漏极 (LDD) 结构特征。之后，通过介电沉积与等离子体蚀刻形成间隙壁 232。通过离子注入一重掺杂杂质 (heavy



dopingdose) 以形成重掺杂源极 / 漏极结构特征 (heavily doped S/D features)。可使用相同的工艺形成 p 型场效应晶体管 (pFET) 236 的各种源极与漏极结构特征, 除了使用相反掺杂的杂质。用于形成 n 型场效应晶体管 (nFET) 234 与 p 型场效应晶体管 (pFET) 236 的间隙壁 234 的相同工艺, 亦可用于形成多晶硅电阻堆叠结构 220 的侧壁间隙壁。

[0082] 请继续参见图 2, 制法 100 接着进行步骤 106, 其中形成层间介电层 (inter-level dielectric layer, ILD) 242 (亦称为 ILD0) 于半导体基材 210、电阻堆叠结构 220 与栅极堆叠结构 222/224 之上。通过一适合的技术, 例如化学气相沉积法 (chemical vapor deposition, CVD) 形成层间介电层 (ILD) 242。举例而言, 可实施高密度等离子体化学气相沉积法 (high density plasma CVD) 形成层间介电层 (ILD) 242。层间介电层 (ILD) 242 形成于基材上到电阻堆叠结构 220 与栅极堆叠结构 222/224 上表面之间, 使得电阻堆叠结构 220 与栅极堆叠结构 222/224 被埋设于其中。

[0083] 请参见图 3, 制法 100 进行步骤 108, 其中对层间介电层 (ILD) 242 进行化学机械研磨工艺 (CMP process), 以减少层间介电层 (ILD) 242 的厚度, 使得电阻堆叠结构 220 与栅极堆叠结构 222/224 之上表面曝露。可调整化学机械研磨工艺 (CMP process) 的工艺条件与参数, 包括研磨浆料、研磨压力, 以部分地移除与平坦化层间介电层 (ILD) 242。

[0084] 请参见图 4, 制法 100 进行步骤 110, 其中形成一硬掩模层 244 于半导体结构 200 上。硬掩模层 244 包括各种开口, 该些开口作为后续蚀刻使用。于一实施例中, 如图 4 所示, 硬掩模层 244 包括一些开口, 用以曝露栅极堆叠结构 224 与部分地曝露电阻堆叠结构 220。硬掩模层 244 的形成包括沉积与蚀刻。于一实施例中, 硬掩模层 244 包括氧化硅, 其通过化学气相沉积法制得, 例如等离子体增强化学气相沉积法 (plasma enhanced CVD, PECVD)。于各种实施例中, 硬掩模层 244 可包括其他适合的材料, 例如氮化钛 (titanium nitride, TiN) 或氮化硅。于一实施例中, 氮化钛 (TiN) 硬掩模层可通过物理气相沉积法 (physical vapor deposition, PVD) 制得。于另一实施例中, 氮化硅硬掩模层可通过其他适合的方法制得, 例如等离子体增强化学气相沉积法 (PECVD)。于一实施例中, 硬掩模层 244 的厚度为约 50 埃至 200 埃。于另一实施例中, 硬掩模层 244 的厚度为约 80 埃。

[0085] 请参见图 5, 制法 100 进行步骤 112, 利用蚀刻工艺从硬掩模层 244 的开口中移除多晶硅, 以形成电阻沟槽 246 与栅极沟槽 248。位于硬掩模层 244 底下的其他区域受到保护, 因此不会被蚀刻工艺所移除。移除硬掩模层 244 开口中的多晶硅的蚀刻工艺可使用合适的干式蚀刻、湿式蚀刻或上述的组合。于一实施例中, 用于移除多晶硅的蚀刻溶液包括硝酸 ( $\text{HNO}_3$ )、水 ( $\text{H}_2\text{O}$ ) 和氢氟酸 (HF)。于另一实施例中, 可使用含氯的等离子体, 以选择性地移除多晶硅。

[0086] 请参见图 6, 制法 100 进行步骤 114, 其中用 p 型金属 250 与导电材料 252 填充栅极沟槽 248 和电阻沟槽 246, 以于 p 型场效应晶体管 (pFET) 236 中形成栅极电极, 于电阻堆叠结构 220 中形成各种电极结构特征。多晶硅电阻堆叠与埋设于其中的电极组成无源多晶硅元件 (或无源元件), 其可作为电阻器 (resistor) 或熔丝 (fuse)。无源元件另外被显示于图 7 的上视图中, 其标示成 253。无源元件 253 包括多晶硅结构特征 230a 与各种电极 254。电极 254 形成于电阻沟槽中。于本实施例中, 电极 254 包括 p 型金属层 250 与导电材料层 252。p 型金属包括以金属为主的导电材料, 其具有功函数可与 p 型场

效应晶体管 (pFET) 236 相容。举例而言, p 型金属具有一功函数等于或大于 5.2 电子伏特 (e.V)。于一实施例中, p 型金属包括氮化钛 (titanium nitride, TiN) 或氮化钽 (tantalum nitride, TaN)。于其他实施例中, p 型金属包括氮化钛 (TiN)、氮化钽 (TaN)、氮化钨 (tungsten nitride, WN)、铝钛合金 (titanium aluminum, TiAl) 或上述的组合。为了最佳化元件的效能与工艺的相容性, p 型金属 250 可包括由各种金属为主的薄膜所组成的堆叠结构。p 型金属可通过适合的工艺制得, 例如物理气相沉积法 (PVD)。导电材料 252 之后大体上填充于栅极沟槽 248 与电阻沟槽 246 中, 如图 6 所示。依据各种实施例, 导电材料 252 包括钨或铝。形成导电材料的方法包括化学气相沉积法 (CVD) 或物理气相沉积法 (PVD)。此外, 可进行另一化学机械研磨工艺 (CMP) 以移除位于沟槽 246/248 和层间介电层 (ILD) 242 之上过多的 p 型金属与导电材料。

[0087] 之后, 于一实施例中, 可通过使用一工艺, 例如光刻工艺 (lithography process) 与蚀刻工艺移除位于第一区域 212 的硬掩模层 244。因此, 依据此实施例, 所形成的无源元件 253 包括各种金属电极埋设于所建构的多晶硅结构特征 230a 中。无源多晶硅元件 253 包括多晶硅结构特征 230a 设置于基材上, 其在此实施例中具有矩形的几何形状。无源元件 253 还包括各种导电柱状 (column) 254 作为电极, 适当地设置于且埋设于多晶硅结构特征 230a 中。导电柱状 254 包括 p 型金属层 250 与导电材料层 252。于一实施例中, 电位施加于导电柱状的第一子集 (subset) 与第二子集之间, 使得于多晶硅结构特征 230a 的电子流从导电柱状的第一子集流向第二子集。于一特定实施例中, 电位施加于导电柱状 254 的左边两排与右边两排之间。电子流从导电柱状 254 的左边两排流到右边两排。依据所公开的无源元件 253 的结构与其制法, 此制法相容于制作具有高介电常数介电层与金属电极的晶体管 (例如 n 型场效应晶体管 (nFET) 234 与 p 型场效应晶体管 (pFET) 236) 的方法, 因此, 可降低工艺的成本。此外, 多晶硅的电阻值可适当的被控制与精准地定义。

[0088] 请参见图 8, 制法 100 进行步骤 116, 其中于第一区域 212 中形成一图案化光致抗蚀剂层 256 以覆盖无源元件 (包括电阻堆叠结构 220 和埋设于其中的电极)。因此, 所形成的无源元件可被保护, 不受后续蚀刻工艺的影响。图案化光致抗蚀剂层 256 可利用公知的光刻工艺制得。例如, 光刻工艺可包括旋转涂布 (spin-on coating)、烘烤 (baking)、曝光 (exposure)、曝光后烘烤 (post-exposure) 与显影 (developing)。

[0089] 请参见图 9, 制法 100 接着进行步骤 118, 通过蚀刻工艺选择性地移除栅极堆叠结构 222 的多晶硅 230b, 以形成栅极沟槽 258。因为蚀刻工艺选择性地移除多晶硅, 因此其他曝露的导电材料大体上还存在。再者, 因为于多晶硅电阻器的多晶硅材料被图案化光致抗蚀剂层 256 所保护, 因此于蚀刻工艺之后其仍然存在。可通过进行合适的干式蚀刻、湿式蚀刻或上述组合的蚀刻工艺, 以移除多晶硅。于一实施例中, 可使用包括硝酸 ( $\text{HNO}_3$ )、水 ( $\text{H}_2\text{O}$ ) 与氢氟酸 (HF) 的蚀刻溶液移除多晶硅。于另一实施例中, 可使用含有氯的等离子体 (chloride-based plasma) 移除位于栅极堆叠结构 222 的多晶硅。

[0090] 请参见图 10, 制法 100 接着进行步骤 120, 通过公知的工艺 (例如湿式剥除 (wet stripping) 或等离子体灰化 (plasma ashing) 的工艺) 移除图案化光致抗蚀剂层 256。

[0091] 请参见图 11, 制法 100 接着进行步骤 122, 其中用 n 型金属 260 与导电材料 262 填充栅极沟槽, 以形成 n 型场效应晶体管 (nFET) 234 的栅极电极。n 型金属包括以金属为主的导电材料, 其具有功函数可相容于 n 型场效应晶体管 (nFET) 234。举例而言, n

型金属具有一功函数等于或小于 4.2 电子伏特 (e.V.)。于一实施例中, n 型金属包括钽 (tantalum, Ta)。于其他实施例中, n 型金属包括铝钛合金 (TiAl)、氮化铝钽 (TaAlN) 或上述的组合。于其他实施例中, n 型金属包括钽 (tantalum, Ta)、铝钛合金 (TiAl)、氮化铝钽 (TaAlN)、氮化钨 (tungsten nitride, WN)、氮化钛 (TiN)、氮化钽 (TaN) 或上述的组合。为了最佳化元件的效能与工艺的相容性, n 型金属 260 可包括由各种金属为主的薄膜所组成的堆叠结构。n 型金属可通过适合的工艺制得, 例如物理气相沉积法 (PVD)。导电材料 262 之后大体上填充栅极沟槽 258。依据各种实施例, 导电材料 262 包括钨或铝。形成导电材料的方法包括化学气相沉积法 (CVD) 或物理气相沉积法 (PVD)。此外, 可进行另一化学机械研磨工艺 (CMP) 以移除位于沟槽 258 和层间介电层 (ILD) 242 之上过多的 n 型金属与导电材料。

[0092] 虽然此处并未显示, 但是其他的结构与结构特征 (如图 7 所示), 以及用以形成各种结构特征的其他工艺步骤, 皆可存在于无源元件 253 中。于一实施例中, 为了一适当的应用, 无源元件 253 可以适当的被设置与另外使用作为一多晶硅熔丝。于另一实施例中, 无源元件 253 可设置成一阵列 (array), 每一个无源元件 253 被设置于浅沟隔离结构 (STI) 263 之上, 且其被有源区域 264 分隔开。依据本发明所公开的一或多个实施例, 图 12 显示具有多个无源多晶硅元件 253 的半导体结构 300 的俯视图。半导体结构 300 是集成电路的一部分, 其中集成电路具有多个多晶硅元件 253 与各种晶体管, 且晶体管具有由高介电常数介电层与金属电极 (未显示) 所组成的栅极堆叠结构。为了得到一均匀结构与最佳化的元件效能, 无源多晶硅元件 253 设置于浅沟隔离结构 (STI) 263 之上, 且介于有源区域 264 之间。有源区域 264 可以是虚设有源区域并入多个无源多晶硅元件 253 中。于一实施例中, 一或多个虚设多晶硅结构特征可以并入该些无源多晶硅元件 253 中, 以形成如交错设置的结构 (interleaved configuration)。依据各种实施例, 无源多晶硅元件 253 包括 n 型或 p 型杂质, 其掺杂浓度可调整至具有一特定电阻值, 或者是为了具有较高的电阻值而不掺杂杂质。于另一实施例中, 电极 254 埋设于无源元件 253 中 (如图 7 所示, 为了简化说明此处并未显示), 其中电极 254 可具有其他适合的几何形状与尺寸。举例而言, 电极 254 可以是具有适当尺寸的方形或矩形, 因此, 电流可均匀的流动及 / 或电阻被定义 (defined) 于一较佳的模式中。

[0093] 于其他实施例中, p 型金属层 250 与 n 型金属层 260 可以以不同顺序 (order) 形成, 以至于先形成 n 型金属层 260, 之后再形成 p 型金属层 250。于其他实施例中, n 型金属层用以形成多晶硅结构特征, 因此, 多晶硅结构特征与 n 型金属层结合。于其他实施例中, p 型场效应晶体管 (pFET) 236 具有应变力结构 (strained structure), 用以加强载子迁移率 (carrier mobility) 与增进元件效能。于其他实施例中, 硅化锗 (silicon germanium, SiGe) 形成于 p 型场效应晶体管 (pFET) 的源极与漏极区中, 以于步骤 104 时, 达到适当的应力效应 (stress effect)。于形成应力的 p 型场效应晶体管 (strained pFET) 的实施例中, 通过一或多个蚀刻步骤于 p 型场效应晶体管 236 的源极与漏极区域的硅基材中形成凹口 (recess)。之后, 硅化锗 (SiGe) 外延成长于凹口区域, 而重掺杂的源极与漏极形成于外延成长的硅化锗 (SiGe) 结构特征中。于另一实施例中, 形成轻掺杂源极 / 漏极 (LDD) 结构特征之后, 形成虚设间隙壁 (dummy spacer)。于形成硅化锗 (SiGe) 结构特征之后, 移除虚设间隙壁。之后, 主要的间隙壁形成于相关的栅极堆叠结构的侧壁上, 其具有不

同的厚度，以至于重掺杂源极 / 漏极偏移 (offset) 硅化锗 (SiGe) 结构特征。举例而言，主要间隙壁的厚度厚于虚设间隙壁的厚度，以至于重掺杂源极与漏极充分的形成于硅化锗 (SiGe) 结构特征中。

[0094] 于其他实施例中，n 型场效应晶体管 (nFET) 234 具有应变力结构 (strained structure)，用以加强载子迁移率 (carrier mobility) 与增进元件效能。于其他实施例中，碳化硅 (silicon carbide, SiC) 形成于 n 型场效应晶体管 (nFET) 的源极与漏极区中，以于步骤 104 时，达到适当的应力效应 (stress effect)。应力的 n 型场效应晶体管 (nFET) 的形成方法类似于应力的 p 型场效应晶体管 (strained pFET) 的形成方法。于另一实施例中，n 型金属层与 p 型金属层各自包括其他适合的金属或金属合金。于另一实施例中，n 型金属层与 p 型金属层各自具有多层结构，以得到最佳化的功函数与降低的临界电压 (threshold voltage)。于步骤 104 中，形成于第一区域中的栅极堆叠结构，与形成于第二区域中的多晶硅堆叠结构，可包括其他材料层。例如，于形成高介电常数介电层之前，形成介面层 (interfacial layer, IL) (如：氧化硅) 于硅基材之上。可通过热氧化法或原子层沉积法 (atomic layer deposition, ALD) 形成氧化硅层于半导体基材之上。也可通过其他适当的方法形成氧化硅层，例如紫外光 - 臭氧氧化法 (UV-Ozone Oxidation)。介面氧化硅层的厚度小于 10 埃。于另一实施例中，一盖层 (capping layer) 可设置于高介电常数层与 n 型金属 (或 p 型金属) 层之间。于 n 型场效应晶体管 (nFET) 中的盖层可包括氧化镧 (lanthanum oxide, LaO)。于 p 型场效应晶体管 (pFET) 中的盖层可包括氧化铝 (aluminum oxide, AlO)。

[0095] 其他工艺步骤可施行于形成无源元件 253、n 型场效应晶体管 (nFET) 234、p 型场效应晶体管 (pFET) 236 之前、期间或之后。例如，于步骤 122 之后，还包括形成多层内连线结构 (multilayer interconnection)。多层内连线结构包括垂直内连线与水平内连线，垂直内连线例如公知的导通孔 (vias) 或接触插塞 (contacts)，水平内连线例如金属线。各种内连线结构特征可使用各种导电材料，例如铜、钨或硅化物 (silicide)。于一实施例中，可使用镶嵌工艺 (damascene process) 形成和铜相关的多层内连线结构。于另一实施例中，可使用钨，以于接触通孔中形成钨插塞。

[0096] 于一实施例中，可通过适当的工艺 (例如原子层沉积法 (atomic layer deposition, ALD)) 形成高介电常数介电层。其他形成高介电常数材料层的方法包括金属有机化学气相沉积法 (metal organic chemical vapor deposition, MOCVD)、物理气相沉积法 (physical vapor deposition, PVD)、与分子束外延法 (molecular beam epitaxy, MBE)。于一实施例中，高介电常数材料包括氧化铪 (HfO<sub>2</sub>)。于另一实施例中，高介电常数材料包括氧化铝 (Al<sub>2</sub>O<sub>3</sub>)。另外的，高介电常数材料层包括金属氮化物、金属硅酸盐 (metal silicate) 或其他金属氧化物。

[0097] 于另一实施例中，浅沟隔离结构 (STI) 的形成包括于基材中蚀刻出一沟槽，与填充绝缘材料 (例如氧化硅、氮化硅或氮氧化硅) 到沟槽中。填充后的沟槽可以是多层结构，例如用热氧化衬层与氮化硅填充层填充沟槽。于一实施例中，浅沟隔离结构 (STI) 由下列工艺制得：成长垫氧化层 (pad oxide)、形成低压化学气相沉积 (LPCVD) 氮化层、利用光致抗蚀剂与掩模图案化浅沟隔离 (STI) 开口、于基材中蚀刻出沟槽、视需要的 (optionally) 成长一热氧化沟槽衬层以改善沟槽的介面、填充化学气相沉积 (CVD) 氧化层

于沟槽中、以及利用化学机械研磨 (CMP) 进行回蚀刻。

[0098] 各种图案化工艺包括通过光刻工艺 (photolithography) 形成图案化光致抗蚀剂层。光刻工艺可包括光致抗蚀剂涂布 (photoresist coating)、软烘烤 (softbaking)、光罩对准 (mask aligning)、曝光 (exposure)、曝光后烘烤 (post-exposure)、光致抗蚀剂显影 (developing photoresist) 与硬烘烤 (hardbaking)。光刻曝光的工艺可用其他适合的工艺取代之, 例如无光罩光刻 (maskless photolithography)、电子束写入 (electron-beam writing)、离子束写入 (ion-beam writing)、热光刻 (thermal lithography) 或分子拓印 (molecular imprint)。

[0099] 于另一实施例中, 于步骤 104 中, 于图案化步骤之前, 可形成硬掩模层于栅极堆叠层之上, 用以形成栅极堆叠结构与多晶硅堆叠结构。硬掩模层随后可被合适的后续工艺所移除。于另一实施例中, 图案化硬掩模层包括氮化硅。于形成图案化氮化硅硬掩模层的一实施例中, 通过低压化学气相沉积法 (LPCVD) 沉积氮化硅层于多晶硅层之上。前驱物包括二氯甲烷 (DSC 或  $\text{SiH}_2\text{Cl}_2$ )、二丁基胺硅烷 (bis (tertiary Butyl Amino) silane, BTBAS 或  $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$ )、二硅乙烷 (disilane, DS 或  $\text{Si}_2\text{H}_6$ ), 其使用于化学气相沉积工艺 (CVD) 中, 以形成氮化硅层。还包括使用光刻工艺图案化氮化硅层, 以及进行蚀刻工艺, 以蚀刻图案化光致抗蚀剂层开口中的氮化硅层。另外的, 其他介电材料也可使用作为图案化硬掩模层。例如, 氮氧化硅可作为硬掩模。

[0100] 依据本发明所公开的实施例, 图 13 显示一具有金属栅极堆叠结构与无源多晶硅元件的半导体结构的制法 400 的一实施例的流程图。图 14 为一半导体结构的剖面图, 标示为 450。依据本发明的各种实施例, 图 15 和图 16 为无源多晶硅元件的剖面图, 标示为 470。半导体结构 450 与其制法 400 共同显示于图 13 至图 16。

[0101] 制法 400 起始于步骤 402, 其中提供一半导体基材 210。半导体基材 210 类似于图 2 中的半导体基材 210。半导体基材 210 包括硅, 另外, 也可包括锗 (germanium)、硅化锗 (silicon germanium) 或其他适合的半导体材料。半导体基材 210 也包括各种隔离结构特征, 例如浅沟隔离结构 (shallow trench isolation, STI) 形成于基材中, 用以隔离各种元件。半导体基材也包括各种掺杂区域, 例如 n 型阱与 p 型阱。于一实施例中, 半导体基材 210 包括第一区域 212 与第二区域 214。第一区域 212 包括浅沟隔离结构特征 216, 而第二区域 214 包括另一浅沟隔离结构特征 217。形成浅沟隔离结构特征 (STI) 的方法包括于基材中蚀刻一沟槽, 用绝缘材料 (例如氧化硅、氮化硅或氮氧化硅) 填充沟槽。填充后的沟槽可具有多层结构, 例如用热氧化衬层与氮化硅填充沟槽。于一实施例中, 浅沟隔离结构特征 (STI) 可利用一系列工艺, 例如成长垫氧化层、形成低压化学气相沉积 (LPCVD) 氮化层、利用光致抗蚀剂与掩模图案化浅沟隔离结构特征 (STI) 的开口、于基材中蚀刻沟槽、视需要的 (optionally) 形成热氧化沟槽衬层以改善沟槽介面、用化学气相沉积 (CVD) 氧化物填充沟槽、利用化学机械研磨 (chemical mechanical planarization, CMP) 进行回蚀刻、以及使用氮化物剥除, 以留下 STI 结构。于另一实施例中, 于第二区域 214 中的半导体基材 210 包括 p 型阱 218 与 n 型阱 219。

[0102] 制法 400 接着进行步骤 404, 其中形成多晶硅电阻堆叠结构 (或电阻堆叠结构) 220 于第一区域 212 中, 与形成栅极堆叠结构 222/224 于第二区域 214 中。电阻堆叠结构 220 与栅极堆叠结构 222/224 形成于一相同的工艺。电阻堆叠结构 220 包括高介电

常数 (high-k) 介电层 226 形成于浅沟隔离结构特征 (STI) 216 之上。高介电常数介电层 226 包括一介电材料, 其介电常数值大于热氧化硅的介电常数值 (约 3.9)。于一实施例中, 高介电常数介电层 226 包括氧化铪 (hafnium oxide, HfO<sub>2</sub>)。于各种实施例中, 高介电常数介电层 226 包括金属氧化物、金属氮化物或上述的组合。于一实施例中, 高介电常数介电层 226 的厚度为约 10 埃至 20 埃。于一实施例中, 多晶硅电阻堆叠结构 220 还包括导电层 228 设置于高介电常数介电层 226 之上。于一实施例中, 导电层 228 包括氮化钛 (titanium nitride, TiN)。于另一实施例中, 氮化钛的厚度为约 10 埃至 30 埃。

[0103] 多晶硅电阻堆叠结构 220 还包括一多晶硅层 230 设置于导电层 228 之上。多晶硅层可依据设计的需求而变, 例如为得到一高电阻值, 多晶硅层为非掺杂; 或为了适当电阻值对多晶硅层进行掺杂。同样的, 栅极堆叠结构 222/224 也包括高介电常数介电层 226 设置于第二区域 214 的基材 210 上。于一实施例中, 栅极堆叠结构 222/224 包括导电层 228 设置于高介电常数介电层 226 之上。栅极堆叠结构 222 和 224 还包括多晶硅层 230 设置于导电层 228 之上。于形成电阻堆叠结构 220 与栅极堆叠结构 222/224 的一实施例中, 高介电常数介电层 226 首先设置于半导体基材 210 之上。导电层 228 设置于高介电常数介电层 226 之上。多晶硅层 230 设置于导电层 228 之上。通过对上述各种材料层进行光刻工艺 (lithography process) 与蚀刻工艺, 以于第一区域 212 中形成电阻堆叠结构 220, 于第二区域 214 中栅极堆叠结构 222/224。于另一实施例中, 图案化工艺可使用一硬掩模层。于此例中, 形成硬掩模材料于多晶硅层 230 之上。之后, 进行光刻工艺与蚀刻工艺, 以图案化硬掩模层而形成各种开口。之后, 对各种材料层 (如多晶硅层 230、导电层 228、与高介电常数介电层 226) 进行蚀刻工艺, 通过穿过图案化硬掩模层的开口, 以形成多晶硅电阻堆叠结构 220 与栅极堆叠结构 222/224。多晶硅层包括各种多晶硅结构特征形成于电阻堆叠结构 220 与栅极堆叠结构 222/224 中。如图 14 所示, 位于电阻堆叠结构 220 的多晶硅层 230 与位于栅极堆叠结构 222/224 的多晶硅结构特征分别标示成 230a、230b 与 230c, 且总称为 230。

[0104] 于一实施例中, 电阻堆叠结构 220 用以形成无源多晶硅元件, 其可作为电阻器 (resistor) 或熔丝 (fuse)。位于第二区域 214 的第一栅极堆叠结构 222, 用于形成 n 型场效应晶体管 (nFET) 234, 位于第二区域 214 的第二栅极堆叠结构 224, 用于形成 p 型场效应晶体管 (pFET) 236。于一实施例中, n 型场效应晶体管 (nFET) 234 形成于 p 型阱 218 中。于另一实施例中, p 型场效应晶体管 (pFET) 236 形成于 n 型阱 219 中。n 型场效应晶体管 (nFET) 234 还包括重掺杂区域, 例如源极 / 漏极 238。同样的, p 型场效应晶体管 (pFET) 236 还包括重掺杂区域, 例如源极 / 漏极 240。于一实施例中, n 型场效应晶体管 (nFET) 234 与 p 型场效应晶体管 (pFET) 236 包括金属氧化物半导体场效应晶体管 (MOSFET), 例如 nMOSFET 或 pMOSFET。

[0105] 另外的, 介面层 (interfacial layer, IL), 例如氧化硅, 可介于高介电常数介电层 226 和基材 210 之间。特别的, 介面层设置于第一区域 212 的浅沟隔离结构特征 (STI) 216 和高介电常数介电层 226 之间, 与设置于第二区域 214 的基材 210 与高介电常数介电层 226 之间。

[0106] 制法 400 可进行至步骤 406, 其中通过进行轻掺杂工艺 (light doping process), 以于 n 型场效应晶体管 (nFET) 234 中形成轻掺杂漏极结构特征 (LDD) 452。掺杂工艺可以

是使用 n 型杂质（例如磷）的离子注入工艺。可进行一第二掺杂工艺，以于 p 型场效应晶体管 (pFET) 236 中形成轻掺杂漏极结构特征 (LDD) 454。第二掺杂工艺可以是使用 p 型杂质（例如硼）的离子注入工艺。于一实施例中，间隙壁 232 设置于多晶硅电阻堆叠结构 220 与栅极堆叠结构 222/224 的侧壁，通过公知的工艺，包括介电层沉积工艺与蚀刻工艺。

[0107] 制法 400 接着进行步骤 408，施加一重掺杂工艺 (heavy doping process)，以形成埋设于电阻堆叠结构 220 的电极。施加离子注入工艺，以于多晶硅电阻结构的接触区域中形成重掺杂结构特征 458。如果使用硬掩模层形成电阻堆叠结构 220 与栅极堆叠结构 222/224，于施加重掺杂工艺之前要先移除硬掩模层。因此，于电阻堆叠结构中所形成的重掺杂结构特征 458 作为电极，且进行应用时，为了施加电位到无源元件，因此设置重掺杂结构特征 458。于一实施例中，电极 458 可定义成两组。第一组电极形成于无源元件的多晶硅结构特征 230a 的一末端，而第二组电极形成另一末端，类似于图 7 所示的无源元件的上视图结构，除了金属电极 254 被重掺杂多晶硅电极取代。因此，所形成的无源元件具有多晶硅电阻堆叠结构，与埋设于多晶硅电阻堆叠结构的重掺杂多晶硅电极。依据各种实施例，无源元件可作为多晶硅电阻器或多晶硅熔丝。于一实施例中，为了形成电极 458 所施行的离子注入工艺，注入的杂质浓度介于约  $1 \times 10^{15}$  与  $7 \times 10^{15}/\text{cm}^2$  之间。于另一实施例中，之后可进行退火工艺，例如快速热退火 (rapid thermal annealing, RTA)，以使掺杂杂质掺杂的更深。依据各种实施例，用于形成电极 458 的掺杂杂质可以是 n 型（例如磷）或 p 型（例如硼）。

[0108] 于一实施例中，为了 n 型场效应晶体管 (nFET) 234 所形成的源极 / 漏极 456，与电极 458 于相同工艺中形成。于此例中，电极 458 包括 n 型杂质。因此，对于半导体结构 450 而言，并不会额外的增加制作成本。举例而言，使用相同的光罩定义各个区域，包括无源元件的接触插塞区域，与 n 型场效应晶体管 (nFET) 234 的源极 / 漏极区域 (S/D)。于光罩中所定义出来的图案被转印到光致抗蚀剂层或硬掩模层上。之后，经由光致抗蚀剂层或硬掩模层的开口，对多晶硅层 230 施加掺杂工艺，以于无源元件的接触插塞区域中形成电极，于 n 型场效应晶体管 (nFET) 的源极 / 漏极区域 (S/D) 中形成源极 / 漏极 (S/D)。于另一实施例中，如果多晶硅栅极（例如栅极堆叠结构 222）存在于最后成品中，此多晶硅栅极可被重掺杂以增加其导电性。于此例中，光罩还包括多个与多晶硅栅极堆叠结构 222 相关的开口。同样的，使用类似的技术，如使用 p 型杂质于 p 型场效应晶体管 (pFET) 中形成源极与漏极 460。于另一实施例中，无源元件的电极 458 与 p 型场效应晶体管 (pFET) 236 的重掺杂源极 / 漏极 460 同时于相同的掺杂工艺中形成。于此例中，电极 458 包括 p 型掺杂种类。

[0109] 请参见图 14，轻掺杂漏极结构特征 (LDD) 对准于相关的栅极堆叠结构，而重掺杂源极 / 漏极区域 (S/D) 对准于相关的侧壁间隙壁 232。于其他实施例中，举 n 型场效应晶体管 (nFET) 234 为例，首先通过离子注入一轻掺杂杂质，以形成轻掺杂漏极结构特征 (LDD)。之后，通过介电层沉积与等离子体蚀刻形成间隙壁 232。之后，通过离子注入一重掺杂杂质以形成重掺杂源极 / 漏极结构特征 (S/D)。p 型场效应晶体管 (pFET) 236 中的各种源极、漏极结构特征与侧壁间隙壁使用类似的工艺形成，除了使用相反的掺杂杂质。可于相同的工艺中形成电阻堆叠结构 220 的侧壁间隙壁与 n 型场效应晶体管

(nFET) 234 及 / 或 p 型场效应晶体管 (pFET) 的间隙壁。

[0110] 制法 400 接着进行步骤 410, 其中形成硅化物 (silicide) 462 于无源元件的电极 458 上。形成于电极 458 之上的硅化物 462 可以降低无源元件的接触电阻。硅化物 462 可包括硅化镍 (nickel silicide)。另外的, 硅化物 462 可以是其他合适的硅化物, 例如硅化钴、硅化钨、硅化钽、硅化钛、硅化铂、硅化铟或硅化钡。硅化物 462 可通过硅化法而形成, 如自动对准硅化物法 (self-aligned silicide, Salicide)。于此工艺中, 沉积金属于硅或多晶硅之上。为了形成硅化物, 金属与硅 / 多晶硅的温度可以提升至高温度, 当金属沉积的过程中及 / 或之后, 以增强硅与金属之间的作用力。通过工艺 (例如蚀刻工艺) 移除未反应的金属。可依据金属材料与其他条件的情况, 进行一或多个步骤的退火工艺。例如, 移除未反应的金属后, 对硅化物进行温度高于第一退火工艺的第二退火工艺, 以将硅化物调整至不同的、具有低电阻值的相态。于一实施例中, 于步骤 409 的重掺杂工艺之后, 立即进行步骤 410, 以形成硅化物 462。于此实施例中, 当无源元件的电极 458, 与 n 型场效应晶体管 (nFET) 234 的重掺杂源极 / 漏极 456 于相同工艺中形成时, 硅化物会同时形成于 n 型场效应晶体管 (nFET) 234 的源极 / 漏极区域与无源元件的电极 458 两者上。为了简化说明, 源极 / 漏极硅化物并未显示于图 14 中。

[0111] 如一实施例中, 用于形成电极 458 与源极 / 漏极 456 的硬掩模可使用于形成硅化物的工艺, 因此, 硅化物可形成于电极之上, 而不形成于电阻堆叠结构 220 的其他区域上。另外的, 当无源元件的电极 458 与 p 型场效应晶体管 (pFET) 236 的重掺杂源极 / 漏极于相同工艺中形成时, 硅化物会同时形成于 p 型场效应晶体管 (pFET) 236 的源极 / 漏极区域与无源元件的电极 458 两者上。依据各种实施例, 图 15 与图 16 所示显示无源元件。无源元件 470 包括多晶硅结构特征 230a, 与重掺杂多晶硅电极 458 埋设于多晶硅结构特征 230a 中。于一实施例中, 无源元件 470 额外包括高介电常数介电层 226 位于多晶硅结构特征 230a 之下。于另一实施例中, 无源元件 470 还包括导电层 228 介于高介电常数介电层 226 与多晶硅结构特征 130a 之间。如图 15 所示的一实施例, 电极包括重掺杂多晶硅 458 与硅化物 462 两者。电极大约设置于多晶硅电阻器的两末端。

[0112] 图 16 显示另一实施例, 电极包括重掺杂多晶硅 458 与硅化物 462。电极设置于多晶硅电阻结构的两末端, 且大体上对准于无源元件的多晶硅结构 230a 的边界。于另一实施例中, 无源元件还包括间隙壁 232 形成于电阻堆叠结构 220 的侧壁。于其他实施例中, 无源元件 470 如第 13-16 图所示被设置与形成, 且其具有下述的一或多个优点。无源多晶硅元件具有较高的电阻值 (对于无源元件的未掺杂的多晶硅结构特征) 或适当的电阻值 (对于无源元件的轻掺杂多晶硅结构特征 230a)。由于重掺杂多晶硅电极及 / 或硅化物形成于电极的上部分, 因此, 接触电阻大体上降低, 且形成一欧姆接触 (ohm contact)。因为不需要额外的工艺步骤, 因此不会增加额外的工艺成本。依据本发明的各种实施例, 用于形成电极的重掺杂工艺可与形成 n 型场效应晶体管 (nFET) 或 p 型场效应晶体管 (pFET) 的源极 / 漏极的重掺杂工艺一起进行。于此例中, 原本只用于形成 n 型场效应晶体管 (nFET) 或 p 型场效应晶体管 (pFET) 的源极 / 漏极的重掺杂工艺的光罩图案, 需要被修改, 以包括用于形成无源元件电极的开口。

[0113] 制法 400 还包括进行步骤 412, 其中形成层间介电层 (interlayer dielectric, ILD) 242 于半导体基材 210 上, 且大体上覆盖多晶硅无源元件与 n 型场效应晶体管 (nFET)



或 p 型场效应晶体管 (pFET)。之后, 进行化学机械研磨工艺 (CMP), 以平坦化层间介电层 (ILD) 242 的表面。也可进行其他工艺步骤, 以形成功能性电路。

[0114] 于一实施例中, 其中多晶硅栅极堆叠结构仍存在于最后的结构中, 此对应的工艺称为栅极前置工艺 (gate-first process), 因此, 所形成的电路称为栅极前置设计 (gate-first scheme)。于栅极前置工艺 (gate-first process) 中, 进行制法 400 以形成内连线结构以电性耦合至无源多晶硅元件、n 型场效应晶体管 (nFET) 与 p 型场效应晶体管 (pFET)。举例而言, 于基材上形成接触插塞 (contact)、多层金属线与导通孔 (via), 以提供适当的电路连接。

[0115] 于另一实施例中, 其中多晶硅栅极堆叠结构作为虚设栅极 (dummy gate), 且其被合适的金属栅极所取代, 此对应的工艺称为栅极后置工艺 (gate-last process), 因此, 所形成的电路称为栅极后置设计 (gate-last scheme)。于栅极后置工艺 (gate-last process) 中, 制法 400 中使用金属材料取代多晶硅栅极堆叠结构。于一实施例中, 位于 n 型场效应晶体管 (nFET) 与 p 型场效应晶体管 (pFET) 的栅极堆叠结构的多晶硅被移除, 以于 n 型场效应晶体管 (nFET) 中形成第一栅极沟槽, 于 p 型场效应晶体管 (pFET) 中形成第二栅极沟槽。之后, 具有第一功函数的第一金属填充于第一沟槽中, 且之后填充导电材料以形成 n 型场效应晶体管 (nFET) 的金属栅极。具有第二功函数的第二金属填充于第二沟槽中, 且之后填充导电材料以形成 p 型场效应晶体管 (pFET) 的金属栅极。举例而言, 第一功函数大体上约等于 4.2eV, 而第二功函数大体上约等于 5.2eV。之后, 各种内连线结构 (包括接触插塞、多层金属线与导通孔) 形成于半导体基材上。于形成 n 型场效应晶体管 (nFET) 与 p 型场效应晶体管 (pFET) 的金属栅极结构与形成内连线结构的另一实施例中, 所使用的工艺类似于图 1 所述的步骤 108 至步骤 122, 在整个制备 n 型场效应晶体管 (nFET) 与 p 型场效应晶体管 (pFET) 的过程中, 除了无源多晶硅元件不改变。举例而言, 图 1 的步骤 112, 仅移除 p 型场效应晶体管 (pFET) 的多晶硅, 但是不移除多晶硅电阻堆叠结构 220 的多晶硅。重掺杂多晶硅电极会存在于最后的无源多晶硅元件中。

[0116] 于各种实施例中的半导体结构与其制法可应用于其他集成电路上, 如具有图 7 的无源多晶硅元件 253 或图 15 或图 16 的无源多晶硅元件 470 的集成电路。无源元件 253 包括金属电极埋设于其中。无源元件 470 包括掺杂多晶硅电极埋设于其中。例如, 无源元件 (253 或 470) 可应用于具有高介电常数介电层与金属电极的集成电路中, 例如应力 (strained) 半导体基材、异质 (heterro-) 半导体元件或无侧压 (stress-free) 的隔离结构。其他工艺步骤, 替代的步骤或材料也可存在于其他实施例中。例如, 于栅极前置工艺中, 为了形成重掺杂电极, 于相同工艺中也可重掺杂多晶硅栅极, 以降低栅极电极的电阻值。于重掺杂工艺中, 可使用硬掩模或图案化光致抗蚀剂层, 以形成重掺杂电极与源极 / 漏极。使用轻掺杂工艺以掺杂多晶硅结构特征 230a, 用以调整其电阻, 且此工艺可于其他工艺 (n 型 LDD 或 p 型 LDD) 一起进行, 使得两者可同时形成于一步骤中。

[0117] 本发明不限于应用于包括场效应晶体管 (例如 MOS 晶体管) 与多晶硅电阻 (或多晶硅熔丝) 的半导体结构, 也可用于其他具有金属栅极堆叠结构的集成电路。例如, 半导体结构可包括动态随机存取存储器 (dynamic random access memory, DRAM)、单电子晶体管 (single electron transistor, SET)、可编程逻辑阵列 (field programmable gate-array, FPGA)、及 / 或其他微电子元件 (此处统称为微电子元件)。于一实施例中, 半导体结构

包括鳍式场效应晶体管 (FinFET)。当然, 本发明所公开的各种实施例皆可适用及 / 或易于应用于其他类型的晶体管, 包括单栅极晶体管、双栅极晶体管与其他多栅极晶体管, 且可使用于各种不同应用, 包括感测器、存储器、逻辑电路或其他。

[0118] 虽然本发明已以数个较佳实施例公开如上, 然而其并非用以限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作任意的更动与润饰。半导体基材可包括 n 型场效应晶体管 (nFET) 或 p 型场效应晶体管 (pFET) 的虚设栅极 (dummy gate)。于一实施例中, n 型场效应晶体管 (nFET) 与 p 型场效应晶体管 (pFET) 包括金属氧化物半导体晶体管 (MOS FETS), 例如 n 型金属氧化物半导体晶体管 (nMOSFETs) 或 p 型金属氧化物半导体晶体管 (pMOS FETs)。特别是, 该 n 型或 p 型的金属氧化物半导体晶体管包括具有高介电常数介电材料与多晶硅材料的虚设栅极堆叠结构。

[0119] 虽然本发明已以数个较佳实施例公开如上, 然而其并非用以限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作任意的更动与润饰, 因此本发明的保护范围当视随附的权利要求所界定的范围为准。

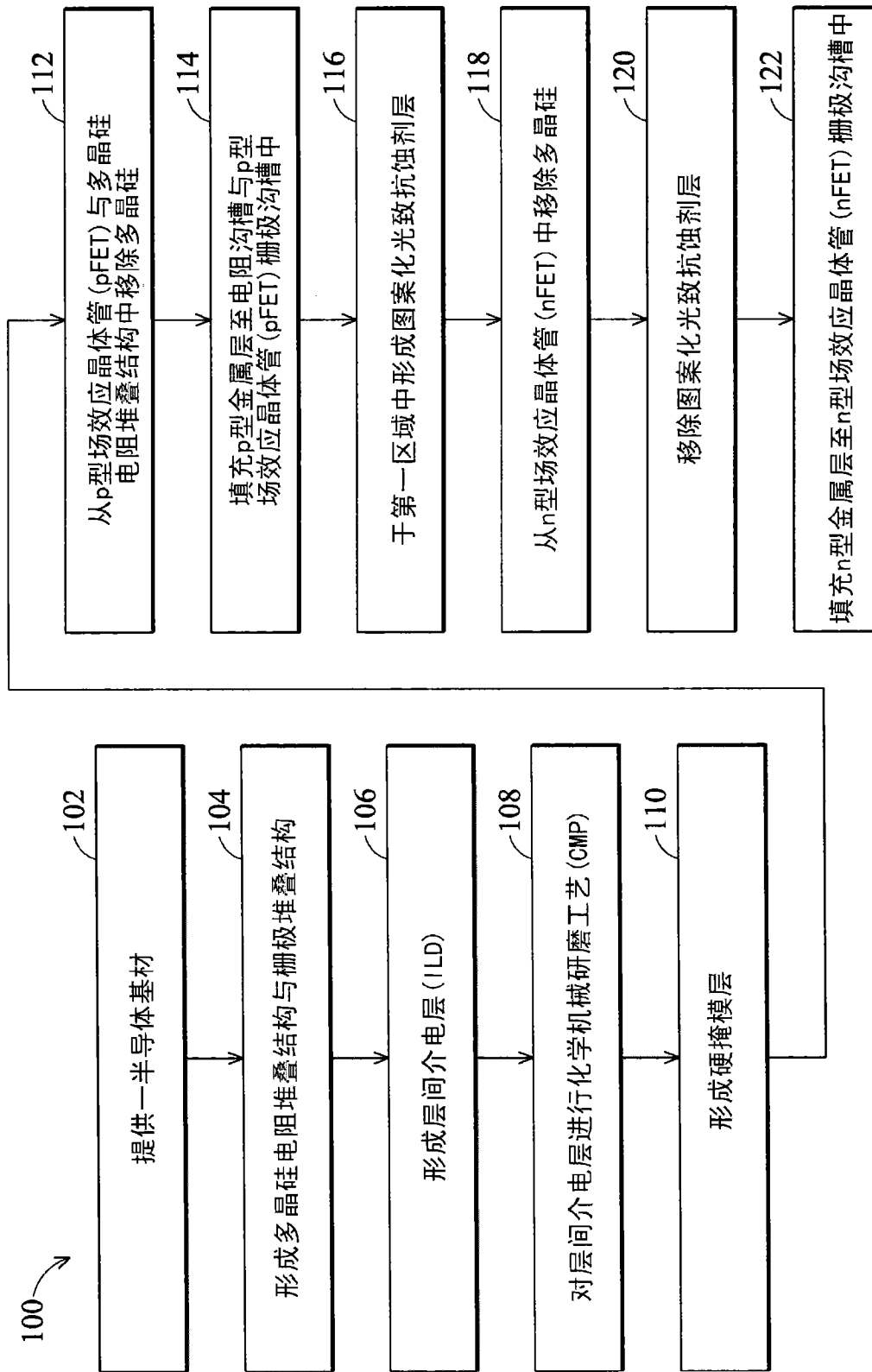


图 1

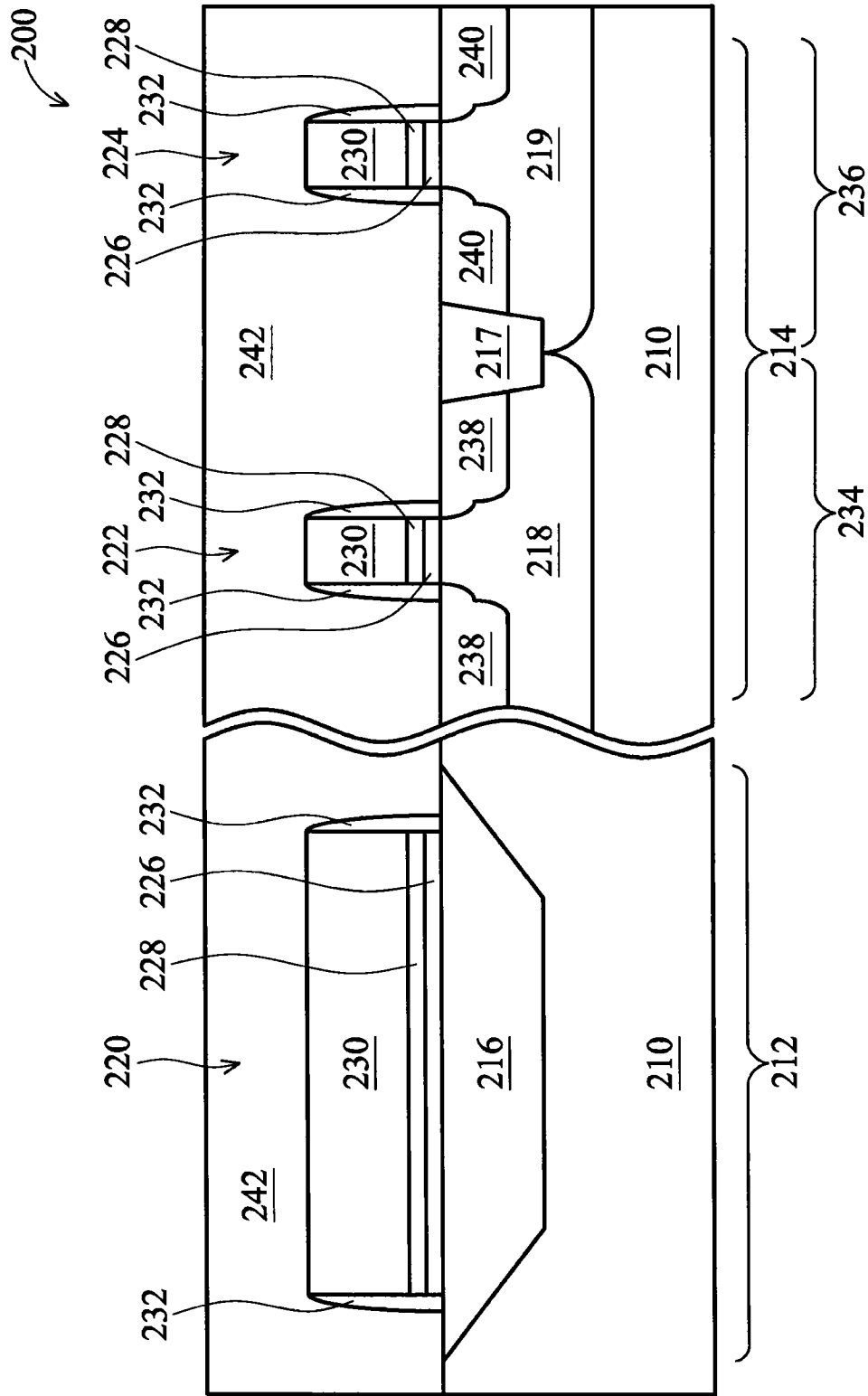


图 2

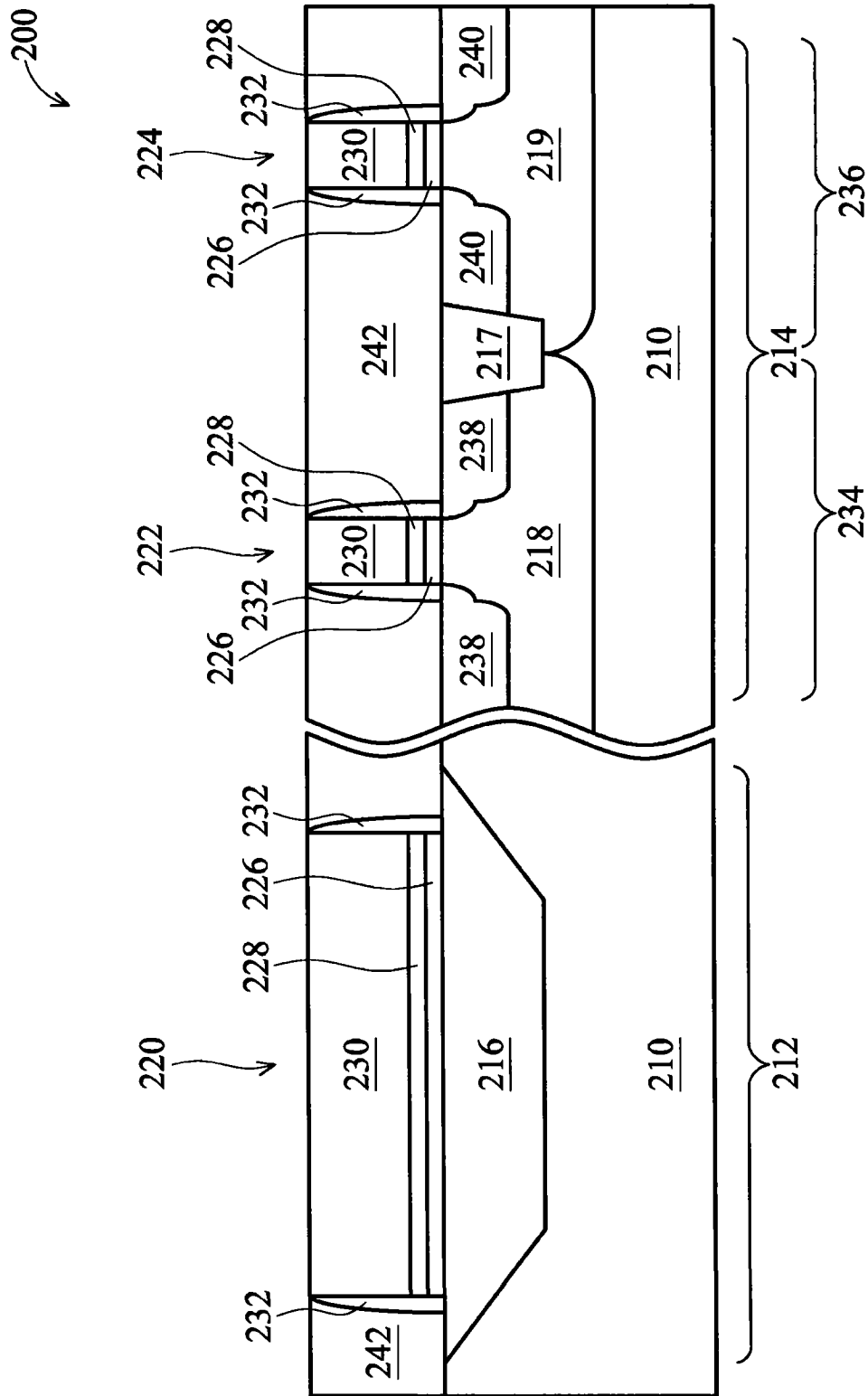


图 3

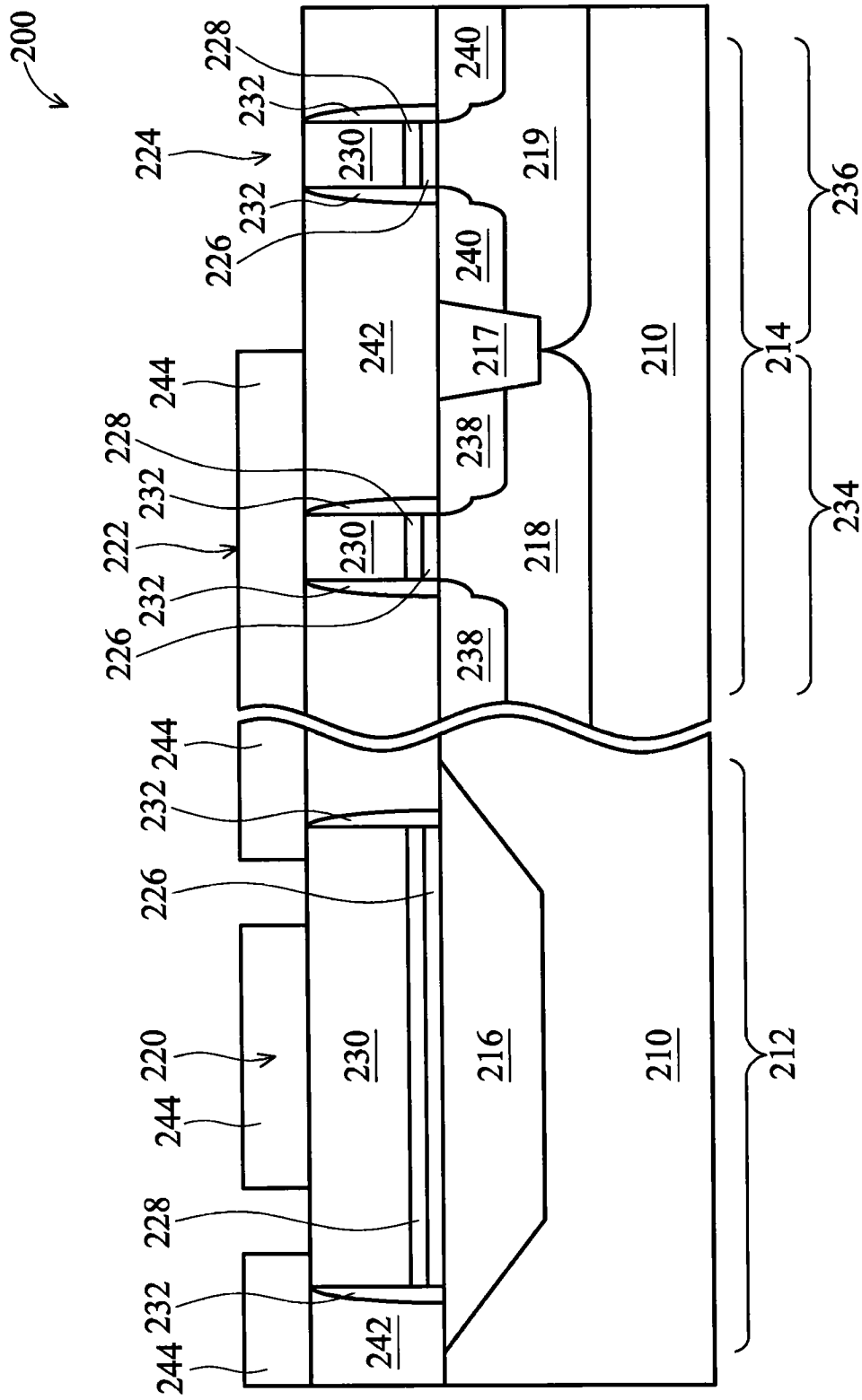


图 4

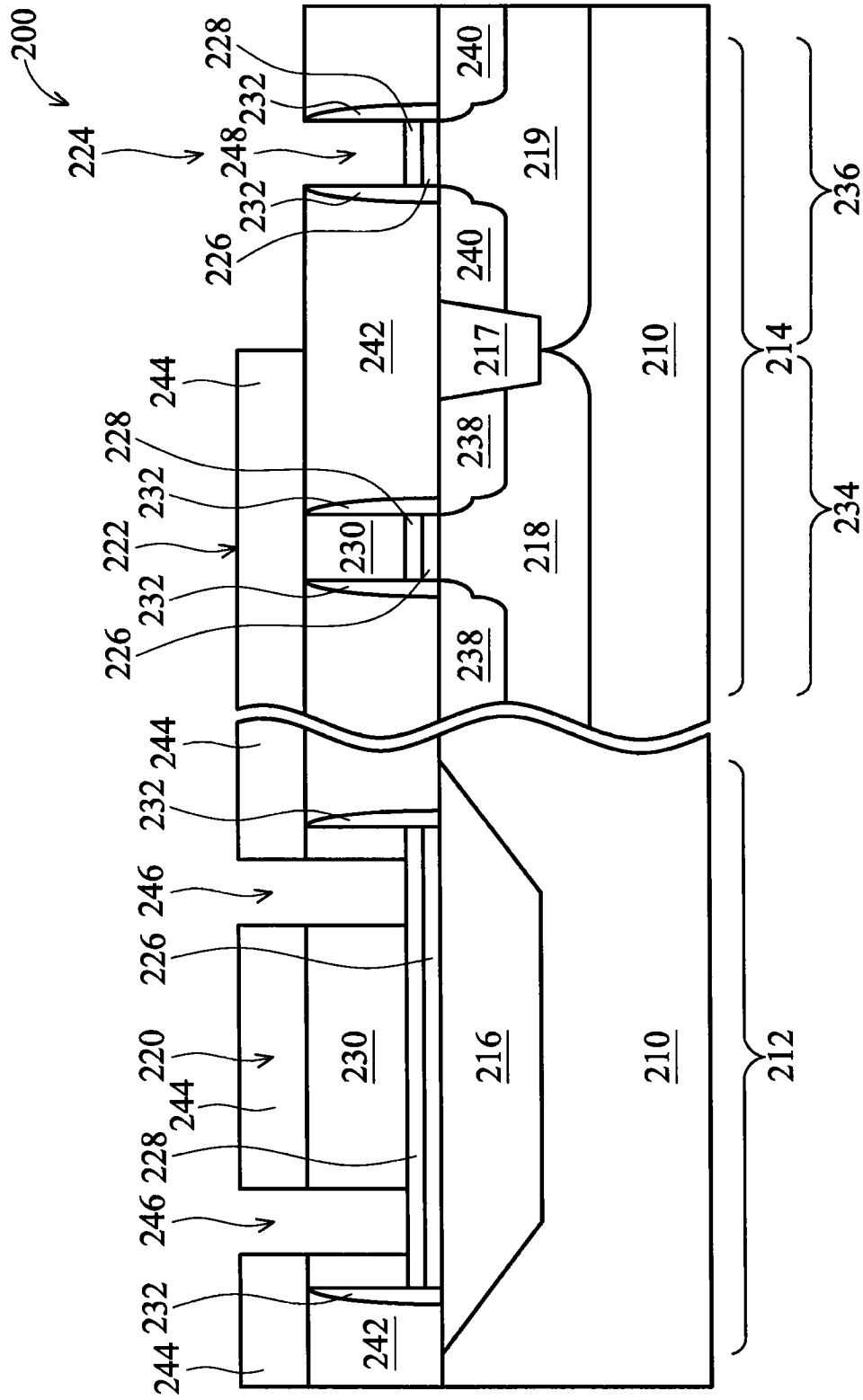


图 5





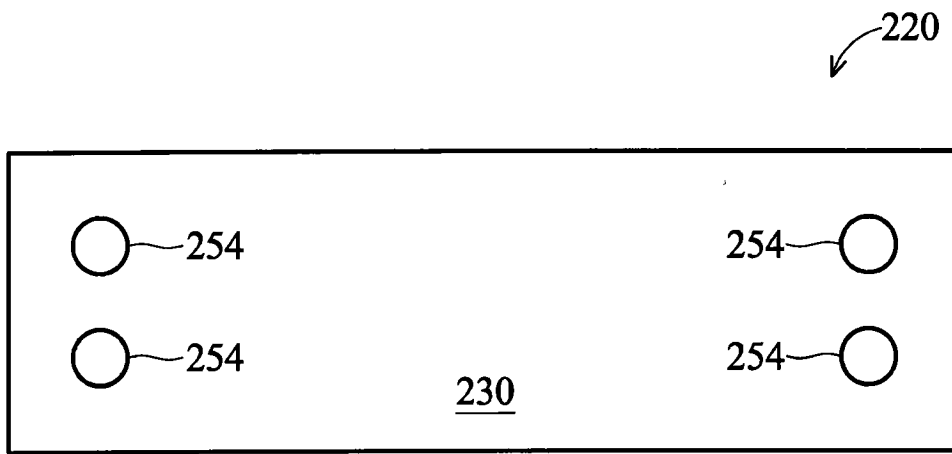


图 7

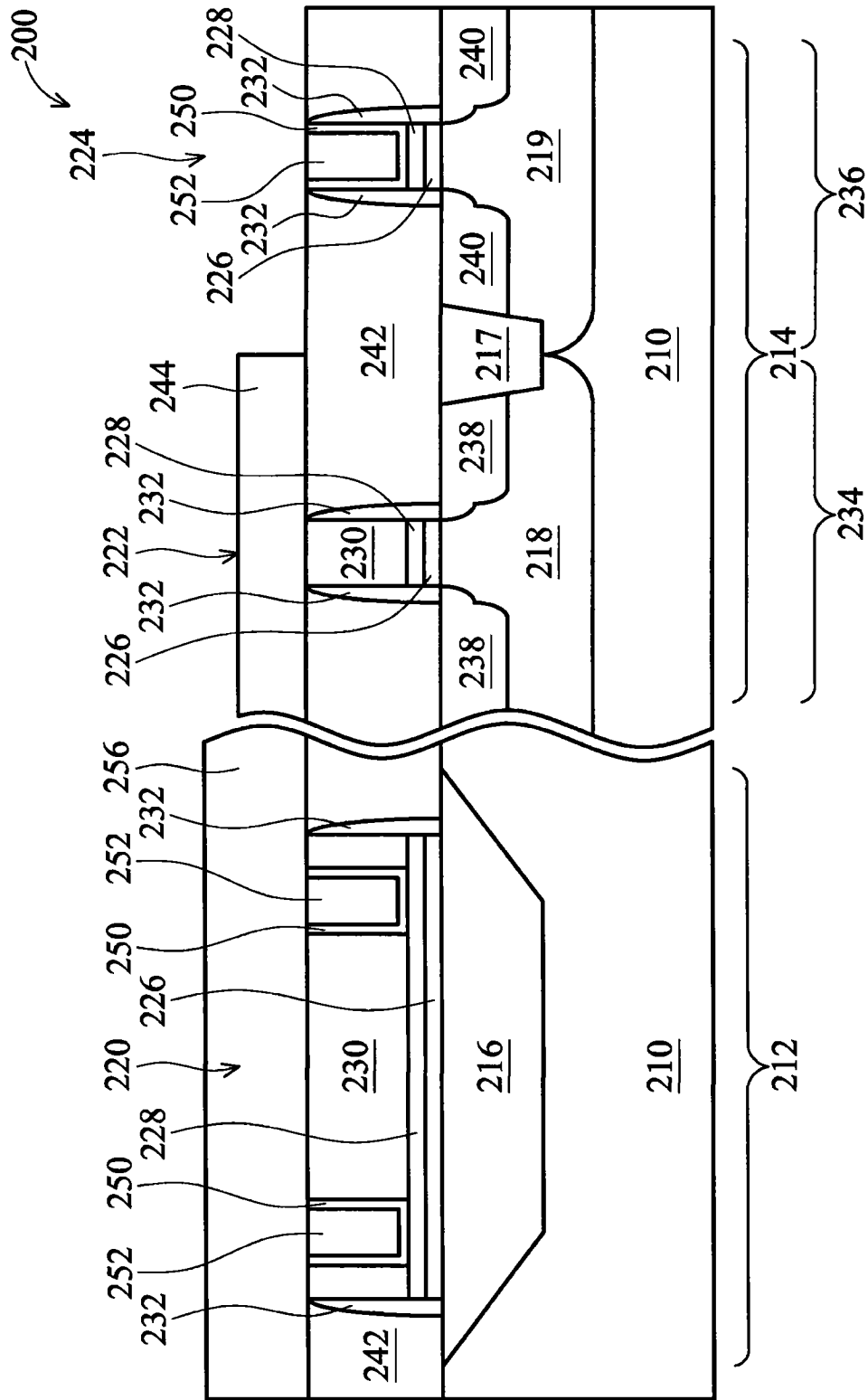


图 8

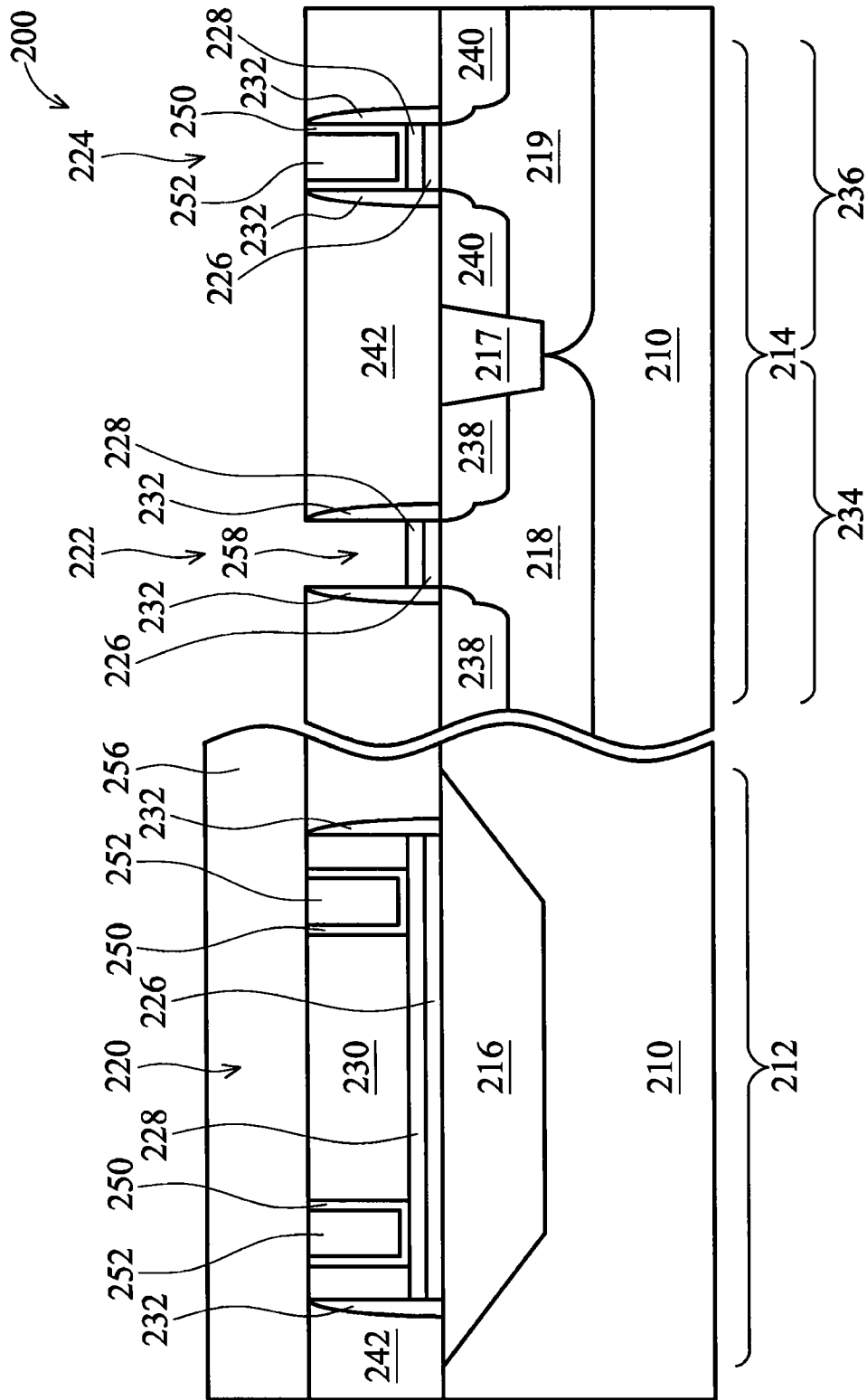


图 9

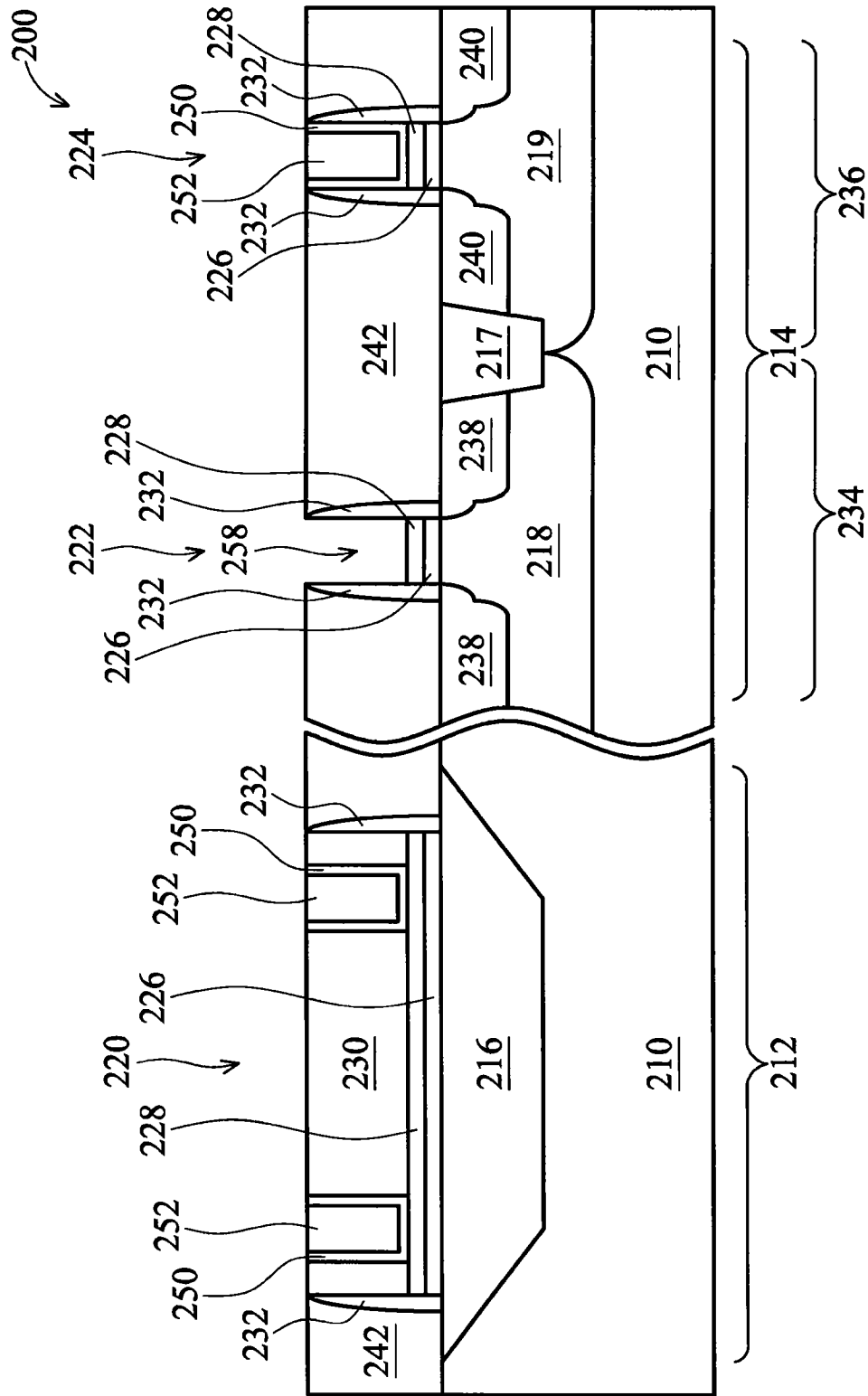


图 10

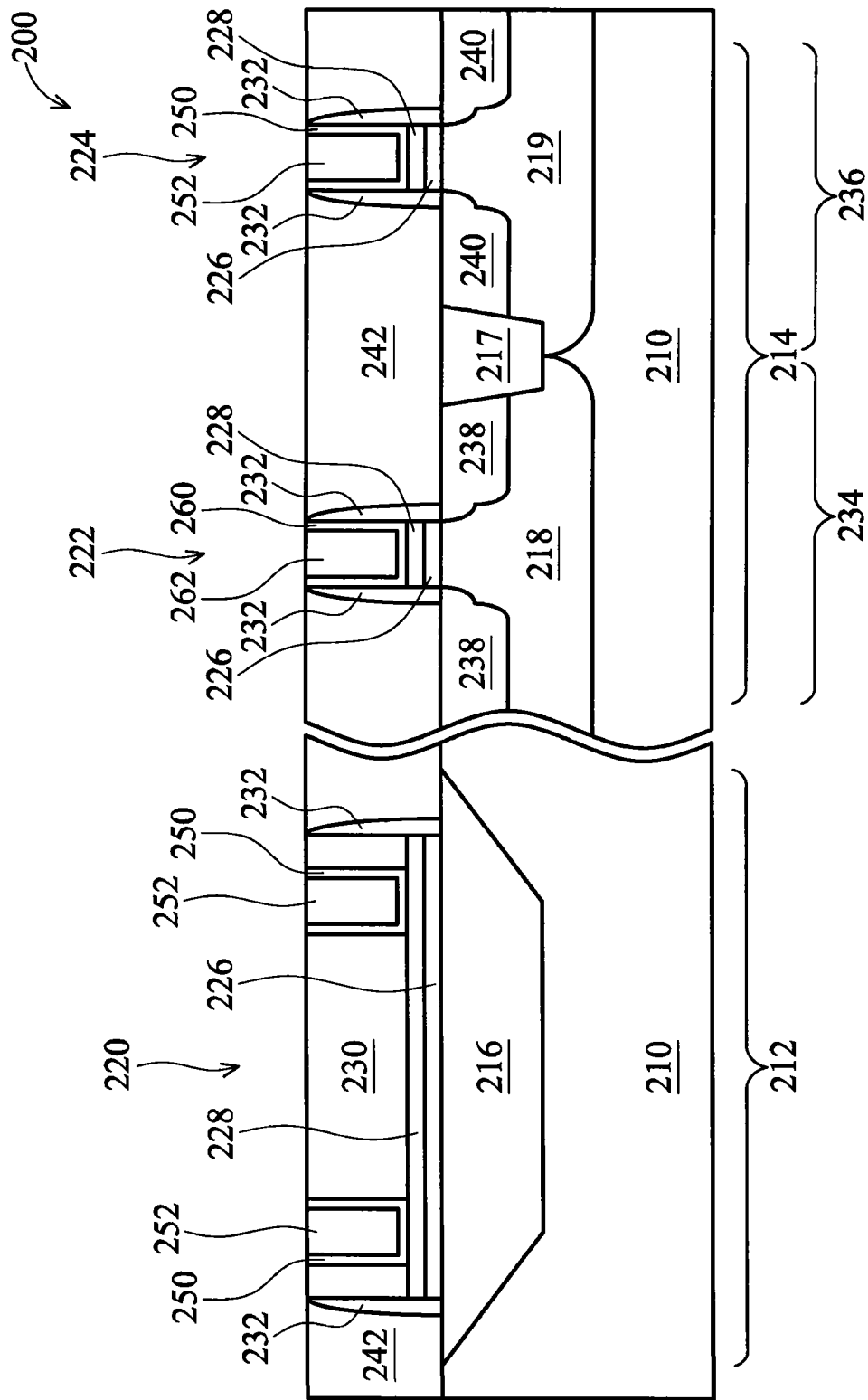


图 11

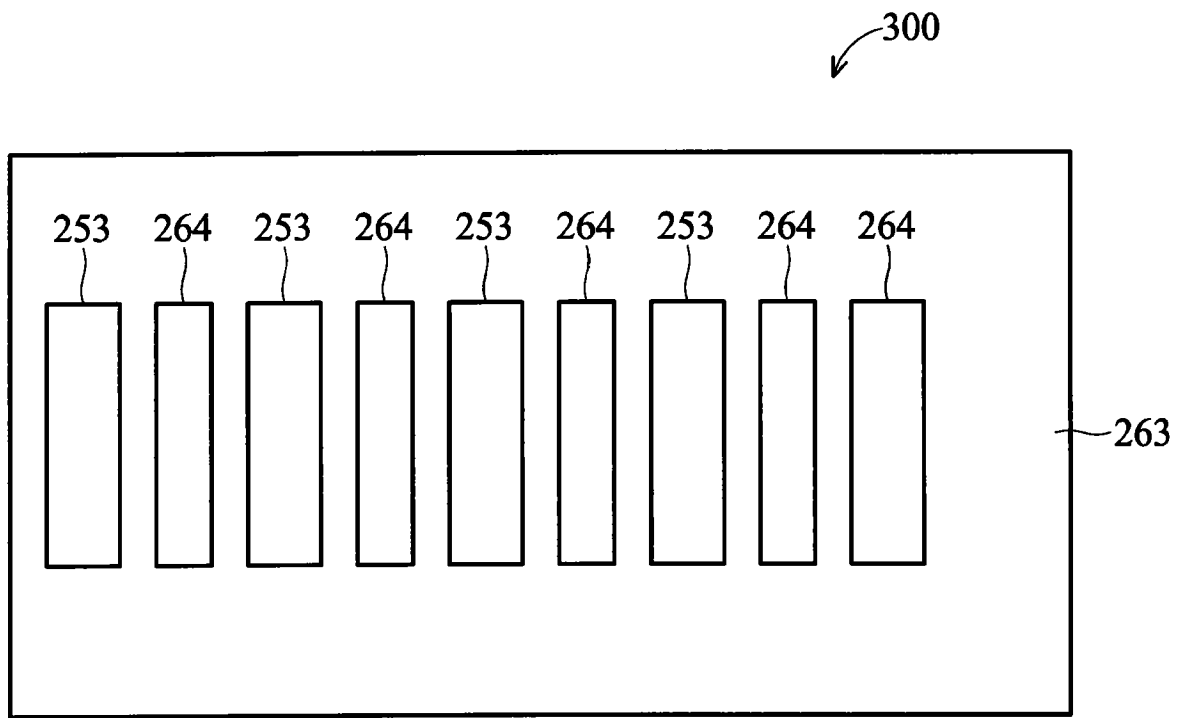


图 12

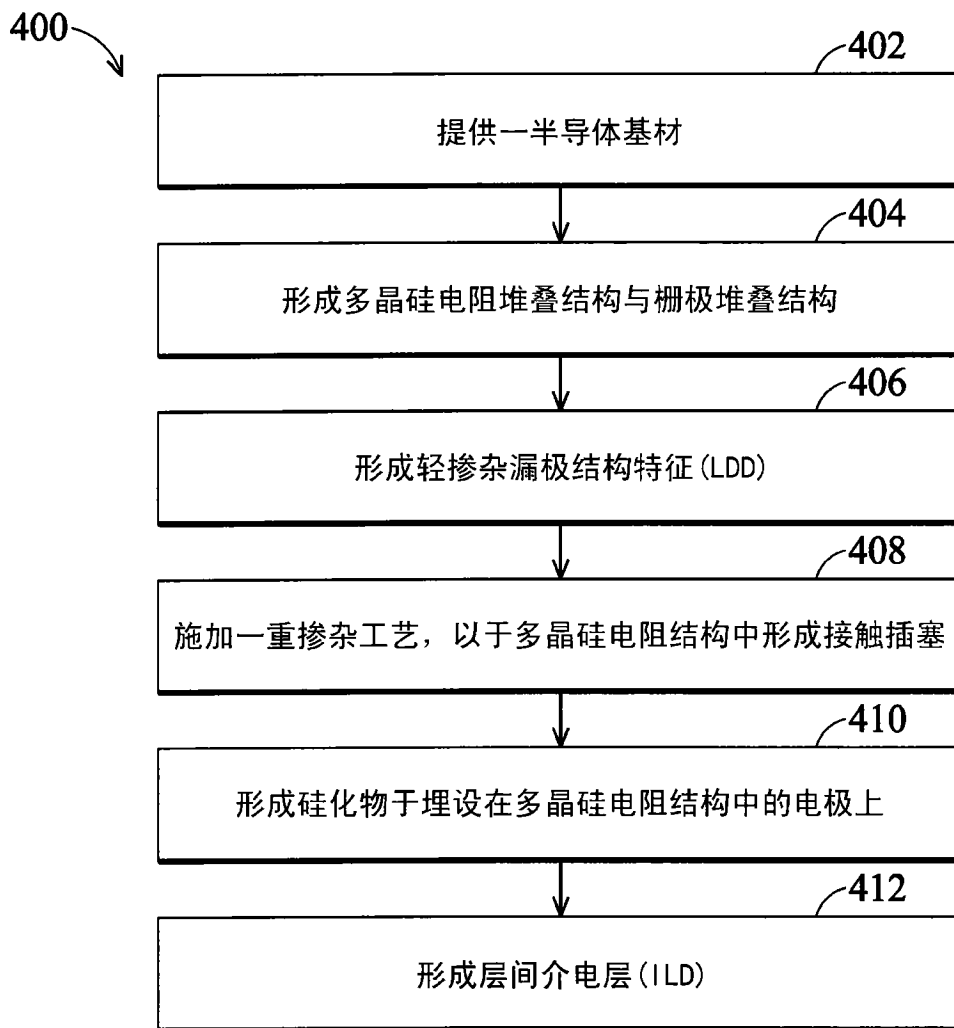


图 13

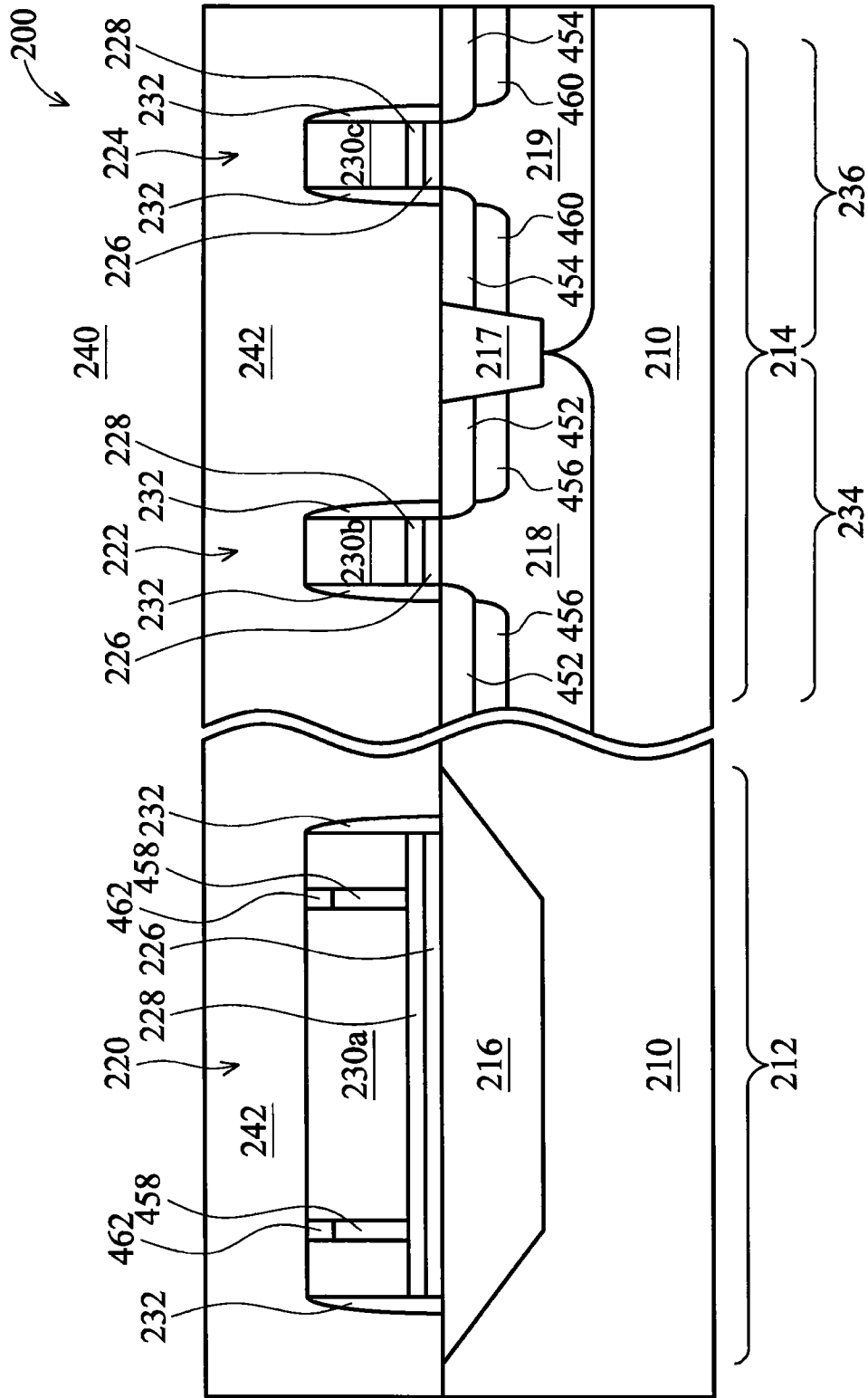


图 14



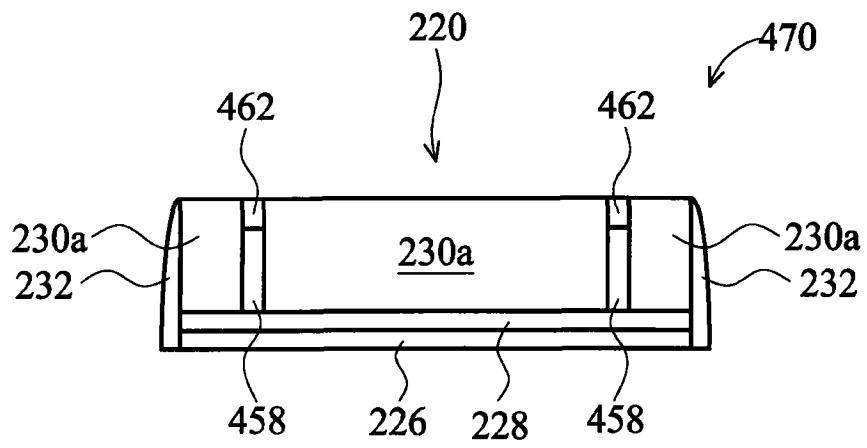


图 15

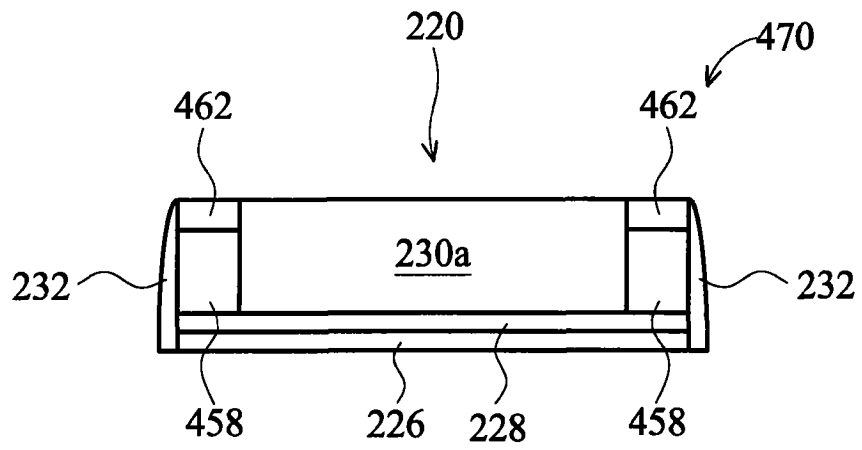


图 16