

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-505919

(P2006-505919A)

(43) 公表日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 23/32 (2006.01)	HO 1 L 23/32	D
HO 1 L 25/18 (2006.01)	HO 1 L 25/14	Z
HO 1 L 25/11 (2006.01)		
HO 1 L 25/10 (2006.01)		

審査請求 未請求 予備審査請求 有 (全 32 頁)

(21) 出願番号 特願2003-572090 (P2003-572090)  
 (86) (22) 出願日 平成15年2月21日 (2003. 2. 21)  
 (85) 翻訳文提出日 平成16年10月19日 (2004. 10. 19)  
 (86) 国際出願番号 PCT/US2003/005359  
 (87) 国際公開番号 W02003/073506  
 (87) 国際公開日 平成15年9月4日 (2003. 9. 4)  
 (31) 優先権主張番号 60/360, 473  
 (32) 優先日 平成14年2月26日 (2002. 2. 26)  
 (33) 優先権主張国 米国 (US)

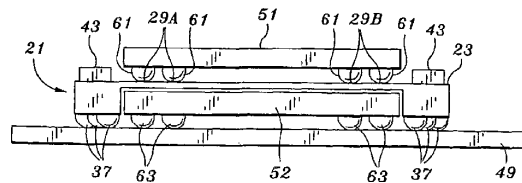
(71) 出願人 502335084  
 レガシー エレクトロニクス、 インコー  
 ポレイテッド  
 アメリカ合衆国 カリフォルニア 926  
 73, サン クレメント, カレ アマ  
 ネサー 1001  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100062409  
 弁理士 安村 高明  
 (74) 代理人 100113413  
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 モジュール式集積回路チップキャリア

(57) 【要約】

基板上的三次元アレイ半導体チップにおける配置を可能にする装置と方法とが開示された。基板上において任意のICチップを他のICチップ上に置くことができるユニークなチップキャリアが開示された。さらに、このキャリアにより、キャリアやチップがBGAもしくはCSPタイプであっても、キャリアやチップをシステムから切り離すことなくキャリア上およびキャリア下にあるICチップの検査を行うことが可能になる。このキャリアには、オンサイト検査を可能にするための露出検査点も含まれる。



## 【特許請求の範囲】

## 【請求項 1】

基板上に三次元で集積回路チップを配設するためのキャリアであって、このキャリアが：

a) 上面と底面とをもつプラットフォームと；

b) このプラットフォームの第 1 の側面における第 1 の支柱と、このプラットフォームの第 2 の側面における第 2 の支柱であって、これらの支柱によりこのプラットフォームの支持を行い、これによりこのプラットフォームの底面の下にスペースを創生するようにしたものと；

c) 接続パッドのパターン上にある最上面に少なくとも 1 つの集積回路を受け入れるための最上面にある接続パッドのパターンをもつこのプラットフォームであって、パッドのこのパターンのおのおののパッドの底面が、このプラットフォームを通過してこのプラットフォームの下部層まで通り抜けるバイアに接続されており、このバイアが、第 1 および第 2 支柱に向けて延伸する導電路に接続するようにしたプラットフォームと；

d) おのおのの支柱の底部からこの支柱の最上部までこの支柱を通過して延伸する支柱バイアをもつ第 1 および第 2 の支柱であって、この支柱バイアのおのおのが、接続パッドのパターンのパッドの内の 1 つのパッドから下方に延伸する特定のバイアに特定の導電路が接続するこのプラットフォーム内の特定の導電路に接続するようにしたこれらの支柱とを備えるものであって；

e) このキャリアが、接続パッドのパターン上のプラットフォームの最上面に少なくとも 1 つの集積チップを受け入れるとともに、そのチップを、キャリアが取り付けられるプリント基板に接続して、少なくとも第 2 の集積回路チップを、キャリアが取り付けられる基板に取り付けるため、キャリアの底面の下にスペースを設けることが可能なモジュラを構成するようにしたキャリア。

10

20

## 【請求項 2】

請求項 1 に記載のキャリアであって、その第 1 支柱の上方に延伸するバイアが、プラットフォームの第 1 側面の最上部縁まで延伸し、これによりこのプラットフォームの最上面で上方に延伸するバイアの最上面を露出させ、その第 2 支柱の上方に延伸するバイアが、プラットフォームの第 2 側面の最上部縁まで延伸し、このプラットフォームの最上面で上方に延伸するバイアの最上部縁を露出させるようにしたキャリア。

## 【請求項 3】

請求項 1 に記載のキャリアであって、上方に延伸するバイアのおのおのが導電材料のコアの形状であるようにしたキャリア。

30

## 【請求項 4】

請求項 2 に記載のキャリアであって、上方に延伸するバイアが熱放散を行うようにしたキャリア。

## 【請求項 5】

請求項 2 に記載のキャリアであって：

a) 第 1 支柱の上方に延伸するバイアの最上部の露出端部が第 1 の所定パターンにおけるプラットフォームの第 1 側面の最上部周縁部にあり、第 2 支柱の上方に延伸するバイアの最上部の露出端部が第 2 の所定パターンにおけるプラットフォームの第 2 側面の最上部周縁部にあり；

b) プラットフォームの最上面のエリア寸法が、最上面の接続パッドのパターンにより接続された少なくとも 1 つの集積チップを備える一方、上方に延伸するバイアの最上部露出端部の第 1 所定パターンと、上方に延伸するバイアの最上部露出端部の第 2 所定パターンとを覆わないでアクセス可能のままにしておき、

c) 第 1 支柱のバイアの底部露出端部が、第 1 所定パターンの鏡像である所定パターンであり、第 2 支柱のバイアの底部露出端部が、第 2 所定パターンの鏡像である所定パターンであり、

d) 所定第 1 および第 2 所定パターンと鏡像の第 1 および第 2 所定パターンの寸法と配置が第 1 キャリアと等しい第 2 キャリアが第 1 キャリアに層成され、第 1 キャリアのバイ

40

50

アの最上部露出端部が第2キャリアの底部露出端部と電気接触を行うようにしたキャリア。

【請求項6】

請求項5に記載の装置であって、少なくとも1つの集積回路チップが、第1キャリアの底面の下にあるスペース内の基板に接続でき、少なくとも1つの集積回路チップが、第1キャリアのプラットフォームの最上面に接続でき、少なくとも1つの集積回路チップが、第2キャリアのプラットフォームの最上面に接続でき、全ての集積回路チップが基板の回路に電気接続できるようにした装置。

【請求項7】

請求項5に記載の装置であって、複数の同様のキャリアが1つずつ置かれ、お互いが電気接続されたキャリアの三次元アレイを形成するようにした装置。 10

【請求項8】

請求項1に記載のキャリアであって、プラットフォームの接続パッドのパターンが変更可能であって、さまざまなパターンをもつキャリアが幅広い集積回路チップを備えることが可能になるようさまざまなアレイパターンを形成するようにするとともに、接続パッドのパッドバイアと支柱バイアとの間の導電路が、さまざまな複数構成のプラットフォームの接続パッドのパターンを回路基板に接続するよう構成できるようにしたキャリア。

【請求項9】

請求項6に記載の装置であって、両キャリアのプラットフォームの接続パッドのパターンが変更可能であって、キャリアが、さまざまな接続パッドのパターンをもつ幅広いICチップを備えることが可能になるようにするとともに、パッドのパッドバイアと支柱バイアとの間の導電路が、さまざまな複数構成のプラットフォームのパッドを回路基板に接続するよう構成できるようにした装置。 20

【請求項10】

請求項7に記載の装置であって、複数キャリアのプラットフォームの接続パッドアレイのパターンが変更可能であって、キャリアが、幅広いICチップパッドアレイパターンを備えることが可能になるようにするとともに、接続パッドアレイのパッドのバイアと支柱のバイアとの間の導電路が、さまざまな複数構成のプラットフォームのパッドを第1および第2支柱のバイアに接続するよう構成できるようにした装置。

【請求項11】

請求項2に記載のキャリアであって、バイアの露出最上部端部が、キャリア接続を試験するための試験点となるとともに、キャリアが回路に接続されるようにしたキャリア。 30

【請求項12】

請求項5に記載の装置であって、第2キャリアの支柱の上方に延伸するバイアの露出最上部端部が、第1および第2キャリアと取り付けられた任意の集積回路チップの試験を行うための接触点となる一方、同端部が基板に接続されるようにした装置。

【請求項13】

請求項6に記載の装置であって、第2キャリアの支柱の上方に延伸するバイアの露出最上部端部が、第1および第2キャリアと取り付けられた任意の集積回路チップの試験を行うための接触点となる一方、同端部が基板に接続されるようにした装置。 40

【請求項14】

請求項7に記載の装置であって、最上部キャリアの支柱の上方に延伸するバイアの露出最上部端部が、複数の層成キャリアと取り付けられた任意のICチップの試験を行うための接触点となる一方、同端部が基板に接続されるようにした装置。

【請求項15】

請求項1に記載のキャリアであって、集積回路チップがリードによってパッドのアレイに接続可能であるようにしたキャリア。

【請求項16】

請求項1に記載のキャリアであって、バイアが、アパチャを導電材料でメッキすることにより形成されるようにしたキャリア。 50

## 【請求項 17】

請求項 16 に記載のキャリアであって、導電材料でアパチャをメッキした後にアパチャ内に残った空洞が、あらかじめ選定された材料で充填され、これによりこの空洞を取り除き、接続パッドをバイアの上部において、バイアからパッドをオフセットすることを防止することを可能になるようにしたキャリア。

## 【請求項 18】

請求項 17 のキャリアであって、あらかじめ選択された材料が非導電材料であるようにしたキャリア。

## 【請求項 19】

請求項 17 のキャリアであって、あらかじめ選択された材料が導電材料であるようにしたキャリア。 10

## 【請求項 20】

請求項 2 に記載のキャリアであって、支柱バイアが、アパチャを導電材料でメッキすることにより形成されるようにしたキャリア。

## 【請求項 21】

請求項 20 に記載のキャリアであって、導電材料でアパチャをメッキした後にアパチャ内に残った空洞が、あらかじめ選定された材料で充填され、これによりこの空洞を取り除き、接続パッドをバイアの上部において、バイアからパッドをオフセットする必要をなくすることが可能になるようにしたキャリア。

## 【請求項 22】

請求項 21 のキャリアであって、あらかじめ選択された材料が非導電材料であるようにしたキャリア。 20

## 【請求項 23】

請求項 21 のキャリアであって、あらかじめ選択された材料が導電材料であるようにしたキャリア。

## 【請求項 24】

請求項 2 に記載のキャリアであって：

a) 第 1 支柱の上方にて延伸するバイアの最上部の露出端部が第 1 の所定パターンにおけるプラットフォームの第 1 側面の最上部周縁部にあり、第 2 支柱の上方に延伸するバイアの最上部の露出端部が第 2 の所定パターンにおけるプラットフォームの第 2 側面の最上部周縁部にあり； 30

b) プラットフォームの最上面のエリア寸法が、最上面の接続パッドのパターンにより接続される少なくとも 1 つの集積チップを備える一方、上方に延伸するバイアの最上部露出端部の第 1 所定パターンと、上方に延伸するバイアの最上部露出端部の第 2 所定パターンとを覆わないでアクセス可能のままにしておくようにしたキャリア。

## 【請求項 25】

請求項 17 に記載のキャリアであって：

a) 第 1 支柱の上方に延伸するバイアの最上部の露出端部が第 1 の所定パターンにおけるプラットフォームの第 1 側面の最上部周縁部にあり、第 2 支柱の上方に延伸するバイアの最上部の露出端部が第 2 の所定パターンにおけるプラットフォームの第 2 側面の最上部周縁部にあり； 40

b) プラットフォームの最上面のエリア寸法が、最上面の接続パッドのパターンにより接続された少なくとも 1 つの集積チップを備える一方、上方に延伸するバイアの最上部露出端部の第 1 所定パターンと、上方に延伸するバイアの最上部露出端部の第 2 所定パターンとを覆わないでアクセス可能のままにしておくようにしたキャリア。

## 【請求項 26】

請求項 1 に記載のキャリアであって、第 1 および第 2 支柱が、プラットフォームを支持する複数の支柱であるようにしたキャリア。

## 【請求項 27】

請求項 1 に記載のキャリアであって、パッドがバイアの直上にあるようにしたキャリア。 50

## 【請求項 28】

請求項 1 に記載のキャリアであって、パッドがバイアからオフセットされるようにしたキャリア。

## 【請求項 29】

請求項 2 に記載のキャリアであって、パッドがバイアの直上にあるようにしたキャリア。

## 【請求項 30】

請求項 2 に記載のキャリアであって、パッドがバイアからオフセットされるようにしたキャリア。

## 【請求項 31】

請求項 1 に記載のキャリアであって、使用される接続パッドが、BGAパッドまたはチップスケールパッドのグループから選択されるようにしたキャリア。 10

## 【請求項 32】

請求項 1 に記載のキャリアであって、第 2 集積回路チップが、プラットフォームの面の底面に位置して、プラットフォームと第 1 および第 2 支柱のバイアと導線とを經由して基板に接続するようにしてキャリア。

## 【請求項 33】

請求項 1 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサをキャリアに対して電気接続するためのパッドをさらに含むキャリア。

## 【請求項 34】

請求項 33 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドがキャリアの電源もしくは接地層に接続し、これにより少なくとも 1 つの減結合コンデンサを電気回路に接続するようにしたキャリア。 20

## 【請求項 35】

請求項 33 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドが支柱のバイアに接続し、キャリアが基板に取り付けられた際に、バイアが基板上の電源もしくは接地接続に接続し、これにより少なくとも 1 つの減結合コンデンサを電気回路に接続するようにしたキャリア。

## 【請求項 36】

請求項 35 に記載のキャリアであって、パッドが支柱の上に位置するようにしたキャリア。 30

## 【請求項 37】

請求項 35 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドが、導路に接続する二次バイアにより支柱のバイアに接続し、さらにこれが支柱のバイアに接続するようにしたキャリア。

## 【請求項 38】

請求項 1 に記載のキャリアであって、キャリアが接続される基板の電気特性にマッチするようキャリアを構成するようにしたキャリア。

## 【請求項 39】

請求項 1 に記載のキャリアであって、標準的な基板と同様の方法で、キャリアを多層基板として作製するようにしたキャリア。 40

## 【請求項 40】

請求項 1 のキャリアであって、キャリアが射出成形プロセスによって作製されるようにしたキャリア。

## 【請求項 41】

請求項 1 に記載のキャリアであって、バイアが、ステップ積層法または深さルーティング法のグループから選択されたプロセスにより作製されるようにしたキャリア。

## 【請求項 42】

請求項 2 に記載のキャリアであって、支柱のバイアの最上部露出端部が、キャリアに接続された少なくとも 1 つの IC チップをもつ基板に接続された際にキャリアの単一解析を行うためのポイントとなるようにしたキャリア。 50

## 【請求項 4 3】

請求項 2 に記載のキャリアであって、支柱のバイアの最上部露出端部が、試験または信号解析用に用いられ、信号解析または試験を容易にするため少なくとも 1 つの接地点が隣接するようにしたキャリア。

## 【請求項 4 4】

請求項 4 3 に記載のキャリアであって、少なくとも 1 つの接地点が、支柱のバイアの最上部露出端部に隣接する空間接地エリアのグループから選択される、またはバイアの最上部露出端部の少なくとも 1 つが接地点であるようにしたキャリア。

## 【請求項 4 5】

請求項 4 4 のキャリアであって、信号解析またな試験が探触点で行われるようにしたキャリア。

10

## 【請求項 4 6】

請求項 1 に記載のキャリアであって、キャリアが基板に取り付けられる場合に第 2 集積回路チップが、キャリアのプラットフォームの底面下部の基板に直接接続するようにしたキャリア。

## 【請求項 4 7】

IC チップを三次元アレイで基板上に配設するための方法であって、この方法が：

- a) 第 1 の IC チップを受け入れるためのプラットフォームを準備するステップと；
- b) プラットフォームを支持するための少なくとも 1 つの支柱を準備して、これによりキャリアを形成するステップと；
- c) キャリアが基板に接続される際に、チップを、プラットフォームと支柱とを通して基板に電気接続するステップと；
- d) プラットフォームの底部の下部に対して、キャリアが基板に取り付けられる場合に第 2 の IC チップを基板に接続するためのプラットフォーム下部のスペースができるような構成で少なくとも 1 つの支柱とプラットフォームを形成するステップと；
- e) キャリアが基板に取り付けられ、IC チップがプラットフォーム最上部に接続される場合にアクセス可能なキャリア上の試験接点を準備するステップとを備える方法。

20

## 【請求項 4 8】

請求項 4 7 に記載の方法であって、おのこのキャリア上の少なくとも IC チップをもつ複数のキャリアを積層するステップをさらに備える方法。

30

## 【請求項 4 9】

請求項 4 7 に記載の方法であって、IC チップを、キャリアが取り付けられる基板に対して電気接続するステップが：

- a) プラットフォームの最上部の接続パッドからキャリア中の接続レベルまで延伸する導電を準備するステップと；
- b) バイアを接続層内の導電ラインに接続するステップと；
- c) 導電ラインを少なくとも 1 つの支柱につなげるステップと；
- d) あらかじめ選択されたパターンで導電ラインを接続する少なくとも 1 つの支柱の導電バイアを準備するステップと；
- e) バイアが導電ラインに接続する点から少なくとも 1 つの支柱の底部まで下方に延伸する少なくとも 1 つの支柱の導電バイアをもつステップと；
- f) キャリアを基板に接続することを可能にする接続パッドにおいて少なくとも 1 つの支柱の底部において導電バイアを終端にするステップとを含む方法。

40

## 【請求項 5 0】

請求項 4 9 に記載の方法であって、プラットフォームから下方に延伸するバイアと、少なくとも 1 つの支柱内のバイアとを準備するステップが：

- a) プラットフォームまたは支柱にアパチャを準備するステップと；
- b) アパチャ内に導電材料を積層させるステップとを含む方法。

## 【請求項 5 1】

請求項 5 0 に記載の方法であって、追加の充填材料を、導電材料をアパチャ内に積層させ

50

るステップにおいて残った空洞内に積層させるステップをさらに含む方法。

【請求項 5 2】

請求項 5 1 に記載の方法であって、追加の充填材料を積層させるステップが非導電充填材料を積層させることを備えるようにした方法。

【請求項 5 3】

請求項 5 2 に記載の方法であって、追加の充填材料を積層させるステップが導電充填材料を積層させることを備えるようにした方法。

【請求項 5 4】

請求項 5 2 に記載の方法であって、キャリアが基板に取り付けられ、第 1 の IC チップがプラットフォームに接続される場合にアクセス可能なキャリア上の試験接点を準備するステップが、ビアの少なくとも 1 つの支柱露出最上部端部の最上部を準備するステップを含むようにした方法。

10

【請求項 5 5】

基板上に三次元で IC チップを配設するためのキャリアであって、このキャリアが：

a) 第 1 の IC チップを受け入れるためのプラットフォームを準備する手段と；

b) プラットフォームを支持し、これによりキャリアの下部にスペースをもつキャリアを形成し、これにより、キャリアが基板に取り付けられる場合に第 2 の IC チップを基板に接続するための場所を形成するための手段と；

c) プラットフォームを支持するための手段を通して、キャリアが基板に接続される場合に、キャリアの最上部に接続されている第 1 の IC チップを基板に電気接続するための手段とを備えるキャリア。

20

【請求項 5 6】

請求項 5 5 に記載のキャリアであって、キャリアが基板に取り付けられ、IC チップがプラットフォーム最上部に接続される場合にアクセス可能なキャリア上の試験接点を準備するための手段をさらに備えるキャリア。

【請求項 5 7】

請求項 5 5 に記載のキャリアであって、第 2 のキャリアをそのキャリアの上部に積層するための手段をもつキャリア。

【請求項 5 8】

請求項 5 5 に記載のキャリアであって、複数のキャリアをそのキャリアの上部に積層するための手段をもつキャリア。

30

【請求項 5 9】

請求項 5 5 に記載のキャリアであって、プラットフォームを支持するための手段を通して、キャリアが基板に接続される場合に、キャリアの最上部に接続される第 1 の IC チップを基板に電気接続するための手段を備えるキャリアであって、このキャリアが：

a) プラットフォームの最上部の接続パッドからキャリア中の接続レベルまで延伸する導電ビアと；

b) 接続パッドから下方に延伸する導電ビアに接続する接続層中の導電ラインと；

c) ここで指示手段が少なくとも 1 つの支柱であって、導電ラインが少なくとも 1 つの支柱まで延びるようにした導電ラインと；

40

d) あらかじめ選択されたパターンで導電ラインを接続する少なくとも 1 つの支柱の導電ビアとを備えるものであって；

e) 少なくとも 1 つの支柱の導電ビアが、導電ビアが導電ラインに接続する点から少なくとも 1 つの支柱の底部まで下方に延伸し；キャリアが基板に接続することを可能にする接続パッドにおいて少なくとも 1 つの支柱の底部で終端となるようにしたキャリア。

【請求項 6 0】

請求項 5 9 に記載のキャリアであって、プラットフォームの導電ビアと少なくとも 1 つの支柱とは、導電材料が積層されるアパチャにより形成されるようにしたキャリア。

【請求項 6 1】

請求項 6 0 に記載のキャリアであって、アパチャが、アパチャ内に積層される導電材料の

50

残る空洞内に充填材料を含め、これによりバイアの最上部端部露出端部のパッドに対する支持を行うようにしたキャリア。

【請求項 6 2】

請求項 6 1 に記載のキャリアであって、充填材料が非導電充填材料であるようにしたキャリア。

【請求項 6 3】

請求項 6 2 に記載のキャリアであって、充填材料が導電充填材料であるようにしたキャリア。

【請求項 6 4】

請求項 6 3 に記載のキャリアであって、キャリアが基板に取り付けられ、第 1 の IC チップがプラットフォームに接続される場合にアクセス可能なキャリア上の試験接点が、バイアの少なくとも 1 つの支柱露出最上部端部の最上部を準備することにより形成されるようにしたキャリア。 10

【請求項 6 5】

請求項 6 4 のキャリアであって、少なくとも 1 つの支柱が 2 支柱であるようにしたキャリア。

【請求項 6 6】

基板上に三次元で IC チップを配設するためのキャリアであって、このキャリアが：

a) 第 1 の IC チップを受け入れるためのプラットフォームと；

b) プラットフォームを支持し、これによりキャリアの下部にスペースをもつキャリアを形成し、これにより、キャリアが基板に取り付けられる場合に第 2 の IC チップを基板に接続するための場所を形成する少なくとも 1 つの支柱と； 20

c) 第 1 の IC チップを受け入れて接続するためのプラットフォームの最上部の接続パッドから、プラットフォームと少なくとも 1 つの支柱を通して、キャリアが基板に接続される場合に 1 つの支柱の底部の接続点までの導電路とを備えるキャリア。

【請求項 6 7】

請求項 6 6 に記載のキャリアであって、キャリアが基板に取り付けられ、IC チップがプラットフォーム最上部に接続される場合にアクセス可能なキャリア上の試験接点をもつキャリア。

【請求項 6 8】 30

請求項 6 7 に記載のキャリアであって、キャリア上の試験接点が、積層と、キャリアの最上部に第 2 のキャリアを接続するために用いることが可能なキャリア。

【請求項 6 9】

請求項 6 7 に記載のキャリアであって、試験接点が、複数のキャリアをそのキャリアの上部に積層するために用いることが可能なキャリア。

【請求項 7 0】

請求項 6 6 に記載のキャリアであって、導電路が：

a) プラットフォームの最上部の複数の接続パッドからキャリア中の接続レベルまで下方に延伸する導電バイアと；

b) 接続パッドから下方に延伸する導電バイアに接続する接続層中の導電ラインと； 40

c) あらかじめ選択されたパターンで接続する少なくとも 1 つの支柱の導電バイアとを備えるものであって；

d) 少なくとも 1 つの支柱の導電バイアが、導電バイアが導電ラインに接続する点から少なくとも 1 つの支柱の底部まで下方に延伸し；キャリアが基板に接続することを可能にする接続パッドにおいて少なくとも 1 つの支柱の底部で終端となるようにしたキャリア。

【請求項 7 1】

請求項 7 0 に記載のキャリアであって、プラットフォームの導電バイアと少なくとも 1 つの支柱とは、導電材料が積層されるアパチャにより形成されるようにしたキャリア。

【請求項 7 2】

請求項 7 1 に記載のキャリアであって、アパチャが、アパチャ内に積層される導電材料の 50



残る空洞内に充填材料を含め、これによりバイアの最上部端部露出端部のパッドに対する支持を行うようにしたキャリア。

【請求項 7 3】

請求項 7 2 に記載のキャリアであって、充填材料が非導電充填材料であるようにしたキャリア。

【請求項 7 4】

請求項 7 2 に記載のキャリアであって、充填材料が導電充填材料であるようにしたキャリア。

【請求項 7 5】

請求項 7 0 に記載のキャリアであって、キャリアが基板に取り付けられ、第 1 の IC チップがプラットフォームに接続される場合にアクセス可能なキャリア上の試験接点が、少なくとも 1 つの支柱のバイアの少なくとも 1 つの支柱露出最上部端部の最上部を準備することにより形成されるようにしたキャリア。 10

【請求項 7 6】

請求項 7 5 に記載のキャリアであって、基板と同一の方法で作製するようにしたキャリア。

【請求項 7 7】

請求項 7 0 に記載のキャリアであって、キャリアが基板に取り付けられ、IC チップがプラットフォーム最上部に接続される場合にアクセス可能なキャリア上の試験接点をもつキャリア。 20

【請求項 7 8】

請求項 7 7 に記載のキャリアであって、試験接点が、少なくとも 1 つの支柱のバイアの最上部露出端部により形成されるようにしたキャリア。

【請求項 7 9】

請求項 6 7 に記載のキャリアであって、試験接点が、少なくとも 1 つの支柱の複数バイアの最上部露出端部により形成されるようにしたキャリア。

【請求項 8 0】

請求項 6 6 に記載のキャリアであって、少なくとも 1 つの支柱が 2 支柱であるようにしたキャリア。

【請求項 8 1】

請求項 6 6 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサをキャリアに対して電気接続するためのパッドをさらに含むキャリア。 30

【請求項 8 2】

請求項 8 1 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドがキャリアの電源もしくは接地層に接続し、これにより少なくとも 1 つの減結合コンデンサを電気回路に接続するようにしたキャリア。

【請求項 8 3】

請求項 8 1 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドが支柱のバイアに接続し、キャリアが基板に取り付けられる場合に、バイアが基板上の電源もしくは接地接続に接続し、これにより少なくとも 1 つの減結合コンデンサを電気回路に接続するようにしたキャリア。 40

【請求項 8 4】

請求項 8 3 に記載のキャリアであって、パッドが支柱の上に位置するようにしたキャリア。

【請求項 8 5】

請求項 8 3 に記載のキャリアであって、少なくとも 1 つの減結合コンデンサに対するパッドが、導電路に接続する二次バイアにより支柱のバイアに接続し、さらにこれが支柱のバイアに接続するようにしたキャリア。

【請求項 8 6】

請求項 8 1 に記載のキャリアであって、キャリアが接続される基板の電気特性にマッチす 50

るようキャリアを構成するようにしたキャリア。

【請求項 87】

請求項 81 に記載のキャリアであって、標準的な基板と同様の方法で、キャリアを多層基板として作製するようにしたキャリア。

【請求項 88】

請求項 81 のキャリアであって、キャリアが射出成形プロセスによって作製されるようにしたキャリア。

【請求項 89】

請求項 81 に記載のキャリアであって、バイアが、ステップ積層法または深さルーティング法のグループから選択されたプロセスにより作製されるようにしたキャリア。

10

【請求項 90】

請求項 82 に記載のキャリアであって、支柱のバイアの最上部露出端部が、キャリアに接続される少なくとも 1 つの IC チップをもつ基板に接続される場合にキャリアの単一解析を行うためのポイントとなるようにしたキャリア。

【請求項 91】

請求項 82 に記載のキャリアであって、支柱のバイアの最上部露出端部が、試験または信号解析用に用いられ、信号解析または試験を容易にするため少なくとも 1 つの接地点が隣接するようにしたキャリア。

【請求項 92】

請求項 91 に記載のキャリアであって、少なくとも 1 つの接地点が、支柱のバイアの最上部露出端部に隣接する空間接地エリアのグループから選択される、またはバイアの最上部露出端部の少なくとも 1 つが接地点であるようにしたキャリア。

20

【請求項 93】

請求項 92 のキャリアであって、信号解析またな試験が探触点で行われるようにしたキャリア。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2002年2月26日に提出された「モジュール式集積回路チップキャリア」という件名の米国仮出願番号第60/360,473号より、35 USC § 119(e) に基づく優先権を主張するものである。

30

【0002】

本特許文書の開示の一部は、著作権保護の対象になる資料を含む。著作権の所有者は、特許商標事務所の特許ファイルまたは記録で参照できることからファクシミリ複写に対して異議は唱えないが、それ以外についてはいかなる場合でも全ての著作権を留保する。

【0003】

(発明の分野)

本発明は、集積回路チップキャリアに関する。さらに詳細には、プリント基板上に設けられた集積回路(IC)チップの密度増加が可能なキャリアであって、何よりもまず、幅広い標準的 IC チップパッケージ設計を三次元アレイでプリント基板に接続できるキャリアとともに、大規模なシステムの回路に全て接続した状態でキャリアやチップを検査するためのシステムと方法とに関する。

40

【背景技術】

【0004】

(発明の背景)

半導体チップは、典型的には、プリント基板に、他のチップを含むプリント基板、またはチップが作動する際に用いるコンピュータの回路の残りの部分に対してチップをさらに相互接続する同様の構造体に接続される。過去において、チップは、単純な二次元アレイで広い平面側のプリント基板上に渡って広がっていた。何年にもわたって、コンピュータ産業が、プリント基板上にチップをさらに詰め込んだアレイを求める傾向になった。この

50

理由としては、コンピュータのランダムアクセス記憶装置の大型化への要求が高まったこと、コンピュータの高速化への要求、コンピュータの小型化への要求、プリント基板上の回路密度を向上させることによりプリント基板の費用を削減するという圧力といったものがある。1980年代の中期から終りにかけて、産業界では、コンピュータチップをプリント基板の穴を通してプリント基板に取り付けるという技法から、さまざまな表面取付け技法へと切り替えを行った。表面取付け技法の登場により、プリント基板への穴を通す技法は、プリント基板表面に導電パッドを取り付けるものにとって代わられた。チップは、DIP等のさまざまな構成でリードを用いて基板に接続される。これにより、基板の層間を走る複雑な相互接続ラインのネットワークをもつ複層回路基板が可能になる。一方、これによりプリント基板上のチップ密度を向上させることができるようになるが、これは基板を小さくするだけでなく、基板上のチップ間で信号が移動する距離が短くなることからコンピュータの作動スピードを速めることになる。

10

#### 【0005】

表面取付け技法への動きによって、基板上のチップ密度を向上させ、これによりシステム全体にわたる作動速度を向上させるようチップ間の距離を小さくするため、さまざまな構成でプリント基板の上にチップを配置することが慣例となった。三次元アレイを形成するためチップを交互に重ねる、または配置することは、プリント基板上のチップ密度を向上させるために用いられる1つの手段である。三次元配置を形成するためチップを交互に重ねる、または配置することは、回路中の冗長性がある場合、メモリチップに対してとりわけ適用可能である。プリント基板の上に半導体チップを成層することの顕著な優位性を示す例としては、米国特許第6,313,998号で説明されているが、この特許は即座に適用されるものとして同一組織が所有するものであり、本発明には参照により取り入れられている。米国特許第6,313,998号ではリード付キャリアと、1つのチップを他のチップ上に設置するユニークな方法とを開示している。

20

#### 【0006】

しかしコンピュータ産業で典型的なものであると同様に、この技術も急に現れたものであり、産業化での全般的な傾向は、現在では、大部分の半導体チップのパッケージに対する接続のボールグリッドアレイ(BGA)の利用に移ってきている。典型的なBGA配置は、チップパッケージ底部のBGAパッドの組と、プリント基板上の対応する鏡像アレイとで構成される。チップパッケージはその後、溶接ボールにより基板に接続される。BGAタイプのコネクタには多くの優位な点があるが、その中でもチップパッケージを基板に接続するためのリードがいらなくなるというものがある。BGAコネクタを用いることにより信号の移動距離が短くなり、リードによって生じる可能性のあるインピーダンスやその他の干渉を取り除くことができる。これらの当業者には、他にもよく知られた優位な点がある。

30

#### 【0007】

しかし、BGAタイプのコネクタはそれ自体の問題があり、その中には、BGAに接続された装置が基板やその他の装置と接続されたままではこのBGA接続装置の試験を行うことができないというものがある。他方、リードにより接続されているICパッケージは、長いリードがあらかじめ試験用プローブを備えておくことができることから、装置が回路に接続されたままでも非常に簡単に試験を行うことができる。一方、BGA接続装置は、接続の特性から、回路に接続されたまま直接または間接的にも試験を行うことが不可能である。BGAパッケージチップはその特性から、ブラインドパッド、すなわちアクセス不可能な非露出式パッドで接続されている。BGAタイプのコネクタの他の問題は、積層を可能にするような新たな技法を開発する必要があることである。大部分とはいかないが多くの、チップを積層する上で使用されている技法は、リードを用いた集積回路パッケージに対するものであり、BGAタイプのコネクタに対してすぐに適用できるものでないためである。さらに、三次元アレイのチップを形成するために用いられる既存のチップ積層装置と方法の大部分は、非常に複雑なものになる傾向がある。典型的には標準的なICパッケージには使えず、リードタイプまたはBGAタイプであれば、実施にあたって一般に

40

50

チップパッケージそのものの改良が必要である。さらに、大部分ではないが多くの既存の積層方法では、標準の基板アセンブリや同様のプロセスに組み込むため、特別な製造ステップおよび/または機械が必要である。

【0008】

産業界では、サイズを小さくして信号品質を高めるため新たな充填技法の開発が続いている。さらに最近の開発の中にはチップスケールパッケージ(CSP)法がある。フリップチップ法は、このタイプの充填方法の変形例である。BGA接続と同様に、フリップチップ法またはCSP充填法は、露出していないブラインドパッドに依存している。

【0009】

このように、半導体チップパッケージを基板上に積層することを可能にする技法と装置で、BGA、CSP、その他の技法で接続されたパッケージで使用可能なものが必要とされている。こういった技法と関連する装置は、こういった装置や方法とともに用いられる標準的な半導体チップパッケージの改良を行うことなく基板上に充填された三次元アレイで、受け入れ、接続が可能なものでなければならない。さらに、こういった技法と装置は、全システムの回路への接続から試験対象のチップまたはアイテムを取り除くことなく、さまざまなチップや関連するアイテムの試験を可能にできるものでなければならない。

【発明の開示】

【課題を解決するための手段】

【0010】

(概要)

本発明の目的は、半導体チップを基板上に積層することを可能にする方法と装置とを提供することである。本発明の他の目的は、既存のやり方を修正することなく、現行の基板アセンブリ工程に組み込み可能な方法と装置とを提供することである。本発明のさらに他の目的は、既存の半導体チップパッケージを改造することなく、半導体チップを積層するために使用可能な方法と装置とを提供することである。

【0011】

これらの、さらにその他の目的は、集積回路チップを積層するためのキャリアを提供することにより達成されるが、このキャリアは：a)上面と底面とをもつプラットフォームと；b)このプラットフォームの第1の側面における第1の支柱と、このプラットフォームの第2の側面における第2の支柱であって、これらの支柱によりこのプラットフォームの支持を行い、これによりこのプラットフォームの底面の下にスペースを創生するようにしたものと；c)BGAパッドのパターン上にある最上面に少なくとも1つの集積チップを受け入れるための最上面にあるBGAパッドのパターンをもつプラットフォームであって、パッドのこのパターンのおのおののパッドの底面が、このプラットフォームを通過してこのプラットフォームの下部層まで通り抜けるバイアに接続されており、このバイアが、第1および第2支柱に向けて延伸する導電路に接続するようにしたプラットフォームと；d)おのおのの支柱の底部からこの支柱の最上部までこの支柱を通過して延伸する支柱バイアをもつ第1および第2の支柱であって、この支柱バイアのおのおのが、接続パッドのパターンのパッドの内の1つのパッドから下方に延伸する特定のバイアに特定の導電路が接続するこのプラットフォーム内の特定の導電路に接続するようにしたこれらの支柱とを備えるものであって；e)このキャリアが、接続パッドのパターン上のプラットフォームの最上面に少なくとも1つの集積チップを受け入れるとともに、そのチップを、キャリアが取り付けられるプリント基板に接続して、少なくとも第2の集積回路チップを、キャリアが取り付けられる基板に取り付けるため、キャリアの底面の下にスペースを設けることが可能なモジュラを構成するようにした。

【0012】

キャリアの本発明の他の観点において、その第1支柱の上方に延伸するバイアが、プラットフォームの第1側面の最上部縁まで延伸し、これによりこのプラットフォームの最上面で上方に延伸するバイアの最上面を露出させ、その第2支柱の上方に延伸するバイアが、プラットフォームの第2側面の最上部縁まで延伸し、このプラットフォームの最上面で

10

20

30

40

50

上方に延伸するバイアの最上部縁を露出させるようにした。

【0013】

本発明の他の変形例において、チップが、下方に延伸するバイア上に直接設けられるパッドの位置決め方法を提供する。このため、非導電性または導電性充填材料を用いて製造を行った後にバイアに残った空洞部を充填する。これにより、パッドをバイアからオフセットする必要がなくなるため、パッドに必要なスペースを小さくできる。

【0014】

本発明の他の観点において、BGAタイプのコネクタ、CSPタイプのコネクタ、その他同様の接続配置を用いることの可能なシステムを提供する。さらに、1つの好ましい実施例において、試験プローブ用の隣接電気接地を含むアクセス可能な接触パッドを提供することにより、本発明のキャリアに接続され、基板に接続されたまま構成要素の試験を行うための方法を提供する。

10

【発明を実施するための最良の形態】

【0015】

(好ましい実施例の詳細な説明)

本発明は、2個以上のチップをともにプリント基板上に三次元で積層または配置し、さらに積層チップを基板の回路に相互接続することを可能ならしめるチップキャリアを提供する。図1は、本発明のチップキャリア21の好ましい実施例の斜視図である。チップキャリア21は最上部プラットフォーム23と、2つの側支柱25、27とをもつ。プラットフォーム23の最上部にあるBGAパッド29Aと29Bとのアレイは、BGAパッドアレイにより接続を行うICチップを受け入れるよう配置される。以下に論じて図示する通り、パッド29Aと29Bはバイアに接続しており、これがプラットフォーム23まで下方に延伸し、支柱25と27に対して横方向に延びる導線により接続する。支柱25と27のバイアのおのおのの最上部露出部33は、おのおのの支柱25、27条にあるプラットフォーム23の最上部縁で視認可能である。以下に論じて図示する通り、支柱25と27のバイアのおのおのは、支柱25と27を経由して下方に延伸し、溶接ボール37を取り付け可能なパッドまたは露出部で終端となる。1つの好ましい実施例におけるキャリア21は、板形状23の上で減結合コンデンサ43を受け入れるためのパッド41をもつ。以下に図示する通り、減結合コンデンサは、適当に設けたバイアと導線とを経由して回路に接続する。さらに、ICチップに隣接する減結合コンデンサの配置により動作が向上する。このように本発明は適当な減容量減結合を提供する。

20

30

【0016】

図2は、集積回路(IC)チップ51と52をもつ基板49に接続された本発明のキャリア21の側面図である。ICチップ51はパッド組29Aと29Bによりキャリア21に接続する(図1に図示)。ICチップ52は、同様のBGAパッドアレイ組により基板49に接続する。減結合コンデンサ43は、プラットフォーム23の角部のキャリア21上に配置される。上記の通り、ICチップ51のBGAアレイのボール61が取り付けられたプラットフォーム23のパッド29Aと29Bアレイはバイアをもち、このバイアがプラットフォーム23まで下方に延伸して、これが支柱25と27のバイアに接続する導線に接続する。溶接ボール37は、基板49寄りの支柱25と27のバイアの底部に接続し、基板49まで最終電気接続をもたらす。ICチップ52は、図示されていない基板49の典型的なBGAパッドアレイの溶接ボール63を経由して基板49に接続する。

40

【0017】

図1および2に示す本発明の実施例において、減結合コンデンサ43のパッドは、その導電バイアをもち、これがおのおのの支柱25、27を経由して下方に延伸し、溶接ボール37で終端になる。減結合コンデンサにより、インピーダンス制御が可能になり、反流制御と充電とを助ける。

【0018】

図3は、基板49、ICチップ52、キャリア21、ICチップ51の分解組立図を示す。キャリア21はBGAパッドアレイ65Aと65Bにより基板49に接続する。基

50

板 49 は、キャリア 21 と同一または同様のキャリアを用いることにより三次元配列された一連の IC チップの組をもつ。基板 49 は、図示されていないさまざまな導線を内部にもつ積層構造を形成する金属化プリプレグシート層をもつ典型的なプリント基板であり、どれらの導線は装置、この場合、IC チップ 52、キャリア 21、さらに IC チップ 51 に接続する。基板 49 にはコネクタ 69 があり、基盤 49 がコンピュータの適当なソケット内に差し込まれた際にコネクタの底部縁に沿って基板 49 内の内部ラインがシステムの残りまで接続する。基板 49 は IC チップまたは同様のチップを保持する典型的な基板である。図 3 は、本発明とその使用における 1 つの設置例を示すためだけのものである。本発明は、プリント基板をコンピュータの主マザーボード方に配置することを含め、差の他さまざまなプリント基板の構成で用いることが可能である。

10

## 【 0019 】

好ましい実施例においてキャリア 21 は、プラットフォーム 23 の層内に這わせたバイアと導線とキャリア 21 の支柱 25 と 27 をもつ積層を持つプリント基板と同様の方法で作製される。図 4 は、図 1 の I - I 線に沿ったキャリア 21 の横断面図である。プラットフォーム 21 は最上部にパッド組 29 A と 29 B と、バイア 73 A、73 B、73 C、73 D とをもつ。バイア 73 A、73 B、73 C、73 D は導電路 75 A、75 B、75 C、75 D まで下方に延伸する。パッド 75 B 用の導電路は導電路 75 A の背後にあるため 75 A により隠される。さらに導電路 75 C は導電路 75 D により部分的に隠される。当然ながら、全ての導電路はお互い電気絶縁されている。この斜視図では導電路 75 A と 75 B と 75 C と 75 D は一緒になっているように見えるが、他の図を用いて以下に説明する通り、図の遠近法のためにそう見えるだけである。バイア 73 A、73 B、73 C、73 D おのおのからの導電路 75 A、75 B、75 C、75 D は、支柱 25 と 27 の 1 つのバイアまで延びる。これは、支柱 27 のバイア 73 D から 77 D まで延びる導電路 75 D と、支柱 25 のバイア 73 A から 77 A まで延びる導電路 75 A を見れば一番よくわかる。導電路とバイアとは電氣的に導体の通路である。

20

## 【 0020 】

好ましい実施例ではバイアは銅製コアでできており、導電路も銅でできている。このように、バイア 77 D と 77 A は銅コアであり、バイア 73 A、73 B、73 C、73 D は銅コアである。好ましい実施例では、導電路 75 A、75 B、75 D は全て銅でできている。当然ながら、その他全てのバイアやキャリア 21 の導電路は図 4 に示すのと同様の方法で銅製である。しかし、任意の適当な導電材料も使用可能である。図 4 に示し、図 1 と 3 でもわかる通り、支柱 25 と 27 のバイアの最上部端部は、支柱 25 と 27 の最上部でプラットフォーム 23 の最上部縁の 2 箇所で見られる露出端部をもつ。支柱 25 と 27 のバイアは、機能キャリアをもたらすためバイア 77 A の 79 A やバイア 77 D の 79 D といった露出最上部端部をもつ必要はなく、実際には最上部端部は抱いた設計としてプラットフォーム 23 で覆うことも可能である。しかし、露出最上部端部をもつバイアを作製することにより、キャリア 21 が多数のユニークな特性をもつようになるが、それについてはここでは簡単に述べるにとどめ、詳細は後に説明する。支柱 25 と 27 の露出最上部端部には、キャリア 21 や IC チップ 51 と 52 とが全てプリント基板に接続されたままキャリア 21 や IC チップ 51 と 52 の内部回路を検査するための露出接点がある。バイアの露出最上部端部はまた熱の放散のための通路にもなる。さらに、露出最上部端部は、キャリアと IC チップの三次元多層アレイを形成するため、それぞれの上にキャリア 21 と同様の 1 つ以上のキャリアを設けるためのパッドをもたらす。さらに、プラットフォーム 23 条の BGA パッドからプラットフォーム 23 の底部までバイア 73 A、73 B、73 C、73 D を下方に延伸することにより、キャリア 21 に追加の熱放散能をもたらす。他のオプションは、設置および試験中に露出した支柱のバイアの最上部を取り外し、設置試験の完了後にカバーするというものである。さらに、好ましい実施例において、基板と同様の層成方法でキャリアを作製することにより、バイアもそれを經由するとともに目隠し、または埋めることが可能である。

30

40

## 【 0021 】

50

本発明の好ましい実施例において、BGAパッド29Aと29Bのバイア73は、プラットフォーム23の最上部のBGAアレイのパッドの直下に配置される。図5Aでバイア83の1つのBGAパッド81および最上部端部と接続導体リンク84との上面図に示す通り、バイアをパッドからオフセットすることが通例であるため、これはバイアを設置するユニークな方法である。パッド81をパッド83からオフセットする理由の1つは、中空中心コア86があるためである。中空中心コア86は、銅82またはその他の導電材料に対して、典型的には中空コアを残すめっき工程が使われる結果生じるものである。このように中空コア86があることから、バイア83上にパッドを設けることは不可能である。図5Bは、図5Aのv-v線に沿ったバイア83の横断面図である。図5Bは、銅ライニング83をもつバイア85中の中空コア86を示す。標準的な製造プロセスの1つにおいて、基板の1つ以上の層を通して下方に延伸するバイアは、小型機械ドリルビット、レーザ穴あけ装置、その他同様の結果を得ることのできる他の装置により切断される。バイアの1つは穴あけがなされ、典型的には銅といった導電材料でめっきされる。しかし、図5Aと5Bに示す通り、本発明の趣旨を逸脱することなく、パッドをバイアからオフセットすることも可能である。しかしこういった技法には上記の通り欠点もある。

10

#### 【0022】

本発明は、好ましい実施例において、中空軸やコア86なしに中空コアを提供する。1つの変形例を図5Cに示す。図5Cは、本発明の他の実施例におけるバイア87とBGAパッド89との構成を示す。図5Cにおけるバイア88は、バイア88チャンネルを形成するためキャリアの層が内部に形成されるよう、銅88またはその他の導電材料87の積層により作製することができる。上記の通り、キャリアの最上部のパッドの直下にある下方に延伸するバイアの設置により、キャリアと関連回路とに必要なスペースを減らすことができる。本発明によるその他の代替法は、非導電材料または導電材料を導電材料に貼り付けた後にバイアに残る中空コアの充填を行うというものである。図5Dは、導電材料または非導電材料91で中空コア86を充填した後の中空コア86を示すが、その後、バイア90は導電材料92と、中空コア86を充填するために用いられる材料91とで堅固に充填される。このように、パッド93はバイア90の最上部に適用可能である。当然ながら、キャリア21のバイアや支柱25と27とのバイアとは同様の方法で作製可能である。

20

#### 【0023】

図6は、キャリアの下部ルーティング層の図を示すものであるが、本発明の好ましい実施例により作製されるキャリアに対して回路をどのように構成するかという例を示すブロック図である。キャリア21のBGAアレイのバイア73は、支柱の特定のバイア77に導回路75により接続されている。参考のため、図4の横断面図は、図6に示すI-I線に沿ったものである。他の図と同様に図6でもわかる通り、好ましい実施例における支柱のバイア77は、キャリア21の縁部に沿った空間を最適化するため、互い違いに配列されている。減結合コンデンサパッドに対する接続93についても図6に示す。本発明のキャリアのユニークな特徴の1つは、最上部プラットフォームのパッドのアレイのパターンが、キャリアの構造をほとんど、あるいはまったく変更することなく、幅広い現行の製造業者がICチップパッケージを備えるよう簡単に構成できるというものである。キャリア21の内部回路は、幅広いICチップを備えるよう構成され、ICチップを基板に適切に接続させることができる。

30

40

#### 【0024】

上記の通り、好ましい実施例において、本発明のキャリアは標準的なプリント基板と同一の方法で作製される。好ましい実施例において、キャリアは、2~4以上の層をもつ。図7A、7B、7C、7Dは、キャリアの最上部プラットフォームを構成するさまざまな層の概略図である。図7Aは、導回路75をもつ底部層を示す。図7Bは内部接地層、図7Cは内部電源層、図7Dは、ICチップが接続されるパッド配置をもつ最上部層を示す。図7Bと7Cとは図示した層の裏面図であり、図7Aと7Dとは表面図である。さらに本発明の好ましい実施例における図7Dにおいて、バイアの露出端部79とBGAアレイのパッド73とは、キャリア表面67よりの周辺部と電気絶縁されている。好ましい実施

50

例において、表面エリア 73 は銅等の導電材料である。好ましい実施例において、おのおののパッド 73 を囲みながらパッド 73 とは電気絶縁されている微小エリア 67 が、試験等のため、おのおののパッド 73 やバイア 79 の最上部に隣接する接地層になる。現在の技術でよく知られている通り、図 7A、7B、7C、7D で示された層は、層を接着し電氣的に絶縁するプリプレグ層である。

#### 【0025】

図 8A は、図 7A ~ 7D に示す層をもつキャリアを構成する層のシーケンスの概略側面図である。図 8A において、ルーティング層 101 は最下部層である。次は、その上にある接地層 103 をもつプリプレグ層 102 である。キャリアの中心部に位置するコア層 104 は、次に接地層 103 に続く。それから、電源層 105 は、プリプレグ層 106 に続くものであり、最後には最上部ルーティング層 107 がある。

10

#### 【0026】

取り付けられるプリント基板と同一の材料からチップキャリア 21 を構成することにより、多くの重要な利点を得られる。その中には、キャリア 21 が、接続されるプリント基板の回路の他のアイテムと共存可能というものがある。本発明のチップキャリア 21 を設計プロセス中に基板回路に組み込んでも大きな問題は生じない。理由は、キャリアの電気特性がよく知られており、回路の他の要素と共存可能であるためである。

#### 【0027】

本発明の好ましい実施例において、支柱 110 と 111 とは、同じくプリプレグ成層タイプの材料でできている。支柱は成層材料の層で構成される。射出成型工程といったその他の方法でも可能である。

20

#### 【0028】

図 8B は、本発明のキャリアの支柱 112 と、プラットフォーム 113 の一部とを示す他の横断面図である。上記の層は、BGA パッドのパターンをもつ最上部層 114 から、その下には第 1 のプリプレグ層 115 がある。プリプレグ層は産業界でよく知られている通り、導電層間に絶縁をもたらすとともに、基板またはこの場合はキャリアを構成する上で必要な堅固さと支持とをもたらす層成材料である。第 1 のプリプレグ層 115 は、電源平面層 116 であり、その下部側に第 2 のプリプレグ層 117 をもつ。第 2 のプリプレグ層 117 の下には接地層 118 があり、さらにその下には第 3 のプリプレグ層 119 がある。最後に、プラットフォーム 113 の底部は下部ルーティング層 120 である。層 114、115、116、117、118、119、120 は、好ましい実施例において、このようにプラットフォーム 113 を形成する。これらの層は、第 4 のプリプレグ層 121、他の中間層 122、第 5 のプリプレグ層 123 による支柱 112 の形成へと続き、最後にバイア 77 のパッド 125 である底部に底部層 124 がある。上記のバイア 77 はプラットフォーム 113 の最上部縁を経由し、支柱 112 を経由して下方に延伸し、キャリアを基板または上記のように他のキャリアに接続するために溶接ボール 126 が取り付けられるパッド 125 で終端となる。本発明の好ましい実施例において、支柱 112 のバイア 77 の最上部 79 はパッド 127 で終端となる。

30

#### 【0029】

支柱 112 のバイア 77A のうち 1 つだけを図 8B の断面で示すが、この理由は、好ましい実施例において、キャリアの縁部に沿ったバイア 77 が空間を節約するため互い違いにされているためである。プラットフォームの縁部を通して支柱まで下方に延伸する支柱バイアは、本発明の原理から離れることなく隣り合わせで配列してもよい。断面が示され、本明細書で上の通り説明され示されているバイア 73 は、IC チップパッケージの BGA パッドのレイのパッド 128 を導電ライン 75 に接続しており、この導電ラインがさらにバイア 77A に接続している。上記の導電路 75 は銅製トレースでできている。しかし、任意の他の適当な導電材料も使用可能である。本明細書の他の部分で述べた通り、好ましい実施例において、バイア 77 と 73 とは、キャリアの製造工程中に設けられる銅製中実コアである。バイアを構成する導電コアはキャリアのおのおのの支柱の最上部と底部とで終端となり、これにより熱消散チャンネルが得られる。本明細書の他の部分で述べた通

40

50



り、バイアが形成されるチャンネルは、キャリアの層内に穴を開けて、その穴に対して銅またはその他適当な導電材料でメッキを施すことで作製される。

#### 【0030】

前述の通り多層法でキャリアを作製することにより、多くの利点を得られ、キャリアと基板とのインピーダンスとマッチングが可能になり、チップの修正等を行うことなく任意の標準型ICチップを使った作業に対してキャリアを調整できる。さらに、段付成層工程、深さルーティング、あるいはその他の組立方法を用いてバイアやキャリア中の導電路を作製することができる。開示された好ましい実施例は、多層基板と同一の方法で作製されるものであるが、多層キャリアを必要としない多くの適用例もある。幅広い適用例に対するキャリアは、射出成型工程または同様の工程で作製してもよい。射出成型工程で作製されたであっても、その構造は調整可能である。

10

#### 【0031】

上記の通り、半導体産業は一般に、集積回路チップ用BGAタイプのコネクタを用いてきた。BGAタイプのコネクタと接続されたシステムの性能の改善やその他多くの理由により、リードからBGA接続への変遷があった。しかし、集積回路チップを基板またはその他のホルダに接続するためのリードを用いる利点の1つは、チップまたは関連装置を用いた設置の後に問題が発生した場合、回路から取り外すことなく構成要素に対して試験を実施するため、簡単にアクセスが可能ということであった。しかし、問題のあるユニットをプリント基板または他の装置の回路からBGAを取り除くことにより接続されたチップを取り付けることが構成要素の試験を行うために必要である。理由は、ユニットを接続する全てのボールは、当該のユニットが回路に接続されている場合、アクセス不可能だからである。しかし、問題の発生している回路からチップまたはその他のユニットを取り除くことにより、操作特性を完全に変えてしまうおそれがあり、このため元々の問題の本当の原因を判定することが不可能とまでいけなくとも難しくなる。チップまたは装置が問題を起こしているような運転設定を近似する方法はあるが、これを行うのに要する時間と労力のため、非常に高くなり、非効率になり、さらにエラーを起こしやすい工程になってしまう。

20

#### 【0032】

本発明の大きな利点の1つは、ICチップとキャリアとがプリント基板の回路に接続されたままでこれらの試験を行うための手段と方法とを提供するというものである。上記の通り、これは支柱のバイア77の露出最上部端部79を通して実行可能であるが、図9では示されていない。図9は、基板131に接続された本発明のキャリア130の角部の斜視図である。キャリアの最上部に接続されているのは、BGAアレイによりキャリア130に接続されたICチップ132である。キャリア130の下部にあり、基板131に接続されているのは他のICチップ133である。キャリア130の最上部縁部に沿って露出しているのは、支柱135のバイアの露出最上部端部134のアレイの一部である。バイアの最上部端部79の露出位置が与えられると、1つ以上の試験装置からの探知点136と137とが露出最上部端部に対して設置可能であり、回路や装置における何らかの問題の原因を判定するため、さまざまな試験を行うことができる。本発明のキャリアやICチップあるいは他のBGA装置とが全てプリント基板に接続されたまま試験を行うことができることにより、試験結果が非常に正確になるだけでなく、試験を非常に効率的で簡単に行うことができるようになる。支柱のバイアの露出最上部端部79を用いた試験は、自動製造工程中に行われる標準的な品質管理検査の一部として行うことも可能である。これは多くの方法で実施可能であるが、その中には、支柱のバイアの最上部の露出アレイ134にしばらく接続される複数探知点を使ってクラムシェルタイプの試験装置を用いることが含まれる。

30

40

#### 【0033】

図8Cおよび9とを参照すると、上方に延伸するバイアの最上部露出端部79は、プラットフォームの最上部の周辺エリア67から電気絶縁されている。BGAアレイ69のバイアとパッドについても、プラットフォーム23の最上部の周辺エリア67から材料80

50

により電気絶縁されている。好ましい実施例において、最上部エリア67の多くの部分は銅層で覆われている。この銅層67はヒートシンクとして機能する。最上部絶縁層68は層67の一部を覆う。さらにこの層は、ユニット71の試験を行うための便利な接地点ともなる。例えば、図9および8Cの探知子136と137との1つをバイアの1つの最上部端部79に対して接地可能であり、他のバイアを、接地を行うためエリア67に対して設置可能である。本発明のキャリアや関連ICチップに対して回路の速度や高級度の試験を行うとすると、この試験を行うためには非常に精度の高い試験機器が必要になる。試験の行われる接点に隣接する接地があることから非常に便利である。理由は、試験機器の探知点136と137とは、図8Cで図示する通り試験探知子71でお互いに隣接するよう置かれることが多いためである。

10

**【0034】**

本発明のキャリアの構成により、回路の試験を行うための隣接する接地を行うための追加代替方策が得られる。支柱の露出バイアの1つ以上の最上部は接地接続となりやすい。このように試験実施に当たって、露出バイアは接地試験として利用可能であり、試験点のために特別な隣接接地位置を設ける必要がなくなる。

**【0035】**

露出バイア最上部134アレイ(図9)の提供に関して上記の他の利点としては、大きな三次元アレイに複数のキャリアとICチップとを積層することができるというものがある。図10は、チップとキャリアがどのように積層されているかを示す組立分解図である。図10において、第1のBGA装置139は、標準的なBGAアレイにより基板に取り付けられている。さらにキャリア141が、BGA装置139の両側に位置するBGAパッド142のアレイにより基板に接続される。さらにBGA装置145は、BGAパッドアレイ147をもつキャリア141の最上部に接続される。さらにキャリア149は、キャリア141の支柱のバイアの露出最上部端部のアレイ150によりキャリア141に取り付けられる。最後に、BGA装置153が、キャリア149の最上部のBGAパッド154のアレイによりキャリア149に取り付けられる。図10では2つの積層可能なキャリアだけが図示されているが、複数のキャリアを取り付けられたBGA装置によりそれぞれ積層することも可能である。図11は、拡大された三次元アレイを形成する基板167上の2層キャリア161と取り付けられたBGA装置163との端部の図を示す。図12は、キャリアとBGA装置との積層アレイの側面図である。図12において、キャリア161のおのおの下部にあるBGA装置は、おのおののキャリア161の支柱169の位置により見えなくなっている。

20

30

**【0036】**

本発明のキャリア201の他の変形例を図13に示す。キャリア201をプリント基板205に取り付ける。ICチップ210を上記の方法でキャリア201に取り付ける。しかし、ICチップ211をキャリアの下部にある基板205に取り付ける代わりに、キャリア201のプラットフォーム215の底面213に取り付ける。ICチップ211のキャリア201底部への取り付けは、キャリア201の底面213に沿って位置するBGAパッドアレイにより行う。このアレイは上記と同一のものである。さらにICチップ210と211とをキャリア201を通して回路に接続するため、多くのさまざまな回路接続を行うことが可能である。實際上、多すぎて述べることはできない。本発明の大きな利点の1つとして、キャリア201のプラットフォーム215の最上部または底部の空間に合せることの可能な仮想的に任意のICチップを保持するため、適当なBGAパッドアレイや回路を用いてキャリアを構成することができるということがある。

40

**【0037】**

図14は、キャリア201(図13)を持つ回路の冗長性があった場合に、メモリICチップを用いて利用される可能性のあるパッドの回路アレイの1つの図である。図14において、実線で示した最上部パッド220は、キャリアのプラットフォームの最上部に位置する。最上部のおのおののパッド220は、実践223によりバイア225の1つに接続される。先に述べた通り、バイアはプラットフォームを經由してプラットフォームの底

50

部層まで下方に延伸し、ここでのおのこのバイアが、概略で示したライン 227 に接続する。さらに、おのこのライン 227 は、キャリアの底部の概略で示すようにパッド 229 に接続する。図でわかる通り、最上部のパッド 220 と底部のパッド 229 とはそれぞれ同一のバイアに接続する。しかし、底部のバイアは、最上部のバイアからオフセットされている。この理由は、ここで用いられている例が同一の配置のメモリチップのものであり、この例において用いられるおのこの IC メモリチップからともに接続可能なパッドと同様にキャリアの両側に設けられた場合、チップのおのこの底部がお互いに面する際にこのメモリチップがお互いからオフセットされるためである。図 15 は、図 14 に示すプラットフォームの I I - I I 線に沿った横断面図である。図でわかる通り、最上部 220 A のパッドはライン 223 A によりバイア 225 A に接続する。バイア 225 A はプラットフォーム 230 を通して下方に延伸する。バイア 225 A はライン 227 A に接続する。ライン 227 A はさらにパッド 229 A に接続する。

10

**【0038】**

図 13 に示すキャリアの変形例の利点の 1 つは、図 13 に示すキャリア 201 を用いて作動するようプリント基板を標準構成することができるというものである。このように、IC チップを取り扱うために配線する必要のある唯一のアイテムはキャリア 201 である。

**【0039】**

図 16 は、本発明のキャリア 253 をもつプリント基板 251 の 1 つの例を示す。図 16 において、キャリア 253 の最上部に位置する IC チップはまだ描かれていない。このように、IC チップをおのこのキャリア 253 の最上部に取り付けた BGA パッド 255 の様子が図でわかる。さらに図でわかることは、プラットフォームと下にある支柱とを通して下方に延伸するバイアの最上部にあるパッド 257 である。図 17 において、IC チップ 259 はキャリア 253 の最上部に取り付けられている。BGA パッド 255 は、チップ 259 がここで BGA パッドを覆うようになるため、もう見ることはできない。しかし、キャリアのプラットフォームと支柱とを経由して下方に延伸するおのこのバイアの最上部にあるパッド 257 は、試験や、上述および下に述べる他の目的のためにはっきりと視認可能であり、アクセス可能である。

20

**【0040】**

当然ながら、おのこのキャリアの BGA パッドアレイ 255 は、さまざまな異なる方法で構成が可能であり、これにより、図 16 に示す配置もしくは、図 18 に示すマトリクスタイプのアレイといったその他の構成で IC チップがもついかなるタイプの BGA パッドアレイでも受け入れることができる。キャリアがさまざまな異なる方法で簡単に配線ができるため、IC チップパッケージの改造を行う必要なしに、任意の標準型 IC チップパッケージで動作するようキャリアを設計することができる。本発明のキャリアは本当の意味でのモジュラ装置である。實際上、このキャリアにより、IC チップを基板に取り付けるため、標準的で柔軟性のあるピン指定ができる。

30

**【0041】**

さらに、上記の通り、本発明により、BGA、CSP、フリップチップ、あるいはその他数多くのタイプの IC チップパッケージに対するユニークな三次元アセンブリが得られる。本発明によりさらに、適当な減結合ができる。さらに、本発明により、検知点または試験点、信号サンプリング用アレイ 257 (図によっては 79)、サブアセンブリ用試験点、等が得られる。また、本発明により、キャリアの最上部の検知点に隣接する近接接地点が得られるが、これは IC チップがキャリアの最上部に置かれるかどうかに関係なく利用可能である。

40

**【0042】**

本発明の他の利点は、三次元片側リフロー製造工程で利用可能ということである。IC チップの第 1 層は基板上に設けることができ、その後、図 16 に示す通りキャリアをその上に設け、最終的に IC チップの第 2 組を、図 17 に示す通りキャリアの最上部に設けることができる。この構成が完成すると、基板の最上部に設けられた部品をもつ全基板の製

50

造を完結させるためには、全基板を単リフロー工程に通すだけでよい。標準型ピックアンドブレイス機械といった標準的な製造機械を用いて、ICチップの全てとキャリアとを設けることができる。上記の通り、さまざまな場所で改造されていない標準型ICチップパッケージを用いることができる。理由は、任意の標準型ICチップを受け入れるようキャリアを調整することができるためである。さらに、このICチップは、リード、BGAパッド、フリップチップ、CSP等をもつICチップを含むこともできる。さらに、キャリアを製造工程用のストリップ上に設ける、あるいは標準型JEDEC式トレイで供給することもできる。

#### 【0043】

図18は、1つの好ましい実施例において、キャリア301の最上部にあるパッドのブロック図である。この図で見られる通り、ICチップを接続するため、パッド303のマトリクスがある。そこで示されている通り、ICチップを受け入れるため15行×8列のパッドの中実マトリクスがある。これら全て、もしくはこれらの任意の組み合わせは当該技術でよく知られているものであるが、適当なICチップを接続するために用いることができる。さらに、おのこの側面図でわかる通り、支柱パッド305Aと305Bとのアレイとがある。上記の通り、こういったものは適当なパターンでICパッドマトリクス303に接続される。さらに、おのこの角部307では、コンデンサまたはその他のタイプの適当な装置に対するパッドがある。図でわかる通り、おのこのピンには、Vdd、DQ2、NCといったものを適当に指定する。例えば、図18で示す構成において、パッドDQ0は、パッド310を通して支柱に接続している。図でわかる通り、支柱パッドには従来の方法でさまざまなピンに指定されている。図19の表を参照すると、パッド303のマトリクスと、おのこの支柱のパッド間の接続がピン変換表で示されている。これは、キャリア301に接続可能なさまざまなパッド構成を持つ非常に幅広いさまざまなタイプのチップが利用できるパッド接続の一例を示すものである。

#### 【0044】

図20は、減結合コンデンサ43が上記の通り電氣的に接続されている様子を示すブロック図である。コンデンサ43は2つの別個のパッド(図1)上にあり、パッドのそれぞれは別個のバイアに接続しており、1つは接地され、他方は電源に接続している。図20において、減結合コンデンサ43はパッド41上に設けられる。パッド41はバイア300に接続しており、このバイアはキャリア21の支柱27を通して下方に延伸し、その角部が図20で視認できる。バイア300はその後、図示されていない基板上の適当なパッドに接続される。当然ながら、2つのパッドを接続する減結合コンデンサは図1に示されており、おのこのパッドは別個のバイアにより電源または接地のいずれかに接続され、これにより回路の電子構造体の一部になっている。

#### 【0045】

本発明の他の変形例により、図21に示す通り、キャリア301のさまざまな場所で減結合コンデンサ303の位置決めが可能になる。減結合コンデンサ303のシステムへの電気接続はさまざまな方法で実施可能である。図21Aに示す1つの変形例で、図20のX-X線に沿ったキャリア301の横断面図では、減結合コンデンサ303の設けられたパッド305と306とがバイアにより内部アース309と電源平面310とに対してどのように接続しており、内部アースと電源平面とが上記の通りキャリア301の構造を作っているかが示されている。内部電源平面310は支柱の少なくとも1つのバイア311に接続しており、内部電源平面309は支柱の1つのバイア312に接続する。当然ながら、内部電源平面310への全ての接続は、内部電源平面309への全ての接続から電気絶縁されている。図21Bに示す他の変形例において、減結合コンデンサ303が設けられたパッド305と306とから下方に延伸するバイア314と315とは導電ライン320と318とに接続し、さらにこの導電ラインが、電源と接地接続を行う支柱325のバイア320と321とに直接接続する。

#### 【0046】

図22は、本発明のキャリアの配線基板層401における配線レイアウトの1つの変形

例の略図である。図 2 2 の配線レイアウトにおいて、ICチップの接続がされていること  
 のわかるプラットフォームの最上部におけるパッドから下方に延伸するバイア 4 0 3 の一  
 部が示されている。さらに、支柱のバイア 4 0 5 の一部が、キャリアの縁部に沿って見ら  
 れる。さらに、導回路 4 0 7 がバイア部分 4 0 3 とバイア部分 4 0 5 との間を通っている  
 。任意のコンピュータシステムの重要な操作上の側面の 1 つは、信号の移動の適切なタイ  
 ミングを提供することである。ミリ秒もしくはピコ秒単位で発せられる信号は、コンピ  
 ュータが現在演算する速度では、演算上の問題を引き起こすことがよくある。さらに、演算  
 時間やコンピュータの速度が向上する傾向にあるため、将来的にはタイミングがさらに重  
 要なものになる。本発明の利点の 1 つは、メモリあるいはその他のタイプのチップを三次  
 元で配置することが可能になることで、接続ライン長を減少させることが可能になるとい  
 うことである。これはコンピュータの構造にとって重要であり、演算速度を向上させる上  
 で大きな助けとなる。實際上、コンピュータの演算システムの高速度クロックサイクルの  
 間に信号は協調的に移動しなければならない、クロックサイクル中に特定の最終点に到達し  
 なければならない。信号が協調的に移動しなければならないようなラインがおのおのの信号  
 に対して同一の長さをもつ場合、協調された信号により発生する問題を大きく減少させる  
 ことが可能になる。本発明のキャリアの他の利点は、複数の信号が同時に隣接するライン  
 上を移動しなければならない場合、バイア位置を互い違いにすることで基板上のライン長  
 を合せば、ラインを正確に同じ長さにすることができるということである。図 2 2 に示  
 す配線レイアウトでわかる通り、多くの接続において、バイア組 4 0 3 からバイア組 4 0  
 5 間にある導体ライン 4 0 7 の中に同じ長さのものがある。例えば、図 2 2 の 4 0 7 の番  
 号が振られた全ての導体ラインは同一の長さをもつ。さらに、図 2 2 の配線レイアウトの  
 他の側面において、バイア部分 4 0 3 とバイア部分 4 0 5 間にある導体ラインは同一の長  
 さ 4 1 0 である。このように、キャリア上に設けられたチップが正確に複数信号を同時に  
 並行送信する必要がある場合、同一長さをもつキャリア上の送信ラインにより、並行信号  
 の送信の協調により考えられる損失をかなり減少できる。

10

20

#### 【 0 0 4 7 】

本発明は、その好ましい実施例を参照しながら特定の図示説明を行ったが、本発明の考  
 え方と適用範囲を逸脱することなく、当業者によって形態や詳細部のさまざまな変更を行  
 うことも可能ということを理解すべきである。

#### 【 図面の簡単な説明 】

30

#### 【 0 0 4 8 】

本発明は、以下に示す説明とともに添付の図面によりさらによく理解できるようになる  
 が、添付図面として次のものを示す：

【 図 1 】 図 1 は、本発明のキャリアの好ましい実施例の斜視図である；

【 図 2 】 図 2 は、基板に接続され、2 つの IC チップで積層された本発明のキャリアの側  
 面図である；

【 図 3 】 図 3 は、本発明のキャリアと、基板に接続するために用いる構成部品との組立分  
 解図である；

【 図 4 】 図 4 は、図 1 に示す I - I 線に沿ったキャリアの横断面図である；

【 図 5 A 】 図 5 A は、B A G パッドを基板に接続するための従来技術の概略図である；

40

【 図 5 B 】 図 5 B は、図 5 A の B A G パッドと接続との横断面図である；

【 図 5 C 】 図 5 C は、本発明の好ましい実施例で用いられる接続法の横断面図である；

【 図 5 D 】 図 5 D は、本発明の好ましい実施例で用いられる接続法の横断面図である；

【 図 6 】 図 6 は、本発明のキャリアの下部ルーティング層の典型的な回路の概略図である  
 ；

【 図 7 】 図 7 A ~ 7 D は、本発明のキャリアの一例のさまざまな層を構成する一次層の一  
 例を示す；

【 図 8 A 】 図 8 A は、本発明のキャリアの 1 つの変形例における主層の横断面概略図であ  
 る；

【 図 8 B 】 図 8 B は、キャリアを構成する層を示す本発明のキャリアの一部の横断面であ

50

る；

【図 8 C】図 8 C は、パッドと、支柱のバイアの一部の 1 つの実施例の横断面図である；

【図 9】図 9 は、積層された B G A 装置をもつ基板に取り付けられた本発明のキャリアの変形例の破断斜視図である；

【図 1 0】図 1 0 は、B G A 装置をもつ本発明の二重積層キャリアの組立分解図である；

【図 1 1】図 1 1 は、B G A 装置をもつ積層された本発明の 2 つのキャリアの端面図である；

【図 1 2】図 1 2 は、B G A 装置をもつ積層された本発明の 2 つのキャリアの側面図である；

【図 1 3】図 1 3 は、I C チップをキャリアの両面に取り付けた本発明のキャリアの他の変形例の図である； 10

【図 1 4】図 1 4 は、図 1 3 に示すキャリアの変形例においてパッドを接続するための 1 つの方法の略式線図である；

【図 1 5】図 1 5 は、図 1 4 の I I - I I 線に沿った横断面図である；

【図 1 6】図 1 6 は、本発明のキャリアが取り付けられ、I C チップがキャリアの上に設けられる前の基板の平面図である；

【図 1 7】図 1 7 は、I C チップをおのこのキャリアの最上部に取り付けた図 1 6 の基板の図である；

【図 1 8】図 1 8 は、本発明が作動する B G A アレイの他のタイプのブロック図である；

【図 1 9】図 1 9 は、図 1 8 に示すキャリアのパッド間のピン接続の表を示す； 20

【図 2 0】図 2 0 は、減結合コンデンサパッドから下降するバイアを示す本発明のキャリアの角部の図である；

【図 2 1】図 2 1 は、減結合コンデンサの他の設置を行った本発明のキャリアの斜視図である； 図 2 1 A は、図 2 1 の X X - X X 線に沿ったキャリアの横断面図である； 図 2 1 B は、減結合コンデンサを接続するための他の方法を示す本発明のキャリアの角部の図である；

【図 2 2】図 2 2 は、本発明のキャリアの基板層における電気接続の略図である。

【 図 1 】

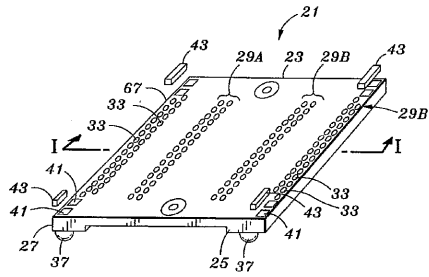


FIG. 1

【 図 2 】

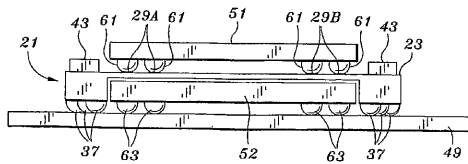


FIG. 2

【 図 3 】

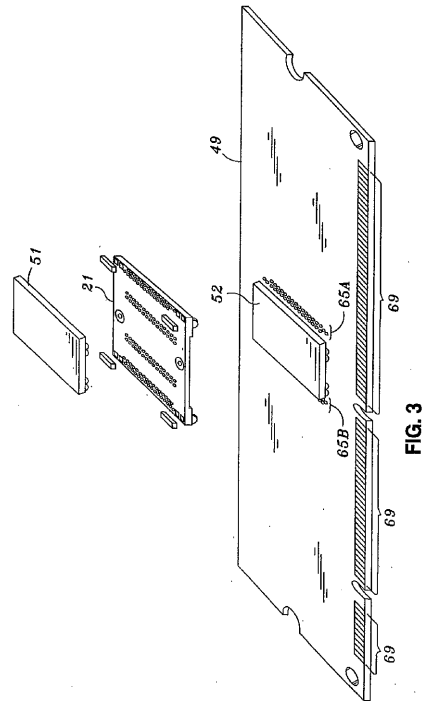


FIG. 3

【 図 4 】

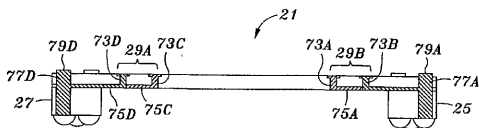


FIG. 4

【 図 5 B 】

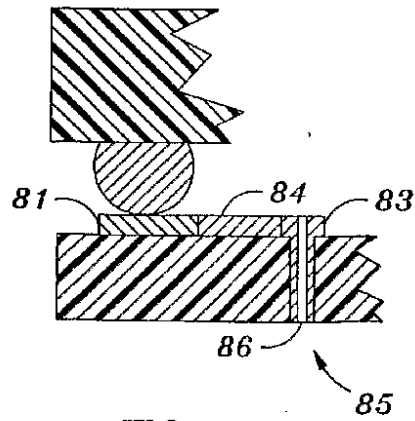


FIG. 5B

【 図 5 A 】

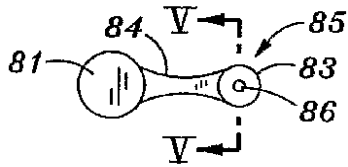


FIG. 5A

【 図 5 C 】

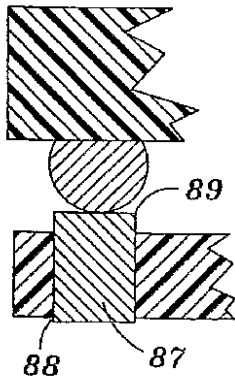


FIG. 5C

【 図 5 D 】

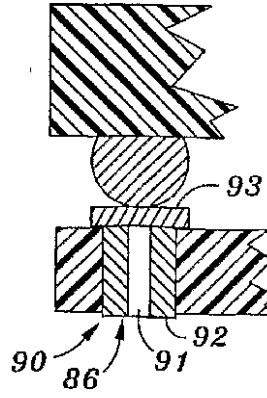


FIG. 5D

【 図 6 】

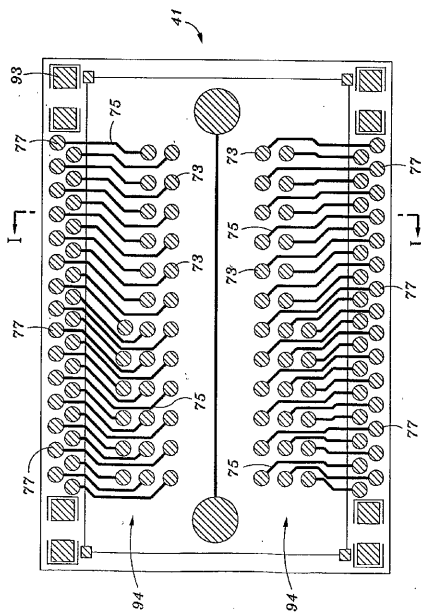


FIG. 6

【 図 7 A 】

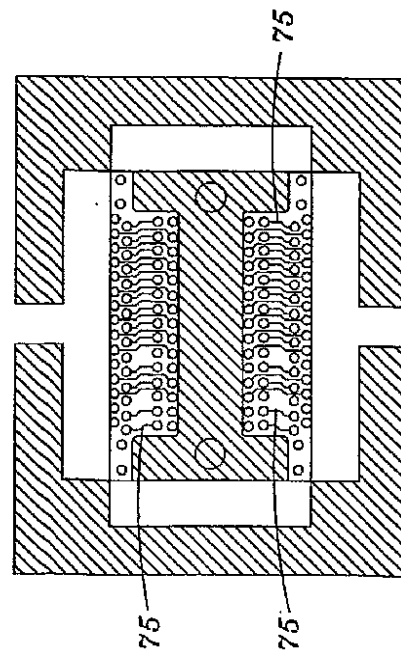


FIG. 7A



【図 7 B】

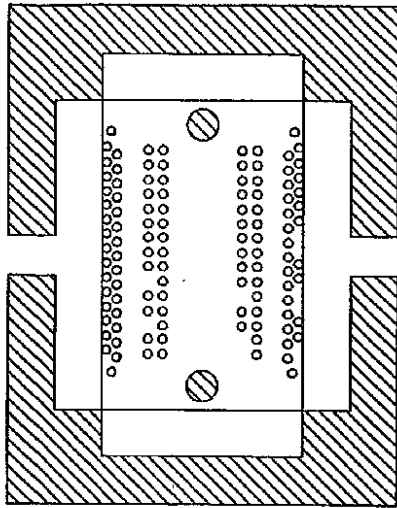


FIG. 7B

【図 7 C】

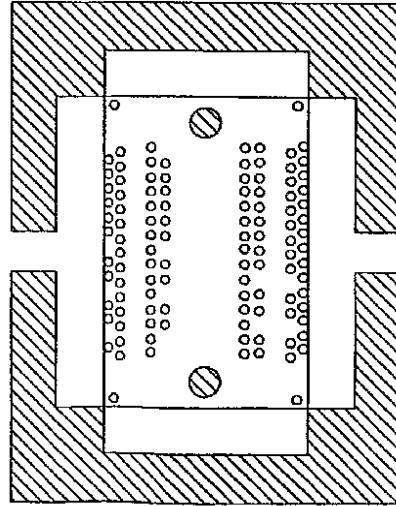


FIG. 7C

【図 7 D】

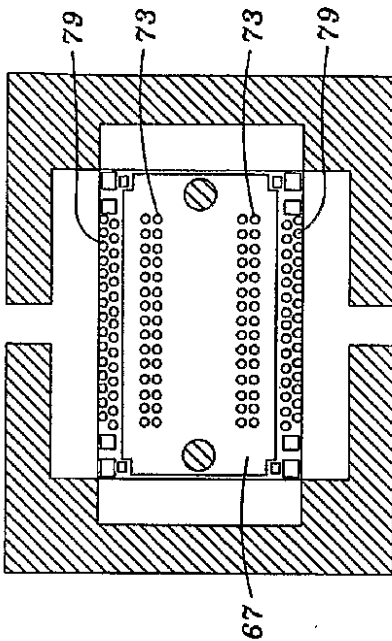


FIG. 7D

【図 8 A】

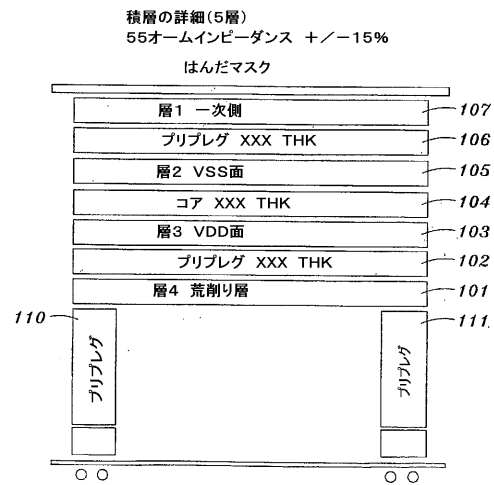


FIG. 8A

【図 8 B】

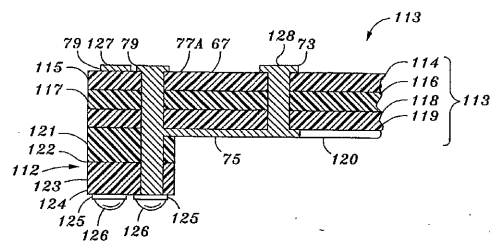


FIG. 8B

【 図 8 C 】

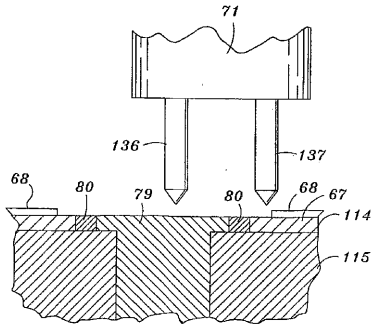


FIG. 8C

【 図 9 】

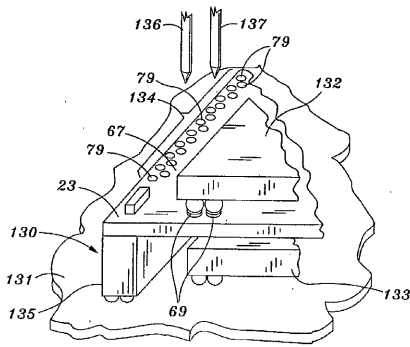


FIG. 9

【 図 1 1 】

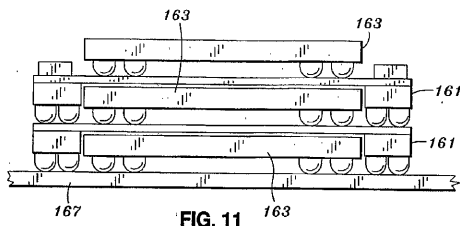


FIG. 11

【 図 1 2 】

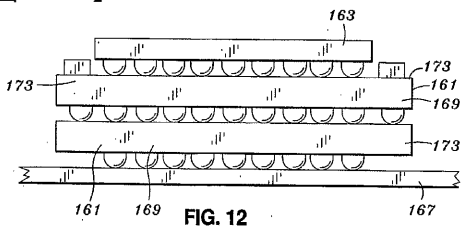


FIG. 12

【 図 1 3 】

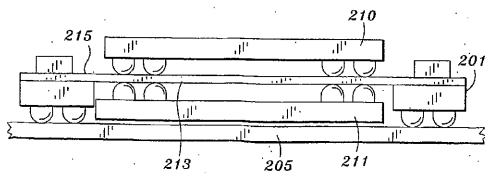


FIG. 13

【 図 1 0 】

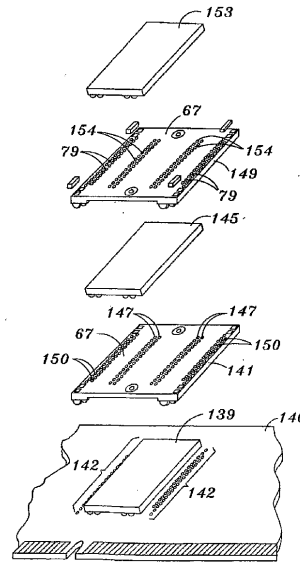


FIG. 10

【 図 1 4 】

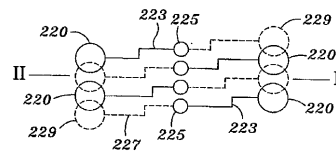


FIG. 14

【 図 1 5 】

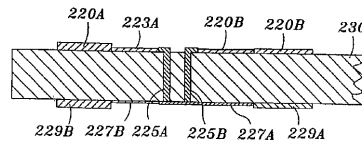


FIG. 15

【図16】

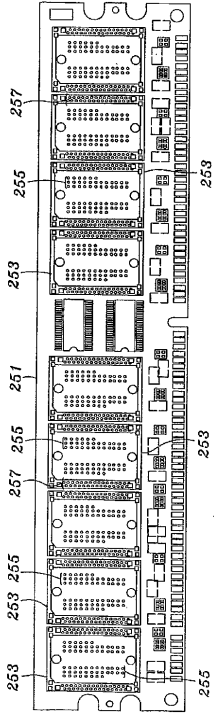


FIG. 16

【図17】

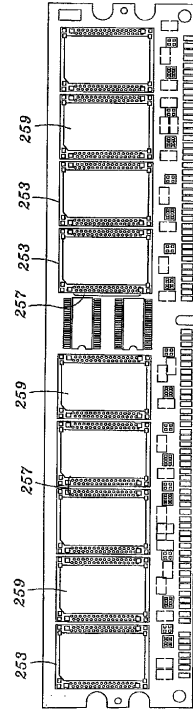


FIG. 17

【図18】

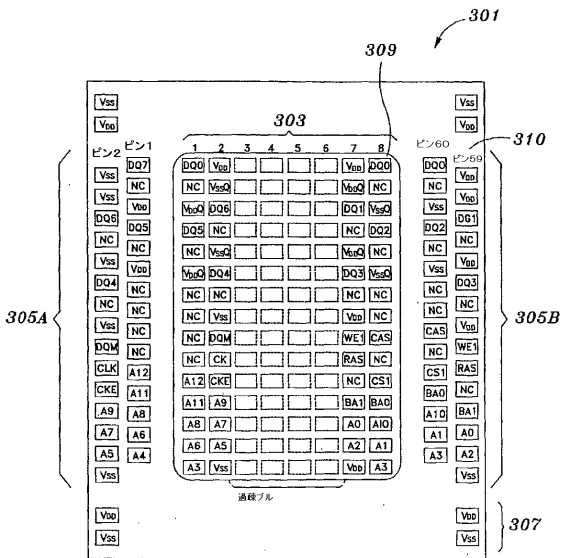


FIG. 18

【図19】

ピン変換表

1P Pin #	1P Pin #	FGA Pin #	FGA Pin #	1P Pin #	1P Pin #	FGA Pin #	FGA Pin #	1P Pin #	1P Pin #	FGA Pin #	FGA Pin #	1P Pin #	1P Pin #	FGA Pin #	FGA Pin #
1	DQ7	A1	DQ7	16	Vss	H2	Vss	31	Vcc	R7	Vcc	46	NC	H6	NC
2	Vss	A2	Vss	17	NC	J1	NC	32	A3	RB	A3	47	NC	G7	NC
3	NC	B1	NC	18	DOM	J2	DOM	33	A2	P7	A2	48	NC	G8	NC
4	Vss	B2	Vss	19	NC	K1	NC	34	A1	P8	A1	49	DQ3	F7	DQ3
5	Vcc	C1	Vcc	20	CK	K2	CK	35	A0	N7	A0	50	Vss	F8	Vss
6	DQ6	C2	DQ6	21	A12	L1	A12	36	A10	N8	A10	51	Vcc	E7	Vcc
7	DQ5	D1	DQ5	22	CKE	L2	CKE	37	BA1	M7	BA1	52	NC	E8	NC
8	NC	D2	NC	23	A11	M1	A11	38	BA0	NC	BA0	53	NC	D7	NC
9	NC	E1	NC	24	A9	M2	A9	39	NC	L7	NC	54	DQ2	D8	DQ2
10	Vss	E2	Vss	25	A8	N1	A8	40	C5#	L8	C5#	55	DQ1	C7	DQ1
11	Vcc	F1	Vcc	26	A7	N2	A7	41	RAS	K7	RAS	56	Vss	C8	Vss
12	DQ4	F2	DQ4	27	A6	P1	A6	42	NC	K8	NC	57	Vcc	B7	Vcc
13	NC	G1	NC	28	A5	P2	A5	43	WE#	J7	WE#	58	NC	B8	NC
14	NC	G2	NC	29	A4	R1	A4	44	C6#	J8	C6#	59	Vcc	A7	Vcc
15	NC	H1	NC	30	Vcc	R2	Vcc	45	Vcc	H7	Vcc	60	DQ0	A8	DQ0

FIG. 19

【図20】

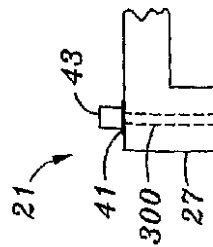


FIG. 20

【 図 2 1 】

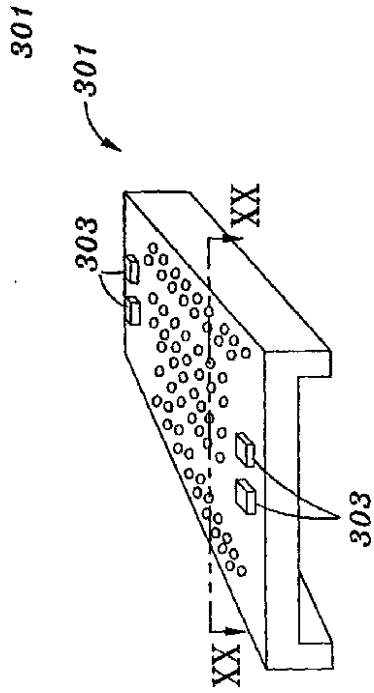


FIG. 21

【 図 2 1 A 】

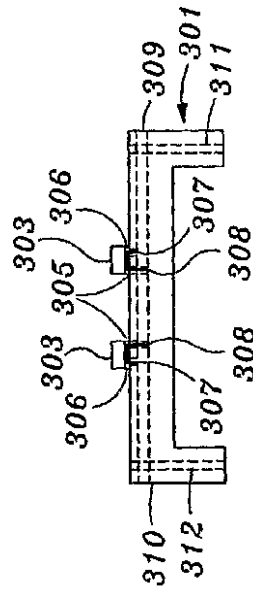


FIG. 21A

【 図 2 1 B 】

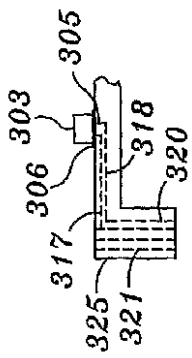


FIG. 21B

【 図 2 2 】

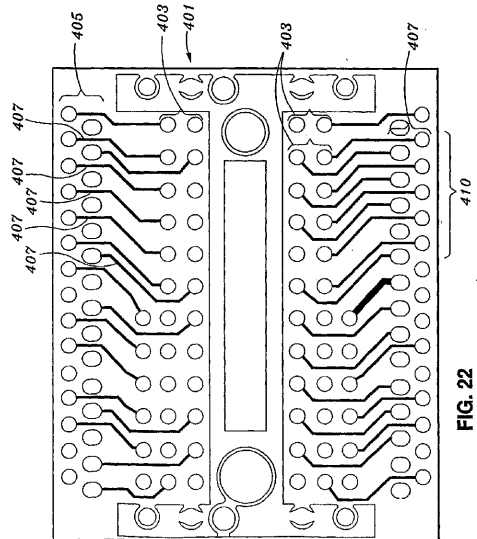


FIG. 22

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/US 03/05359

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L25/065 H01L25/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 00 68996 A (SEAGATE TECHNOLOGY LLC) 16 November 2000 (2000-11-16) figure 7 ---	1-93
X	WO 01 69680 A (KLEDZIK KENNETH J ; ENGLE JASON C (US); LEGACY ELECTRONICS INC (US)) 20 September 2001 (2001-09-20) the whole document ---	1-93
A	US 6 291 259 B1 (CHUN DONG SEOK) 18 September 2001 (2001-09-18) the whole document ---	
A	US 5 316 787 A (IMKEN RONALD L ET AL) 31 May 1994 (1994-05-31)  figure 10 ---	16-23, 50-54, 60-63, 71-74
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance *C* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
5 September 2003		11/09/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentleaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax. (+31-70) 340-3016		Authorized officer  Kästner, M

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US 03/05359

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01 48819 A (INTEL CORP) 5 July 2001 (2001-07-05)  figure 11	16-23, 50-54, 60-63, 71-74

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 03/05359

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0068996	A	16-11-2000	CN 1391704 T	15-01-2003
			DE 19983953 T0	20-06-2002
			GB 2364440 A	23-01-2002
			JP 2003521810 T	15-07-2003
			WO 0068996 A1	16-11-2000
WO 0169680	A	20-09-2001	US 2002135982 A1	26-09-2002
			AU 4916901 A	24-09-2001
			CN 1428006 T	02-07-2003
			EP 1264347 A2	11-12-2002
			WO 0169680 A2	20-09-2001
			US 2002181216 A1	05-12-2002
			US 2003137808 A1	24-07-2003
			US 6545868 B1	08-04-2003
US 6291259	B1	18-09-2001	KR 266693 B1	15-09-2000
			DE 19845316 A1	02-12-1999
			JP 3063032 B2	12-07-2000
			JP 11354669 A	24-12-1999
			US 2001048151 A1	06-12-2001
US 5316787	A	31-05-1994	US 5065227 A	12-11-1991
			DE 69106225 D1	09-02-1995
			DE 69106225 T2	29-06-1995
			EP 0460822 A1	11-12-1991
			JP 1969630 C	18-09-1995
			JP 4230044 A	19-08-1992
			JP 6103704 B	14-12-1994
WO 0148819	A	05-07-2001	AU 2461801 A	09-07-2001
			WO 0148819 A2	05-07-2001

## フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 クレジック, ケネス

アメリカ合衆国 カリフォルニア 9 2 6 7 3, サン クレメント, ヴィア ソンリサ 4 3

(72) 発明者 エングル, ジェイソン シー.

アメリカ合衆国 カリフォルニア 9 2 6 7 3, サン クレメント, サウス オラ ヴィスタ  
2 4 0 0