



(12) 发明专利

(10) 授权公告号 CN 113885808 B

(45) 授权公告日 2024.03.15

(21) 申请号 202111266749.7

CN 107346211 A, 2017.11.14

(22) 申请日 2021.10.28

CN 107844431 A, 2018.03.27

(65) 同一申请的已公布的文献号

CN 109725846 A, 2019.05.07

申请公布号 CN 113885808 A

CN 109815737 A, 2019.05.28

(43) 申请公布日 2022.01.04

CN 109992530 A, 2019.07.09

(73) 专利权人 合肥兆芯电子有限公司

CN 110058796 A, 2019.07.26

地址 230088 安徽省合肥市高新区创新产业园二期F3楼12-13层

CN 110837342 A, 2020.02.25

CN 113094003 A, 2021.07.09

CN 113535392 A, 2021.10.22

(72) 发明人 朱启傲 张静

JP 2002094945 A, 2002.03.29

US 10078453 B1, 2018.09.18

(74) 专利代理机构 安徽思尔六知识产权代理事务所(普通合伙) 34244

US 10732877 B1, 2020.08.04

US 2014289451 A1, 2014.09.25

专利代理师 闫啸

US 2017038977 A1, 2017.02.09

(51) Int. Cl.

US 2017308464 A1, 2017.10.26

US 2018335942 A1, 2018.11.22

G06F 3/06 (2006.01)

US 2019018784 A1, 2019.01.17

(56) 对比文件

US 2019138445 A1, 2019.05.09

CN 103098043 A, 2013.05.08

US 2019163621 A1, 2019.05.30

CN 104035729 A, 2014.09.10

WO 2015127462 A1, 2015.08.27

CN 104102585 A, 2014.10.15

CN 106469122 A, 2017.03.01

审查员 王婧

权利要求书5页 说明书14页 附图7页

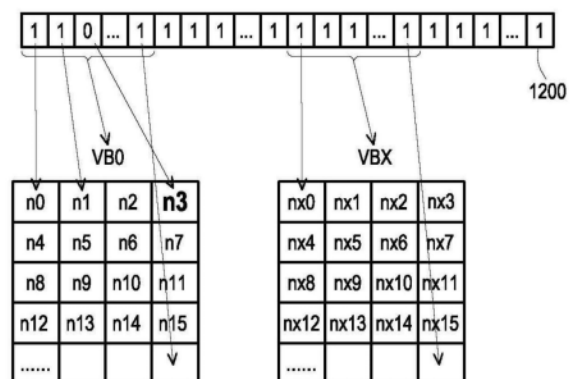
(54) 发明名称

映射信息记录方法以及存储器控制电路单元与存储装置

区块进行编号并且将编号记录至连续映射表。

(57) 摘要

本发明提供一种映射信息记录方法以及存储器控制电路单元与存储装置,所述映射信息记录方法用于可复写式非易失性存储器模块,可复写式非易失性存储器模块包括多个实体抹除单元,每一实体抹除单元包括多个实体程序化单元。该方法包括:从主机系统中接收第一连续数据,主机系统指示将第一连续数据存储至第一连续逻辑地址;建立连续映射表,用以记录第一连续逻辑地址的起始逻辑地址、第一连续逻辑地址的长度及位图;将第一连续数据写入至第一实体程序化单元中;以及将位图中与第一连续逻辑地址对应的虚拟区块的位标记为有效状态,对虚拟



CN 113885808 B

1. 一种映射信息记录方法,用于可复写式非易失性存储器模块,所述可复写式非易失性存储器模块包括多个实体抹除单元,每一所述多个实体抹除单元包括多个实体程序化单元,其特征在于,包括:

从主机系统中接收多个第一连续数据,其中所述主机系统指示将所述多个第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中;

建立至少一连续映射表;

将所述多个第一连续数据写入至所述多个实体抹除单元的实体程序化单元之中的多个第一实体程序化单元中;以及

将位图中与所述多个第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对所述多个虚拟区块进行编号并且将所述编号记录至所述至少一连续映射表中,其中所述至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段、长度字段以及所述位图,其中所述起始逻辑地址字段用以记录所述多个第一连续数据存储至所述多个第一连续逻辑地址中的起始逻辑地址,所述虚拟区块编号字段用以记录与所述多个第一连续逻辑地址对应的所述多个虚拟区块的所述编号,并且所述长度字段记录所述多个第一连续逻辑地址的长度。

2. 根据权利要求1所述的映射信息记录方法,其特征在于,还包括:

从所述主机系统中接收至少一笔随机数据,其中所述主机系统指示将所述至少一笔随机数据存储至所述多个第一连续逻辑地址的至少一第二逻辑地址中;

将所述至少一笔随机数据覆写至所述多个第一实体程序化单元中的多个第二实体程序化单元;以及

将所述位图中与所述至少一第二逻辑地址对应的所述多个虚拟区块的位标记为无效状态。

3. 根据权利要求2所述的映射信息记录方法,其特征在于,所述映射信息记录方法还包括:

建立至少一逻辑-实体地址映射表并且将所述至少一逻辑-实体地址映射表存储至所述可复写式非易失性存储器模块,并且在所述至少一逻辑-实体地址映射表中更新所述多个第一连续逻辑地址与所述多个第一实体程序化单元之间的映射关系。

4. 根据权利要求3所述的映射信息记录方法,在将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,还包括:

从所述主机系统中接收一读取指令;

判断对应所述读取指令指示的逻辑地址是否包括所述至少一第二逻辑地址;以及

倘若对应所述读取指令指示的逻辑地址未包括所述至少一第二逻辑地址,根据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令的读取数据。

5. 根据权利要求4所述的映射信息记录方法,其特征在于,还包括:

倘若对应所述读取指令指示的逻辑地址包括所述至少一第二逻辑地址,

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址,依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取对

应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址的数据,以及

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址,依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址的数据。

6. 根据权利要求3所述的映射信息记录方法,在将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,还包括:

从所述主机系统中接收读取指令;

依据所述位图中的位的状态判断映射至所述第二逻辑地址的第二实体程序化单元是否已被所述至少一笔随机数据覆写;

倘若映射至所述第二逻辑地址的第二实体程序化单元未被所述至少一笔随机数据覆写,依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取数据;以及

倘若映射至所述第二逻辑地址的第二实体程序化单元已被随机数据覆写,依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取数据。

7. 一种存储器存储装置,其特征在于,包括:

连接接口单元,用以耦接至主机系统;

可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个实体抹除单元,每一所述多个实体抹除单元包括多个实体程序化单元;以及

存储器控制电路单元,耦接至所述连接接口单元与所述可复写式非易失性存储器模块,

其中所述存储器控制电路单元用以从主机系统中接收多个第一连续数据,其中所述主机系统指示将所述多个第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中,

其中所述存储器控制电路单元用以建立至少一连续映射表,

其中所述存储器控制电路单元用以将所述多个第一连续数据写入至所述多个实体抹除单元的实体程序化单元之中的多个第一实体程序化单元中,以及

其中所述存储器控制电路单元用以将位图中与所述多个第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对所述多个虚拟区块进行编号并且将所述编号记录至所述至少一连续映射表中,其中所述至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段、长度字段以及所述位图,其中所述起始逻辑地址字段用以记录所述多个第一连续数据存储至所述多个第一连续逻辑地址中的起始逻辑地址,所述虚拟区块编号字段用以记录与所述多个第一连续逻辑地址对应的所述多个虚拟区块的所述编号,并且所述长度字段记录所述多个第一连续逻辑地址的长度。

8. 根据权利要求7所述的存储器存储装置,其特征在于,

所述存储器控制电路单元更用以从所述主机系统中接收至少一笔随机数据,其中所述主机系统指示将所述至少一笔随机数据存储至所述多个第一连续逻辑地址的至少一第二逻辑地址中,

所述存储器控制电路单元更用以将所述至少一笔随机数据覆写至所述多个第一实体

程序化单元中的多个第二实体程序化单元,以及

所述存储器控制电路单元更用以将所述位图中与所述至少一第二逻辑地址对应的所述多个虚拟区块的位标记为无效状态。

9. 根据权利要求8所述的存储器存储装置,其特征在于,其中所述存储器控制电路单元更用以建立至少一逻辑-实体地址映射表并且将所述至少一逻辑-实体地址映射表存储至所述可复写式非易失性存储器模块,并且在所述至少一逻辑-实体地址映射表中更新所述多个第一连续逻辑地址与所述多个第一实体程序化单元之间的映射关系。

10. 根据权利要求9所述的存储器存储装置,在所述存储器控制电路单元将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,

所述存储器控制电路单元更用以从所述主机系统中接收读取指令,

所述存储器控制电路单元更用以判断对应所述读取指令指示的一逻辑地址是否包括所述至少一第二逻辑地址,以及

倘若对应所述读取指令指示的逻辑地址未包括所述至少一第二逻辑地址,所述存储器控制电路单元更用以根据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令的读取数据。

11. 根据权利要求10所述的存储器存储装置,其特征在于,倘若对应所述读取指令指示的逻辑地址包括所述至少一第二逻辑地址,

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址,所述存储器控制电路单元更用以依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址的数据,以及

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址,所述存储器控制电路单元更用以依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址的数据。

12. 根据权利要求9所述的存储器存储装置,在所述存储器控制电路单元将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,

所述存储器控制电路单元更用以从所述主机系统中接收读取指令;

所述存储器控制电路单元更用以依据所述位图中的位的状态判断映射至所述第二逻辑地址的第二实体程序化单元是否已被所述至少一笔随机数据覆写;

倘若映射至所述第二逻辑地址的第二实体程序化单元未被所述至少一笔随机数据覆写,所述存储器控制电路单元更用以依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取数据;以及

倘若映射至所述第二逻辑地址的第二实体程序化单元已被随机数据覆写,所述存储器控制电路单元更用以依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取数据。

13. 一种存储器控制电路单元,用于控制存储器存储装置,其中所述存储器控制电路单

元包括:

主机接口,用以耦接至主机系统;

存储器接口,用以耦接至可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个实体抹除单元,每一所述多个实体抹除单元包括多个实体程序化单元;以及

存储器管理电路,耦接至所述主机接口与所述存储器接口,

其中所述存储器管理电路用以从主机系统中接收多个第一连续数据,其中所述主机系统指示将所述多个第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中,

其中所述存储器管理电路用以建立至少一连续映射表,

其中所述存储器管理电路用以将所述多个第一连续数据写入至所述多个实体抹除单元的实体程序化单元之中的多个第一实体程序化单元中,以及

其中所述存储器管理电路用以将位图中与所述多个第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对所述多个虚拟区块进行编号并且将所述编号记录至所述至少一连续映射表中,其中所述至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段、长度字段以及所述位图,其中所述起始逻辑地址字段用以记录所述多个第一连续数据存储至所述多个第一连续逻辑地址中的起始逻辑地址,所述虚拟区块编号字段用以记录与所述多个第一连续逻辑地址对应的所述多个虚拟区块的所述编号,并且所述长度字段记录所述多个第一连续逻辑地址的长度。

14. 根据权利要求13所述的存储器控制电路单元,其特征在于,

所述存储器管理电路更用以从所述主机系统中接收至少一笔随机数据,其中所述主机系统指示将所述至少一笔随机数据存储至所述多个第一连续逻辑地址的至少一第二逻辑地址中,

所述存储器管理电路更用以将所述至少一笔随机数据覆写至所述多个第一实体程序化单元中的多个第二实体程序化单元,以及

所述存储器管理电路更用以将所述位图中与所述至少一第二逻辑地址对应的所述多个虚拟区块的位标记为无效状态。

15. 根据权利要求14所述的存储器控制电路单元,其特征在于,所述存储器管理电路更用以建立至少一逻辑-实体地址映射表并且将所述至少一逻辑-实体地址映射表存储至所述可复写式非易失性存储器模块,并且在所述至少一逻辑-实体地址映射表中更新所述多个第一连续逻辑地址与所述多个第一实体程序化单元之间的映射关系。

16. 根据权利要求15所述的存储器控制电路单元,在所述存储器管理电路将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,

所述存储器管理电路更用以从所述主机系统中接收读取指令,

所述存储器管理电路更用以判断对应所述读取指令指示的一逻辑地址是否包括所述至少一第二逻辑地址,以及

倘若对应所述读取指令指示的逻辑地址未包括所述至少一第二逻辑地址,所述存储器管理电路更用以根据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令的读取数据。

17. 根据权利要求16所述的存储器控制电路单元,其特征在于,倘若对应所述读取指令指示的逻辑地址包括所述至少一第二逻辑地址,

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址,所述存储器管理电路更用以依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址相同的逻辑地址的数据,以及

对于对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址,所述存储器管理电路更用以依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取对应所述读取指令指示的逻辑地址中与所述至少一第二逻辑地址不同的逻辑地址的数据。

18. 根据权利要求15所述的存储器控制电路单元,在所述存储器管理电路将所述多个第一连续数据以及所述至少一笔随机数据写入所述可复写式非易失性存储器模块的实体程序化单元之后,其特征在于,

所述存储器管理电路更用以从所述主机系统中接收读取指令;

所述存储器管理电路更用以依据所述位图中的位的状态判断映射至所述第二逻辑地址的第二实体程序化单元是否已被所述至少一笔随机数据覆写;

倘若映射至所述第二逻辑地址的第二实体程序化单元未被所述至少一笔随机数据覆写,所述存储器管理电路更用以依据所述至少一连续映射表从所述可复写式非易失性存储器模块中读取数据;以及

倘若映射至所述第二逻辑地址的第二实体程序化单元已被随机数据覆写,所述存储器管理电路更用以依据所述至少一逻辑-实体地址映射表从所述可复写式非易失性存储器模块中读取数据。

映射信息记录方法以及存储器控制电路单元与存储装置

技术领域

[0001] 本发明涉及一种映射信息记录方法、存储器控制电路单元与存储器存储装置。

背景技术

[0002] 数码相机、手机与MP3在这几年来的成长十分迅速,使得消费者对存储媒体的需求也急速增加。由于可复写式非易失性存储器(rewritable non-volatile memory)具有数据非易失性、省电、体积小、无机械结构、读写速度快等特性,最适于可携式电子产品,例如笔记本电脑。固态硬盘就是一种以闪存作为存储媒体的存储装置。因此,近年闪存产业成为电子产业中相当热门的一环。

[0003] 一般而言,使用可复写式非易失性存储器模块作为存储媒体的存储器存储装置会建立逻辑-实体映射表来记录逻辑地址与实体抹除单元或逻辑地址与实体程序化单元之间的映射信息,使主机系统可顺利存取可复写式非易失性存储器模块的数据。又或者,对于连续写入的数据,存储器存储装置会因应后续的随机读写数据而建立连续映射表以记录对应连续写入的数据的起始逻辑地址、起始实体程序化单元与连续写入的数据的长度,以较少的数据量来记录逻辑地址与实体程序化单元的映射关系,由此以于快闪存储器存储系统的有限的随机存取存储器空间中更为快速有效地随机读取连续写入的数据。然而,此种方式在连续写入数据至可复写式非易失性存储器模块之后,若连续写入的数据中有一部分数据被覆写,则容易导致此连续映射表失效而无法再使用此连续映射表读取数据。

[0004] 因此,如何有效地记录逻辑地址与实体地址之间的映射关系,以提升数据的访问速度是此领域技术人员所致力目标。

发明内容

[0005] 本发明提供一种映射信息记录方法、存储器控制器与存储器存储装置,可有效地使用连续映射表读取写入的数据,以提升数据的访问速度。

[0006] 本发明的一范例实施例提供一种映射信息记录方法,其用于可复写式非易失性存储器模块,其中可复写式非易失性存储器模块包括多个实体抹除单元,每一该些实体抹除单元包括多个实体程序化单元,映射信息记录方法包括:从主机系统中接收多笔第一连续数据,其中主机系统指示将该些第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中;建立至少一连续映射表,其中连续映射表用以记录该些第一连续数据存储至该些第一连续逻辑地址中的起始逻辑地址、该些第一连续逻辑地址的长度以及位图;将该些第一连续数据写入至该些实体抹除单元的实体程序化单元之中的多个第一实体程序化单元中;以及将位图中与该些第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对该些虚拟区块进行编号并且将编号记录至至少一连续映射表中。

[0007] 在本发明的一范例实施例中,映射信息记录方法还包括:从主机系统中接收至少一笔随机数据,其中主机系统指示将至少一笔随机数据存储至该些第一连续逻辑地址的至少一第二逻辑地址中;将至少一笔随机数据覆写至该些第一实体程序化单元之中的多个第二

实体程序化单元;以及将位图中与至少一第二逻辑地址对应的该些虚拟区块的位标记为无效状态。

[0008] 在本发明的一范例实施例中,其中至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段以及长度字段,其中起始逻辑地址字段用以记录该些第一连续数据存储至该些第一连续逻辑地址中的起始逻辑地址,虚拟区块编号字段用以记录与该些第一连续逻辑地址对应的该些虚拟区块的编号,并且长度字段记录该些第一连续逻辑地址的长度。

[0009] 在本发明的一范例实施例中,其中该映射信息记录方法还包括:建立至少一逻辑-实体地址映射表并且将至少一逻辑-实体地址映射表存储至可复写式非易失性存储器模块,并且在至少一逻辑-实体地址映射表中更新该些第一连续逻辑地址与该些第一实体程序化单元之间的映射关系。

[0010] 在本发明的一范例实施例中,其中在将该些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,映射信息记录方法还包括:从主机系统中接收读取指令;判断对应读取指令指示的逻辑地址是否包括至少一第二逻辑地址;以及倘若对应读取指令指示的逻辑地址未包括至少一第二逻辑地址,根据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令的读取数据。

[0011] 在本发明的一范例实施例中,其中映射信息记录方法还包括:倘若对应读取指令指示的逻辑地址包括至少一第二逻辑地址,对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址,依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址的数据,以及对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址,依据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址的数据。

[0012] 在本发明的一范例实施例中,其中在将该些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,映射信息记录方法还包括:从主机系统中接收一读取指令;依据位图中的位的状态判断映射至第二逻辑地址的第二实体程序化单元是否已被至少一笔随机数据覆写;倘若映射至第二逻辑地址的第二实体程序化单元未被至少一笔随机数据覆写,依据至少一连续映射表从可复写式非易失性存储器模块中读取数据;以及倘若映射至第二逻辑地址的第二实体程序化单元已被随机数据覆写,依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取数据。

[0013] 本发明的另一范例实施例提供一种存储器存储装置,其包括连接接口单元、可复写式非易失性存储器模块及存储器控制电路单元。连接接口单元用以耦接至主机系统。可复写式非易失性存储器模块包括多个实体抹除单元,每一该些实体抹除单元包括多个实体程序化单元。存储器控制电路单元耦接至连接接口单元与可复写式非易失性存储器模块。其中存储器控制电路单元用以从主机系统中接收多笔第一连续数据,其中主机系统指示将该些第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中。存储器控制电路单元更用以建立至少一连续映射表,其中至少一连续映射表用以记录该些第一连续数据存储至该些第一连续逻辑地址中的起始逻辑地址、该些第一连续逻辑地址的长度以及位图。存储器控制电路单元更用以将该些第一连续数据写入至该些实体抹除单元的实体程序

化单元之中的多个第一实体程序化单元中。存储器控制电路单元更用以将位图中与这些第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对这些虚拟区块进行编号并且将编号记录至至少一连续映射表中。

[0014] 在本发明的一范例实施例中,其中存储器控制电路单元更用以从主机系统中接收至少一笔随机数据,其中主机系统指示将至少一笔随机数据存储至这些第一连续逻辑地址的至少一第二逻辑地址中,存储器控制电路单元更用以将至少一笔随机数据覆写至这些第一实体程序化单元中的多个第二实体程序化单元,以及存储器控制电路单元更用以将位图中与至少一第二逻辑地址对应的这些虚拟区块的位标记为无效状态。

[0015] 在本发明的一范例实施例中,其中至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段以及长度字段,其中起始逻辑地址字段用以记录这些第一连续数据存储至这些第一连续逻辑地址中的起始逻辑地址,虚拟区块编号字段用以记录与这些第一连续逻辑地址对应的这些虚拟区块的编号,并且长度字段记录这些第一连续逻辑地址的长度。

[0016] 在本发明的一范例实施例中,其中存储器控制电路单元更用以建立至少一逻辑-实体地址映射表并且将至少一逻辑-实体地址映射表存储至可复写式非易失性存储器模块,并且在至少一逻辑-实体地址映射表中更新这些第一连续逻辑地址与这些第一实体程序化单元之间的映射关系。

[0017] 在本发明的一范例实施例中,在存储器控制电路单元将这些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,其中存储器控制电路单元更用以从主机系统中接收读取指令,存储器控制电路单元更用以判断对应读取指令指示的逻辑地址是否包括至少一第二逻辑地址,以及倘若对应读取指令指示的逻辑地址未包括至少一第二逻辑地址,存储器控制电路单元更用以根据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令的读取数据。

[0018] 在本发明的一范例实施例中,其中倘若对应读取指令指示的逻辑地址包括至少一第二逻辑地址,对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址,存储器控制电路单元更用以依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址的数据,以及对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址,存储器控制电路单元更用以依据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址的数据。

[0019] 在本发明的一范例实施例中,在存储器控制电路单元将这些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,其中,存储器控制电路单元更用以从主机系统中接收读取指令。存储器控制电路单元更用以依据位图中的位的状态判断映射至第二逻辑地址的第二实体程序化单元是否已被至少一笔随机数据覆写。倘若映射至第二逻辑地址的第二实体程序化单元未被至少一笔随机数据覆写,存储器控制电路单元更用以依据至少一连续映射表从可复写式非易失性存储器模块中读取数据;以及倘若映射至第二逻辑地址的第二实体程序化单元已被随机数据覆写,存储器控制电路单元更用以依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取数据。

[0020] 本发明的另一范例实施例提供一种存储器控制电路单元,其用于控制存储器存储装置,存储器控制电路单元包括主机接口、存储器接口及存储器管理电路。主机接口用以耦接至主机系统。存储器接口用以耦接至可复写式非易失性存储器模块,其中可复写式非易失性存储器模块包括多个实体抹除单元,每一该些实体抹除单元包括多个实体程序化单元。存储器管理电路耦接至主机接口与存储器接口。其中存储器管理电路用以从主机系统中接收多笔第一连续数据,其中主机系统指示将该些第一连续数据存储至多个逻辑地址之中的多个第一连续逻辑地址中。存储器管理电路用以建立至少一连续映射表,其中至少一连续映射表用以记录该些第一连续数据存储至该些第一连续逻辑地址中的起始逻辑地址、该些第一连续逻辑地址的长度以及位图。存储器管理电路用以将该些第一连续数据写入至该些实体抹除单元的实体程序化单元之中的多个第一实体程序化单元中。存储器管理电路用以将位图中与该些第一连续逻辑地址对应的多个虚拟区块的位标记为有效状态,对该些虚拟区块进行编号并且将编号记录至至少一连续映射表中。

[0021] 在本发明的一范例实施例中,存储器管理电路更用以从主机系统中接收至少一笔随机数据,其中主机系统指示将至少一笔随机数据存储至该些第一连续逻辑地址的至少一第二逻辑地址中。存储器管理电路更用以将至少一笔随机数据覆写至该些第一实体程序化单元之中的多个第二实体程序化单元。存储器管理电路更用以将位图中与至少一第二逻辑地址对应的该些虚拟区块的位标记为无效状态。

[0022] 在本发明的一范例实施例中,其中至少一连续映射表至少包括起始逻辑地址字段、虚拟区块编号字段以及长度字段,其中起始逻辑地址字段用以记录该些第一连续数据存储至该些第一连续逻辑地址中的起始逻辑地址,虚拟区块编号字段用以记录与该些第一连续逻辑地址对应的该些虚拟区块的编号,并且长度字段记录该些第一连续逻辑地址的长度。

[0023] 在本发明的一范例实施例中,其中存储器管理电路更用以建立至少一逻辑-实体地址映射表并且将至少一逻辑-实体地址映射表存储至该可复写式非易失性存储器模块,并且在至少一逻辑-实体地址映射表中更新该些第一连续逻辑地址与该些第一实体程序化单元之间的映射关系。

[0024] 在本发明的一范例实施例中,在存储器管理电路将该些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,其中存储器管理电路更用以从主机系统中接收读取指令,存储器管理电路更用以判断对应读取指令指示的逻辑地址是否包括至少一第二逻辑地址;以及倘若对应读取指令指示的逻辑地址未包括至少一第二逻辑地址,存储器管理电路更用以根据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令的读取数据。

[0025] 在本发明的一范例实施例中,其中倘若对应读取指令指示的逻辑地址包括至少一第二逻辑地址,对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址,存储器管理电路更用以依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址相同的逻辑地址的数据,以及对于对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址,存储器管理电路更用以依据至少一连续映射表从可复写式非易失性存储器模块中读取对应读取指令指示的逻辑地址中与至少一第二逻辑地址不同的逻辑地址的数据。

[0026] 在本发明的一范例实施例中,在存储器管理电路将该些第一连续数据以及至少一笔随机数据写入可复写式非易失性存储器模块的实体程序化单元之后,其中存储器管理电路更用以从主机系统中接收读取指令。存储器管理电路更用以依据位图中的位的状态判断映射至第二逻辑地址的第二实体程序化单元是否已被至少一笔随机数据覆写。倘若映射至第二逻辑地址的第二实体程序化单元未被至少一笔随机数据覆写,存储器管理电路更用以依据至少一连续映射表从可复写式非易失性存储器模块中读取数据;以及倘若映射至第二逻辑地址的第二实体程序化单元已被随机数据覆写,存储器管理电路更用以依据至少一逻辑-实体地址映射表从可复写式非易失性存储器模块中读取数据。

[0027] 本发明实施例所提供的映射信息记录方法、存储器控制器与存储器存储装置,建立连续映射表记录写入的连续数据的起始逻辑地址、连续数据的长度、虚拟区块的编号与位图,通过选择调用连续映射表或逻辑-实体地址映射表从可复写式非易失性存储器模块中读取数据,从而于快闪存储器存储系统的有限的随机存取存储器空间中更为快速有效地随机读取写入的数据,有效提升快闪存储器存储系统的性能。

[0028] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0029] 包含附图以便进一步理解本发明,且附图并入本说明书中并构成本说明书的一部分。附图说明本发明的实施例,并与描述一起用于解释本发明的原理。

[0030] 图1是根据本发明的一范例实施例所示出的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图;

[0031] 图2是根据本发明的另一范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图;

[0032] 图3是根据本发明的另一范例实施例所示出的主机系统与存储器存储装置的示意图;

[0033] 图4是根据本发明的一范例实施例所示出的存储器存储装置的概要方块图;

[0034] 图5是根据本发明的一范例实施例所示出的存储器控制电路单元的概要方块图;

[0035] 图6是根据本发明的一范例实施例所示出的管理可复写式非易失性存储器模块的示意图;

[0036] 图7是根据本发明的一范例实施例所示出的连续映射表的示意图;

[0037] 图8是根据本发明的一范例实施例所示出的位图的示意图;

[0038] 图9是根据本发明的一范例实施例所示出的将第一连续数据以及随机数据写入可复写式非易失性存储器模块的流程图;

[0039] 图10是根据本发明的一范例实施例所示出的读取第一连续数据以及随机数据的流程图;

[0040] 图11是根据本发明的另一范例实施例所示出的读取第一连续数据以及随机数据的流程图。

具体实施方式

[0041] 现将详细地参考本发明的示范性实施例,示范性实施例的实例说明于附图中。只要有可能,相同组件符号在附图和描述中用来表示相同或相似部分。

[0042] 一般而言,存储器存储装置(亦称,存储器存储系统)包括可复写式非易失性存储器模块(rewritable non-volatile memory module)与控制器(亦称,控制电路)。通常存储器存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0043] 图1是根据本发明的一范例实施例所示出的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图。图2是根据本发明的另一范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图。

[0044] 请参照图1与图2,主机系统11一般包括处理器111、随机存取存储器(random access memory,RAM)112、只读存储器(read only memory,ROM)113及数据传输接口114。处理器111、随机存取存储器112、只读存储器113及数据传输接口114皆耦接至系统总线(system bus)110。

[0045] 在本范例实施例中,主机系统11是通过数据传输接口114与存储器存储装置10耦接。例如,主机系统11可经由数据传输接口114将数据存储至存储器存储装置10或从存储器存储装置10中读取数据。此外,主机系统11是通过系统总线110与I/O装置12耦接。例如,主机系统11可经由系统总线110将输出信号传送至I/O装置12或从I/O装置12接收输入信号。

[0046] 在本范例实施例中,处理器111、随机存取存储器112、只读存储器113及数据传输接口114可设置在主机系统11的主板20上。数据传输接口114的数目可以是一或多个。通过数据传输接口114,主板20可以经由有线或无线方式耦接至存储器存储装置10。存储器存储装置10可例如是U盘201、存储卡202、固态硬盘(Solid State Drive,SSD)203或无线存储器存储装置204。无线存储器存储装置204可例如是近距离无线通信(Near Field Communication,NFC)存储器存储装置、无线传真(WiFi)存储器存储装置、蓝牙(Bluetooth)存储器存储装置或低功耗蓝牙存储器存储装置(例如,iBeacon)等以各式无线通信技术为基础的存储器存储装置。此外,主板20也可以通过系统总线110耦接至全球定位系统(Global Positioning System,GPS)模块205、网络适配器206、无线传输装置207、键盘208、屏幕209、喇叭210等各式I/O装置。例如,在一范例实施例中,主板20可通过无线传输装置207存取无线存储器存储装置204。

[0047] 在一范例实施例中,所提及的主机系统为可实质地与存储器存储装置配合以存储数据的任意系统。虽然在上述范例实施例中,主机系统是以计算机系统来作说明,然而,图3是根据本发明的另一范例实施例所示出的主机系统与存储器存储装置的示意图。请参照图3,在另一范例实施例中,主机系统31也可以是数码相机、摄影机、通讯装置、音频播放器、视频播放器或平板计算机等系统,而存储器存储装置30可为其所使用的安全数字(Secure Digital,SD)卡32、小型快闪(Compact Flash,CF)卡33或嵌入式存储装置34等各式非易失性存储器存储装置。嵌入式存储装置34包括嵌入式多媒体卡(embedded Multi Media Card,eMMC)341和/或嵌入式多芯片封装(embedded Multi Chip Package,eMCP)存储装置342等各类型将存储器模组直接耦接于主机系统的基板上的嵌入式存储装置。

[0048] 图4是根据本发明的一范例实施例所示出的存储器存储装置的概要方块图。

[0049] 请参照图4,存储器存储装置10包括连接接口单元402、存储器控制电路单元404与可复写式非易失性存储器模块406。

[0050] 连接接口单元402用以将存储器存储装置10耦接至主机系统11。在本范例实施例中,连接接口单元402是兼容于串行高级技术附件(Serial Advanced Technology Attachment,SATA)标准。然而,必须了解的是,本发明不限于此,连接接口单元402亦可以是符合并行高级技术附件(Parallel Advanced Technology Attachment,PATA)标准、电气和电子工程师协会(Institute of Electrical and Electronic Engineers,IEEE)1394标准、高速周边零件连接接口(Peripheral Component Interconnect Express,PCI Express)标准、通用串行总线(Universal Serial Bus,USB)标准、SD接口标准、超高速一代(Ultra High Speed-I,UHS-I)接口标准、超高速二代(Ultra High Speed-II,UHS-II)接口标准、存储棒(Memory Stick,MS)接口标准、MCP接口标准、MMC接口标准、eMMC接口标准、通用闪存(Universal Flash Storage,UFS)接口标准、eMCP接口标准、CF接口标准、整合式驱动电子接口(Integrated Device Electronics,IDE)标准或其他适合的标准。连接接口单元402可与存储器控制电路单元404封装在一个芯片中,或者连接接口单元402是布设于一包含存储器控制电路单元404的芯片外。

[0051] 存储器控制电路单元404用以执行以硬件型式或固件型式实作的多个逻辑闸或控制指令并且根据主机系统11的指令在可复写式非易失性存储器模块406中进行数据的写入、读取与抹除等运作。

[0052] 可复写式非易失性存储器模块406是耦接至存储器控制电路单元404并且用以存储主机系统11所写入的数据。可复写式非易失性存储器模块406可以是单阶存储单元(Single Level Cell,SLC)NAND型闪存模块(即,一个存储单元中可存储1个位的闪存模块)、多阶存储单元(Multi Level Cell,MLC)NAND型闪存模块(即,一个存储单元中可存储2个位的闪存模块)、复数阶存储单元(Triple Level Cell,TLC)NAND型闪存模块(即,一个存储单元中可存储3个位的闪存模块)、其他闪存模块或其他具有相同特性的存储器模块。

[0053] 可复写式非易失性存储器模块406中的每一个存储单元是以电压(以下亦称为临界电压)的改变来存储一或多个位。具体来说,每一个存储单元的控制栅极(control gate)与通道之间有一个电荷捕捉层。通过施予一写入电压至控制栅极,可以改变电荷捕捉层的电子量,进而改变存储单元的临界电压。此改变存储单元的临界电压的操作亦称为“把数据写入至存储单元”或“程序化(programming)存储单元”。随着临界电压的改变,可复写式非易失性存储器模块406中的每一个存储单元具有多个存储状态。通过施予读取电压可以判断一个存储单元是属于哪一个存储状态,藉此取得此存储单元所存储的一或多个位。

[0054] 在本范例实施例中,可复写式非易失性存储器模块406的存储单元会构成多个实体程序化单元,并且这些实体程序化单元会构成多个实体抹除单元。具体来说,同一条字符在线的存储单元会组成一或多个实体程序化单元。若每一个存储单元可存储2个以上的位,则同一条字符在线的实体程序化单元至少可被分类为下实体程序化单元与上实体程序化单元。例如,一存储单元的最低有效位(Least Significant Bit,LSB)是属于下实体程序化单元,并且一存储单元的最高有效位(Most Significant Bit,MSB)是属于上实体程序化单元。一般来说,在MLC NAND型闪存中,下实体程序化单元的写入速度会大于上实体程序化单元的写入速度,和/或下实体程序化单元的可靠度是高于上实体程序化单元的可靠度。

[0055] 在本范例实施例中,实体程序化单元为程序化的最小单元。即,实体程序化单元为写入数据的最小单元。例如,实体程序化单元为实体页面(page)或是实体扇(sector)。若实体程序化单元为实体页面,则这些实体程序化单元通常包括数据位区与冗余(redundancy)位区。数据位区包含多个实体扇,用以存储用户数据,而冗余位区用以存储系统数据(例如,错误更正码等管理数据)。在本范例实施例中,数据位区包含32个实体扇,且一个实体扇的大小为512字节(byte,B)。然而,在其他范例实施例中,数据位区中也可包含8个、16个或数目更多或更少的实体扇,并且每一个实体扇的大小也可以是更大或更小。另一方面,实体抹除单元为抹除的最小单位。亦即,每一实体抹除单元含有最小数目之一并被抹除的存储单元。例如,实体抹除单元为实体区块(block)。

[0056] 图5是根据本发明的一范例实施例所示出的存储器控制电路单元的概要方块图。

[0057] 请参照图5,存储器控制电路单元404包括存储器管理电路502、主机接口504及存储器接口506。

[0058] 存储器管理电路502用以控制存储器控制电路单元404的整体运作。具体来说,存储器管理电路502具有多个控制指令,并且在存储器存储装置10运作时,这些控制指令会被执行以进行数据的写入、读取与抹除等运作。以下说明存储器管理电路502的操作时,等同于说明存储器控制电路单元404的操作。

[0059] 在本范例实施例中,存储器管理电路502的控制指令是以固件型式来实作。例如,存储器管理电路502具有微处理器单元(未示出)与只读存储器(未示出),并且这些控制指令是被刻录至此只读存储器中。当存储器存储装置10运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与抹除等运作。

[0060] 在另一范例实施例中,存储器管理电路502的控制指令亦可以程序代码型式存储于可复写式非易失性存储器模块406的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路502具有微处理器单元(未示出)、只读存储器(未示出)及随机存取存储器(未示出)。特别是,此只读存储器具有开机码(boot code),并且当存储器控制电路单元404被致能时,微处理器单元会先执行此开机码来将存储于可复写式非易失性存储器模块406中的控制指令加载至存储器管理电路502的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与抹除等运作。

[0061] 此外,在另一范例实施例中,存储器管理电路502的控制指令亦可以一硬件型式来实作。例如,存储器管理电路502包括微控制器、存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路。存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路是耦接至微控制器。存储单元管理电路用以管理可复写式非易失性存储器模块406的存储单元或其群组。存储器写入电路用以对可复写式非易失性存储器模块406下达写入指令序列以将数据写入至可复写式非易失性存储器模块406中。存储器读取电路用以对可复写式非易失性存储器模块406下达读取指令序列以从可复写式非易失性存储器模块406中读取数据。存储器抹除电路用以对可复写式非易失性存储器模块406下达抹除指令序列以将数据从可复写式非易失性存储器模块406中抹除。数据处理电路用以处理欲写入至可复写式非易失性存储器模块406的数据以及从可复写式非易失性存储器模块406中读取的数据。写入指令序列、读取指令序列及抹除指令序列可各别包括一或多个程序代码或脚本并且用以指示可复写式非易失性存储器模块406执行相对

应的写入、读取及抹除等操作。在一范例实施例中,存储器管理电路502还可以下达其他类型的指令序列给可复写式非易失性存储器模块406以指示执行相对应的操作。

[0062] 主机接口504是耦接至存储器管理电路502并且用以接收与识别主机系统11所传送的指令与数据。也就是说,主机系统11所传送的指令与数据会通过主机接口504来传送至存储器管理电路502。在本范例实施例中,主机接口504是兼容于SATA标准。然而,必须了解的是本发明不限于此,主机接口504亦可以是兼容于PATA标准、IEEE 1394标准、PCI Express标准、USB标准、SD标准、UHS-I标准、UHS-II标准、MS标准、MMC标准、eMMC标准、UFS标准、CF标准、IDE标准或其他适合的数据传输标准。

[0063] 存储器接口506是耦接至存储器管理电路502并且用以存取可复写式非易失性存储器模块406。也就是说,欲写入至可复写式非易失性存储器模块406的数据会经由存储器接口506转换为可复写式非易失性存储器模块406所能接受的格式。具体来说,若存储器管理电路502要存取可复写式非易失性存储器模块406,存储器接口506会传送对应的指令序列。例如,这些指令序列可包括指示写入数据的写入指令序列、指示读取数据的读取指令序列、指示抹除数据的抹除指令序列、以及用以指示各种存储体操作(例如,改变读取电压电平或执行垃圾收集操作等等)的相对应的指令序列。这些指令序列例如是由存储器管理电路502产生并且通过存储器接口506传送至可复写式非易失性存储器模块406。这些指令序列可包括一或多个信号,或是在总线上的数据。这些信号或数据可包括脚本或程序代码。例如,在读取指令序列中,会包括读取的识别码、存储器地址等信息。

[0064] 在一范例实施例中,存储器控制电路单元404还包括错误检查与校正电路508、缓冲存储器510与电源管理电路512。

[0065] 错误检查与校正电路508是耦接至存储器管理电路502并且用以执行错误检查与校正操作以确保数据的正确性。具体来说,当存储器管理电路502从主机系统11中接收到写入指令时,错误检查与校正电路508会为对应此写入指令的数据产生对应的错误更正码(error correcting code,ECC)和/或错误检查码(error detecting code,EDC),并且存储器管理电路502会将对应此写入指令的数据与对应的错误更正码和/或错误检查码写入至可复写式非易失性存储器模块406中。之后,当存储器管理电路502从可复写式非易失性存储器模块406中读取数据时会同时读取此数据对应的错误更正码和/或错误检查码,并且错误检查与校正电路508会依据此错误更正码和/或错误检查码对所读取的数据执行错误检查与校正操作。

[0066] 缓冲存储器510是耦接至存储器管理电路502并且用以暂存来自于主机系统11的数据与指令或来自于可复写式非易失性存储器模块406的数据。电源管理电路512是耦接至存储器管理电路502并且用以控制存储器存储装置10的电源。

[0067] 图6是根据本发明的一范例实施例所示出的管理可复写式非易失性存储器模块的示意图。

[0068] 请参照图6,存储器管理电路502会将可复写式非易失性存储器模块406的实体单元610(0)~610(B)逻辑地分组至存储区601与闲置(spare)区602。存储区601中的实体单元610(0)~610(A)存储有数据。例如,存储于存储区601的数据包括有效数据(valid data)与无效数据(invalid data)。闲置区602中的实体单元610(A+1)~610(B)尚未被用来存储数据。当欲存储数据时,存储器管理电路502会从闲置区602的实体单元610(A+1)~610(B)中

选择一个实体单元并且将来自主机系统11或来自存储区601中其他实体单元的数据存储至所选的实体单元中。同时,所选的实体单元会被关联至存储区601。此外,在抹除存储区601中的某一个实体单元后,所抹除的实体单元会被重新关联至闲置区602。

[0069] 在本范例实施例中,属于闲置区602的每一个实体单元亦称为闲置实体单元,而属于存储区601的每一个实体单元亦称为非闲置(non-spare)实体单元。在本范例实施例中,一个实体单元是指一个实体抹除单元。然而,在另一范例实施例中,一个实体单元亦可以包含多个实体抹除单元。

[0070] 存储器管理电路502会配置逻辑单元612(0)~612(C)以映射存储区601中的实体单元610(0)~610(A)。在本范例实施例中,每一个逻辑单元是指一个逻辑地址。然而,在另一范例实施例中,一个逻辑单元也可以是指一个逻辑程序化单元、一个逻辑抹除单元或者由多个连续或不连续的逻辑地址组成。此外,逻辑单元612(0)~612(C)中的每一者可被映射至一或多个实体单元。

[0071] 存储器管理电路502会将逻辑单元与实体单元之间的映射关系(亦称为逻辑-实体地址映射关系)记录于至少一逻辑-实体映射表。当主机系统11欲从存储器存储装置10读取数据或写入数据至存储器存储装置10时,存储器管理电路502可根据此逻辑-实体映射表来执行对于存储器存储装置10的数据存取操作。

[0072] 在本范例实施例中,若属于某一逻辑单元的数据被更新,则此逻辑单元与存储有属于此逻辑单元的旧数据的实体单元之间的映射关系会被移除,并且此逻辑单元与存储有属于此逻辑单元的最新数据的实体单元之间的映射关系会被建立。然而,在另一范例实施例中,若属于某一逻辑单元的数据被更新,则此逻辑单元与存储有属于此逻辑单元的旧数据的实体单元之间的映射关系仍可被维持。

[0073] 在一范例实施例中,存储器管理电路502从主机系统11中接收多笔第一连续数据,其中主机系统11指示将第一连续数据存储至多个逻辑地址之中的第一连续逻辑地址中。

[0074] 图7是根据本发明一范例实施例所示出的连续映射表的示意图。图8是根据本发明一范例实施例所示出的位图的示意图。

[0075] 请参照图7及图8,存储器管理电路502建立至少一连续映射表1100,其中连续映射表1100用以记录第一连续数据存储至第一连续逻辑地址中的起始逻辑地址、第一连续逻辑地址的长度、与第一连续逻辑地址对应的虚拟区块的编号以及位图。

[0076] 在一范例实施例中,连续映射表1100包括起始逻辑地址字段1101、长度字段1102以及虚拟区块编号字段1103,其中起始逻辑地址字段1101用以记录第一连续数据存储至第一连续逻辑地址中的起始逻辑地址,长度字段1102记录第一连续逻辑地址的长度,并且虚拟区块编号字段1103用以记录与第一连续逻辑地址对应的虚拟区块的编号。

[0077] 在另一范例实施例中,连续映射表1100还包括位图1200,存储器管理电路502对虚拟区块进行编号并且将虚拟区块的编号VB0、VB1...VBX...记录至虚拟区块编号字段1103,其中,虚拟区块VB0包括位n0、位n1、位n2、位n3...,虚拟区块VBX包括位nx0、位nx1、位nx2、位nx3...,以此类推,其中一个位用以映射一个4KB、8KB或16KB的逻辑地址,但本发明不限于此。

[0078] 存储器管理电路502会划分缓冲存储器510的其中一部分来存放连续映射表,以记录连续数据被写入的逻辑地址与实体程序化单元的映射关系。

[0079] 再请参照图8,存储器管理电路502将第一连续数据写入至映射至第一连续逻辑地址的第一实体程序化单元中,且将位图1200中与第一连续逻辑地址对应的虚拟区块的位标记为有效状态,并且存储器管理电路502对虚拟区块进行编号并且将第一连续数据存储至第一连续逻辑地址中的起始逻辑地址、第一连续逻辑地址的长度、与第一连续逻辑地址对应的虚拟区块的编号分别记录至连续映射表1100的起始逻辑地址字段1101、长度字段1102以及虚拟区块编号字段1103。

[0080] 在一范例实施例中,存储器管理电路502从主机系统11中接收至少一笔随机数据,其中主机系统11指示将随机数据存储至第一连续逻辑地址中的第二逻辑地址,存储器管理电路502将随机数据覆写至映射至第二逻辑地址的第一实体程序化单元中的多个第二实体程序化单元,并且将位图1200中与第二逻辑地址对应的虚拟区块的位标记为无效状态。

[0081] 在一范例实施例中,存储器管理电路502会使用位图1200记录位的状态来识别已写入至第一实体程序化单元中的第一连续数据是否被覆写(overwrite)。例如,当位图1200中的位被标记为“0”时,表示对应的实体程序化单元所存储的数据已被覆写(overwrite),当位图1200中的位被标记为“1”时,表示对应的实体程序化单元所存储的数据为未被覆写的连续数据,但本发明不限于此。

[0082] 在一范例实施例中,存储器管理电路502从主机系统11中接收读取指令,存储器管理电路502会判断对应读取指令指示的逻辑地址是否包括第二逻辑地址,倘若对应读取指令指示的逻辑地址未包括第二逻辑地址,存储器管理电路502根据连续映射表1100从可复写式非易失性存储器模块406中读取对应读取指令的读取数据;倘若对应读取指令指示的逻辑地址包括第二逻辑地址,对于对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址,存储器管理电路502会依据逻辑-实体地址映射表从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址的数据,对于对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址,存储器管理电路502会依据连续映射表1100从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址的数据。

[0083] 在一范例实施例中,以一个位映射一个4KB的逻辑地址为例。主机系统11指示将一笔长度为24KB的连续数据写入至可复写式非易失性存储器模块406,存储器管理电路502将此笔长度为24KB的连续数据写入至映射至第一连续逻辑地址LBA(1)~LBA(24KB)的第一实体程序化单元中,存储器管理电路502会依据第一连续逻辑地址的起始逻辑地址为LBA(1)以及长度为24KB的连续数据将位图1200中与第一连续逻辑地址LBA(1)~LBA(24KB)对应的虚拟区块VB0的位n0、n1、n2、n3、n4及n5标记为有效状态“1”,并且将起始逻辑地址为LBA(1)、连续数据的长度24KB、与第一连续逻辑地址LBA(1)~LBA(24KB)对应的虚拟区块编号VB0以及虚拟区块VB0的位n0、n1、n2、n3、n4及n5标记为有效状态“1”的位图1200一并记录至其中一连续映射表1200。

[0084] 在一范例实施例中,存储器管理电路502从主机系统11中接收一笔长度为4KB的随机数据,其中主机系统11指示将此笔长度为4KB的随机数据存储至第一连续逻辑地址LBA(1)~LBA(24KB)中的第二逻辑地址,其中第二逻辑地址例如为LBA(12KB)~LBA(16KB),存储器管理电路502将长度为4KB的随机数据覆写至映射至第二逻辑地址LBA(12KB)~LBA(16KB)的第二实体程序化单元,存储器管理电路502会依据第二逻辑地址LBA(12KB)~LBA

(16KB) 以及随机数据的长度4KB将位图1200中与第二逻辑地址LBA(12KB) ~ LBA(16KB) 对应的虚拟区块VB0的位n3标记为无效状态“0”。

[0085] 在一范例实施例中,存储器管理电路502从主机系统11中接收读取指令,并且判断对应读取指令指示的逻辑地址是否包括第二逻辑地址LBA(12KB) ~ LBA(16KB),倘若对应读取指令指示的逻辑地址未包括第二逻辑地址LBA(12KB) ~ LBA(16KB),例如对应读取指令指示的逻辑地址为LBA(1) ~ LBA(12KB-1) 或者LBA(16KB+1) ~ LBA(24KB),本发明不以此为限,则存储器管理电路502会根据连续映射表1100从可复写式非易失性存储器模块406中读取对应读取指令的读取数据;倘若对应读取指令指示的逻辑地址包括第二逻辑地址,例如对应读取指令指示的逻辑地址为LBA(12KB) ~ LBA(18KB),对于对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址LBA(12KB) ~ LBA(16KB),存储器管理电路502会判断映射至逻辑地址LBA(12KB) ~ LBA(16KB) 的第一实体程序化单元上的数据已被覆写,则存储器管理电路502依据逻辑-实体地址映射表从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址的数据,对于对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址LBA(16KB+1) ~ LBA(18KB),存储器管理电路502会直接依据连续映射表1100从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址的数据。

[0086] 又或者,在将第一连续数据以及随机数据写入可复写式非易失性存储器模块406的实体程序化单元之后,存储器管理电路502也可以依据位图1200中标记为无效状态“0”的位n3直接判断出映射至第二逻辑地址LBA(12KB) ~ LBA(16KB) 的第二实体程序化单元已被随机数据覆写,因此,对于对应读取指令指示的逻辑地址中与第二逻辑地址LBA(12KB) ~ LBA(16KB) 相同的逻辑地址,存储器管理电路502会直接调用逻辑-实体地址映射表从可复写式非易失性存储器模块406中读取数据。而对于对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址,存储器管理电路502会依据连续映射表1100从可复写式非易失性存储器模块406中读取数据。

[0087] 须注意的是,在上述范例实施例中,在存储器管理电路502将第一连续数据以及随机数据写入可复写式非易失性存储器模块406的实体程序化单元的操作中,存储器管理电路502均会将逻辑单元与实体单元之间的映射关系(亦称为逻辑-实体地址映射关系)记录于至少一逻辑-实体映射表。

[0088] 图9是根据本发明的一范例实施例所示出的存储器管理电路502将第一连续数据以及随机数据写入可复写式非易失性存储器模块的流程图。

[0089] 请参照图9,在步骤S901中,存储器管理电路502从主机系统11中接收多笔第一连续数据,其中主机系统11指示将第一连续数据存储至第一连续逻辑地址中。

[0090] 在步骤S902中,存储器管理电路502将第一连续数据写入至映射至第一连续逻辑地址的第一实体程序化单元中。

[0091] 在步骤S903中,存储器管理电路502将位图1200中与第一连续逻辑地址对应的虚拟区块的位标记为有效状态“1”,且存储器管理电路502对虚拟区块进行编号并且将第一连续数据存储至第一连续逻辑地址中的起始逻辑地址、第一连续逻辑地址的长度、与第一连续逻辑地址对应的虚拟区块的编号记录至连续映射表1100中。

[0092] 在步骤S904中,存储器管理电路502从主机系统11中接收随机数据,其中主机系统

11指示将随机数据存储至第一连续逻辑地址中的第二逻辑地址。

[0093] 在步骤S905中,存储器管理电路502将随机数据覆写至映射至第二逻辑地址的第二实体程序化单元,将位图1200中与第二逻辑地址对应的虚拟区块的位标记为无效状态“0”。

[0094] 图10是根据本发明的一范例实施例所示出的存储器管理电路502从可复写式非易失性存储器模块读取第一连续数据以及随机数据的流程图。

[0095] 请参照图10,在步骤S1001中,存储器管理电路502从主机系统11中接收读取指令。

[0096] 在步骤S1002中,存储器管理电路502判断对应读取指令指示的逻辑地址是否包括第二逻辑地址。

[0097] 倘若对应读取指令指示的逻辑地址未包括第二逻辑地址,在步骤S1003中,存储器管理电路502根据连续映射表1100从可复写式非易失性存储器模块406中读取对应读取指令的读取数据。

[0098] 倘若对应读取指令指示的逻辑地址包括第二逻辑地址,在步骤S1004中,对于对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址,存储器管理电路502依据逻辑-实体地址映射表从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址相同的逻辑地址的数据,对于对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址,存储器管理电路502依据连续映射表从可复写式非易失性存储器模块406中读取对应读取指令指示的逻辑地址中与第二逻辑地址不同的逻辑地址的数据。

[0099] 图11是根据本发明的另一范例实施例所示出的存储器管理电路502从可复写式非易失性存储器模块读取第一连续数据以及随机数据的流程图。

[0100] 请参照图11,在步骤S1101中,存储器管理电路502从主机系统11中接收读取指令。

[0101] 在将第一连续数据以及随机数据写入可复写式非易失性存储器模块406的实体程序化单元之后,在步骤S1102中,存储器管理电路502依据位图1200中的位的有效状态或无效状态判断映射至第二逻辑地址的第二实体程序化单元是否已被随机数据覆写。

[0102] 在步骤S1103中,对于位图1200中标记为有效状态的位,存储器管理电路502判断映射至第二逻辑地址的第二实体程序化单元未被随机数据覆写,存储器管理电路502会依据连续映射表1100从可复写式非易失性存储器模块406中读取数据。

[0103] 在步骤S1104中,对于位图1200中标记为无效状态的位,存储器管理电路502判断映射至第二逻辑地址的第二实体程序化单元已被随机数据覆写,存储器管理电路502会直接调用逻辑-实体地址映射表从可复写式非易失性存储器模块406中读取数据。

[0104] 图9、图10及图11中各步骤可以实作为多个程序代码或是电路,本发明不加以限制。

[0105] 综上所述,本发明实施例所提供的映射信息记录方法、存储器控制器与存储器存储装置,通过建立连续映射表记录写入的连续数据的起始逻辑地址、连续数据的长度、虚拟区块的编号与位图,并且于位图中标记位的状态,以较少的数据量来记录逻辑地址与实体程序化单元的映射关系,依据位图中位的标记状态来识别实体程序化单元是否已被随机数据覆写,从而选择调用连续映射表或逻辑-实体地址映射表从可复写式非易失性存储器模块中读取数据,从而于快闪存储器存储系统的有限的随机存取存储器空间中更为快速有效

地随机读取写入的数据,有效提升快闪存储器存储系统的性能。

[0106] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求所界定的为准。

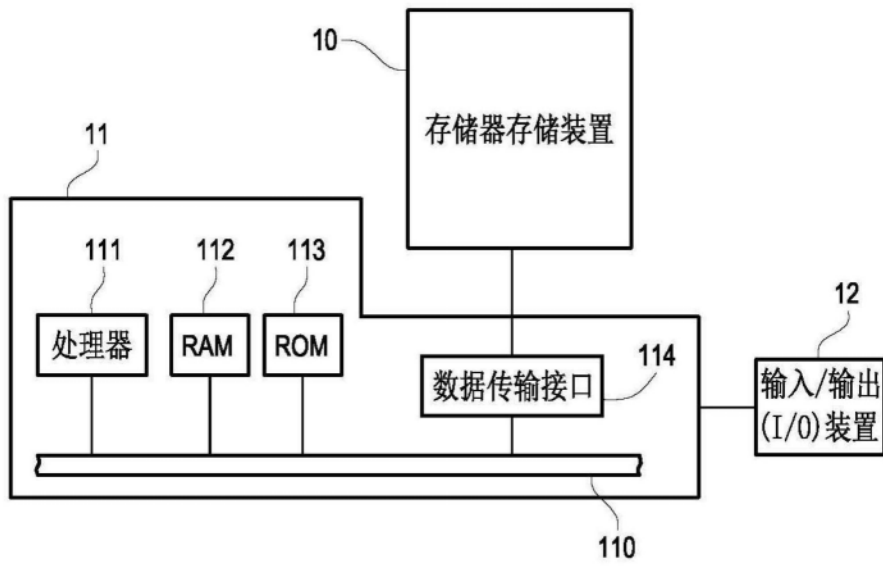


图1

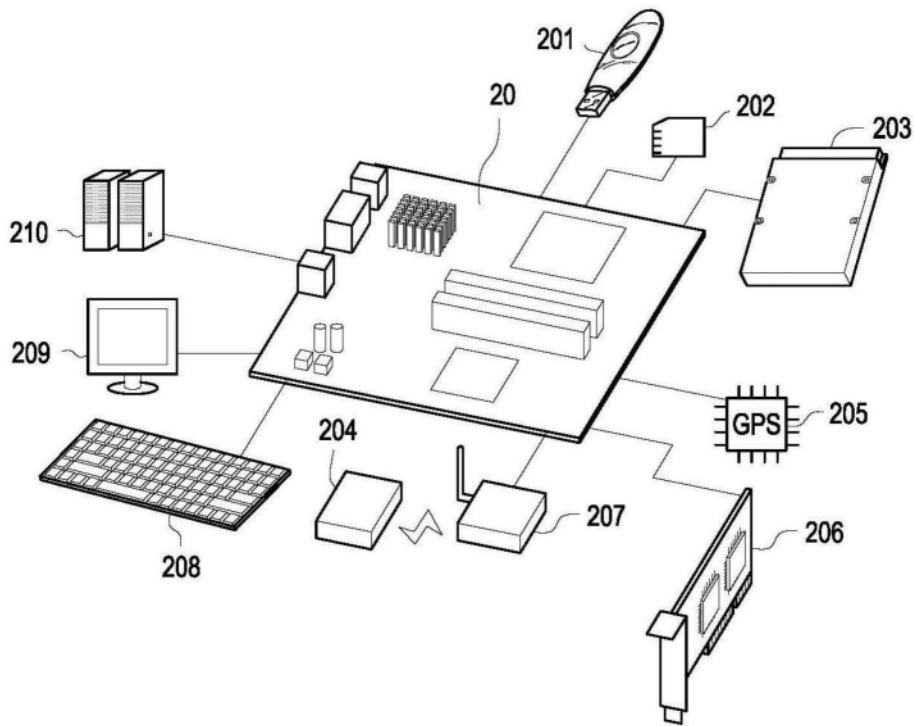


图2

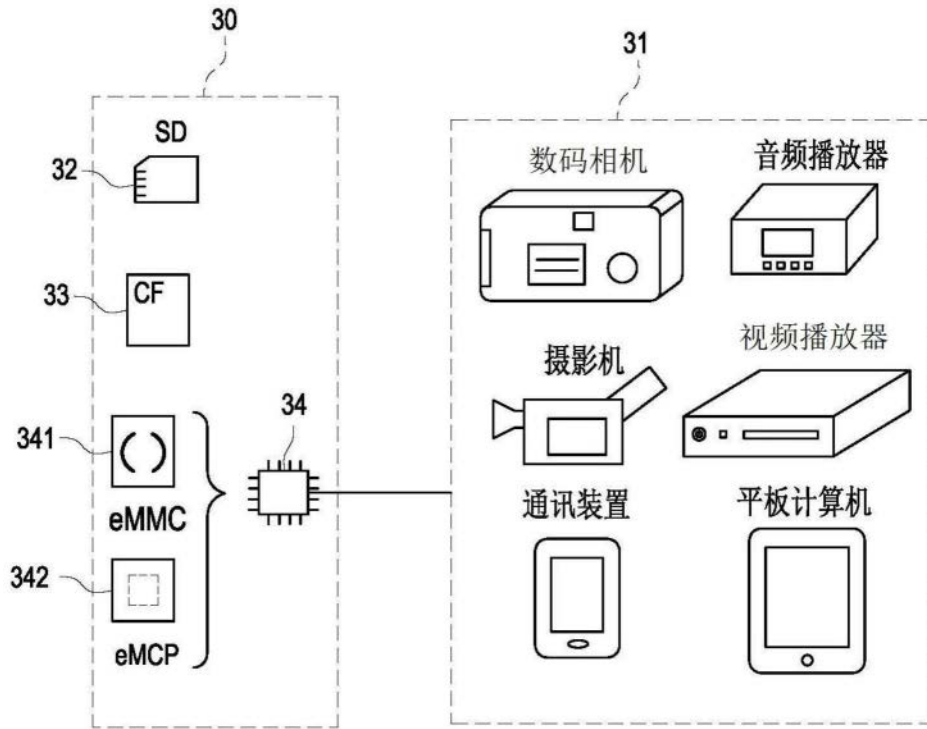


图3

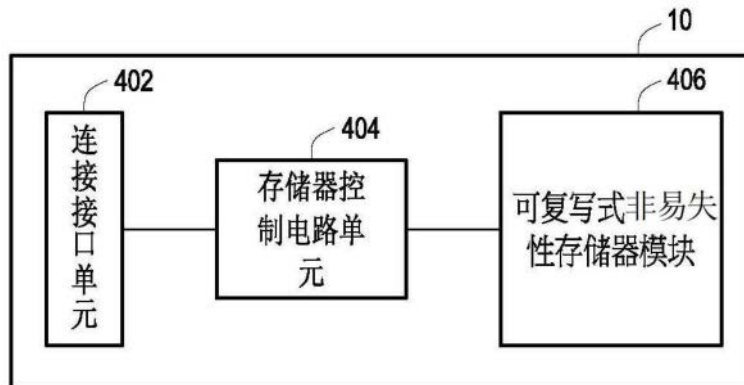


图4

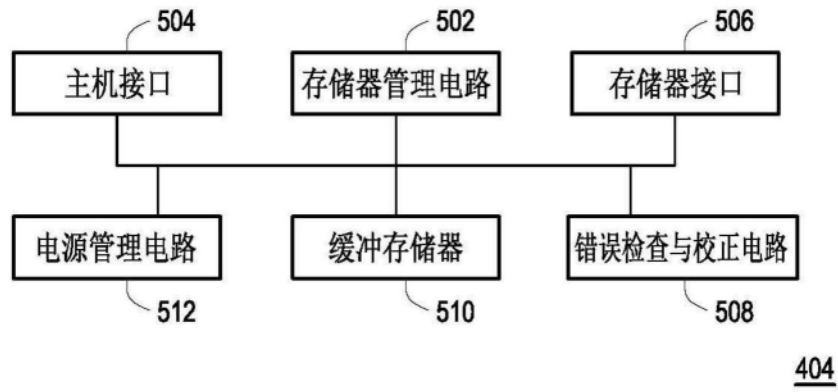


图5

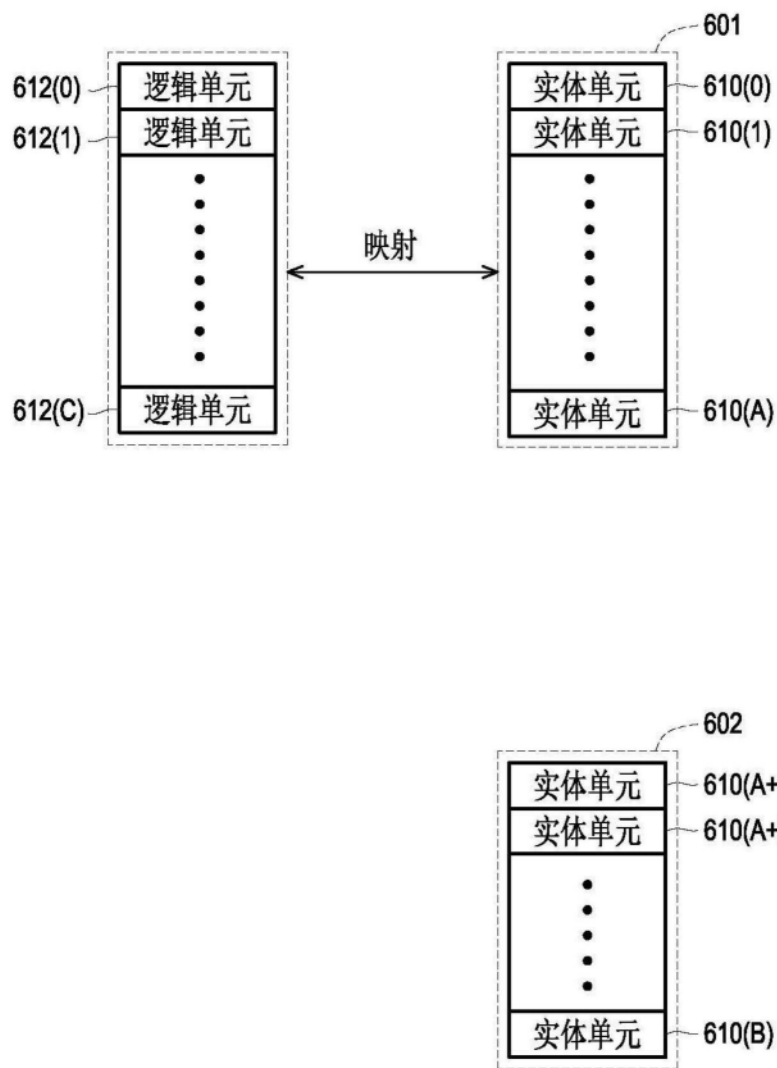


图6

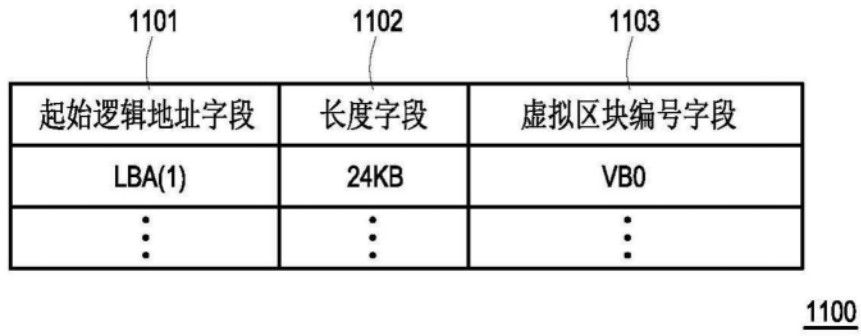


图7

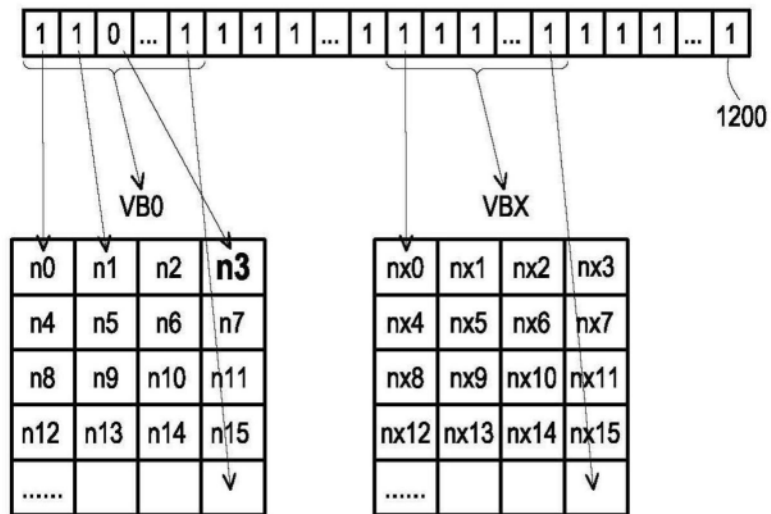


图8

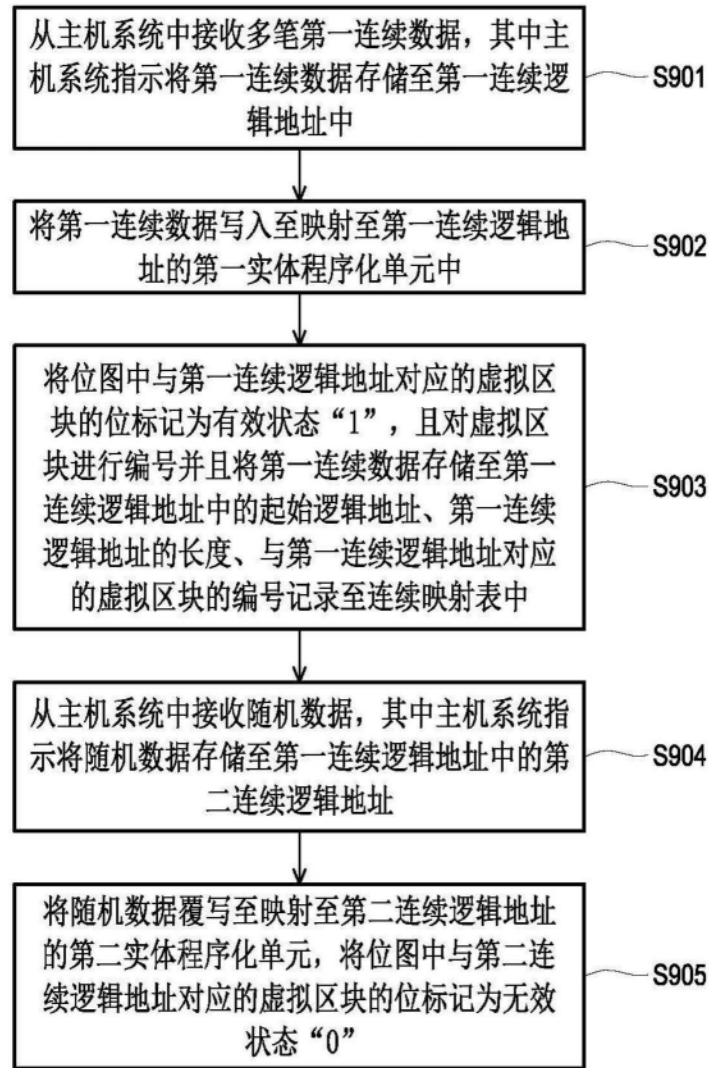


图9

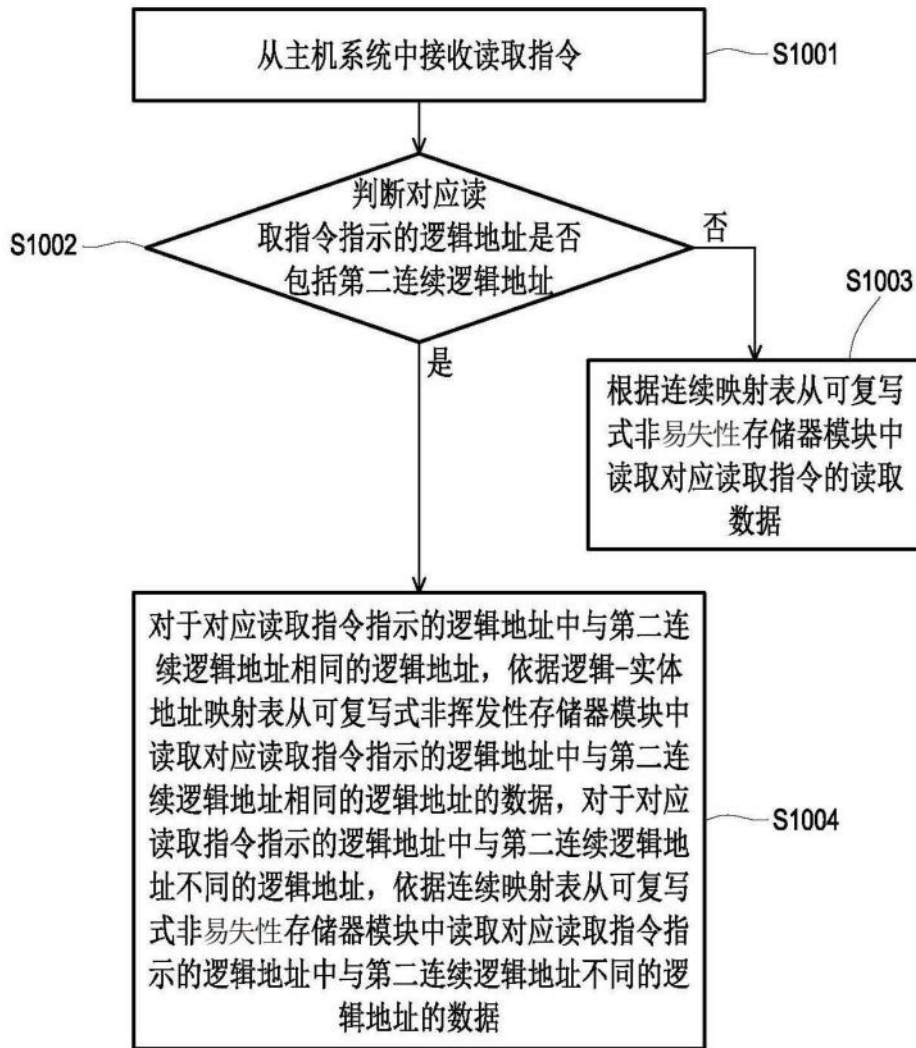


图10

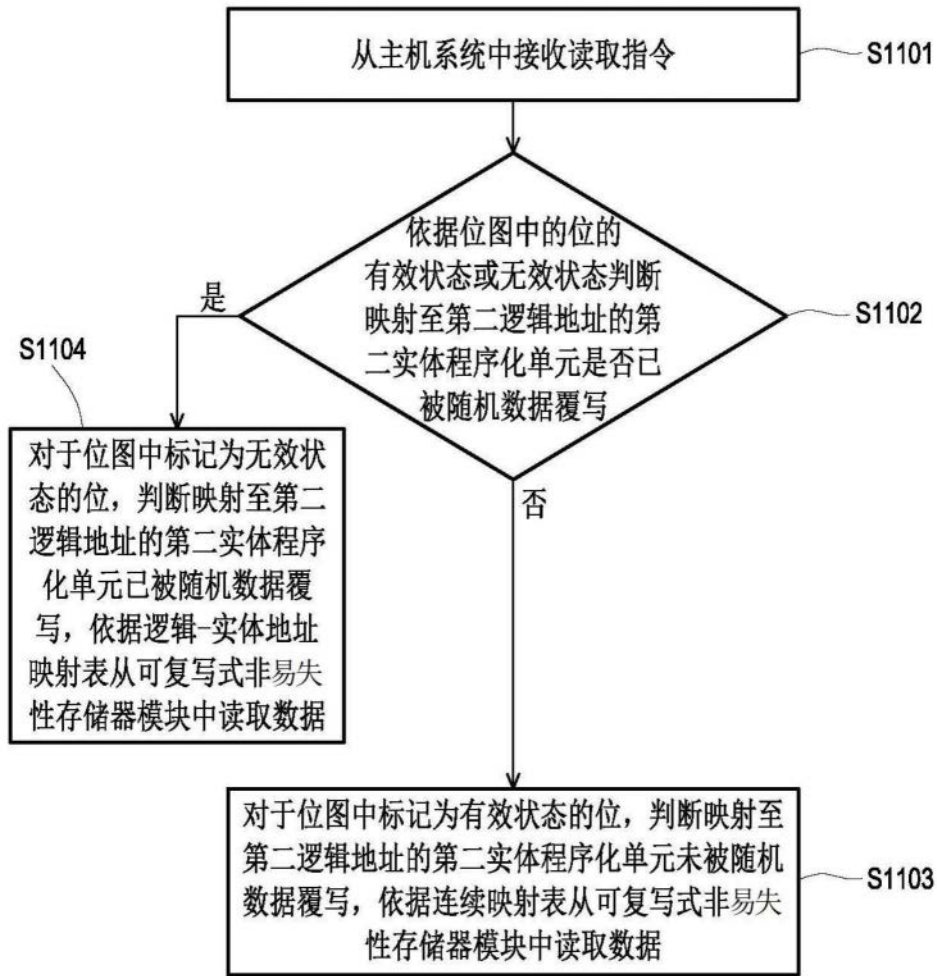


图11