



(12) 发明专利

(10) 授权公告号 CN 113284815 B

(45) 授权公告日 2024. 09. 03

(21) 申请号 202010101610.6

(56) 对比文件

(22) 申请日 2020.02.19

US 2009160470 A1, 2009.06.25

JP 2015015441 A, 2015.01.22

(65) 同一申请的已公布的文献号

申请公布号 CN 113284815 A

审查员 朱丹丹

(43) 申请公布日 2021.08.20

(73) 专利权人 华邦电子股份有限公司

地址 中国台湾台中市

(72) 发明人 陈建胜 赖明宏 谢铭桓

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

专利代理师 王涛 汤在彦

(51) Int. Cl.

H01L 21/66 (2006.01)

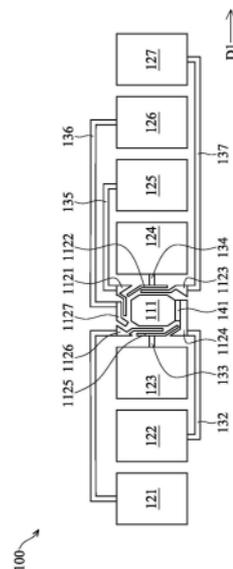
权利要求书2页 说明书6页 附图8页

(54) 发明名称

半导体装置及针痕偏移检测方法

(57) 摘要

一种半导体装置包含第一测试垫与多个第二测试垫。第一测试垫包含中央部与多个周边部。多个周边部邻近于中央部的边缘设置。周边部彼此互不接触且不接触于中央部。第一测试垫具有多个检测方位,且各检测方位上设有至少一周边部。各第二测试部通过第一连接走线与多个周边部中的一者电连接。



1. 一种半导体装置,其特征在于,所述装置包含:

一第一测试垫,包含一中央部与多个周边部,该些周边部邻近于该中央部的边缘设置,该些周边部彼此互不接触且彼此电性独立,其中该第一测试垫具有多个检测方位,且各该检测方位上至少设有一个该周边部;及

多个第二测试垫,各该第二测试垫通过一第一连接走线与该些周边部的一者电连接,其中该第一测试垫与该些第二测试垫沿一设置方向设置,且该第一测试垫设置于该些第二测试垫之间;

该些检测方位包含多个高机率检测方位与至少一个低机率检测方位,且于该低机率检测方位上设有的该周边部的数量较于该高机率检测方位上设有的该周边部的数量少。

2. 根据权利要求1所述的半导体装置,其特征在于,各该周边部沿该中央部的该边缘延伸以涵盖至少二个该检测方位。

3. 根据权利要求2所述的半导体装置,其特征在于,各该周边部包含一第一配置段,各该周边部的该第一配置段位于该些检测方位的一者上,且各该周边部的该第一配置段与该中央部之间不具有另一该周边部。

4. 根据权利要求1所述的半导体装置,其特征在于,于各该高机率检测方位上至少设有二个该周边部。

5. 根据权利要求1所述的半导体装置,其特征在于,该中央部还通过一第二连接走线与该些周边部中的一者电连接,以电连接至该些第二测试垫中的一者。

6. 根据权利要求1所述的半导体装置,其特征在于,该第一测试垫的接触面的所占范围与各该第二测试垫的接触面的所占范围相同。

7. 根据权利要求1所述的半导体装置,其特征在于,该第一测试垫、该些第二测试垫与该些第一连接走线通过同一金属层制成。

8. 一种针痕偏移检测方法,其特征在于,所述方法包含:

利用一探针组接触一半导体装置,其中该半导体装置包含一第一测试垫与多个第二测试垫,其中该第一测试垫与该些第二测试垫沿一设置方向设置,且该第一测试垫设置于该些第二测试垫之间,该第一测试垫包含一中央部与多个周边部,该些周边部邻近于该中央部的边缘设置,该些周边部彼此互不接触且彼此电性独立,该第一测试垫具有多个检测方位,且各该检测方位上至少设有一个该周边部,该些检测方位包含多个高机率检测方位与至少一个低机率检测方位,且于该低机率检测方位上设有的该周边部的数量较于该高机率检测方位上设有的该周边部的数量少,其中各该第二测试垫通过一第一连接走线与该些周边部的一者电连接,其中该探针组包含一第一探针与多个第二探针,该第一探针用以接触该第一测试垫,该些第二探针用以接触该些第二测试垫;

通过该第一探针输出一测试信号;

利用该些第二探针进行检测以得到多个检测状态;及

根据该些检测状态判断该探针组的一下针位置。

9. 根据权利要求8所述的针痕偏移检测方法,其特征在于,判断该探针组的该下针位置的步骤根据表示为接收到该测试信号的至少一个该检测状态决定出该探针组的该下针位置。

10. 根据权利要求8所述的针痕偏移检测方法,其特征在于,各该周边部沿该中央部的

该边缘延伸以涵盖至少二个该检测方位。

半导体装置及针痕偏移检测方法

技术领域

[0001] 本发明关于检测技术,特别是一种可即时监控探针组是否偏移的半导体装置及针痕偏移检测方法。

背景技术

[0002] 已知,单一晶圆上可制造出大量的集成电路芯片,并且晶圆可通过单一化(singulation)程序而分离出此些集成电路芯片,以用于后续的封装与使用。一般而言,在晶圆完成半导体的所有工艺后到出厂前的这段期间中,会对晶圆进行晶圆接受度测试(Wafer Acceptable Test, WAT),以了解晶圆内的电性特性,藉以掌握晶圆是否于工艺中出现缺陷。如此一来,便得以确保晶圆在某个程度上的品质与稳定性。

[0003] 在晶圆接受度测试中,通常是利用包含多个探针的探针组(可称为探针卡)接触于晶圆上的测试垫,以馈入测试信号来了解晶圆内的电性特性。然而,探针组在与测试垫接触时可能出现滑移,无论是探针组的针尖偏移出测试垫外或刮出测试垫外都是不乐见的测试情况。因此,极需要可即时监控探针组的下针位置的相关机制来降低测试风险。此外,由于晶圆上的可用面积有限,因此亦期盼尽可能地节省测试所需的占用面积。

发明内容

[0004] 本发明的一实施例揭露一种半导体装置。半导体装置包含第一测试垫与多个第二测试垫。第一测试垫包含中央部与多个周边部。多个周边部邻近于中央部的边缘设置。多个周边部彼此互不接触且不接触于中央部。第一测试垫具有多个检测方位,且各检测方位上至少设有一个周边部。各第二测试垫通过第一连接走线与多个周边部的一者电连接。

[0005] 本发明的一实施例揭露一种针痕偏移检测方法。针痕偏移检测方法包含:利用探针组接触半导体装置,其中半导体装置包含第一测试垫与多个第二测试垫,第一测试垫包含中央部与多个周边部,多个周边部邻近于中央部的边缘设置,多个周边部彼此互不接触且不接触于中央部,中央部具有多个检测方位,各检测方位上设有至少一个周边部,各第二测试垫通过第一连接走线与多个周边部中的一者电连接,其中探针组包含第一探针与多个第二探针,第一探针用以接触第一测试垫,且多个第二探针用以接触多个第二测试垫;通过第一探针输出测试信号;利用多个第二探针个别检测是否接收到测试信号以得到多个检测状态;以及根据多个检测状态判断探针组的下针位置。

附图说明

[0006] 图1为本发明一实施例的检测系统与半导体装置的示意图。

[0007] 图2为本发明一实施例的半导体装置与探针组的概要示意图。

[0008] 图3为第一测试垫与检测方位的一实施例的概要示意图。

[0009] 图4为本发明一实施例的半导体装置的概要示意图。

[0010] 图5为本发明一实施例的半导体装置的概要示意图。

- [0011] 图6为本发明一实施例的第一测试垫的概要示意图。
- [0012] 图7为本发明一实施例的针痕偏移检测方法的流程图。
- [0013] 图8为一范例的多个第二探针的检测状态和判断结果之间的概要关系示意图。
- [0014] 附图标号
- [0015] 100: 半导体装置
- [0016] 110: 第一测试垫
- [0017] 111: 中央部
- [0018] 1121 ~ 1128: 周边部
- [0019] 121 ~ 128: 第二测试垫
- [0020] 131 ~ 137: 第一连接走线
- [0021] 141: 第二连接走线
- [0022] 200: 检测系统
- [0023] 210: 探针组
- [0024] 211: 第一探针
- [0025] 2121 ~ 2127: 第二探针
- [0026] A1 ~ A8: 第一配置段
- [0027] D1: 设置方向
- [0028] V1 ~ V8: 检测方位
- [0029] S10 ~ S40: 步骤

具体实施方式

[0030] 为使本发明的实施例的上述目的、特征和优点能更明显易懂,下文配合所附附图,作详细说明如下。

[0031] 请参阅图1与图2,半导体装置100包含测试垫组。测试垫组可包含多个测试垫,且多个测试垫可分成第一测试垫110与多个第二测试垫。以下,以八个测试垫为例来进行说明,其中一个测试垫可为第一测试垫110,且七个测试垫为第二测试垫121 ~ 127。但测试垫的数量并非以此为限。在一实施例中,第二测试垫121 ~ 127所需的数量可视第一测试垫110的周边部的数量而定。而在另一实施例中,第二测试垫121 ~ 127的数量亦可多于第一测试垫110的周边部的数量。在一些实施例中,半导体装置100可为包含了多个集成电路芯片的晶圆,且第一测试垫110与多个第二测试垫121 ~ 127可设置于晶圆的切割道中,但本发明并非以此为限。

[0032] 检测系统200可用以对半导体装置100执行电性检测,例如执行晶圆接受度测试(Wafer Acceptable Test, WAT)。检测系统200可包含探针组210,并且检测系统200可通过探针组210接触于半导体装置100以执行电性检测。在一实施例中,探针组210包含第一探针211与多个第二探针。以下,对应于第二测试垫121 ~ 127的数量,同样以七个第二探针2121 ~ 2127为例来进行说明,但其数量亦非以此为限。

[0033] 第一探针211用以接触第一测试垫110,且各第二探针2121 ~ 2127用以接触第二测试垫121 ~ 127中的一者。此外,探针组210的第一探针211与第二探针2121 ~ 2127是一起移动的,以使得第一探针211接触于第一测试垫110时,第二探针2121 ~ 2127亦会接触于第二

测试垫121~127。于此,检测系统200可以探针组210垂直下移或以半导体装置100垂直上升的方式,来使得探针组210接触于半导体装置100。

[0034] 值得注意的是,为了清楚阐述本发明,图1与图2仅显示出与本发明相关的元件。应理解检测系统200和半导体装置100亦可能包含其他元件,用以提供特定的功能。

[0035] 第一测试垫110包含中央部111与多个周边部1121~1127。以下,主要以七个周边部1121~1127为例来进行说明。以俯视来观看第一测试垫110的接触面时,中央部111大致上位于接触面的中央处,并且中央部111具有一定的面积,以使得第一探针211于戳在中央部111的中央处时,第一探针211的针痕可涵盖于中央部111之中。在一些实施例中,当第一探针211的针尖约为15微米(μm)时,第一探针211的针痕可能大约介于15微米至20微米之间,则中央部111的长和/或宽可分别介于20微米至30微米之间,但本发明并仅限于此。

[0036] 多个周边部1121~1127邻近于中央部111的边缘设置,以共同将中央部111包围。于此,多个周边部1121~1127彼此互相间隔以不直接接触,且彼此电性独立。此外,各个周边部1121~1127亦与中央部111间隔而不直接接触于中央部111。

[0037] 请参阅图2与图3,第一测试垫110可具有多个不同的检测方位。在一些实施例中,检测方位的数量可对应于第一测试垫110的中央部111的边数而定。举例而言,在一实施例中,第一测试垫110的中央部111可呈矩形而具有四个边,且第一测试垫110可具有四个检测方位V1~V4分别大致上对应于中央部111的四个边的所在方位。在另一实施例中,第一测试垫110的中央部111亦可呈八边形,且第一测试垫110可具有八个检测方位V1~V8分别大致上对应于中央部111的八个边的所在方位,如图3所示。但本发明并非以此为限,检测方位的数量亦可不对应于第一测试垫110的中央部111的边数。此外,中央部111的形状亦非仅限于此,中央部111可呈现为任何合适的形状。

[0038] 以下,以八个检测方位V1~V8为例来进行说明。于此,检测方位V1~V8是平行于接触面上的水平方位。此外,第一测试垫110在各个检测方位V1~V8上,至少设置有一个周边部,以使得检测系统200在后述的检测中可根据接收到信号的周边部是位在哪一个方位来判断探针组210下针位置。

[0039] 第二测试垫121~127邻近于第一测试垫110设置。此外,半导体装置100可还包含多个第一连接走线。以下,对应于第二测试垫121~127的数量,同样以七个第一连接走线131~137为例来进行说明。各第二测试垫121~127可分别通过相应的第一连接走线131~137间接连接至周边部1121~1127中的一者,进而使得各第二测试垫121~127可电连接至相应的周边部1121~1127,如图2所示。

[0040] 在一些实施例中,第一测试垫110的大小(即中央部111与周边部1121~1127的整个最外围的范围,亦即接触面的所占范围)可大致上相等于各第二测试垫121~127的接触面的所占范围,但本发明并非以此为限。

[0041] 检测系统200可通过第一探针211输出测试信号,并通过第二探针2121~2127检测是否可接收到测试信号,进而可根据多个第二探针2121~2127的多个检测状态判断探针组210的下针位置。因此,在探针组210接触于半导体装置100时,倘若探针组210因滑移而使得第一探针211并未完全戳在第一测试垫110的中央部111时,例如第一探针211的针尖接触到至少一个周边部时,检测系统200将通过相应的至少一个第二探针接收到测试信号,进而可据此判断出探针组210的下针位置出现偏移。反之,倘若第一探针211完全戳在第一测试

垫110的中央部111时,检测系统200可因第二探针2121~2127皆未接收到测试信号而判断出探针组210并未偏移。

[0042] 请参阅图4至图6,在一些实施例中,半导体装置100可还包含第二连接走线141。第二连接走线141连接于第一测试垫110的中央部111和多个周边部1121~1127中的一者之间,以使得中央部111可通过第二连接走线141电连接至相应的周边部。举例而言,如图4所示,第二连接走线141可连接于周边部1124和中央部111之间。如此一来,在探针组210接触于半导体装置100时,倘若第一探针211完全戳在第一测试垫110的中央部111时,检测系统200将仅会在第二探针2112上接收到测试信号,藉此可更加确定出探针组210确实并未偏移,而并非是探针组210完全没有接触到第一测试垫110以及第二测试垫121~127。以下,主要以设置有第二连接走线141的第一连接垫110来进行说明。

[0043] 在一些实施例中,第一测试垫110(即中央部111与周边部1121~1127)、第二测试垫121~127、第一连接走线131~137与第二连接走线141可通过同一金属层(例如M0层、TV层等)利用晶圆制造程序,例如黄光、蚀刻等工艺一起制作而成,因此本发明任一实施例的半导体装置100相较于传统于制作上显得更加简单与方便。

[0044] 半导体装置100的第一测试垫110以及第二测试垫121~127可沿着同一个设置方向D1间隔设置而大致上排列于同一直线方向上。在一些实施例中,第一测试垫110可位于第二测试垫121~127间,以利于周边部的设置及/或节省连接至周边部的连接走线的面积。举例而言,第一测试垫110可大致上位于此些第二测试垫121~127的中间。但本发明并非以此为限,在另一些实施例中,第一测试垫110与第二测试垫121~127亦可任意排序,只要第一连接走线131~137可连接到第一测试垫110的周边部1121~1127以及第二测试垫121~127即可。此外,探针组210的第一探针211与第二探针2121~2127亦可沿着设置方向D1间隔设置而大致上排列于同一直线上。

[0045] 在一些实施例中,第一测试垫110的各周边部1121~1127可沿着中央部111的边缘延伸以涵盖至少两个检测方位。举例而言,如图4所示,周边部1121可涵盖检测方位V1、V2,周边部1122可涵盖检测方位V2、V3,依此类推。

[0046] 在另一些实施例中,如图5所示,第一测试垫110的各周边部还可以依序涵盖的方式涵盖至少两个检测方位。于此,第一测试垫110可配置出八个周边部1121~1128,并且半导体装置100亦可对应配置出八个第二测试垫121~128。如图中所示,周边部1121可涵盖检测方位V1、V2,周边部1122可涵盖检测方位V2、V3,并且依此顺序类推,周边部1128可涵盖检测方位V8、V1。

[0047] 在周边部1121~1128依序涵盖三个检测方位的另一实施例中,如图6所示,周边部1121可涵盖检测方位V8、V1、V2,周边部1122可涵盖检测方位V1~V3,依此类推。

[0048] 需注意的是,无论各周边部1121~1128依序涵盖到两个或三个检测方位,甚至是依序涵盖到八个检测方位时,第一测试垫110依旧只需要分割出八个周边部1121~1128,且半导体装置100仍然仅需要配置八个第二测试垫121~128。因此可大幅降低进行偏移检测时所需的配置面积。

[0049] 在一些实施例中,请参阅图6,涵盖至少两个检测方位的各个周边部1121~1128可包含第一配置段。周边部1121~1128的第一配置段A1~A8分别设置在检测方位V1~V8中的一者上,且各第一配置段A1~A8与中央部111之间不具有另一个周边部。如此一来,周边部

1121 ~ 1128可以交错环绕的方式将中央部111包围起来。

[0050] 在一些实施例中,第一测试垫110的多个检测方位V1 ~ V8可分成高机率检测方位以及低机率检测方位。其中,高机率检测方位是指探针组210滑移时较常偏移的方位。并且,第一测试垫110在高机率检测方位上可配置有至少两个周边部,以使得检测系统200可更细分出探针组210于高机率检测方位上的偏移程度。

[0051] 请参阅图3,举例而言,由于探针组210在下针时较少往下方向(如图3中的检测方位V5)偏移,因此,在一些实施例中,检测方位V4、V5上可分别仅设置一个周边部1123、1124,而在其他检测方位上则均设置二个周边部。

[0052] 检测系统200可执行本发明任一实施例的针痕偏移检测方法,以即时监控探针组210于半导体装置100上的下针位置。

[0053] 图7为本发明一实施例的针痕偏移检测方法的流程图。请参阅图7,在针痕偏移检测方法的一实施例中,检测系统200可先利用探针组210接触于半导体装置100的第一测试垫110与第二测试垫121~127(步骤S10)。接续,检测系统200再通过探针组210中的第一探针211输出测试信号(步骤S20),并且利用探针组210中的第二探针2121~2127进行检测以得到第二探针2121~2127的多个检测状态(步骤S30)。之后,检测系统200便可根据步骤S30中所得到的多个检测状态快速判断出探针组210的下针位置(步骤S40)。其中,下针位置包含下针方向(又可称为偏移方向)及/或偏移量。

[0054] 在步骤S40的一实施例中,检测系统200可根据表示为接收到测试信号的至少一个检测状态来决定出探针组210的下针位置。

[0055] 以下,以数个范例来说明检测系统200是如何进行判断。在一范例中,当第一探针211接触到图4中所示的中央部111以及周边部1121时,接触于第二测试垫122的第二探针2122以及接触于第二测试垫125的第二探针2125将接收到测试信号。因此,检测系统200可判断出探针组210往检测方位V1偏移。并且,由于接触于第二测试垫126的第二探针2126并未接收到测试信号,表示探针组210虽往检测方位V1偏移但尚未超出第一测试垫110的接触面,因此检测系统200可据此判断出探针组210只是些微往检测方位V1偏移。此外,检测系统200甚至可根据已知的间距(例如此处是指周边部1121和中央部111之间的距离)和周边部1121的宽度等推算出探针组210的偏移量,并对应地进行修正。例如,将探针组210往相反于检测方位V1的检测方位V5移动推算出的偏移量。

[0056] 在一范例中,当第一探针211接触到图4中所示的中央部111、周边部1121以及周边部1127时,接触于第二测试垫122的第二探针2122、接触于第二测试垫125的第二探针2125以及接触于第二测试垫126的第二探针2126将接收到测试信号。因此,检测系统200可判断出探针组210往检测方位V1偏移。并且,由于耦接于位在检测方位V1上的周边部1121、1127的第二探针2125、2126以及耦接于中央部111的第二探针2122皆可接收到测试信号,表示探针组210往检测方位V1偏移至测试垫(即第一测试垫110与第二测试垫121~127)的边缘,因此检测系统200可据此判断出探针组210往检测方位V1偏移至测试垫的边缘。同样地,检测系统200可根据已知的间距(例如此处是指周边部1121和中央部111之间的距离以及周边部1121和周边部1127之间的距离)和周边部1121、周边部1127的宽度等推算出探针组210的偏移量,并对应地进行修正。

[0057] 在一范例中,当第一探针211接触到图4中所示的周边部1121以及周边部1127时,

接触于第二测试垫125的第二探针2125以及接触于第二测试垫126的第二探针2126将接收到测试信号。因此,检测系统200可判断出探针组210往检测方位V1偏移。并且,由于耦接于中央部111的第二探针2122并未接收到测试信号,表示探针组210往检测方位V1严重偏移(又或者当仅有耦接于第二测试垫126的第二探针2126测试信号时亦代表探针组210往检测方位V1严重偏移),因此检测系统200可据此判断出探针组210往检测方位V1偏移并且快整个戳出测试垫之外。同样地,检测系统200可推算出探针组210的偏移量,并对应地进行修正。

[0058] 由于检测系统200于其他检测方位V2~V8上的偏移的判断方式大致上和于检测方位V1上的偏移的判断方式相同,本领域相关技术人员应能理解并知晓如何进行相应变化,故于此不再赘述。

[0059] 图8为一范例的多个第二探针的检测状态和判断结果之间的概要关系示意图。请参阅图2与图8,检测系统200于检测图2中所示的一实施例的半导体装置100后,可能得到的多个检测状态及其相应的判断结果的一范例可如图8的关系图所示。其中,符号◎表示此第二探针的检测状态为有接收到测试信号。

[0060] 综上所述,本发明的实施例提供一种半导体装置及针痕偏移检测方法,其第一测试垫所分割出的中央部以及交错环绕于中央部的多个周边部,使得于检测时得以利用第一探针输出测试信号并根据多个第二探针的多个检测状态的组合结果来快速检测出探针组的下针位置。再者此外,本发明的一实施例的半导体装置及针痕偏移检测方法可于线上即时监测,故可更确保量测品质并降低重测率。此外,本发明的一实施例的半导体装置及针痕偏移检测方法可大幅减少所需拉线的第二测试垫的数目及占用面积,并同时简化了工艺复杂度。

[0061] 本发明的实施例揭露如上,然其并非用以限定本发明的范围,任何所属技术领域中具有通常知识者,在不脱离本发明实施例的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围当视权利要求书所界定者为准。

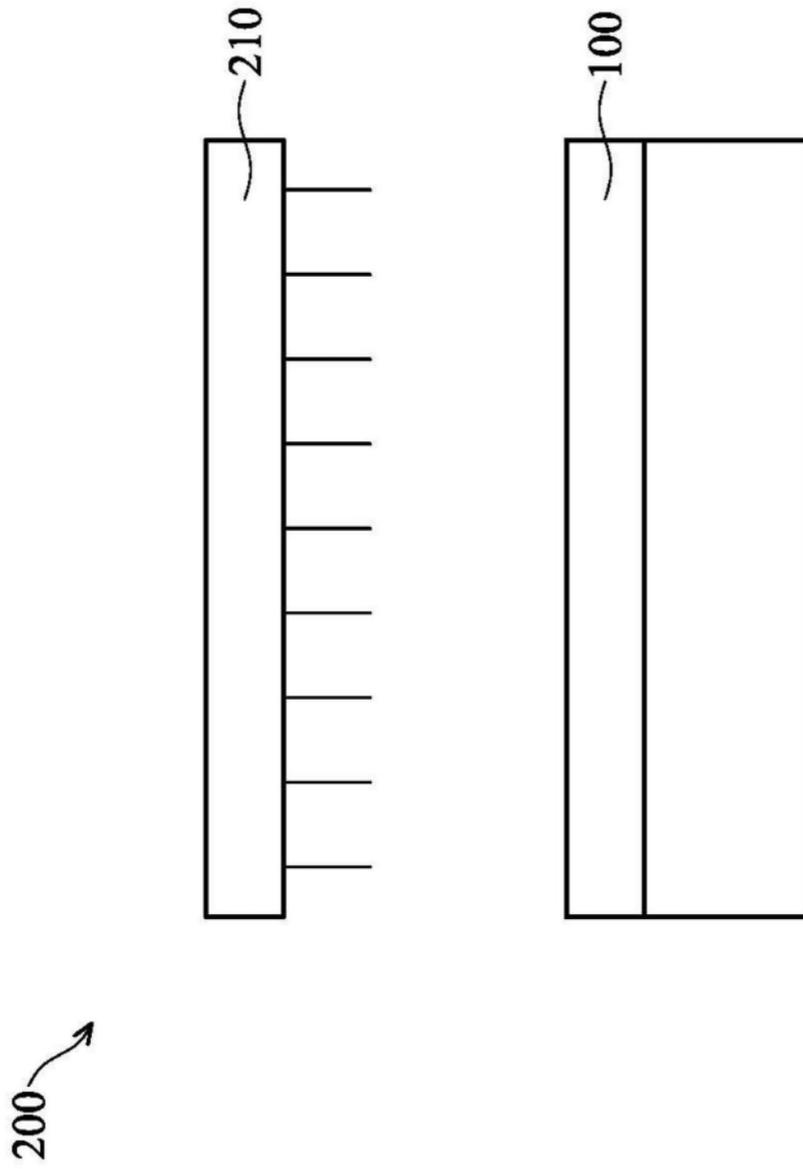


图1

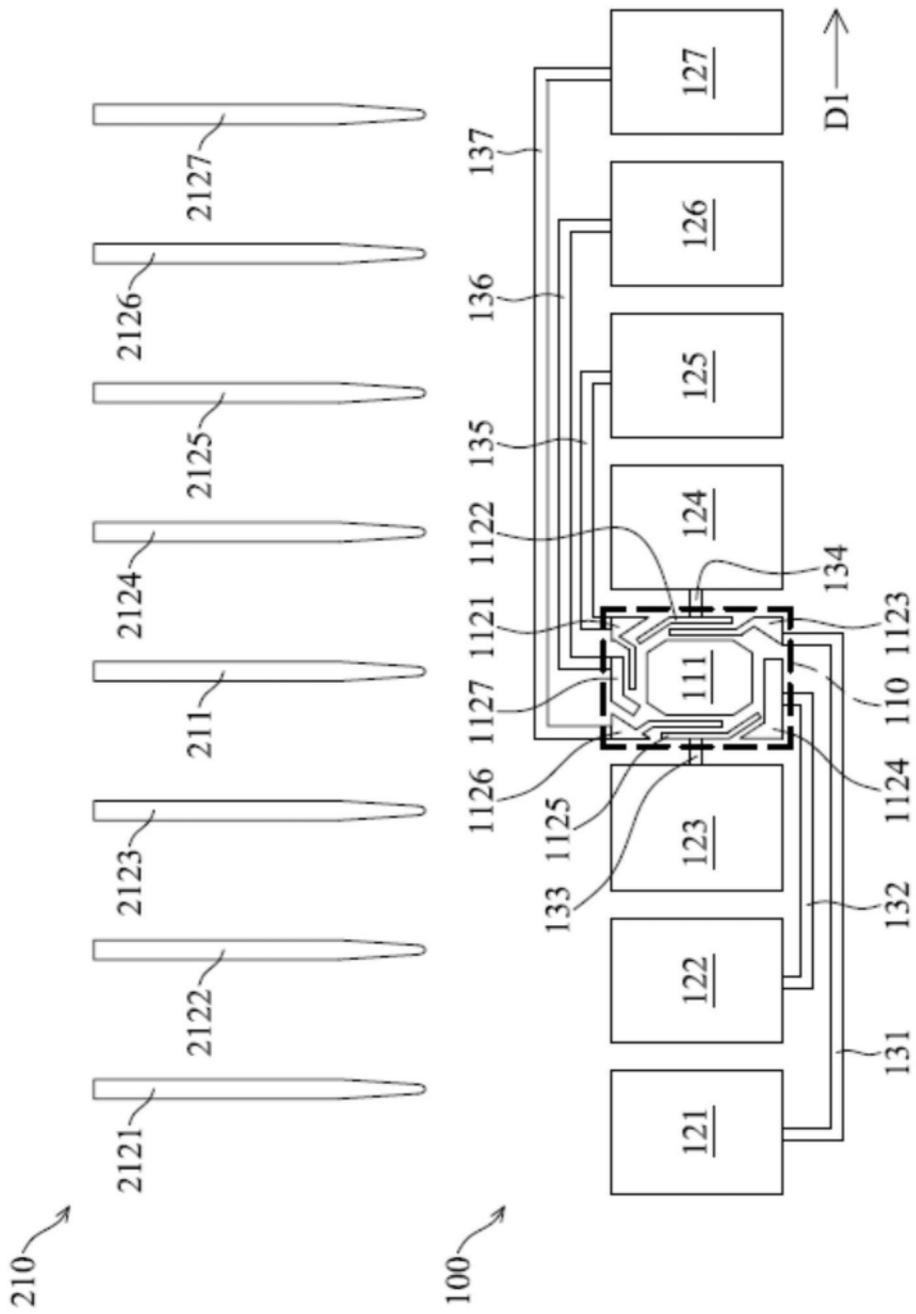


图2

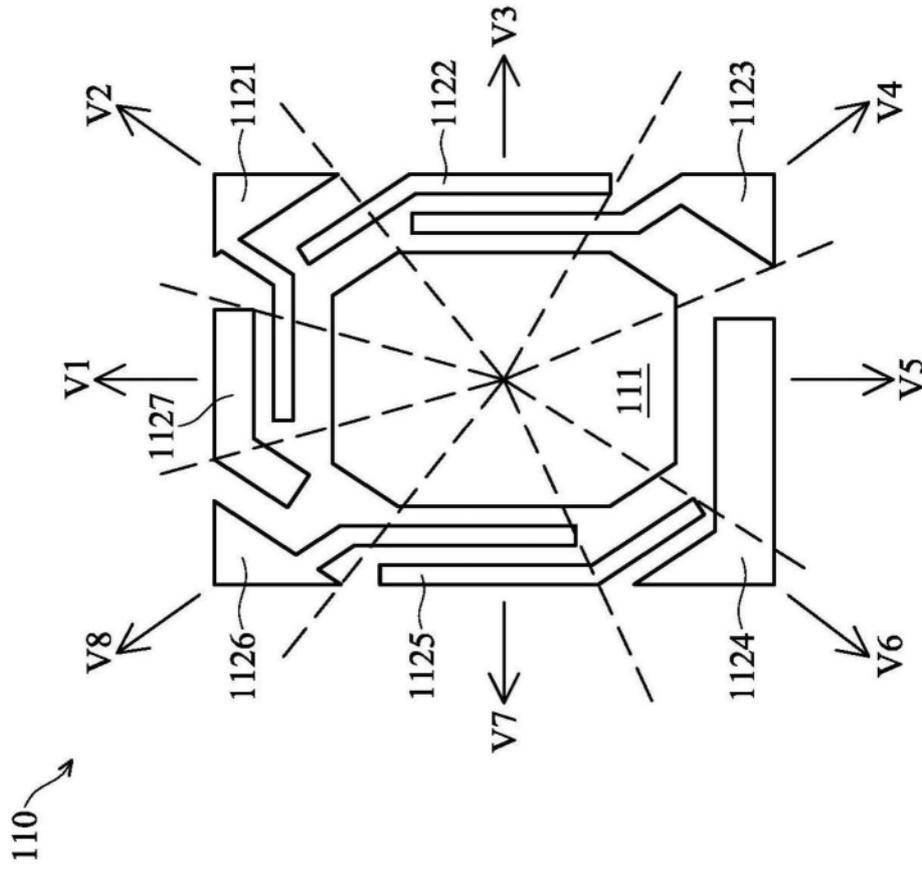


图3

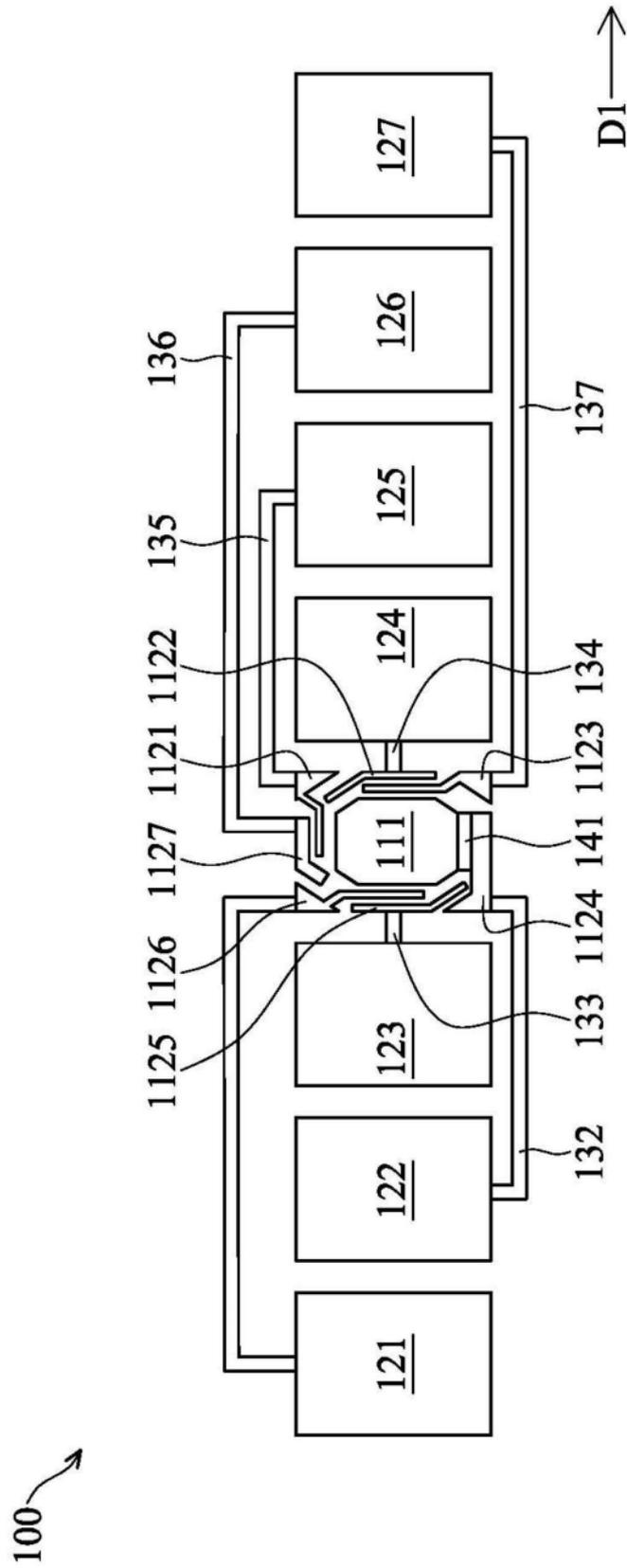


图4

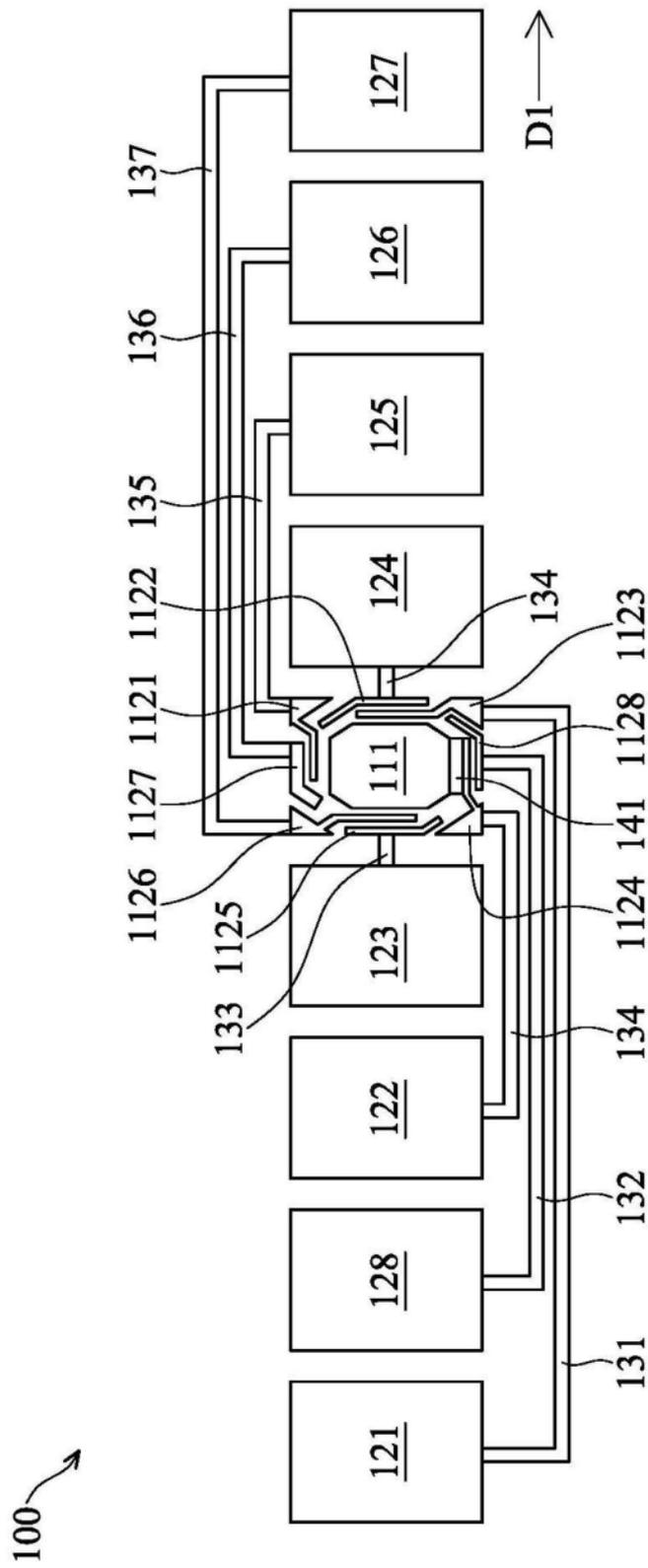


图5

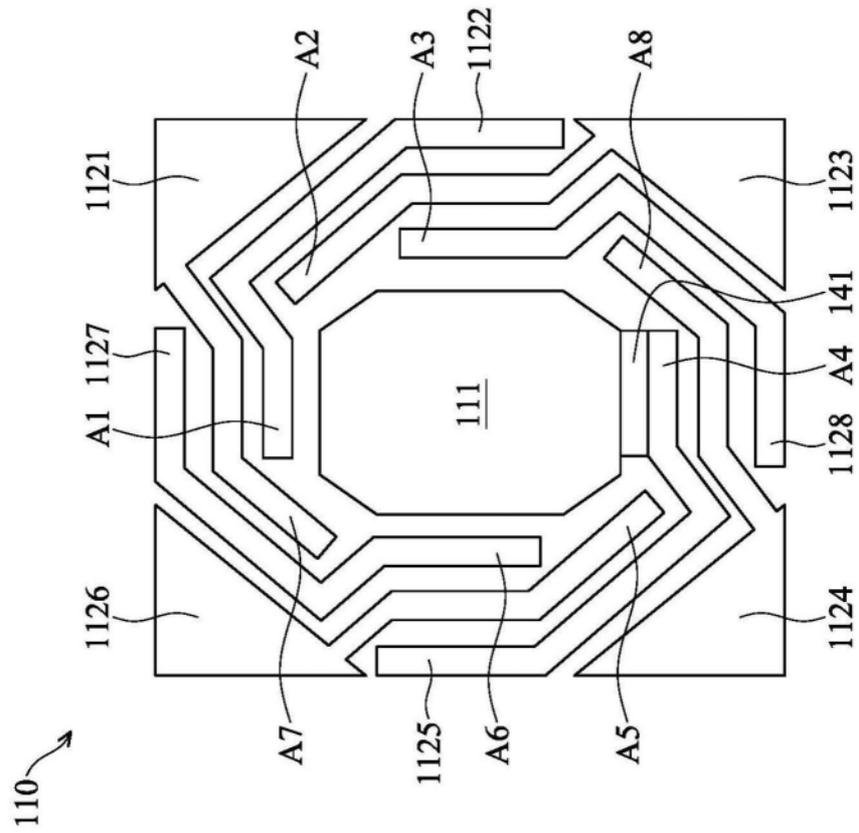


图6

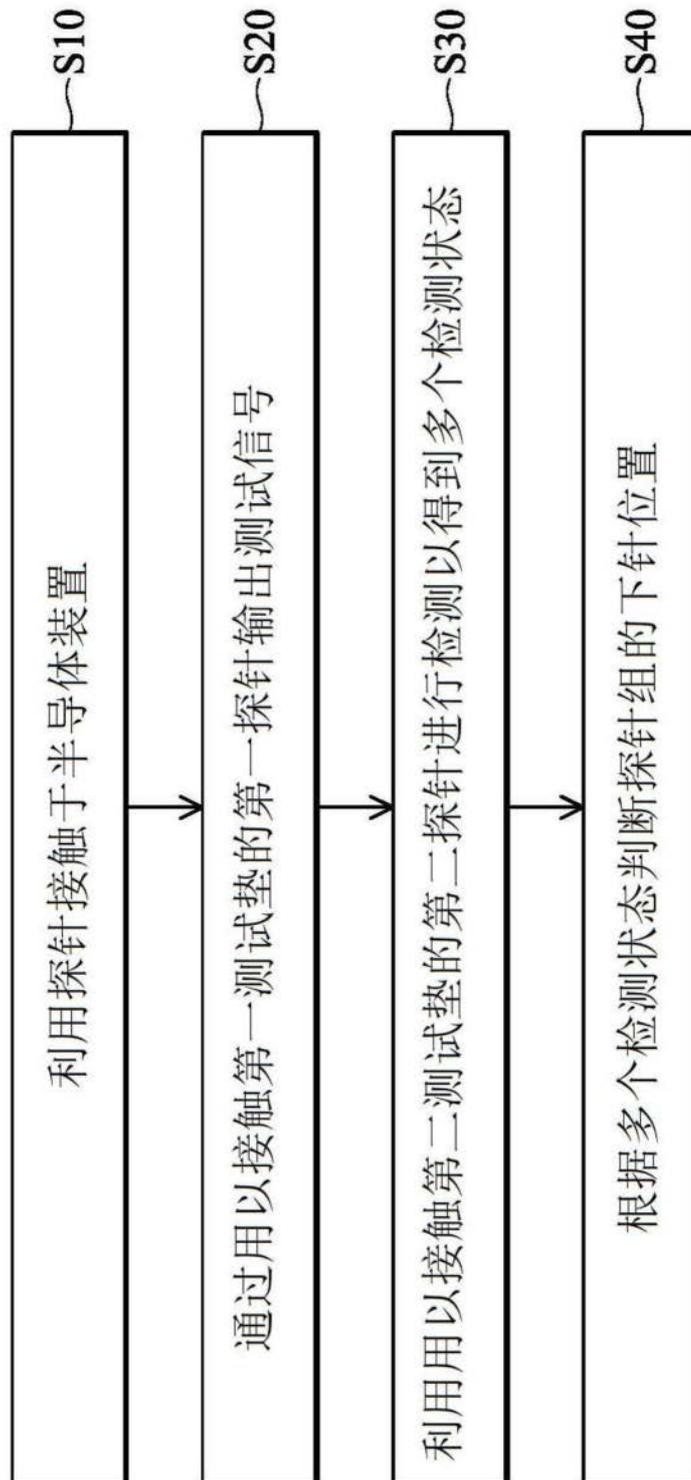


图7

