

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4486335号
(P4486335)

(45) 発行日 平成22年6月23日(2010.6.23)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 612F
	G09G 3/20 612T
	G09G 3/20 621F
	請求項の数 10 (全 25 頁) 最終頁に続く

(21) 出願番号	特願2003-341434 (P2003-341434)	(73) 特許権者	000001443
(22) 出願日	平成15年9月30日 (2003.9.30)		カシオ計算機株式会社
(65) 公開番号	特開2005-107233 (P2005-107233A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成17年4月21日 (2005.4.21)	(72) 発明者	白崎 友之
審査請求日	平成16年10月1日 (2004.10.1)		東京都八王子市石川町2951番地5
審判番号	不服2007-17101 (P2007-17101/J1)		カシオ計算機株式会社 八王子研究所内
審判請求日	平成19年6月20日 (2007.6.20)		
		合議体	
		審判長	江塚 政弘
		審判官	濱本 禎広
		審判官	小松 徹三
			最終頁に続く

(54) 【発明の名称】 表示装置及び表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光期間に一括して発光する複数の発光素子と、

非発光期間及び前記発光期間を一単位として繰り返される一走査期間の前記発光期間前の前記非発光期間中の各選択期間時に前記複数の走査線をそれぞれ順次選択するとともに、前記非発光期間中における選択期間と選択期間との間のリセット期間、並びに前記発光期間に前記複数の走査線の選択状態を停止する選択走査ドライバと、

前記選択走査ドライバによって前記複数の走査線が各々選択されている選択期間時に、映像信号に従った大きさの指定電流を前記複数の信号線に流し、前記リセット期間及び前記発光期間に前記指定電流を流すことを停止するデータドライバと、

前記選択走査ドライバが前記複数の走査線を順次選択している選択期間時に、指定電流用基準電圧を複数の信号供給線に印加し、前記非発光期間に全ての前記複数の走査線の選択を終了した後の前記発光期間に、駆動電流用基準電圧を前記複数の信号供給線に印加する電圧供給ドライバと、

前記複数の発光素子の各々の周囲に設けられ、前記選択走査ドライバによって前記走査線が選択されている選択期間時に前記電圧供給ドライバが前記信号供給線に指定電流用基準電圧を印加するとともに前記データドライバが指定電流を流すことにより前記信号供給線から前記信号線に流れる指定電流の大きさを電圧のレベルに変換し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後の前記発光期間に前記電圧供給

10

20

ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記変換された電圧のレベルに従った大きさの駆動電流を前記発光素子に流す複数の画素回路と、

前記リセット期間直前の選択期間に前記データドライバから流れる指定電流により前記信号線の寄生容量にチャージされた電荷を当該リセット期間にリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換える切換回路と、

を備え、前記発光期間に常に前記リセット電圧を前記信号線に出力することを特徴とする表示装置。

【請求項 2】

前記発光期間に前記電圧供給ドライバが駆動電流用基準電圧を前記複数の信号供給線に印加した後の次の一走査期間の前記非発光期間に、前記選択走査ドライバが再び前記複数の走査線を順次選択するとともに前記電圧供給ドライバが再び指定電流用基準電圧を前記複数の信号供給線に印加することを特徴とする請求項 1 に記載の表示装置。

10

【請求項 3】

前記複数の画素回路は各々、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している前記非発光期間中であって、前記選択走査ドライバによって前記走査線が選択されている選択期間時に前記信号線に流れる指定電流を自身に流すことでその指定電流の大きさを電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している前記非発光期間中であって、前記選択走査ドライバによって前記走査線が選択されていない期間時に前記信号線に流れる指定電流を遮断するとともに前記変換された電圧のレベルを保持し、

20

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後の前記発光期間に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記保持された電圧のレベルに従った駆動電流を前記発光素子に流すことを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記発光素子が有機エレクトロルミネッセンス素子であり、前記有機エレクトロルミネッセンス素子のアノードが前記画素回路に接続され、前記有機エレクトロルミネッセンス素子のカソードに基準電圧が印加されていることを特徴とする請求項 1 から 3 の何れか一項に記載の表示装置。

30

【請求項 5】

前記複数の画素回路は各々、

ゲートが前記走査線に接続され、ドレインとソースのうち的一方が前記信号線に接続された第一トランジスタと、

ゲートが前記走査線に接続され、ドレインとソースのうち的一方が前記信号供給線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうち他方に接続され、ドレインとソースのうち一方が前記第二トランジスタのドレインとソースのうち一方に接続され、ドレインとソースのうち他方が前記第一トランジスタのドレインとソースのうち他方に接続され且つ前記有機エレクトロルミネッセンス素子のアノードに接続された第三トランジスタと、を有することを特徴とする請求項 4 に記載の表示装置。

40

【請求項 6】

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバが前記走査線を選択して前記第一トランジスタをオンしている選択期間時に、前記第一トランジスタが前記電圧供給ドライバから前記第三トランジスタのドレイン - ソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲート - ソース間電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバが前記走査線を選択していないで前記第一トランジスタをオフ

50

している時に、前記第二トランジスタがオフして前記第三トランジスタによって変換されたゲート - ソース間電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記複数の信号供給線に駆動電流用基準電圧を印加している時に、前記第三トランジスタが前記保持した電圧のレベルに従った大きさの駆動電流を前記信号供給線から前記有機エレクトロルミネッセンス素子へ流すことを特徴とする請求項5に記載の表示装置。

【請求項7】

前記電圧供給ドライバによって前記複数の信号供給線に印加される指定電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧以下に設定されており、前記電圧供給ドライバによって前記複数の信号供給線に印加される駆動電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧を越えるように設定されていることを特徴とする請求項4から6の何れか一項に記載の表示装置。

【請求項8】

非発光期間及び発光期間を一単位として繰り返される一走査期間の前記非発光期間中の各選択期間にそれぞれ選択される第一行目の走査線と第二行目の走査線を有する走査線群と、

前記第一行目の走査線に接続され、前記非発光期間後の前記発光期間に流れる駆動電流の電流値に従って発光する第一光学要素と、前記第二行目の走査線に接続され、前記第一光学要素と同期して前記発光期間に流れる駆動電流の電流値に従って発光する第二光学要素と、を有する光学要素群と、

前記第一光学要素に接続され、前記第一行目の走査線の選択期間に流れる指定電流の電流値と等しい駆動電流を前記発光期間に流す第一画素回路と、前記第二光学要素に接続され、前記第二行目の走査線の選択期間に流れる指定電流の電流値と等しい駆動電流を前記第一光学要素と同期して前記発光期間に流す第二画素回路と、を有する画素回路群と、

前記画素回路群に接続される信号線と、

前記走査線群の各選択期間にそれぞれ指定電流用基準電圧を印加し、前記第一行目の走査線の選択期間後の前記第二行目の走査線の選択期間の後に、前記第一行目及び前記第二行目の画素回路群に前記駆動電流を流すための駆動電流用基準電圧を同期して印加する電圧供給ドライバと、

前記第一行目の走査線の選択期間と前記第二行目の走査線の選択期間との間のリセット期間に、データドライバから指定電流により前記信号線の寄生容量にチャージされた電荷をリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換える切換回路と、

を備え、前記発光期間に常に前記リセット電圧を前記信号線に出力することを特徴とする表示装置。

【請求項9】

前記指定電流用基準電圧は、前記駆動電流用基準電圧より低いことを特徴とする請求項8に記載の表示装置。

【請求項10】

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、前記複数の発光素子の各々の周囲に設けられた画素回路と、選択走査ドライバと、データドライバと、電圧供給ドライバと、を備える表示パネルを駆動する方法であって、

非発光期間及び発光期間を一単位として繰り返される一走査期間の前記非発光期間時に前記電圧供給ドライバが指定電流用基準電圧を複数の信号供給線に印加するとともに、前記選択走査ドライバが前記非発光期間の各選択期間に前記複数の走査線をそれぞれ順次選択し、

前記複数の走査線を各々選択している選択期間時に、前記データドライバが映像信号に従った大きさの指定電流を前記複数の信号線に流して前記信号供給線から前記信号線に流

10

20

30

40

50

れる指定電流の大きさを前記画素回路によって電圧のレベルに変換し、

前記複数の走査線を全て選択することを終了した後の前記発光期間に前記信号供給線に駆動電流用基準電圧を印加することにより、前記変換された電圧のレベルに従った駆動電流を前記画素回路によって前記発光素子に流し、

前記非発光期間中における選択期間と選択期間の間のリセット期間に、前記リセット期間直前の選択期間に前記データドライバから流れる指定電流により前記信号線の寄生容量にチャージされた電荷をリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換え、前記発光期間に常に前記リセット電圧を前記信号線に出力することを特徴とする表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、流れる電流の大きさが定まると一義的に輝度が定まる発光素子を画素ごとに備える表示パネルを駆動する表示パネルの駆動方法、及び、前記表示パネルとデータドライバと走査ドライバとを具備し、前記データドライバ及び前記走査ドライバで前記表示パネルを駆動する表示装置に関する。

【背景技術】

【0002】

一般に、液晶ディスプレイにはアクティブマトリクス駆動方式のものと、単純マトリクス駆動方式のものがある。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、単純マトリクス駆動方式の液晶ディスプレイに比較しても高輝度、高コントラスト及び高精細な画面表示が行われる。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、キャパシタとしても機能する液晶素子と、スイッチング素子として機能するトランジスタとが、画素ごとに設けられている。アクティブマトリクス駆動方式では、シフトレジスタである走査ドライバによって走査線が選択されている時に、輝度を表すレベルの電圧がデータドライバによって信号線に印加されると、トランジスタを介して液晶素子に電圧が印加される。走査線の選択が終了してから次にその走査線が選択されるまでの間においてトランジスタがオフになっても、液晶素子がキャパシタとして機能するため、走査線の選択が終了してから次にその走査線が選択されるまでの間、電圧レベルが保持される。以上のように、走査線が選択されている時において液晶素子の光透過率が新たにリフレッシュされて、バックライトの光がリフレッシュされた光透過率で液晶素子を透過することによって、液晶ディスプレイの階調表現が行われる。

【0003】

一方、自発光素子である有機EL (Electro Luminescence : エレクトロルミネッセンス) 素子を用いた有機エレクトロルミネッセンスディスプレイは、液晶ディスプレイのようにバックライトを必要とせず、薄型化に最適であるとともに、液晶ディスプレイのような視野角の制限もないため、次世代の表示装置として実用化が大きく期待されている。

【0004】

高輝度、高コントラスト、高精細といった観点から、有機エレクトロルミネッセンスディスプレイも、液晶ディスプレイと同様にアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイが開発されている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイにおいては、有機EL素子と、この有機EL素子に接続された電流制御用トランジスタと、この電流制御用トランジスタのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイでは、Y方向周辺駆動回路によって走査線が選択されている時に輝度を表すレベルの電圧がX方向周辺駆動回路によって信号線に印加されると、スイッチング用トランジスタがオンになり、信号線の電圧が電流制御用トランジスタのゲートに印加されることによって電流制御用トランジスタのゲートに輝度データとして書き込まれることになる。これにより、電流制御用トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から電流制御用トラ

10

20

30

40

50

ンジスタを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても電流制御用トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【特許文献1】特開平8-330600号公報(第4図)

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、一般的にトランジスタは、周囲の温度変化によってチャネル抵抗が変化したり、長時間の使用によりチャネル抵抗が変化したりするために、ゲート閾値電圧が経時変化したり、ゲート閾値電圧がトランジスタごとに異なる。従って、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイでは、電流制御用トランジスタのゲート電圧のレベルを変化させることによって有機EL素子に流れる電流の大きさを変化させること、換言すれば、電流制御用トランジスタのゲートに印加する電圧のレベルを変化させることによって有機EL素子の輝度を変化させることを行っても、電流制御用トランジスタのゲート電圧のレベルで有機EL素子に流れる電流の大きさを一義的に指定するのは困難である。つまり、画素の間で同じレベルのゲート電圧を電流制御用トランジスタに印加したものとしても、画素の間で有機EL素子の発光輝度が異なってしまい、表示面内でバラツキが生じてしまう。

【0006】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、高品質な表示を行うことができる表示装置及び表示パネルの駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、本発明の表示装置は、

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光期間に一括して発光する複数の発光素子と、

非発光期間及び前記発光期間を一単位として繰り返される一走査期間の前記発光期間前の前記非発光期間中の各選択期間時に前記複数の走査線をそれぞれ順次選択するとともに、前記非発光期間中における選択期間と選択期間との間のリセット期間、並びに前記発光期間に前記複数の走査線の選択状態を停止する選択走査ドライバと、

前記選択走査ドライバによって前記複数の走査線が各々選択されている選択期間時に、映像信号に従った大きさの指定電流を前記複数の信号線に流し、前記リセット期間及び前記発光期間に前記指定電流を流すことを停止するデータドライバと、

前記選択走査ドライバが前記複数の走査線を順次選択している選択期間時に、指定電流用基準電圧を複数の信号供給線に印加し、前記非発光期間に全ての前記複数の走査線の選択を終了した後の前記発光期間に、駆動電流用基準電圧を前記複数の信号供給線に印加する電圧供給ドライバと、

前記複数の発光素子の各々の周囲に設けられ、前記選択走査ドライバによって前記走査線が選択されている選択期間時に前記電圧供給ドライバが前記信号供給線に指定電流用基準電圧を印加するとともに前記データドライバが指定電流を流すことにより前記信号供給線から前記信号線に流れる指定電流の大きさを電圧のレベルに変換し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後の前記発光期間に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記変換された電圧のレベルに従った大きさの駆動電流を前記発光素子に流す複数の画素回路と、

前記リセット期間直前の選択期間に前記データドライバから流れる指定電流により前記信号線の寄生容量にチャージされた電荷を当該リセット期間にリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換える切換回路と、

を備え、前記発光期間に常に前記リセット電圧を前記信号線に出力する。

【 0 0 0 8 】

前記発光期間に前記電圧供給ドライバが駆動電流用基準電圧を前記複数の信号供給線に印加した後の次の一走査期間の前記非発光期間に、前記選択走査ドライバが再び前記複数の走査線を順次選択するとともに前記電圧供給ドライバが再び指定電流用基準電圧を前記複数の信号供給線に印加することが好ましい。

【 0 0 0 9 】

前記複数の画素回路は各々、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している前記非発光期間中であって、前記選択走査ドライバによって前記走査線が選択されている選択期間時に前記信号線に流れる指定電流を自身に流すことでその指定電流の大きさを電圧のレベルに変換し、

10

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している前記非発光期間中であって、前記選択走査ドライバによって前記走査線が選択されていない期間時に前記信号線に流れる指定電流を遮断するとともに前記変換された電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後の前記発光期間に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記保持された電圧のレベルに従った駆動電流を前記発光素子に流すことが好ましい。

【 0 0 1 0 】

前記発光素子が有機エレクトロルミネッセンス素子であり、前記有機エレクトロルミネッセンス素子のアノードが前記画素回路に接続され、前記有機エレクトロルミネッセンス素子のカソードに基準電圧が印加されていることが好ましい。

20

【 0 0 1 1 】

前記複数の画素回路は各々、

ゲートが前記走査線に接続され、ドレインとソースのうち的一方が前記信号線に接続された第一トランジスタと、

ゲートが前記走査線に接続され、ドレインとソースのうち的一方が前記信号供給線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうち他方に接続され、ドレインとソースのうち一方が前記第二トランジスタのドレインとソースのうち一方に接続され、ドレインとソースのうち他方が前記第一トランジスタのドレインとソースのうち他方に接続され且つ前記有機エレクトロルミネッセンス素子のアノードに接続された第三トランジスタと、を有することが好ましい。

30

【 0 0 1 2 】

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバが前記走査線を選択して前記第一トランジスタをオンしている選択期間時に、前記第一トランジスタが前記電圧供給ドライバから前記第三トランジスタのドレイン - ソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲート - ソース間電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバが前記走査線を選択していないで前記第一トランジスタをオフしている時に、前記第二トランジスタがオフして前記第三トランジスタによって変換されたゲート - ソース間電圧のレベルを保持し、

40

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記複数の信号供給線に駆動電流用基準電圧を印加している時に、前記第三トランジスタが前記保持した電圧のレベルに従った大きさの駆動電流を前記信号供給線から前記有機エレクトロルミネッセンス素子へ流すことが好ましい。

【 0 0 1 3 】

前記電圧供給ドライバによって前記複数の信号供給線に印加される指定電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧以下に設定されており、前記

50

電圧供給ドライバによって前記複数の信号供給線に印加される駆動電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧を越えるように設定されていることが好ましい。

【0014】

そして本発明の他の表示装置は、

非発光期間及び発光期間を一単位として繰り返される一走査期間の前記非発光期間中の各選択期間にそれぞれ選択される第一行目の走査線と第二行目の走査線を有する走査線群と、

前記第一行目の走査線に接続され、前記非発光期間後の前記発光期間に流れる駆動電流の電流値に従って発光する第一光学要素と、前記第二行目の走査線に接続され、前記第一光学要素と同期して前記発光期間に流れる駆動電流の電流値に従って発光する第二光学要素と、を有する光学要素群と、

10

前記第一光学要素に接続され、前記第一行目の走査線の選択期間に流れる指定電流の電流値と等しい駆動電流を前記発光期間に流す第一画素回路と、前記第二光学要素に接続され、前記第二行目の走査線の選択期間に流れる指定電流の電流値と等しい駆動電流を前記第一光学要素と同期して前記発光期間に流す第二画素回路と、を有する画素回路群と、

前記画素回路群に接続される信号線と、

前記走査線群の各選択期間にそれぞれ指定電流用基準電圧を印加し、前記第一行目の走査線の選択期間後の前記第二行目の走査線の選択期間の後に、前記第一行目及び前記第二行目の画素回路群に前記駆動電流を流すための駆動電流用基準電圧を同期して印加する電圧供給ドライバと、

20

前記第一行目の走査線の選択期間と前記第二行目の走査線の選択期間との間のリセット期間に、データドライバから指定電流により前記信号線の寄生容量にチャージされた電荷をリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換える切換回路と、

を備え、前記発光期間に常に前記リセット電圧を前記信号線に出力する。

【0015】

前記電源は、全ての前記画素回路に前記駆動電流用基準電圧を同期して出力することによって、選択期間及び発光期間で構成される一フレーム期間での駆動電流用基準電圧の印加回数を最小限としたので、指定電流用基準電圧と駆動電流用基準電圧との切替による消費電力を最小限とすることができる。

30

【0016】

前記指定電流用基準電圧は、前記駆動電流用基準電圧より低いことが好ましい。

【0017】

また、本発明の表示パネルの駆動方法は、

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、前記複数の発光素子の各々の周囲に設けられた画素回路と、選択走査ドライバと、データドライバと、電圧供給ドライバと、を備える表示パネルを駆動する方法であって、

非発光期間及び発光期間を一単位として繰り返される一走査期間の前記非発光期間時に前記電圧供給ドライバが指定電流用基準電圧を複数の信号供給線に印加するとともに、前記選択走査ドライバが前記非発光期間の各選択期間に前記複数の走査線をそれぞれ順次選択し、

40

前記複数の走査線を各々選択している選択期間時に、前記データドライバが映像信号に従った大きさの指定電流を前記複数の信号線に流して前記信号供給線から前記信号線に流れる指定電流の大きさを前記画素回路によって電圧のレベルに変換し、

前記複数の走査線を全て選択することを終了した後の前記発光期間に前記信号供給線に駆動電流用基準電圧を印加することにより、前記変換された電圧のレベルに従った駆動電流を前記画素回路によって前記発光素子に流し、

前記非発光期間中における選択期間と選択期間の間のリセット期間に、前記リセット期

50

間直前の選択期間に前記データドライバから流れる指定電流により前記信号線の寄生容量にチャージされた電荷をリセットするリセット電圧を前記信号線に出力するように、指定電流とリセット電圧とを切り換え、前記発光期間に常に前記リセット電圧を前記信号線に出力する。

【0018】

本発明では、複数の走査線が順次選択されていく時には、複数の信号供給線に指定電流用電圧が印加されている。或る走査線が選択されている時、信号供給線に指定電流用電圧が印加されているので、信号線に流れる指定電流が画素回路に流れ、その指定電流の大きさがその画素回路によって電圧のレベルに変換される。複数の走査線が順次選択されていくことによって各々の画素回路で指定電流の大きさを電圧のレベルに変換することが行順次に行われ、複数の走査線が順次選択されるのが終了すると、全ての画素回路において指定電流の大きさが電圧のレベルに変換される。複数の走査線が順次選択されるのが終了すると、複数の信号供給線に駆動電流用基準電圧が印加されているので、それぞれの画素回路は、変換した電圧のレベルに従った大きさの駆動電流を発光素子に流す。これにより、複数の走査線が順次選択されるのが終了すると全ての発光素子が発光するが、駆動電流の大きさは画素回路によって変換された電圧のレベルに従っており、その電圧のレベルは指定電流の大きさを変換したものであるから、発光素子は指定電流の大きさに依存した輝度で発光する。

【発明の効果】

【0019】

本発明によれば、複数の走査線が順次選択されるのが終了すると全ての発光素子が発光するが、発光素子は指定電流の大きさに依存した輝度で発光する。つまり、発光素子は指定電流の大きさに従った所望通りの輝度で発光するから、指定電流のレベルが画素の間で同じであれば、複数の発光素子の間で輝度のバラツキが生じず、高品質な画面表示を行うことができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0021】

図1は、本発明の有機エレクトロルミネッセンスディスプレイを適用した実施の形態における有機エレクトロルミネッセンスディスプレイ1を示した図面である。図1に示されるように、有機エレクトロルミネッセンスディスプレイ1は、基本構成として、選択走査線 $X_1 \sim X_m$ 、信号供給線 $Z_1 \sim Z_m$ 、信号線 $Y_1 \sim Y_n$ 及び画素 $P_{1,1} \sim P_{m,n}$ を備え付けた有機エレクトロルミネッセンス表示パネル2と、選択走査線 $X_1 \sim X_m$ を順次選択していく選択走査ドライバ5と、選択走査線 $X_1 \sim X_m$ が各々選択されている時に階調指定電流 I_{DATA} をそれぞれの信号線 $Y_1 \sim Y_n$ に流すデータドライバ3と、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択している時(後述する非発光期間 T_{NL})に選択走査線 $X_1 \sim X_m$ に階調指定電流用基準電圧 V_{LOW} を印加し、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択することを終了した後(後述する発光期間 T_L)に選択走査線 $X_1 \sim X_m$ に駆動電流用基準電圧 V_{HIGH} を印加する電圧供給ドライバ6と、信号線 $Y_1 \sim Y_n$ に対する出力を階調指定電流 I_{DATA} からリセット電圧 V_R に又はその逆に切り換える切換回路7と、データドライバ3、選択走査ドライバ5、電圧供給ドライバ6及び切換回路7を制御するコントローラ11と、を備える。

【0022】

有機エレクトロルミネッセンス表示パネル2は、映像が実質的に表示される表示部4が透明基板8に設けられた構造となっている。表示部4の周囲に選択走査ドライバ5、データドライバ3及び電圧供給ドライバ6が配設されている。選択走査ドライバ5及びデータドライバ3は、透明基板8上に設けられていても良いし、透明基板8の周辺に配された回

10

20

30

40

50

路基板上に設けられても良い。

【 0 0 2 3 】

表示部 4 においては、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ がマトリクス状となって透明基板 8 上に設けられており、縦方向つまり列方向に m 個の画素 $P_{i,j}$ が配列され、横方向つまり行方向に n 個の画素 $P_{i,j}$ が配列されている。ここで、 m, n は 2 以上の自然数であり、 i は 1 以上 m 以下の任意自然数であり、 j は 1 以上 n 以下の任意自然数である。従って、縦に i 番目（つまり、 i 行目）であって横に j 番目（つまり、 j 列目）である画素が画素 $P_{i,j}$ となる。

【 0 0 2 4 】

また、表示部 4 においては、行方向に延在する m 本の選択走査線 $X_1 \sim X_m$ が列方向に配列して透明基板 8 上に設けられている。行方向に延在する m 本の信号供給線 $Z_1 \sim Z_m$ が各選択走査線 $X_1 \sim X_m$ と対応するように列方向に配列して透明基板 8 上に設けられている。各信号供給線 Z_k ($1 \leq k \leq m-1$) は選択走査線 X_k と選択走査線 X_{k+1} との間に配置され、選択走査線 X_m は信号供給線 Z_{m-1} と信号供給線 Z_m との間に配置されている。また、列方向に延在する n 本の信号線 $Y_1 \sim Y_n$ が行方向に配列して透明基板 8 上に設けられている。これら選択走査線 $X_1 \sim X_m$ 、信号供給線 $Z_1 \sim Z_m$ 及び信号線 $Y_1 \sim Y_n$ は、介在する絶縁膜等によって互いに絶縁されている。選択走査線 X_i 及び信号供給線 Z_i には、行方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続されており、信号線 Y_j には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続されており、選択走査線 X_i と信号線 Y_j との交差部に画素 $P_{i,j}$ が配されている。選択走査線 $X_1 \sim X_m$ は選択走査ドライバ 5 のそれぞれの出力端子に接続されており、信号供給線 $Z_1 \sim Z_m$ は互いに導電して電圧供給ドライバ 6 の出力端子に接続されている。つまり、信号供給線 $Z_1 \sim Z_m$ には全て同じ信号が出力される。

【 0 0 2 5 】

なお、選択走査線 $X_1 \sim X_m$ が信号供給線 $Z_1 \sim Z_m$ と平行であり且つ信号線 $Y_1 \sim Y_n$ に対して略垂直である代わりに、選択走査線 $X_1 \sim X_m$ が複数の信号供給線に対しても信号線 $Y_1 \sim Y_n$ に対しても略垂直であっても良い。この場合、信号供給線の本数は n 本であり、信号線 $Y_1 \sim Y_n$ と複数の信号線が交互に配列され、選択走査線 X_i には、行方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続され、信号線 Y_j には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、任意の j 列の信号供給線には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、複数の信号供給線は互いに導電して電圧供給ドライバ 6 に接続されている。

【 0 0 2 6 】

次に、図 2 及び図 3 を用いて画素 $P_{1,1} \sim P_{m,n}$ について説明する。図 2 は画素 $P_{i,j}$ を示した平面図であり、図 3 は隣接する四つの画素 $P_{i,j}, P_{i+1,j}, P_{i,j+1}, P_{i+1,j+1}$ の等価回路図である。図 2 においては、より理解しやすいように、画素 $P_{i,j}$ 中の電極を主に示す。

【 0 0 2 7 】

画素 $P_{i,j}$ は、電流の大きさに従った輝度で発光する自発光素子としての有機エレクトロルミネッセンス (Electro Luminescence) 素子 $E_{i,j}$ と、有機 EL 素子 $E_{i,j}$ の周辺に設けられているとともに有機エレクトロルミネッセンス素子 $E_{i,j}$ を駆動する画素回路 $D_{i,j}$ と、から構成されている。なお、以下では、有機エレクトロルミネッセンス素子を有機 EL 素子と略称する。

【 0 0 2 8 】

有機 EL 素子 $E_{i,j}$ は、アノードとして機能する画素電極 5 1 と、電界により注入された正孔及び電子を輸送し、輸送した正孔と電子を再結合し、その再結合により生成された励起子を補足して発光する広義の発光層として機能する有機 EL 層 5 2 と、カソードとして機能する共通電極とをこの順に透明基板 8 上に積層した積層構造となっている。

【 0 0 2 9 】

画素電極 5 1 は、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ に囲まれる各囲繞領域に、画素 $P_{i,j}$ ごとに分割されるようにパターンニングされている。

10

20

30

40

50

【 0 0 3 0 】

画素電極 5 1 は、導電性を有しているとともに、可視光に対して透過性を有している。また、画素電極 5 1 は、比較的仕事関数の高いものであり、有機 E L 層 5 2 へ正孔を効率よく注入するものが好ましい。画素電極 5 1 としては、例えば、錫ドープ酸化インジウム (I T O)、亜鉛ドープ酸化インジウム、酸化インジウム ($I n_2 O_3$)、酸化スズ ($S n O_2$)、酸化亜鉛 ($Z n O$) 又はカドミウム - 錫酸化物 (C T O) を主成分としたものがある。

【 0 0 3 1 】

各々の画素電極 5 1 上に有機 E L 層 5 2 が成膜されている。有機 E L 層 5 2 も画素 $P_{i,1} \sim P_{m,n}$ ごとにパターンニングされている。有機 E L 層 5 2 には、有機化合物である発光材料 (蛍光体) が含有されているが、発光材料は高分子系材料であっても良いし、低分子系材料であっても良い。また、有機 E L 層 5 2 は、画素電極 5 1 から順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子である P E D O T (ポリチオフェン) 及びドーパントである P S S (ポリスチレンスルホン酸) からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。なお、有機 E L 層 5 2 は、二層構造の他に、画素電極 5 1 から順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【 0 0 3 2 】

この有機エレクトロルミネッセンス表示パネル 2 は、フルカラー表示又はマルチカラー表示が可能であり、この場合、各画素 $P_{i,1} \sim P_{i,n}$ の有機 E L 層 5 2 はそれぞれ、例えば赤色、緑色、青色の何れかに発光する機能を有する広義の発光層である。つまり、各画素 $P_{i,1} \sim P_{i,n}$ の有機 E L 層 5 2 が選択的に赤、緑、青に発光することにより、これらの色が適宜合成された色調で表示することができる。

【 0 0 3 3 】

また、有機 E L 層 5 2 は、電子的に中立な有機化合物であることが望ましく、これにより正孔及び電子が有機 E L 層 5 2 でバランス良く注入され、輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されていても良いし、電子輸送性の物質及び正孔輸送性の物質が狭義の発光層に適宜混合されていても良い。また、電子輸送層又は正孔輸送層である電荷輸送層を、電子と正孔を再結合する再結合領域として機能させ、この電荷輸送層に蛍光体を混在させることによって発光させても良い。

【 0 0 3 4 】

有機 E L 層 5 2 上に形成されている共通電極は、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通して形成された一枚の電極である。なお、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通した共通電極の代わりに、列方向の画素 $P_{1,h-1} \sim P_{m,h-1}$ (h は任意の自然数であって且つ $2 \leq h \leq n$) 群を接続するストライプ状の共通電極と、列方向の画素 $P_{1,h} \sim P_{m,h}$ 群を接続するストライプ状の共通電極と、 \dots というように列毎に接続された複数のストライプ形状の電極であっても良い。その他にも、行方向の画素 $P_{g-1,1} \sim P_{g-1,n}$ (g は任意の自然数であって且つ $2 \leq g \leq m$) 群を接続するストライプ状の共通電極と、行方向の画素 $P_{1,1} \sim P_{g,n}$ 群を接続するストライプ状の共通電極と、 \dots というように行毎に接続された複数のストライプ形状の電極であっても良い。

【 0 0 3 5 】

いずれにしても共通電極は、選択走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ 、信号供給線 $Z_1 \sim Z_m$ と電氣的に絶縁されている。共通電極は、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。また、共通電極は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えて金属層が堆積した積層構造となっても良く、具体的には、有機 E L 層 5 2 と接する界面側に設けら

れた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。また、画素電極 5 1 を透明電極とし、有機 E L 層 5 2 で発する光を画素電極 5 1 を介して透明基板 8 側から出射させる場合、共通電極は有機 E L 層 5 2 で発する光に対して遮光性を有することが好ましく、有機 E L 層 5 2 で発する光に対して高い反射性を有することがさらに好ましい。

【 0 0 3 6 】

以上のように積層構造となる有機 E L 素子 $E_{i,j}$ では、画素電極 5 1 と共通電極との間に順バイアス電圧（画素電極 5 1 が共通電極よりも高電位）が印加されると、正孔が画素電極 5 1 から有機 E L 層 5 2 に注入され、電子が共通電極から有機 E L 層 5 2 に注入される。そして、有機 E L 層 5 2 で正孔及び電子が輸送されて、有機 E L 層 5 2 にて正孔及び電子が再結合することによって励起子が生成され、励起子が有機 E L 層 5 2 を励起して、有機 E L 層 5 2 が光を発する。

10

【 0 0 3 7 】

有機 E L 素子 $E_{i,j}$ の発光輝度は有機 E L 素子 $E_{i,j}$ に流れる電流のおおきさに依存し、流れる電流が大きくなるにつれて発光輝度も増大する。つまり、有機 E L 素子 $E_{i,j}$ の劣化を考慮しなければ、有機 E L 素子 $E_{i,j}$ に流れる駆電流の大きさが定まると、有機 E L 素子 $E_{i,j}$ の輝度が一義的に定まる。

【 0 0 3 8 】

各画素回路 $D_{i,j}$ は、三つの薄膜トランジスタ（以下単にトランジスタと記述する。）
2 1 , 2 2 , 2 3 と、キャパシタ 2 4 と、を備える。

20

【 0 0 3 9 】

トランジスタ 2 1 , 2 2 , 2 3 は、ゲート、ドレイン、ソース、半導体層、不純物半導体層、ゲート絶縁膜等から構成された N チャネル M O S 型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層（チャンネル領域）とした a - S i トランジスタであるが、ポリシリコンを半導体層とした p - S i トランジスタであってもよい。何れのトランジスタ 2 1 , 2 2 , 2 3 は、N チャネルの電界効果トランジスタである。トランジスタ 2 1 , 2 2 , 2 3 の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。

【 0 0 4 0 】

また、トランジスタ 2 1 , 2 2 , 2 3 は同一工程で同時に形成されても良いが、この場合、ゲート、ドレイン、ソース、半導体層、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ 2 1 , 2 2 , 2 3 のあいだで同じであり、トランジスタ 2 1 , 2 2 , 2 3 の形状、大きさ、寸法、チャンネル幅、チャンネル長等はトランジスタ 2 1 , 2 2 , 2 3 のそれぞれの機能に応じて異なる。以下では、トランジスタ 2 1 を第一トランジスタ 2 1 と、トランジスタ 2 2 を第二トランジスタ 2 2 と、トランジスタ 2 3 を第三トランジスタ 2 3 と称する。

30

【 0 0 4 1 】

キャパシタ 2 4 は、第三トランジスタ 2 3 のゲート 2 3 g と接続された電極と、トランジスタ 2 3 のソース 2 3 s と接続された電極と、これら二つの電極の間に介在する絶縁膜（誘電体膜）と、で構成され、第三トランジスタ 2 3 のゲート 2 3 g とソース 2 3 s との間に電荷を蓄積する機能を有する。

40

【 0 0 4 2 】

i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第二トランジスタ 2 2 においては、ゲート 2 2 g が i 行目の選択走査線 X_i に接続され、ドレイン 2 2 d が i 行目の信号供給線 Z_i に接続されている。i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第三トランジスタ 2 3 においては、ドレイン 2 3 d が i 行目の信号供給線 Z_i に接続されている。i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第一トランジスタ 2 1 では、ゲート 2 1 g が i 行目の選択走査線 X_i に接続されている。j 列目の画素回路 $D_{1,j} \sim D_{m,j}$ の各第一トランジスタ 2 1 では、ソース 2 1 s が j 列目の信号線 Y_j に接続されている。

【 0 0 4 3 】

50

各画素 $P_{i,j} \sim P_{m,n}$ においては、第二トランジスタ 22 のソース 22s は、コンタクトホール 25 を通じて第三トランジスタ 23 のゲート 23g に接続されているとともに、キャパシタ 24 の一方の電極に接続されている。第三トランジスタ 23 のソース 23s は、キャパシタ 24 の他方の電極に接続されているとともに第一トランジスタ 21 のドレイン 21d に接続されている。第三トランジスタ 23 のソース 23s、キャパシタ 24 の他方の電極、第一トランジスタ 21 のドレイン 21d は、何れも有機 EL 素子 $E_{i,j}$ の画素電極 51 に接続されている。

【0044】

有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の共通電極の電圧は、基準電圧 V_{SS} に一定に保たれており、本実施形態では、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の共通電極が接地されることで基準電圧 V_{SS} が 0 [V] に設定されている。

10

【0045】

次に、コントローラ 11、選択走査ドライバ 5、電圧供給ドライバ 6、切換回路 7 及びデータドライバ 3 について説明する。

【0046】

図 1 に示すように、コントローラ 11 は、外部から入力されるドットクロック信号 CK_{DT} 、水平同期信号 H_{SYNC} 、垂直同期信号 V_{SYNC} に基づいて、データドライバ用クロック信号 CK_1 、スタート信号 ST_1 、ラッチ信号 L を含む制御信号群 D_{CNT} をデータドライバ 3 に出し、選択走査ドライバ用クロック信号 CK_2 、スタート信号 ST_2 を含む制御信号 G_{CNT} を選択走査ドライバ 5 に出し、電圧供給ドライバ用クロック信号 CK_3 を電圧供給ドライバ 6 に出し、電圧供給ドライバ 6 に出す。

20

【0047】

詳細に説明すると、データドライバ用クロック信号 CK_1 は、ドットクロック信号 CK_{DT} と同期し、選択列を順次シフトするための信号であり、外部回路から 8 bit の赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B がクロック信号 CK_1 のタイミングで取り込まれる。スタート信号 ST_1 は、水平同期信号 H_{SYNC} と同期し、選択列を最初の列に戻すための信号である。ラッチ信号 L は、水平同期信号 H_{SYNC} と同期し、データドライバ 3 内部の DA コンバータで一行分のデータつまり画素 $P_{i,1} \sim P_{i,n}$ の分の取り込まれた赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B をアナログ変換したアナログ階調指定信号に基づいたアナログ階調指定電流 I_{DATA} がパラレルで信号線 $Y_1 \sim Y_n$ に流れるようにする信号である。選択走査ドライバ用クロック信号 CK_2 は、水平同期信号 H_{SYNC} と同期し、選択行を順次シフトするための信号である。スタート信号 ST_2 は、垂直同期信号 V_{SYNC} と同期し、選択行を最初の行に戻すための信号である。電圧供給ドライバ用クロック信号 CK_3 は、選択走査ドライバ用クロック信号 CK_2 よりも周期の長いクロック信号である。

30

【0048】

選択走査ドライバ 5 は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等を直列に接続した構成を有する。つまり、選択走査ドライバ 5 は、コントローラ 11 から入力した選択走査ドライバ用クロック信号 CK_2 に基づいて選択走査線 X_1 から選択走査線 X_m への順（選択走査線 X_m の次は選択走査線 X_1 ）にオンレベル（ハイレベル）を順次出力することで、選択走査線 $X_1 \sim X_m$ を順次選択するものである。

40

【0049】

詳細には図 4 に示されるように、選択走査ドライバ 5 は、選択信号としてハイレベルのオン電圧 V_{ON} （基準電圧 V_{SS} よりも十分に高い。）又はローレベルのオフ電圧 V_{OFF} （基準電圧 V_{SS} 以下である。）の何れかのレベルの電圧を選択走査線 $X_1 \sim X_m$ に個別に印加することによって、選択走査線 $X_1 \sim X_m$ を順次選択する。ここで、図 4 において横軸は時間を表す。

【0050】

即ち、選択走査ドライバ 5 がオンレベルの選択信号としてオン電圧 V_{ON} を選択走査線 X_i に印加するように設定されており、これにより i 行目の選択走査線 X_i が選択される。選

50

択走査ドライバ5がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより i 行目の選択走査線 X_i が選択されている期間を、 i 行目の選択期間 T_{SE} と称する。

【0051】

選択走査ドライバ5がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより、 i 行目の選択走査線 X_i に接続された画素回路 $D_{i,1} \sim D_{i,n}$ 各々では、トランジスタ21, 22がオン状態になる。第一トランジスタ21がオン状態になることによって信号線 $Y_1 \sim Y_n$ に流れる電流がそれぞれ画素回路 $D_{i,j} \sim D_{i,n}$ に流れ得るようになる。一方、 i 行目の選択走査線 X_i が選択されている選択期間 T_{SE} 以外の非選択期間 T_{NSE} では、選択走査ドライバ5がオフ電圧 V_{OFF} を選択走査線 X_i に印加する。これにより、 i 行目の選択走査線 X_i に接続された各画素回路 $D_{i,1} \sim D_{i,n}$ では、トランジスタ21, 22がオフ状態になる。第一トランジスタ21がオフ状態になることで、信号線 $Y_1 \sim Y_n$ に流れる電流はそれぞれ画素回路 $D_{i,1} \sim D_{i,n}$ に流れ得ないようになる。ここで、 $T_{SE} + T_{NSE} = T_{SC}$ で表される期間、つまり1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻から1行目の選択走査線 X_1 の次の選択期間 T_{SE} の開始時刻までの期間が一走査期間であり、選択走査線 $X_1 \sim X_m$ の選択期間 T_{SE} は互いに重ならない。

10

【0052】

また、 i 行目の選択走査線 X_i の選択期間 T_{SE} の終了時刻から次の行の選択走査線 X_{i+1} の選択期間 T_{SE} の開始時刻までには（つまり、選択走査ドライバ5が i 行目の選択走査線 X_i にオン電圧 V_{ON} の印加を終了してから（ $i+1$ ）行目の選択走査線 X_{i+1} にオン電圧 V_{ON} を印加するまでには）、時間的間隔があり、この期間（以下、リセット期間 T_R と称する。）では選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加している。また、 m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻から1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻までの期間（ m 行目のリセット期間 T_R ）は、他の行のリセット期間 T_R よりも長くなるように設定されている。この m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻から1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻までの期間を、発光期間 T_L と称し、1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻から m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻までの期間を、非発光期間 T_{NL} と称する。発光期間 T_L と非発光期間 T_{NL} の和が一走査期間 T_{SC} に相当する。

20

【0053】

電圧供給ドライバ6は、安定した定格電圧を全ての信号供給線 $Z_1 \sim Z_m$ に印加するための独立電源であり、クロック信号 CK_3 に従った位相の信号を信号供給線 $Z_1 \sim Z_m$ に出力する。即ち、選択走査ドライバ5が1行目の選択走査線 X_1 から m 行目の選択走査線 X_m を順に選択している期間、すなわち非発光期間 T_{NL} では、電圧供給ドライバ6がローレベルとなる階調指定電流用基準電圧 V_{LOW} を全ての信号供給線 $Z_1 \sim Z_m$ に印加するように設定されている。一方、選択走査ドライバ5が m 行目の選択走査線 X_m を選択してから1行目の選択走査線 X_1 を選択するまでの期間、すなわち発光期間 T_L では、階調指定電流用基準電圧 V_{LOW} よりもハイレベルの駆動電流用基準電圧 V_{HIGH} を全ての信号供給線 $Z_1 \sim Z_m$ に印加するように設定されている。

30

【0054】

ここで、選択走査ドライバ5によって m 行目の選択走査線 X_m に出力されている信号がオフ電圧 V_{OFF} に下がった後に電圧供給ドライバ6から信号供給線 $Z_1 \sim Z_m$ に出力される信号が階調指定電流用基準電圧 V_{LOW} から駆動電流用基準電圧 V_{HIGH} に立ち上がる。この時が、非発光期間 T_{NL} の終了時であり、且つ、発光期間 T_L の開始時である。電圧供給ドライバ6から信号供給線 $Z_1 \sim Z_m$ に出力される信号がハイレベルの駆動電流用基準電圧 V_{HIGH} からローレベルの階調指定電流用基準電圧 V_{LOW} に下がると、選択走査ドライバ5によって1行目の選択走査線 X_1 に出力されている信号がオン電圧 V_{ON} に立ち上がる。この時が、発光期間 T_L 及び一走査期間 T_{SC} の終了時であり、且つ、次の一走査期間 T_{SC} 及び次の非発光期間 T_{NL} の開始時である。

40

【0055】

また、電圧供給ドライバ6が駆動電流用基準電圧 V_{HIGH} を信号供給線 $Z_1 \sim Z_m$ に印加し

50

た後に、選択走査ドライバ5が1行目の選択走査線 X_1 から m 行目の選択走査線 X_m を順に選択していき、その時の非発光期間 T_{NL} において電圧供給ドライバ6が再び階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加する。以上のように、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加することと駆動電流用基準電圧 V_{HIGH} を信号供給線 $Z_1 \sim Z_m$ に印加することを繰り返し、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加している最中には選択走査ドライバ5が選択走査線 $X_1 \sim$ 選択走査線 X_m を順次選択するようになっている。

【0056】

電圧供給ドライバ6によって印加される階調指定電流用基準電圧 V_{LOW} は基準電圧 V_{SS} 以下に設定されているため、非発光期間 T_{NL} 中に各画素 $P_{i,j}$ の第三トランジスタ23がオン状態となっても、有機EL素子 $E_{i,j}$ のアノード - カソード間にはゼロ電圧又は逆バイアス電圧が印加されていることになるから、有機EL素子 $E_{i,j}$ に電流が流れないので、有機EL素子 $E_{i,j}$ が発光することがない。一方、電圧供給ドライバ6によって印加される駆動電流用基準電圧 V_{HIGH} が基準電圧 V_{SS} より高く、図5に示すように、第三トランジスタ23のソース - ドレイン間電圧 V_{DS} が飽和領域になるように設定されている。そのため、発光期間 T_L 中に第三トランジスタ23がオン状態となっていれば、有機EL素子 $E_{i,j}$ に順バイアス電圧が印加されていることになるから、信号供給線 Z_i から有機EL素子 $E_{i,j}$ へと電流が流れ、有機EL素子 $E_{i,j}$ が発光する。

【0057】

駆動電流用基準電圧 V_{HIGH} について説明する。図5は、Nチャネル型の電界効果トランジスタの電流 - 電圧特性を表したグラフである。図5において、横軸はドレイン - ソース間の電圧のレベルを表し、縦軸はドレイン - ソース間の電流のレベルを表す。図中の不飽和領域（ソース - ドレイン間電圧 $V_{DS} <$ ドレイン飽和閾電圧 V_{TH} となっている領域：ドレイン飽和閾電圧 V_{TH} は、ゲート - ソース間電圧 V_{GS} の関数であり、ゲート - ソース間電圧 V_{GS} が定まればゲート - ソース間電圧 V_{GS} で一義的に定まる。）では、ゲート - ソース間電圧 V_{GS} が一定であると、ソース - ドレイン間電圧 V_{DS} が大きくなるにつれてソース - ドレイン間電流 I_{DS} が大きくなる。更に、図中の飽和領域（ソース - ドレイン間電圧 V_{DS} ドレイン飽和閾電圧 V_{TH} ）では、ゲート - ソース間電圧 V_{GS} が一定であると、ソース - ドレイン間電圧 V_{DS} が大きくなってもソース - ドレイン間電流 I_{DS} はほぼ一定となる。

【0058】

また、図5において、ゲート - ソース間電圧 $V_{GS0} \sim V_{GSMAX}$ は、 $V_{GS0} = 0 [V] < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$ の関係となっている。つまり、図5から明らかのように、ドレイン - ソース間電圧 V_{DS} が一定の場合、ゲート - ソース間電圧 V_{GS} が大きくなるにつれて、不飽和領域、飽和領域のいずれであってもドレイン - ソース間電流 I_{DS} が大きくなる。更に、ゲート - ソース間電圧 V_{GS} が大きくなるにつれて、ドレイン飽和閾電圧 V_{TH} が大きくなる。

【0059】

以上のことから、不飽和領域では、ソース - ドレイン間電圧 V_{DS} がわずかに変わるとソース - ドレイン間電流 I_{DS} が変わってしまうが、飽和領域では、ゲート - ソース間電圧 V_{GS} によってドレイン - ソース間電流 I_{DS} が一義的に定まる。

【0060】

ここで、第三トランジスタ23に最大のゲート - ソース間電圧 V_{GSMAX} が印加されている時のドレイン - ソース間電流 I_{DS} は、最大輝度で発光する有機EL素子 $E_{i,j}$ の画素電極51と共通電極との間に流れる電流に設定されている。

また、第三トランジスタ23のゲート - ソース間電圧 V_{GS} が最大電圧 V_{GSMAX} であっても、第三トランジスタ23が飽和領域を維持するように、下記に示す条件式を満たしている。

$$V_{HIGH} - V_E - V_{SS} > V_{THMAX}$$

ここで、 V_E は、発光寿命期間中に有機EL素子 $E_{i,j}$ を最高輝度で発光するのに要するアノード - カソード間の電圧である。 V_{THMAX} は、 V_{GSMAX} 時のトランジスタ23のソース

10

20

30

40

50

- ドレイン間の飽和閾電圧レベルである。以上の条件式を満たすように駆動電流用基準電圧 V_{HIGH} が設定されている。従って、第三トランジスタ 23 と直列に接続された有機 EL 素子 $E_{i,j}$ の分圧により第三トランジスタ 23 のソース - ドレイン間電圧 V_{DS} が低くなっても、ソース - ドレイン間電圧 V_{DS} が常に飽和状態の範囲内なので、第三トランジスタ 23 に流れるソース - ドレイン間電流 I_{DS} はゲートソース間電圧 V_{GS} により一義的に決まることになる。

【0061】

図 1 に示すように、切替回路 7 は単位切替回路 $S_1 \sim S_n$ で構成されており、単位切替回路 $S_1 \sim S_n$ はそれぞれ信号線 $Y_1 \sim Y_n$ に接続されており、更にデータドライバ 3 の電流端子 $CT_1 \sim CT_n$ が単位切替回路 $S_1 \sim S_n$ にそれぞれ接続されている。単位切替回路 $S_1 \sim S_n$ には、コントローラ 11 から出力される切替信号 及びリセット電圧 V_R が入力される。

10

【0062】

切替回路 S_j (切替回路 S_j は、 j 列目の信号線 Y_j に接続されている。) は、データドライバ 3 による階調指定電流 I_{DATA} を信号線 Y_j に流すことと、コントローラ 11 によるリセット電圧 V_R を信号線 Y_j に印加することの何れか一方に切り換えるものである。つまり、コントローラ 11 から単位切替回路 S_j に出力する切替信号 がハイレベルの場合には、単位切替回路 S_j は電流端子 CT_j の電流を遮断するとともにコントローラ 11 からのリセット電圧 V_R を信号線 Y_j に出力する。一方、コントローラ 11 から単位切替回路 S_j に出力する切替信号 がローレベルの場合には、単位切替回路 S_j は電流端子 CT_j の電流を信号線 Y_j に流すとともにコントローラ 11 からのリセット電圧 V_R を遮断する。なお、切替信号 のハイ・ローと切替回路 S_j の出力との関係は、逆であっても良い。

20

【0063】

切替回路 S_j の一例について説明する。切替回路 S_j は、Pチャネル型の電界効果トランジスタ 31 と、Nチャネル型の電界効果トランジスタ 32 とから構成される。トランジスタ 31 のゲート及びトランジスタ 32 のゲートはコントローラ 11 に接続され、切替信号 がコントローラ 11 からトランジスタ 31 のゲート及びトランジスタ 32 のゲートに入力される。トランジスタ 31 のソースは信号線 Y_j に接続されており、トランジスタ 31 のドレインは電流端子 CT_j に接続されている。トランジスタ 32 のドレインは信号線 Y_j に接続されている。トランジスタ 32 のソースはコントローラ 11 に接続され、リセット電圧 V_R がトランジスタ 32 のソースに入力される。この構成では、コントローラ 11 から出力された切替信号 がハイレベルの場合に、トランジスタ 32 がオン状態になり、トランジスタ 31 がオフ状態になる。一方、コントローラ 11 から出力された切替信号 がローレベルの場合に、トランジスタ 31 がオン状態になり、トランジスタ 32 がオフ状態になる。なお、トランジスタ 31 を Pチャネル型としトランジスタ 32 を Nチャネル型とし、切替信号 のハイ・ローを逆位相にして単位切替回路 S_j のスイッチングを切り換えても良い。

30

【0064】

ここでコントローラ 11 から切替回路 7 に出力される切替信号 の周期について説明する。図 4 に示すように、選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ のうちの何れかに対してオン電圧 V_{ON} を印加している時 (つまり、それぞれの行の選択期間 T_{SE}) に、コントローラ 11 から出力される切替信号 はローレベルである。一方、選択走査ドライバ 5 が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加している時 (つまり、それぞれの行のリセット期間 T_R) に、コントローラ 11 から出力される切替信号 がハイレベルである。

40

【0065】

階調指定電流 I_{DATA} の電流値は、発光する有機 EL 素子 $E_{i,j}$ の輝度に合わせて有機 EL 素子 $E_{i,j}$ に流れる電流の電流値と等しいために極めて微小な値となる。ここで信号線 $Y_1 \sim Y_n$ の配線容量のために、信号線 $Y_1 \sim Y_n$ に流れる階調指定電流 I_{DATA} に遅延が生じてしまい、選択期間 T_{SE} の間の時間だけでは、第三トランジスタ 23 のゲート - ソース間に階調指定電流 I_{DATA} に応じた電荷をチャージアップできないといった問題を生じていた

50

。このため、ある選択走査線 X_i の選択期間 T_{SE} と次の選択走査線 X_{i+1} の選択期間 T_{SE} との間のリセット期間 T_R に信号線 $Y_1 \sim Y_n$ に強制的にリセット電圧 V_R を印加したので、特に階調指定電流 I_{DATA} の電流値が小さい輝度階調の場合であっても、選択期間 T_{SE} 内に第三トランジスタ 23 のゲート - ソース間に階調指定電流 I_{DATA} に応じた電荷をチャージアップすることができる。

【0066】

なお、切換回路 7 が設けられてなくても良く、この場合には、データドライバ 3 の電流端子 $CT_1 \sim CT_n$ は信号線 $Y_1 \sim Y_n$ にそれぞれ接続されることになる。

【0067】

図 1 に示されるように、データドライバ 3 の電流端子 $CT_1 \sim CT_n$ には、それぞれ単位
10
切換回路 $S_1 \sim S_n$ を介して、それぞれ信号線 $Y_1 \sim Y_n$ が接続されている。データドライバ 3 は、コントローラ 11 からデータドライバ用クロック信号 $CK1$ 、スタート信号 $ST1$ 、ラッチ信号 L を含む制御信号群 D_{CNT} が入力され、外部回路からの 8 bit の赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B を取り込む。データドライバ 3 に取り込まれたデジタル信号は、データドライバ 3 内の DA コンバータでアナログ変換される。データドライバ 3 は、ラッチ信号 L 及びアナログ変換された信号に基づいた階調指定電流 I_{DATA} が信号線 $Y_1 \sim Y_n$ からそれぞれの単位切換回路 $S_1 \sim S_n$ を介して、データドライバ 3 のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れるように制御する。具体的には、データドライバ 3 は、各行の選択期間 T_{SE} において、選
20
択された行の信号供給線 Z_i から各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21、それぞれの信号線 $Y_1 \sim Y_n$ 、それぞれの単位切換回路 $S_1 \sim S_n$ を経てそれぞれの電流端子 $CT_1 \sim CT_n$ に流れる階調指定電流 I_{DATA} を発生させるものである。階調指定電流 I_{DATA} とは、赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B といった階調映像信号に従った輝度で有機 EL 素子 $E_{1,1} \sim E_{m,n}$ を発光期間 T_L 中に発光するために、発光期間 T_L に有機 EL 素子 $E_{1,1} \sim E_{m,n}$ に流れる電流と同じ大きさの電流であって、信号線 $Y_1 \sim Y_n$ からそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れる電流である。

【0068】

次に、図 6 ~ 図 8 を用いて画素回路 $D_{1,1} \sim D_{m,n}$ の機能について説明する。こ
30
こで、図 6 ~ 図 8 では、電流の流れを矢印で示している。

図 6 は、 i 行目の選択期間 T_{SE} の電流、電圧の状態を示した回路図である。図 6 に示すように、 i 行目の選択期間 T_{SE} では、選択走査線 X_i にはオン電圧 V_{ON} が選択走査ドライバ 5 によって印加されるとともに、信号供給線 Z_i には指定電流基準用電圧 V_{LOW} が印加されている。更に、 i 行目の選択期間 T_{SE} では、それぞれの単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ の電流をそれぞれの信号線 $Y_1 \sim Y_n$ に流すようにしているので、それぞれの信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} が流れるようにデータドライバ 3 によって制御されている。

【0069】

i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 22 がオン状態になっている。各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 22 はオン状態と
40
なることにより、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 のゲート 23g にも電圧が印加され、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 がオン状態となる。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 21 もオン状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ 21 が信号供給線 Z_i から第三トランジスタ 23 のドレイン 23d 及びソース 23s を介して信号線 Y_j に階調指定電流 I_{DATA} を流す。また、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 がオン状態となっているが、信号供給線 Z_i にローレベルの階調指定電流用基準電圧 V_{LOW} が印加されているので、信号供給線 Z_i から有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に電流は流れない。このため、信号線 Y_j に流れる階調指定電流 I_{DATA} の電流値と第三トランジスタ 23 のソース 23s - ドレイン 23d 間電流 I_{DS} の電流値が等しくなる。第三トランジスタ 23 は、ゲート 23g - ソー
50

ス 2 3 s 間の電圧が、ドレイン 2 3 d からソース 2 3 s に流れる階調指定電流 I_{DATA} の大きさにしたがるレベルになる。このため、第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされる。

【 0 0 7 0 】

図 7 は、 i 行目の選択期間 T_{SE} の終了時から発光期間 T_L の開始時までの電流、電圧の状態を示した回路図である。図 7 に示すように、 i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間では、選択走査線 X_i にはオフ電圧 V_{OFF} が選択走査ドライバ 5 によって印加されているとともに、信号供給線 Z_i には指定電流基準用電圧 V_{LOW} が印加されている。また、 i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間に、選択走査ドライバ 5 が他の行を選択した時には、 i 行目の選択期間 T_{SE} と同様に、それぞれの信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} が流れるようにデータドライバ 3 によって制御されている。

10

【 0 0 7 1 】

i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間では、各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 2 1 がオフ状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ 2 1 が信号線 Y_j に流れている階調指定電流 I_{DATA} を遮断し、信号供給線 Z_i から第三トランジスタ 2 3 を介して信号線 Y_j に電流が流れないようにする。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 2 2 がオフ状態となることによりキャパシタ 2 4 にチャージされた電荷を閉じ込め、第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の変換された電圧のレベルを保持する。ここで、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 2 3 がオン状態となっているが、信号供給線 Z_i にローレベルの階調指定電流用基準電圧 V_{LOW} が印加されているので、信号供給線 Z_i から有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に電流は流れない。

20

【 0 0 7 2 】

図 8 は、発光期間 T_L の電流、電圧の状態を示した回路図である。図 8 に示すように、発光期間 T_L では、選択走査線 X_i にはオフ電圧 V_{OFF} が選択走査ドライバ 5 によって印加されているとともに、信号供給線 Z_i には駆動電流用基準電圧 V_{HIGH} が印加されている。

【 0 0 7 3 】

各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 2 1 がオフ状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ 2 1 が信号供給線 Z_i から第三トランジスタ 2 3 を介して信号線 Y_j に電流が流れないようにする。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 2 2 がオフ状態であるので、第二トランジスタ 2 2 が第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の変換された電圧のレベルを保持する。更に、信号供給線 Z_i に、第三トランジスタ 2 3 のソース - ドレイン間電圧 V_{DS} が飽和領域になるようなハイレベルの駆動電流用基準電圧 V_{HIGH} が印加されているとともに各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 2 3 がオン状態となっているので、第三トランジスタ 2 3 が信号供給線 Z_i から有機 EL 素子 $E_{i,j}$ に駆動電流が流れる。このときの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間に変換した電圧のレベルは、選択期間 T_{SE} にそれぞれ信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} を流していたときの電圧のレベルと等しいために、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に流れる駆動電流の電流値は階調指定電流 I_{DATA} の電流値に等しい。したがって有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の発光輝度は非発光期間 T_{NL} に各画素回路 $D_{i,1} \sim D_{i,n}$ に流れる階調指定電流 I_{DATA} の電流値によって一義的に決まる。

30

40

【 0 0 7 4 】

次に、データドライバ 3、選択走査ドライバ 5 及び電圧供給ドライバ 6 で有機エレクトロルミネッセンス表示パネル 2 を駆動する方法及び有機エレクトロルミネッセンスディスプレイ 1 の表示動作について説明する。

【 0 0 7 5 】

図 4 に示されるように、非発光期間 T_{NL} では、選択走査ドライバ 5 が、コントローラ 1 から入力したクロック信号 CK_2 に基づいて、1 行目の選択走査線 X_1 から m 行目の選

50

択走査線 X_m の順にオン電圧 V_{ON} を印加して選択していく。これにより、選択走査線 X_1 から選択走査線 X_m の順に走査されていく。非発光期間 T_{NL} の後の発光期間 T_L では、選択走査ドライバ 5 が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加し、次の非発光期間 T_{NL} では、再び選択走査ドライバ 5 が 1 行目の選択走査線 X_1 から m 行目の選択走査線 X_m の順にオン電圧 V_{ON} を印加していく。

【 0 0 7 6 】

選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、電圧供給ドライバ 6 が全ての信号供給線 $Z_1 \sim Z_m$ に階調指定電流用基準電圧 V_{LOW} を印加する。一方、選択走査ドライバ 5 が m 行目の選択走査線 X_m の選択を終了してから次の走査期間 T_{SC} に 1 行目の選択走査線 X_1 を選択するまでの発光期間 T_L において、電圧供給ドライバ 6 が全ての信号供給線 $Z_1 \sim Z_m$ に駆動電流用基準電圧 V_{HIGH} を印加する。コントローラ 11 から電圧供給ドライバ 6 に入力されるクロック信号 $CK3$ によって、電圧供給ドライバ 6 がこのように動作する。

10

【 0 0 7 7 】

更に、選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、コントローラ 11 が切換信号 を単位切換回路 $S_1 \sim S_n$ へ出力する。これにより、各行の選択期間 T_{SE} では、単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを許容するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を遮断し、各行のリセット期間 T_R では、単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを遮断するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を許容する。これにより信号線 $Y_1 \sim Y_n$ の配線容量を迅速にチャージアップできるので特に小さい値の階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流す場合であっても第三トランジスタ 23 のゲート - ソース間のキャパシタ 24 に階調指定電流 I_{DATA} に応じた電荷を迅速にチャージアップすることができる。

20

【 0 0 7 8 】

更に、選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、データドライバ 3 は、コントローラ 11 から入力したクロック信号 $CK1$ に基づいて外部回路からの 8 bit の赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B を取り込んでラッチする。そして、非発光期間 T_{NL} の各行の選択期間 T_{SE} において、データドライバ 3 が、ラッチした信号の階調に基づいた大きさの階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流すようにする。

30

【 0 0 7 9 】

ここで、非発光期間 T_{NL} において、選択走査ドライバ 5 がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加している時（つまり、 i 行目の選択期間 T_{SE} ）では、他の選択走査線 $X_1 \sim X_m$ (X_i を除く。) にはオフ電圧 V_{OFF} が印加されている。従って、 i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 21 及び第二トランジスタ 22 がオン状態であり、他の行の画素回路 $D_{1,1} \sim D_{m,n}$ (但し、画素回路 $D_{i,1} \sim D_{i,n}$ を除く。) の第一トランジスタ 21 及び第二トランジスタ 22 がオフ状態である。

40

【 0 0 8 0 】

このような i 行目の選択期間 T_{SE} では階調指定電流用基準電圧 V_{LOW} が全ての信号供給線 $Z_1 \sim Z_n$ に印加されており、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 22 がオン状態であるので、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 のゲート 23g にも電圧が印加され、第三トランジスタ 23 がオン状態となる。更に、このような i 行目の選択期間 T_{SE} では、各単位切換回路 $S_1 \sim S_n$ のトランジスタ 31 がオン状態となることによって単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを許容するので、電流端子 $CT_1 \sim CT_n$ は i 行目の信号供給線 Z_i と電氣的に導通する。この時、データドライバ 3 がラッチ信号 L により電流端子 $CT_1 \sim CT_n$ に向かって階調指定電流 I_{DATA} を流すようにし、信号供給線 Z_i の階調指定電流用基準電圧 V_{LOW} が電流端子 $CT_1 \sim CT_n$ の電圧よりも高く設定されている。従

50

って、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ では、第一トランジスタ 21 のソース 21s - ドレイン 21d 間及び第三トランジスタ 23 のソース 23s - ドレイン 23d 間に階調指定電流 I_{DATA} が流れるような電圧が第三トランジスタ 23 のゲート 23g - ソース 23s 及びソース 23s - ドレイン 23d 間に加わる。

【0081】

つまり、図 6 に示すように、 i 行目の選択期間 T_{SE} 中では、データドライバ 3 によって各列に流れるようにされた階調指定電流 I_{DATA} は、信号供給線 Z_i 、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 のドレイン 23d - ソース 23s 間、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 21 のドレイン 21d - ソース 21s 間、それぞれの信号線 $Y_1 \sim Y_n$ 、それぞれの切換信号 $S_1 \sim S_n$ のトランジスタ 31、データドライバ 3 のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れることになる。

10

【0082】

i 行目の選択期間 T_{SE} 中に、階調指定電流 I_{DATA} が信号供給線 Z_i 、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 のドレイン 23d - ソース 23s 間、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 21 のドレイン 21d - ソース 21s 間、それぞれの信号線 $Y_1 \sim Y_n$ 、それぞれの切換信号 $S_1 \sim S_n$ のトランジスタ 31、データドライバ 3 のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れることによって、 i 行目の選択期間 T_{SE} 中に信号供給線 $Z_i \sim$ 第三トランジスタ 23 \sim 第一トランジスタ 21 \sim それぞれの信号線 $Y_1 \sim Y_n \sim$ それぞれの単位切換回路 $S_1 \sim S_n \sim$ データドライバ 3 における電圧が定常状態になる。

20

【0083】

つまり、 i 行目のそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 に階調指定電流 I_{DATA} が流れて信号供給線 $Z_i \sim$ 第三トランジスタ 23 \sim 第一トランジスタ 21 \sim それぞれの信号線 $Y_1 \sim Y_n \sim$ それぞれの単位切換回路 $S_1 \sim S_n \sim$ データドライバ 3 における電圧が定常状態になることによって、第三トランジスタ 23 に流れる階調指定電流 I_{DATA} の大きさに従ったレベルの電圧が第三トランジスタ 23 のゲート 23g - ソース 23s 間に印加され、第三トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされる。

【0084】

以上のように、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 のドレイン 23d - ソース 23s 間に流れる電流の大きさ及びソース 23s - ゲート 23g 間の電圧のレベルも前回の一走査期間 T_{SC} から上書きされるので、 i 行目の選択期間 T_{SE} 中において、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のキャパシタ 24 にチャージされる電荷の大きさが前回の一走査期間 T_{SC} から上書きされる。

30

【0085】

ここで、第三トランジスタ 23 \sim 第一トランジスタ 21 \sim 信号線 Y_j 間の任意の点での電位は、経時変化するトランジスタ 21, 22, 23 の内部抵抗等に因って変化してしまう。しかしながら、本実施形態では、第三トランジスタ 23、第一トランジスタ 21、信号線 Y_j へと流れる階調指定電流 I_{DATA} をデータドライバ 3 が強制的に流しているため、トランジスタ 21, 22, 23 の内部抵抗が経時変化しても、階調指定電流 I_{DATA} の大きさが所望通りとなる。

40

【0086】

また、 i 行目の選択期間 T_{SE} では、 i 行目の有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の共通電極が基準電圧 V_{SS} であり、信号供給線 Z_i が基準電圧 V_{SS} と同じ又は基準電圧 V_{SS} よりもローレベルの階調指定電流用基準電圧 V_{LOW} であるため、 i 行目の有機 EL 素子 $E_{i,1} \sim E_{i,n}$ には逆バイアス電圧が印加されるから、 i 行目の有機 EL 素子 $E_{i,1} \sim E_{i,n}$ には電流が流れず、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ は発光しない。 i 行目の選択期間 T_{SE} に限らず非発光期間 T_{NL} では、全ての有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の共通電極は基準電圧 V_{SS} であり、全ての信号供給線 $Z_1 \sim Z_n$ は基準電圧 V_{SS} と同じ又は基準電圧 V_{SS} よりも低い階調指定電流用基準電圧 V_{LOW} であるため、全ての有機 EL 素子 $E_{1,1} \sim E_{m,n}$ には逆バイアス電圧が印加され

50

るから、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には電流が流れず、何れの有機EL素子 $E_{1,1} \sim E_{m,n}$ も発光しない。

【0087】

続いて、図7に示すように、 i 行目の選択期間 T_{SE} の終了時刻（ i 行目の非選択期間 T_{NSE} の開始時刻）では、選択走査ドライバ5から選択走査線 X_i に出力される信号がハイレベルのオン電圧 V_{ON} からローレベルのオフ電圧 V_{OFF} になり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21のゲート21g及び第二トランジスタ22のゲート22gに対してオフ電圧 V_{OFF} が選択走査ドライバ5によって印加される。

【0088】

このため、 i 行目の非選択期間 T_{NSE} では、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21がオフ状態になり、オフ状態の第一トランジスタ21によって電流が信号供給線 Z_i からそれぞれの信号線 $Y_1 \sim Y_n$ へ流れないようになる。更に、 i 行目の非選択期間 T_{NSE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオフ状態になると、直前の i 行目の選択期間 T_{SE} においてキャパシタ24にチャージされた電荷が第二トランジスタ22によって閉じ込められている。これにより、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、第三トランジスタ23は、非選択期間 T_{NSE} 中オン状態を維持し続ける。つまり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、非選択期間 T_{NSE} における第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} の大きさがその直前の選択期間 T_{SE} における第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} の大きさと等しくなるように、第二トランジスタ22が第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} を保持する。

【0089】

そして、 i 行目の選択期間 T_{SE} が終了して発光期間 T_L が開始するまでの間は、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を全ての信号供給線 $Z_1 \sim Z_n$ に印加している。そのため、 i 行目の選択期間 T_{SE} が終了して発光期間 T_L が開始するまでの間は、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には逆バイアス電圧が印加されるから、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には電流が流れず、何れの有機EL素子 $E_{1,1} \sim E_{m,n}$ も発光しない。

【0090】

ここで、 i 行目の選択期間 T_{SE} が終了してから（ $i+1$ ）行目の選択期間 T_{SE} が開始するまでの間（つまり、（ $i+1$ ）行目のリセット期間 T_R では）、それぞれの単位切換回路 $S_1 \sim S_n$ のトランジスタ31がオフ状態になり、それぞれの単位切換回路 $S_1 \sim S_n$ のトランジスタ32がオン状態になる。従って、（ $i+1$ ）行目のリセット期間 T_R では、何れの信号線 $Y_1 \sim Y_n$ にも階調指定電流 I_{DATA} が流れないが、リセット電圧 V_R が全ての信号線 $Y_1 \sim Y_n$ に印加される。その上、（ $i+1$ ）行目のリセット期間 T_R では、どの行の選択期間 T_{SE} でもないから全ての画素回路 $D_{1,1} \sim D_{m,n}$ の第一トランジスタ21がオフ状態となっている。従って、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加され、信号線 $Y_1 \sim Y_n$ の寄生容量に電荷がチャージされる。

【0091】

そして、（ $i+1$ ）行目の選択期間 T_{SE} が開始すると、 i 行目の場合と同様に、（ $i+1$ ）行目の選択走査線 X_{i+1} が選択走査ドライバ5によって選択されることによって、更に各単位切換回路 $S_1 \sim S_n$ のトランジスタ31がオン状態となることによって、それぞれの列において信号供給線 Z_{i+1} 第三トランジスタ23 第一トランジスタ21 それぞれの信号線 $Y_1 \sim Y_n$ それぞれの単位切換回路 $S_1 \sim S_n$ のトランジスタ31 データドライバ3に向かった階調指定電流 I_{DATA} が流れる。その後、（ $i+1$ ）行目の非選択期間 T_{NSE} となって、 i 行目の場合と同様に（ $i+1$ ）行目の画素回路 $D_{i+1,1} \sim D_{i+1,n}$ の第一トランジスタ21がオフ状態になり、オフ状態の第一トランジスタ21によって電流が信号供給線 Z_{i+1} からそれぞれの信号線 $Y_1 \sim Y_n$ へ流れない。

【0092】

以上のように、リセット期間 T_R では、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に強制的に印加されるので、信号線 $Y_1 \sim Y_n$ の寄生容量のチャージ量を小さい電流が流れるときに定常

10

20

30

40

50

化されるときにチャージ量の近づける。そのため、 $(i + 1)$ 行目のリセット期間 T_R の後の $(i + 1)$ 行目の選択期間 T_{SE} において信号線 $Y_1 \sim Y_n$ に流れる電流が微小であっても速やかに定常状態にすることができる。

【0093】

以上のように、非発光期間 T_{NL} において選択走査ドライバ5が選択走査線 $X_1 \sim X_n$ を行順次に選択していき、それぞれの選択走査線 $X_1 \sim X_n$ の選択期間 T_{SE} においてデータドライバ3が階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流すことによって、階調指定電流 I_{DATA} の大きさが画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23のゲート23g - ソース23s間の電圧の大きさに変換することが行順次に行われる。

【0094】

図8に示すように、非発光期間 T_{NL} の後の発光期間 T_L では、選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加しているため、何れの画素回路 $D_{1,1} \sim D_{m,n}$ でも第一トランジスタ21及び第二トランジスタ22がオフ状態となっている。第二トランジスタ22がオフ状態であると、上述したように、第二トランジスタ22が第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} を保持する。更に、非発光期間 T_{NL} の後の発光期間 T_L では、電圧供給ドライバ6が全ての信号供給線 $Z_1 \sim Z_m$ に駆動電流用基準電圧 V_{HIGH} を印加している。ここで、発光期間 T_L では、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極が基準電圧 V_{SS} である上、全ての信号供給線 $Z_1 \sim Z_m$ が基準電圧 V_{SS} より高い駆動電流用基準電圧 V_{HIGH} であり、全ての画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23がオン状態であるため、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には順バイアス電圧が印加される。従って、画素回路 $D_{1,1} \sim D_{m,n}$ の何れにおいても、それぞれの信号供給線 $Z_1 \sim Z_m$ から第三トランジスタ23を通じてそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ へ駆動電流が流れ、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ が発光する。

【0095】

つまり、発光期間 T_L 中のそれぞれの画素回路 $D_{i,j}$ においては、第一トランジスタ21が、信号線 Y_j と第三トランジスタ23との間を電氣的に遮断するように機能し、第二トランジスタ22が、キャパシタ24の電荷を閉じ込めることによって、選択期間 T_{SE} において変換された第三トランジスタ23のゲート23g - ソース23s間の電圧のレベルを保持するように機能し、第三トランジスタ23が、保持されたゲート23g - ソース23s間の電圧のレベルに応じた大きさの駆動電流を有機EL素子 $E_{i,j}$ に流すように機能する。

【0096】

ここで、発光期間 T_L 中にそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさは、それぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる電流の大きさと同じであり、従って、選択期間 T_{SE} においてそれぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる階調指定電流 I_{DATA} の大きさと同じである。上述したように、選択期間 T_{SE} では、それぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる階調指定電流 I_{DATA} の大きさは所望通りとなるから、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさも所望通りになり、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ は所望の階調輝度で発光する。

【0097】

以上のように本実施の形態では、発光期間 T_L でそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流のレベルを、非発光期間 T_{NL} 中の選択期間 T_{SE} において階調指定電流 I_{DATA} の大きさで表している。従って、例えば、画素回路 $D_{1,1} \sim D_{m,n}$ の間で第三トランジスタ23の特性にバラツキがあったとしても、画素回路 $D_{1,1} \sim D_{m,n}$ の間で階調指定電流 I_{DATA} の大きさが同じであれば、有機EL素子 $E_{1,1} \sim E_{m,n}$ の間で輝度にバラツキが生じない。つまり、本実施形態では、同じレベルの輝度階調信号が画素に出力されても画素の間で輝度が異なってしまうという面内バラツキを抑えることができる。従って、本実施形態の有機エレクトロルミネッセンスディスプレイ1は、高品質な映像表示を行える。

【0098】

10

20

30

40

50

また、一行につき二つの選択走査線 X_i と信号供給線 Z_i が設けられているが、信号供給線 Z_i に対しては走査のための信号ではなく、階調指定電流用基準電圧 V_{LOW} と駆動電流用基準電圧 V_{HIGH} からなる周期的な信号が電圧供給ドライバ6によって出力されている。この有機エレクトロルミネッセンスディスプレイ1が具備するシフトレジスタであるドライバは、選択走査ドライバ5だけである。シフトレジスタは一般的に m 個のフリップフロップ回路等から構成されるが、周期的な信号を出力する電圧供給ドライバ6はシフトレジスタに比較しても実装面積が低く、構成が簡略であり、素子の数も少ない。従って、シフトレジスタがドライバとして二個設けられた従来の有機エレクトロルミネッセンスディスプレイに比較しても、本実施形態の有機エレクトロルミネッセンスディスプレイ1の製造コストが低く、歩留りが高い。

10

【0099】

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

例えば、上記各実施の形態では発光素子として有機EL素子を用いているが、整流性のある他の発光素子を用いても良い。つまり、逆バイアス電圧が印加された場合には電流が流れないとともに順バイアス電圧が印加された場合には電流が流れるような発光素子であって、流れる電流の大きさに従った輝度で発光する発光素子であっても良い。整流性のある発光素子としては、例えばLED (Light Emitting Diode) 素子が挙げられる。

【図面の簡単な説明】

【0100】

20

【図1】本発明を適用した実施の形態における有機エレクトロルミネッセンスディスプレイ1のブロック図である。

【図2】有機エレクトロルミネッセンスディスプレイ1の画素 $P_{i,j}$ の平面図である。

【図3】有機エレクトロルミネッセンスディスプレイ1の隣接する四つの画素 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$ 、 $P_{i+1,j+1}$ の等価回路図である。

【図4】有機エレクトロルミネッセンスディスプレイ1における信号のレベルを示したタイミングチャート。

【図5】Nチャンネル型の電界効果トランジスタの電流 - 電圧特性を表したグラフである。

【図6】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、 i 行目の選択期間 T_{SE} の電流、電圧の状態を示した図である。

30

【図7】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、 i 行目の選択期間 T_{SE} の終了時から発光期間 T_L までの電流、電圧の状態を示した図である。

【図8】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、発光期間 T_L の電流、電圧の状態を示した図である。

【符号の説明】

【0101】

1 ... 有機エレクトロルミネッセンスディスプレイ (表示装置)

2 ... 有機エレクトロルミネッセンス表示パネル (表示パネル)

3 ... データドライバ

5 ... 選択走査ドライバ (走査ドライバ)

40

6 ... 電圧供給ドライバ

2 1 ... 第一トランジスタ

2 2 ... 第二トランジスタ

2 3 ... 第三トランジスタ

$E_{1,1} \sim E_{m,n}$... 有機EL素子 (発光素子)

$Y_1 \sim Y_n$... 信号線

$X_1 \sim X_n$... 選択走査線 (走査線)

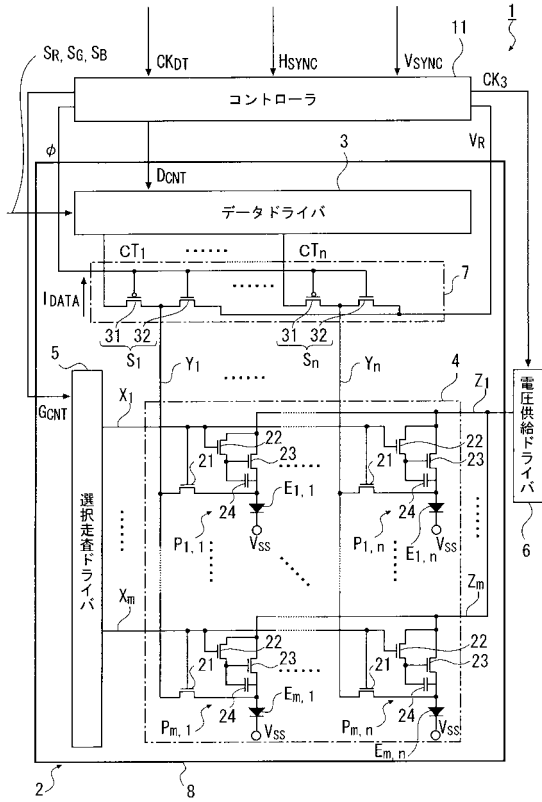
$Z_1 \sim Z_n$... 信号供給線

$P_{1,1} \sim P_{m,n}$... 画素

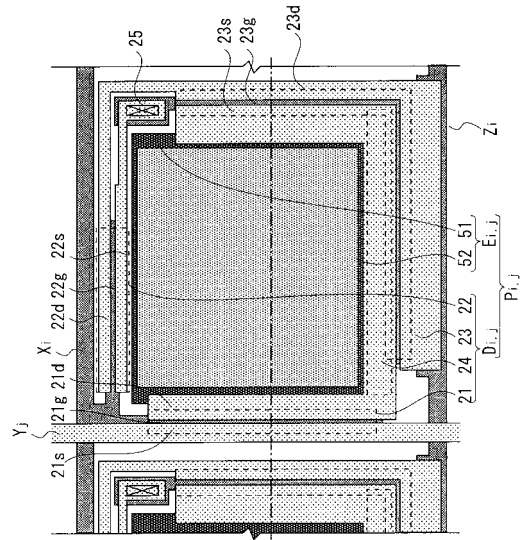
$D_{1,1} \sim D_{m,n}$... 画素回路

50

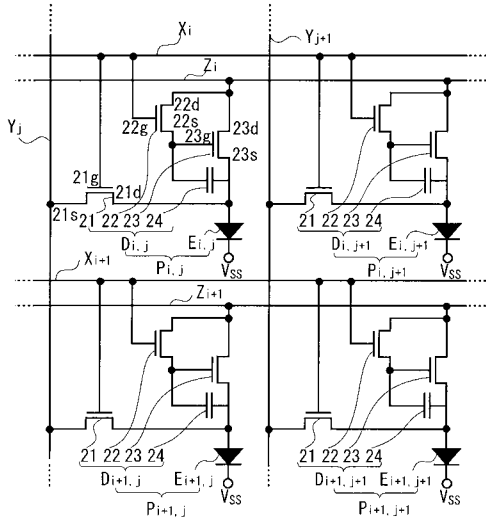
【図1】



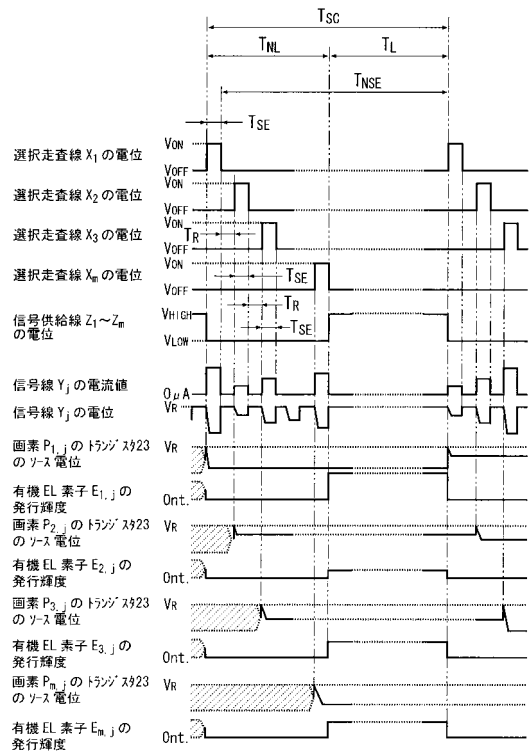
【図2】



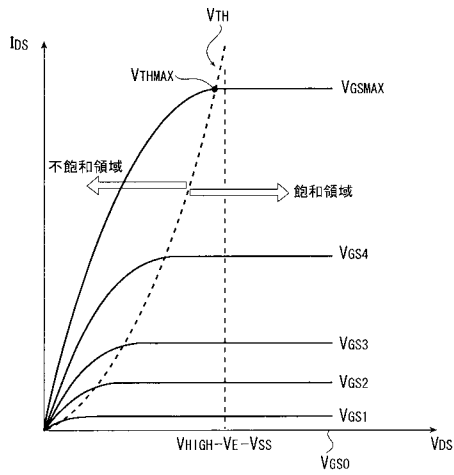
【図3】



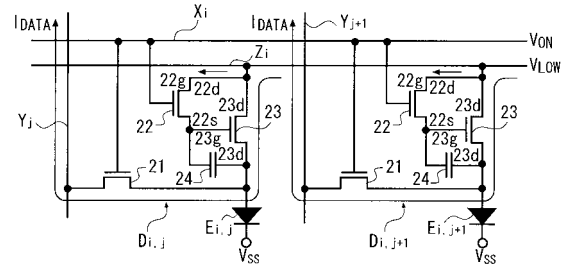
【図4】



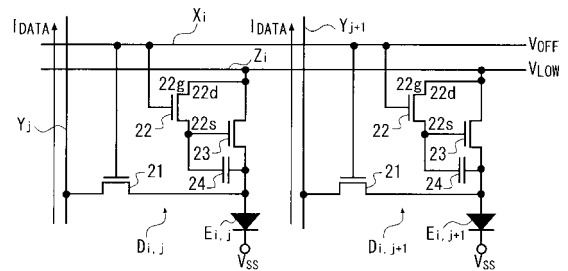
【 図 5 】



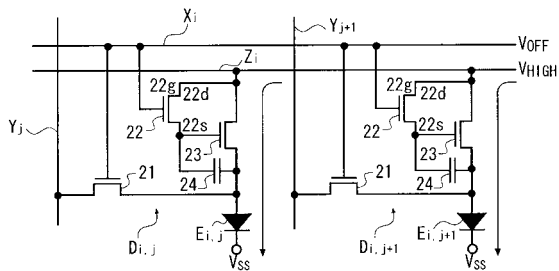
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(56)参考文献 特開2002-221936(JP,A)
特開2003-114644(JP,A)
特表2002-517806(JP,A)
特開2002-215095(JP,A)
特開2003-195810(JP,A)
国際公開第03/001496(WO,A1)
国際公開第01/06484(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30,3/20