



(12)发明专利申请

(10)申请公布号 CN 106663459 A

(43)申请公布日 2017. 05. 10

(21)申请号 201580030035.2

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(22)申请日 2015.06.01

代理人 路勇

(30)优先权数据

62/008,133 2014.06.05 US

14/717,580 2015.05.20 US

(51)Int.Cl.

G11C 7/06(2006.01)

G11C 7/10(2006.01)

(85)PCT国际申请进入国家阶段日

2016.12.05

(86)PCT国际申请的申请数据

PCT/US2015/033516 2015.06.01

(87)PCT国际申请的公布数据

W02015/187546 EN 2015.12.10

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 格伦·E·胡申

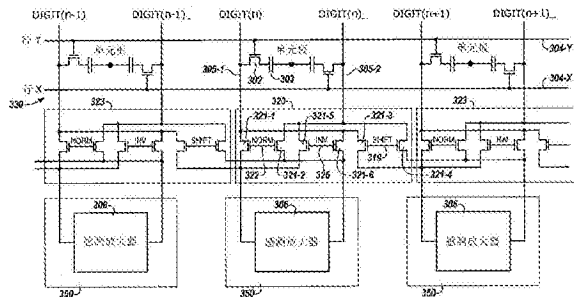
权利要求书5页 说明书37页 附图18页

(54)发明名称

使用感测电路执行逻辑操作

(57)摘要

本发明包含与使用感测电路执行逻辑操作有关的设备及方法。实例性设备包括存储器单元阵列及经由感测线耦合到所述存储器单元阵列的感测电路。所述感测电路经配置以将所述感测线上对应于第一逻辑数据值的电压感测为与逻辑函数的第二操作数相关联的电压,所述第一逻辑数据值部分地由读取所述存储器单元阵列的与所述逻辑函数的第一操作数相关联的第一存储器单元产生。



1. 一种设备,其包括:

存储器单元阵列;及

感测电路,其经由感测线耦合到所述存储器单元阵列,

其中所述感测电路经配置以将所述感测线上对应于第一逻辑数据值的电压感测为与逻辑函数的第二操作数相关联的电压,所述第一逻辑数据值部分地由读取所述存储器单元阵列的与所述逻辑函数的第一操作数相关联的第一存储器单元产生。

2. 根据权利要求1所述的设备,其中所述感测电路经配置以将所述感测线上对应于第一“0”逻辑数据值的所述电压感测为与AND逻辑函数的所述第二操作数相关联的所述电压,所述第一“0”逻辑数据值部分地由读取所述存储器单元阵列的与所述AND逻辑函数的所述第一操作数相关联的所述第一存储器单元产生。

3. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以:在于所述AND逻辑函数期间读取所述第一存储器单元之后对应于“0”逻辑数据值的所述电压处于所述感测线上之后,不将所述感测线预充电。

4. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以:在读取存储对应于“1”逻辑数据值的电荷的所述第一存储器单元之后,在读取与所述AND逻辑函数的第二操作数相关联的第二存储器单元之前,将所述感测线预充电。

5. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以:当在读取所述第一存储器单元之后且在读取与所述AND逻辑函数的第二操作数相关联的第二存储器单元之前所述感测线上的电压小于预充电电压电平时,在读取所述第一存储器单元之后且在读取所述第二存储器单元之前,不将所述感测线预充电。

6. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以保持所述感测线上对应于所述“0”逻辑数据值的所述电压直到读取与所述AND逻辑函数的第二操作数相关联的第二存储器单元为止。

7. 根据权利要求2所述的设备,其中所述感测电路经配置以将所述感测线上的与所述AND逻辑函数的所述第二操作数相关联的所述电压感测为对应于第二“0”逻辑数据值,所述第二“0”逻辑数据值由被存储于所述第一存储器单元中的电荷修改且进一步被存储于第二存储器单元中的第二电荷修改的感测线预充电电压产生,

其中存储于所述第二存储器单元中的所述第二电荷对应于“1”逻辑数据值。

8. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以:在读取所述第一存储器单元之后对应于“1”逻辑数据值的电压处于所述感测线上之后,将所述感测线预充电。

9. 根据权利要求2所述的设备,其中所述感测电路进一步经配置以:当在读取所述第一存储器单元之后且在读取与所述AND逻辑函数的第二操作数相关联的第二存储器单元之前所述感测线上的电压大于预充电电压电平时,在读取所述第一存储器单元之后且在读取所述第二存储器单元之前,将所述感测线预充电。

10. 根据权利要求2所述的设备,其中所述感测电路经配置以将所述感测线上对应于逻辑数据值的电压感测为与AND逻辑函数的第二操作数相关联的电压,所述逻辑数据值并非部分地由读取所述存储器单元阵列的与AND逻辑函数的第一操作数相关联的第一存储器单元产生。

11. 根据权利要求2所述的设备,其中所述感测电路经配置以将所述感测线上对应于逻

辑数据值的电压感测为与AND逻辑函数的第二操作数相关联的电压,所述逻辑数据值由被存储于第二存储器单元中的电荷修改的感测线预充电电压产生。

12. 根据权利要求2所述的设备,其中所述感测电路经配置以将所述感测线上对应于第一“1”逻辑数据值的电压感测为与OR逻辑函数的第二操作数相关联的电压,所述第一“1”逻辑数据值部分地由读取所述存储器单元阵列的与所述OR逻辑函数的第一操作数相关联的第一存储器单元产生。

13. 根据权利要求1到12中任一权利要求所述的设备,其中所述感测电路经配置以将所述感测线上对应于第一“1”逻辑数据值的所述电压感测为与OR逻辑函数的所述第二操作数相关联的所述电压,所述第一“1”逻辑数据值部分地由读取所述存储器单元阵列的与所述OR逻辑函数的所述第一操作数相关联的所述第一存储器单元产生。

14. 根据权利要求13所述的设备,其中所述感测电路进一步经配置以:在于所述OR逻辑函数期间读取所述第一存储器单元之后对应于“1”逻辑数据值的所述电压处于所述感测线上之后,不将所述感测线预充电。

15. 根据权利要求13所述的设备,其中所述感测电路进一步经配置以:在读取存储对应于“0”逻辑数据值的电荷的所述第一存储器单元之后,在读取与所述OR逻辑函数的所述第二操作数相关联的第二存储器单元之前,将所述感测线预充电。

16. 根据权利要求13所述的设备,其中所述感测电路经配置以将所述感测线上的与所述OR逻辑函数的所述第二操作数相关联的所述电压感测为对应于第二“1”逻辑数据值,所述第二“1”逻辑数据值由被存储于所述第一存储器单元中的电荷修改且进一步被存储于第二存储器单元中的第二电荷修改的感测线预充电电压产生,其中存储于所述第二存储器单元中的所述第二电荷对应于“0”逻辑数据值。

17. 一种设备,其包括:

存储器单元阵列;及

感测电路,其经由感测线耦合到所述存储器单元阵列,所述感测电路经配置以执行涉及第一存储器单元及第二存储器单元的逻辑函数,所述感测电路包含:

感测放大器,其耦合到所述感测线;及

平衡电路,其耦合到所述感测放大器,

其中所述平衡电路经配置以:在读取所述第一存储器单元之后,基于正执行的所述逻辑函数的类型及所述感测线上的电压而在读取所述第二存储器单元之前选择性地将所述感测线预充电或不预充电。

18. 根据权利要求17所述的设备,其中所述平衡电路进一步经配置以:

当在于AND逻辑函数期间读取所述第一存储器单元之后对应于“0”逻辑数据值的电压处于所述感测线上时,在读取第二存储器单元之前不将所述感测线预充电;且

当在于OR逻辑函数期间读取所述第一存储器单元之后对应于“1”逻辑数据值的电压处于所述感测线上时,在读取第二存储器单元之前不将所述感测线预充电。

19. 根据权利要求17所述的设备,其中所述平衡电路进一步经配置以:

当在于AND逻辑函数期间读取所述第一存储器单元之后对应于“1”逻辑数据值的电压处于所述感测线上时,在读取第二存储器单元之前将所述感测线预充电;且

当在于OR逻辑函数期间读取所述第一存储器单元之后对应于“0”逻辑数据值的电压处

于所述感测线上时,在读取第二存储器单元之前将所述感测线预充电。

20. 根据权利要求17到19中任一权利要求所述的设备,其中所述感测电路进一步经配置以在切换关于AND或OR逻辑函数的位时比在感测所述第一或第二存储器单元时消耗更少电力。

21. 一种设备,其包括:

存储器单元阵列;及

感测电路,其经由一对互补感测线耦合到所述存储器单元阵列,所述感测电路包含:

感测放大器,其耦合到所述对互补感测线;及

平衡电路,其耦合到所述感测放大器,所述平衡电路包含经配置以致使对应于AND逻辑函数及OR逻辑函数的结果的电压出现在所述对互补感测线上的晶体管。

22. 根据权利要求21所述的设备,其中所述平衡电路包括:

第一晶体管;

第二晶体管;及

第三晶体管,其中:

所述第一晶体管的第一源极/漏极区域耦合到所述第二晶体管的第一源极/漏极区域及所述对互补感测线中的第一者;

所述第三晶体管的第一源极/漏极区域耦合到所述第二晶体的第二源极/漏极区域及所述对互补感测线中的第二者;

所述第一晶体的第二源极/漏极区域及所述第二晶体的第二源极/漏极区域耦合到预充电电压供应;且

所述第一晶体的栅极耦合到所述第二晶体的栅极。

23. 根据权利要求22所述的设备,其中所述平衡电路进一步包括:

第四晶体管的第一源极/漏极区域,其耦合到第五晶体管的第一源极/漏极区域;

第六晶体管的第一源极/漏极区域,其耦合到第七晶体管的第一源极/漏极区域;

所述第四晶体的第二源极/漏极区域及所述第六晶体的第二源极/漏极区域耦合到与所述存储器单元阵列相关联的供应电压;

所述第五晶体的第二源极/漏极区域及所述第七晶体的第二源极/漏极区域耦合到所述第一晶体的所述栅极及所述第三晶体的所述栅极;

所述第五晶体的栅极耦合到所述对互补感测线中的所述第一者;且

所述第七晶体的栅极耦合到所述对互补感测线中的所述第二者。

24. 根据权利要求23所述的设备,其中:

所述第四晶体的栅极耦合到OR逻辑函数控制信号线;且

所述第六晶体的栅极耦合到AND逻辑函数控制信号线。

25. 根据权利要求23所述的设备,其中所述平衡电路进一步包括第八晶体管的第一源极/漏极区域耦合到接地参考、所述第八晶体的第二源极/漏极区域耦合到所述第一晶体的所述栅极及所述第三晶体的所述栅极,且所述第八晶体的栅极耦合到平衡控制信号线。

26. 根据权利要求22所述的设备,其中所述平衡电路进一步包括:

第四晶体管的第一源极/漏极区域耦合到OR逻辑函数控制信号线;

第五晶体管的第一源极/漏极区域耦合到AND逻辑函数控制信号线；

所述第四晶体管的第二源极/漏极区域及所述第五晶体管的第二源极/漏极区域耦合到所述第一晶体管的所述栅极及所述第三晶体管的所述栅极；

所述第四晶体管的栅极可切换地耦合到所述对互补感测线中的所述第一者；且

所述第五晶体管的栅极可切换地耦合到所述对互补感测线中的所述第二者。

27. 根据权利要求26所述的设备，其中所述平衡电路进一步包括第六晶体管的第一源极/漏极区域耦合到接地参考、所述第六晶体管的第二源极/漏极区域耦合到所述第一晶体管的所述栅极及所述第三晶体管的所述栅极，且所述第八晶体管的栅极耦合到平衡控制信号线。

28. 根据权利要求27所述的设备，其进一步包括经配置以选择性地将所述对互补感测线中的至多一者耦合到接地参考的反相电路。

29. 根据权利要求28所述的设备，其中所述反相电路包含：

第一反相晶体管的第一源极/漏极区域，其耦合到第一下拉晶体管的第一源极/漏极区域；

第二反相晶体管的第一源极/漏极区域，其耦合到第二下拉晶体管的第一源极/漏极区域；

第一负载晶体管的第一源极/漏极区域，其耦合到所述第一反相晶体的第二源极/漏极区域及所述对互补感测线中的第一者；

所述第一负载晶体的第二源极/漏极区域，其耦合到所述第一下拉晶体的栅极；

第二负载晶体管的第一源极/漏极区域，其耦合到所述第二反相晶体的第二源极/漏极区域及所述对互补感测线中的第二者；

所述第二负载晶体的第二源极/漏极区域，其耦合到所述第二下拉晶体的栅极；

所述第一负载晶体的栅极，其耦合到所述第二负载晶体的栅极及LOAD控制信号线；

所述第一下拉晶体的第二源极/漏极区域及所述第二下拉晶体的第二源极/漏极区域，其耦合到接地参考；及

所述第一反相晶体的栅极及所述第二反相晶体的栅极，其耦合到INVERT控制信号线。

30. 根据权利要求21到29中任一权利要求所述的设备，其进一步包括经配置以选择性地将所述对互补感测线中的一者的第一部分耦合到接地参考且不将所述对互补感测线中的另一者的第一部分耦合到所述接地参考的反相电路，其中所述反相电路包含：

第一反相晶体管的第一源极/漏极区域，其耦合到第一下拉晶体管的第一源极/漏极区域；

第二反相晶体管的第一源极/漏极区域，其耦合到第二下拉晶体管的第一源极/漏极区域；

第一负载晶体管的第一源极/漏极区域，其耦合到所述第一反相晶体的第二源极/漏极区域及所述对互补感测线中的第一者；

所述第一负载晶体的第二源极/漏极区域，其耦合到所述第一下拉晶体的栅极；

第二负载晶体管的第一源极/漏极区域，其耦合到所述第二反相晶体的第二源极/漏

极区域及所述对互补感测线中的第二者；

所述第二负载晶体管的第二源极/漏极区域，其耦合到所述第二下拉晶体管的栅极；

所述第一负载晶体管的栅极，其耦合到所述第二负载晶体管的栅极及LOAD控制信号线；

所述第一下拉晶体管的第二源极/漏极区域及所述第二下拉晶体管的第二源极/漏极区域，其耦合到接地参考；及

所述第一反相晶体管的栅极及所述第二反相晶体管的栅极，其耦合到INVERT控制信号线。

31. 根据权利要求30所述的设备，其中：

所述第五晶体管的所述栅极经由所述第一负载晶体管选择性地耦合到所述对互补感测线中的所述第一者；且

所述第七晶体管的所述栅极经由所述第二负载晶体管选择性地耦合到所述对互补感测线中的所述第二者。

32. 根据权利要求30所述的设备，其进一步包括移位电路，所述移位电路经配置以将所述反相电路选择性地耦合到左邻近互补感测线对及右邻近互补感测线对。

33. 根据权利要求32所述的设备，其中：

所述第一下拉晶体管的栅极选择性地耦合到所述左及右邻近互补感测线对中的每一者的与所述对互补感测线中的第一感测线相对的感测线，第一下拉晶体管的所述第一源极/漏极区域经由所述第一反相晶体管耦合到所述第一感测线；且

所述第二下拉晶体管的栅极选择性地耦合到所述左及右邻近互补感测线对中的每一者的与所述对互补感测线中的第二感测线相对的感测线，第二下拉晶体管的所述第一源极/漏极区域经由所述第二反相晶体管耦合到所述第二感测线。

34. 一种方法，其包括：

以存储于存储器单元阵列的第一存储器单元中的电荷将耦合所述存储器单元阵列及感测电路的感测线的预充电电压修改为经修改电压；

基于正执行的逻辑函数的类型及所述经修改电压而在以存储于第二存储器单元中的电荷修改所述经修改电压之前选择性地不将所述感测线从所述经修改电压平衡到所述预充电电压。

35. 根据权利要求34所述的方法，其进一步包括：

当在AND逻辑函数期间所述经修改电压对应于“0”逻辑数据值时，在将所述第二存储器单元耦合到所述感测线之前，不将所述感测线预充电；及

当在OR逻辑函数期间所述经修改电压对应于“1”逻辑数据值时，在将所述第二存储器单元耦合到所述感测线之前，不将所述感测线预充电。

36. 根据权利要求34到35中任一权利要求所述的方法，其进一步包括：

当在AND逻辑函数期间所述经修改电压对应于“1”逻辑数据值时，在将所述第二存储器单元耦合到所述感测线之前，将所述感测线预充电；及

当在OR逻辑函数期间所述经修改电压对应于“0”逻辑数据值时，在将所述第二存储器单元耦合到所述感测线之前，将所述感测线预充电。

使用感测电路执行逻辑操作

技术领域

[0001] 本发明一般来说涉及半导体存储器及方法,且更特定来说涉及与使用感测电路执行逻辑操作有关的设备及方法。

背景技术

[0002] 存储器装置通常经提供为计算机或其它电子系统中的内部半导体集成电路。存在包含易失性及非易失性存储器的许多不同类型的存储器。易失性存储器可能需要电力来维持其数据(例如,主机数据、错误数据等)且包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、同步动态随机存取存储器(SDRAM)及晶闸管随机存取存储器(TRAM)以及其它。非易失性存储器可通过在未被供电时保持所存储数据而提供持久数据且可包含NAND快闪存储器、NOR快闪存储器及电阻可变存储器,例如相变随机存取存储器(PCRAM)、电阻式随机存取存储器(RRAM)及磁阻式随机存取存储器(MRAM),例如自旋力矩转移随机存取存储器(STT RAM)以及其它。

[0003] 电子系统通常包含可检索及执行指令且将所执行指令的结果存储到适合位置的若干个处理资源(例如,一或多个处理器)。处理器可包括(举例来说)可用于通过对数据(例如,一或多个操作数)执行例如AND、OR、NOT、NAND、NOR及XOR逻辑操作及反转(例如,求反)逻辑操作而执行指令的若干个功能单元,例如算术逻辑单元(ALU)电路、浮动点单元(FPU)电路及/或组合逻辑块。举例来说,功能单元电路(FUC)可用于经由若干个逻辑操作对操作数执行例如加法、减法、乘法及/或除法的算数操作。

[0004] 在将指令提供到FUC以用于执行时可涉及电子系统中的若干个组件。可(例如)由例如控制器及/或主机处理器等处理资源产生所述指令。数据(例如,将对其执行指令的操作数)可存储于可由FUC存取的存储器阵列中。可从存储器阵列检索指令及/或数据且在FUC开始对数据执行指令之前对指令及/或数据进行定序及/或缓冲。此外,由于可通过FUC在一或多个时钟循环中执行不同类型的操作,因此还可对指令及/或数据的中间结果进行定序及/或缓冲。

[0005] 在许多情况中,处理资源(例如,处理器及/或相关联的FUC)可在存储器阵列外部,且可经由处理资源与存储器阵列之间的总线存取数据以执行指令集。可改善存储器内处理器(PIM)装置的处理性能,其中可在存储器内部及/或附近(例如,直接在与存储器阵列相同的芯片上)实施处理器,此可节省处理时间及电力。然而,某些PIM装置可具有各种缺点,例如芯片大小被增加。此外,某些PIM装置仍可消耗与执行逻辑操作(例如,计算函数)相关联的不合意的电力量。

附图说明

[0006] 图1是根据本发明的若干个实施例的呈包含存储器装置的计算系统的形式的设备的框图。

[0007] 图2是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。

- [0008] 图3是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0009] 图4图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0010] 图5图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0011] 图6是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0012] 图7是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0013] 图8是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0014] 图9图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0015] 图10图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0016] 图11图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0017] 图12图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0018] 图13是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0019] 图14是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。
- [0020] 图15是图解说明根据本发明的若干个实施例的感测电路的示意图。
- [0021] 图16是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。
- [0022] 图17图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。
- [0023] 图18图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。

具体实施方式

[0024] 本发明包含与使用感测电路执行逻辑操作有关的设备及方法。实例性设备包括存储器单元阵列及经由感测线耦合到所述存储器单元阵列的感测电路。所述感测电路经配置以将所述感测线上对应于第一逻辑数据值的电压感测为与逻辑函数的第二操作数相关联的电压,所述第一逻辑数据值部分地由读取所述存储器单元阵列的与所述逻辑函数的第一操作数相关联的第一存储器单元产生。

[0025] 与例如先前PIM系统及具有外部处理器(例如,位于存储器阵列外部(例如在单独集成电路芯片上)的处理资源)的系统等的先前系统相比,本发明的若干个实施例可提供与执行计算函数相关联的经改善平行性及/或经减少电力消耗。例如,若干个实施例可实现在不经由总线(例如,数据总线、地址总线、控制总线)将数据传送出存储器阵列及感测电路的情况下执行充分完整的计算函数,例如整数加法、减法、乘法、除法及CAM(内容可寻址存储器)函数。这些计算函数可涉及执行若干个逻辑操作(例如,例如AND、OR、NOT、NOR、NAND、XOR等的逻辑函数)。然而,实施例并不限于这些实例。例如,执行逻辑操作可包含执行若干个非布尔逻辑操作,例如复制、比较、抵消等。

[0026] 在先前方法中,可将数据从阵列及感测电路传送(例如,经由包括输入/输出(I/O)线的总线)到例如处理器、微处理器及/或计算引擎等的处理资源,所述处理资源可包括ALU电路及/或经配置以执行适当逻辑操作的其它功能单元电路。然而,将数据从存储器阵列及感测电路传送到此类处理资源可涉及显著电力消耗。即使处理资源位于与存储器阵列相同的芯片上,在将数据从阵列移出到计算电路时也可消耗显著电力,将数据从阵列移出到计算电路可涉及执行感测线(其可在本文中称为数字线或数据线)地址存取(例如,激发行解码信号)以便将数据从感测线传送到I/O线(局部I/O线)上,从而将数据移动到阵列外围并将数据提供到计算函数。

[0027] 此外,处理资源(例如,计算引擎)的电路可不符合与存储器阵列相关联的间距规则。举例来说,存储器阵列的单元可具有 $4F^2$ 或 $6F^2$ 单元大小,其中“F”是对应于单元的特征大小。如此,与先前PIM系统的ALU电路相关联的装置(例如,逻辑门)可能不能够按与存储器单元相同的间距形成,此可例如影响芯片大小及/或存储器密度。本发明的若干个实施例包含按与阵列的存储器单元相同的间距形成且能够执行例如下文所描述的那些计算函数的计算函数的感测电路。

[0028] 在本发明的以下详细说明中,参考形成本文一部分且其中以图解说明方式展示可如何实践本发明的一或多个实施例的附图。充分详细地描述这些实施例以使所属领域的一般技术人员能够实践本发明的实施例,且应理解,可利用其它实施例且可做出过程、电及/或结构改变,而不背离本发明的范围。如本文中所使用,特定来说关于图式中的参考编号,标识符“N”指示可包含如此指定的若干个特定特征。如本文中所使用,“若干个”特定事物可指代此类事物中的一或多者(例如,若干个存储器阵列可指代一或多个存储器阵列)。

[0029] 本文中的图遵循其中第一个数字或前几个数字对应于图式的图编号且剩余数字识别图式中的元件或组件的编号惯例。不同图之间的类似元件或组件可通过使用类似数字来识别。举例来说,在图2中206可指代元件“06”,且在图6中类似元件可指代为606。如将了解,可添加、更换及/或消除本文中的各种实施例中所展示的元件以便提供本发明的若干个额外实施例。另外,如将了解,图中所提供的元件的比例及相对标度意欲图解说明本发明的某些实施例且不应视为具限制性意义。

[0030] 图1是根据本发明的若干个实施例的呈包含存储器装置120的计算系统100的形式的设备的框图。如本文中所使用,还可将存储器装置120、存储器阵列130及/或感测电路150单独地视为“设备”。

[0031] 系统100包含耦合(例如,连接)到包含存储器阵列130的存储器装置120的主机110。主机110可为主机系统,例如个人膝上型计算机、桌上型计算机、数码相机、智能电话或存储器读卡器以及各种其它类型的主机。主机110可包含系统母板及/或底板且可包含若干个处理资源(例如,一或多个处理器、微处理器或某一其它类型的控制电路)。系统100可包含单独集成电路,或主机110及存储器装置120两者可在相同集成电路上。系统100可为(例如)服务器系统及/或高性能计算(HPC)系统及/或其一部分。尽管图1中所展示的实例图解说明具有范纽曼型架构的系统,但可以非范纽曼型架构(例如,杜林机)实施本发明的实施例,非范纽曼型架构可不包含通常与范纽曼型架构相关联的一或多个组件(例如,CPU、ALU等)。

[0032] 为了清晰起见,系统100已经简化以集中于与本发明具有特定相关性的特征。存储

器阵列130可为(例如) DRAM阵列、SRAM阵列、STT RAM阵列、PCRAM阵列、TRAM阵列、RRAM阵列、NAND快闪阵列及/或NOR快闪阵列。阵列130可包括布置成由存取线(其可在本文中称为字线或选择线)耦合的行及由感测线耦合的列的存储器单元。尽管图1中展示单个阵列130,但实施例并不如此受限制。例如,存储器装置120可包含若干个阵列130(例如,若干个DRAM单元库)。与图2相关联地来描述实例性DRAM阵列。

[0033] 存储器装置120包含地址电路142以锁存通过I/O电路144经由I/O总线156(例如,数据总线)提供的地址信号。由行解码器146及列解码器152接收并解码地址信号以存取存储器阵列130。可通过使用感测电路150在数据线上感测电压及/或电流改变而从存储器阵列130读取数据。感测电路150可从存储器阵列130读取且锁存一页(例如,行)数据。I/O电路144可用于经由I/O总线156与主机110进行双向数据通信。写入电路148用于将数据写入到存储器阵列130。

[0034] 控制电路140解码通过控制总线154从主机110提供的信号。这些信号可包含用于控制对存储器阵列130执行的操作(包含数据读取、数据写入及数据抹除操作)的芯片启用信号、写入启用信号及地址锁存信号。在各种实施例中,控制电路140负责执行来自主机110的指令。控制电路140可为状态机、定序器或某一其它类型的控制器。

[0035] 控制器140可包含可控制与执行数据移位相关联地提供到(例如)移位电路的信号移位控制器170,如本文中进一步描述。举例来说,移位控制器170可控制在阵列中使数据(例如,向右或向左)移位。

[0036] 下文进一步描述感测电路150的实例。例如,在若干个实施例中,感测电路150可包括若干个感测放大器(例如,图2中所展示的感测放大器206或图7中所展示的感测放大器706)及若干个计算组件(例如,图2中所展示的计算组件231-1),所述若干个计算组件可用作且在本文中称为累加器且可用于执行逻辑操作(例如,对与互补数据线相关联的数据)。

[0037] 在若干个实施例中,感测电路(例如,150)可用于使用存储于阵列130中的数据作为输入来执行逻辑操作且在不经由感测线地址存取传送数据的情况下(例如,在不激发列解码信号的情况下)将逻辑操作的结果往回存储到阵列130。如此,各种计算函数可使用感测电路150且在感测电路150内执行,而非由在感测电路外部的处理资源(例如,由与主机110相关联的处理器及/或位于装置120上(例如,控制电路140上或别处)的其它处理电路,例如ALU电路)执行(或与所述处理资源相关联地被执行)。

[0038] 在各种先前方法中,与操作数相关联的数据(例如)将经由感测电路从存储器经读取且经由I/O线(例如,经由局部I/O线及/或全局I/O线)提供到外部ALU电路。外部ALU电路可包含若干个寄存器且将使用操作数执行计算函数,且经由I/O线将结果往回传送到阵列。相比之下,在本发明的若干个实施例中,感测电路(例如,150)经配置以对存储于存储器(例如,阵列130)中的数据执行逻辑操作且在不启用耦合到感测电路(其可按与阵列的存储器单元相同的间距形成)的I/O线(例如,局部I/O线)的情况下将结果往回存储到存储器。启用I/O线可包含启用(例如,接通)具有耦合到解码信号(例如,列解码信号)的栅极及耦合到I/O线的源极/漏极的晶体管。实施例并不如此受限制。例如,在若干个实施例中,感测电路(例如,150)可用于在不启用阵列的列解码线的情况下执行逻辑操作;然而,可启用局部I/O线以便将结果传送到除往回到阵列以外的适合位置(例如,传送到外部寄存器)。

[0039] 如此,在若干个实施例中,不需要在阵列130及感测电路150外部的电路执行计算

函数,因为感测电路150可执行适当逻辑操作以在不使用外部处理资源的情况下执行此些计算函数。因此,感测电路150可用于至少在某种程度上补充及/或替换此外部处理资源(或至少此外部处理资源的带宽)。然而,在若干个实施例中,除由外部处理资源(例如,主机110)执行的逻辑操作之外,感测电路150也可用于执行逻辑操作(例如,以执行指令)。例如,主机110及/或感测电路150可限于仅执行某些逻辑操作及/或某一数目个逻辑操作。

[0040] 图2是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。在此实例中,感测电路的所述部分包括感测放大器206。在若干个实施例中,针对阵列(例如,阵列130)中的每一存储器单元列提供一个感测放大器206(例如,“感测放大器”)。例如,感测放大器206可为DRAM阵列的感测放大器。在此实例中,感测放大器206耦合到一对互补数据线205-1(D)及205-2(D_̄)。如此,感测放大器206可通过数据线205-1(D)及205-2(D_̄)耦合到相应列中的所有存储器单元。

[0041] 感测放大器206可包含平衡电路214及锁存器215(例如,例如交叉耦合的锁存器等静态锁存器)。锁存器215可包含一对交叉耦合的n沟道晶体管(例如,NMOS晶体管)227-1及227-2,其相应源极通过汇集晶体管(sink transistor)213选择性地耦合到参考电压(例如,接地)。汇集晶体管213的栅极可耦合到提供控制信号(例如,RNL)的控制信号线228。汇集晶体管213可为p沟道晶体管,所述p沟道晶体管通过控制信号线228上的控制信号变低而经启用以导通。交叉耦合的n沟道晶体管227-1可具有直接耦合到第一锁存器节点217-1(S1)的漏极,且交叉耦合的n沟道晶体管227-2可具有直接耦合到第二锁存器节点217-2(S2)的漏极。第一锁存器节点217-1(S1)耦合到数据线205-1(D),且第二锁存器节点217-2(S2)耦合到数据线205-2(D_̄)。

[0042] 锁存器215也可包含一对交叉耦合的p沟道晶体管(例如,PMOS晶体管)229-1及229-2,其相应源极通过源极晶体管211选择性地耦合到供应电压(例如,V_{CC})。源极晶体管211的栅极可耦合到提供控制信号(例如,ACT)的控制信号线290。如图2中所展示,源极晶体管211可为p沟道晶体管,所述p沟道晶体管通过控制信号线290上的控制信号变低而经启用以导通。交叉耦合的p沟道晶体管229-1可具有直接耦合到第一锁存器节点217-1(S1)的漏极,且交叉耦合的p沟道晶体管229-2可具有直接耦合到第二锁存器节点217-2(S2)的漏极。

[0043] 交叉耦合的n沟道晶体管227-1的栅极及交叉耦合的p沟道晶体管229-1的栅极耦合到第二锁存器节点217-2(S2)。交叉耦合的n沟道晶体管227-2的栅极及交叉耦合的p沟道晶体管229-2的栅极耦合到第二锁存器节点217-1(S1)。

[0044] 平衡电路214可经配置以平衡数据线205-1(D)及205-2(D_̄)。在此实例中,平衡电路214包括耦合于数据线205-1(D)与205-2(D_̄)之间的晶体管224。平衡电路214还包括各自具有耦合到平衡电压(例如,V_{CC}/2)的第一源极/漏极区域的晶体管225-1及225-2,其中V_{CC}是与阵列相关联的供应电压。晶体管225-1的第二源极/漏极区域可耦合到数据线205-1(D),且晶体管225-2的第二源极/漏极区域可耦合到数据线205-2(D_̄)。晶体管224、225-1及225-2的栅极可耦合在一起,且耦合到平衡(EQ)控制信号线226。如此,激活EQ会启用晶体管224、225-1及225-2,此有效地将数据线205-1(D)及205-2(D_̄)短接在一起且短接到平衡电压(例如,V_{CC}/2)。

[0045] 平衡电路214可进一步包括如图2中所展示而配置的晶体管237、238-1、238-2、236-1及236-2。晶体管236-1的第一源极/漏极区域耦合到晶体管238-1的第一源极/漏极区

域。晶体管236-2的第一源极/漏极区域耦合到晶体管238-2的第一源极/漏极区域。晶体管236-1的第二源极/漏极区域及晶体管236-2的第二源极/漏极区域耦合到与存储器单元阵列相关联的供应电压(例如, V_{CC})。晶体管238-1的第二源极/漏极区域及晶体管238-2的第二源极/漏极区域耦合到平衡(EQ)控制信号线226(及/或耦合到晶体管224、225-1及225-2的栅极)。晶体管238-1的栅极耦合到数据线205-1(D),且晶体管238-1的栅极耦合到数据线205-2(D₂)。

[0046] 晶体管236-1的栅极耦合到OR逻辑函数控制信号线(例如,EqOR),且晶体管236-2的栅极耦合到AND逻辑函数控制信号线(例如,EqAND)。晶体管237耦合于平衡(EQ)控制信号线226与参考电压线(例如,接地)之间。晶体管237的栅极耦合到EQ逻辑控制信号线(例如,EqF)。

[0047] 根据各种实施例,晶体管224、225-1、225-2及237是n沟道晶体管且晶体管236-1、236-2、238-1及238-2是p沟道晶体管,如图2中所展示。然而,本发明的实施例不限于以此实例性配置提供的特定导电类型的晶体管。举例来说,可将相反控制信号与相反导电类型的晶体管一起使用来实施相同感测放大器功能性。

[0048] 感测放大器206还可包含用于以常规方式与存储器阵列介接的额外晶体管,例如具有耦合到列解码信号或列选择信号的栅极的晶体管。并且数据线205-1(D)及205-2(D₂)可耦合到相应局部I/O线(例如,I0及I0₂),所述相应局部I/O线响应于启用信号而执行与读取操作相关联的操作,例如数据线存取。可激活此启用信号以在I/O线上将对应于正被存取的存储器单元的状态(例如,例如逻辑“0”或逻辑“1”的逻辑数据值)的信号传送出阵列。

[0049] 在操作中,当正感测(例如,读取)存储器单元时,数据线205-1(D)或205-2(D₂)中的一者上的电压将稍微大于数据线205-1(D)或205-2(D₂)中的另一者上的电压。ACT信号290及RNL信号228然后经驱动为低以启用感测放大器206。具有较低电压的数据线205-1(D)或205-2(D₂)对PMOS晶体管229-1或229-2中的一者的接通程度大于对PMOS晶体管229-1或229-2中的另一者的接通程度,借此使将具有较高电压的数据线205-1(D)或205-2(D₂)驱动为高的程度大于将另一数据线205-1(D)或205-2(D₂)驱动为高的程度。

[0050] 类似地,具有较高电压的数据线205-1(D)或205-2(D₂)将对NMOS晶体管227-1或227-2中的一者的接通程度大于对NMOS晶体管227-1或227-2中的另一者的接通程度,借此使将具有较低电压的数据线205-1(D)或205-2(D₂)驱动为低的程度大于将另一数据线205-1(D)或205-2(D₂)驱动为低的程度。因此,在短延迟之后,具有稍微较大电压的数据线205-1(D)或205-2(D₂)通过源极晶体管211经驱动到供应电压 V_{CC} 的电压,且另一数据线205-1(D)或205-2(D₂)通过汇集晶体管213经驱动到参考电压(例如,接地)的电压。因此,交叉耦合的NMOS晶体管227-1及227-2及PMOS晶体管229-1及229-2用作感测放大器对,所述感测放大器对放大数据线205-1(D)及205-2(D₂)上的差分电压且操作以锁存从选定存储器单元感测到的数据值。如本文中所使用,感测放大器206的交叉耦合的锁存器可称为初级锁存器215。相比之下,且如上文关于图8及13所描述,与计算电路(例如,图8中所展示的计算电路831-1、图13中所展示的计算电路1331-1)相关联的交叉耦合的锁存器可称为次级锁存器。例如,初级锁存器215及次级锁存器(例如,图8中所展示的864)的晶体管可按与阵列的存储器单元相同的间距形成。

[0051] 图3是图解说明根据本发明的若干个实施例的感测电路的示意图。在此实例中,存

存储器阵列330是各自由存取装置302(例如,晶体管)及存储元件303(例如,电容器)组成的1T1C(一个晶体管一个电容器)存储器单元的DRAM阵列。在若干个实施例中,所述存储器单元可为破坏性读取存储器单元(例如,读取存储于所述单元中的数据会破坏数据使得起初存储于单元中的数据在经读取之后被刷新)。存储器阵列330的单元布置成由字线304-X(行X)、304-Y(行Y)等耦合的行及由互补数据线对DIGIT(n-1)/DIGIT(n-1)_、DIGIT(n)/DIGIT(n)_、DIGIT(n+1)/DIGIT(n+1)_耦合的列。对应于每一对互补数据线的个别数据线还可分别称为数据线305-1(D)及305-2(D₂)。尽管图3中展示仅三对互补数据线,但本发明的实施例并不如此受限制,且存储器单元阵列可包含额外存储器单元列及/或数据线(例如,4,096、8,192、16,384等)。

[0052] 如图3中所展示,特定存储器单元晶体管302的栅极可耦合到其对应字线304-X、304-Y等,第一源极/漏极区域可耦合到其对应数据线(例如,305-1(D)、305-2(D₂)),且特定存储器单元晶体管的第二源极/漏极区域可耦合到其对应电容器303。

[0053] 根据本发明的若干个实施例,存储器阵列330耦合到感测电路350。在此实例中,感测电路350包括对应于相应存储器单元列(例如,耦合到相应互补数据线对305-1(D)、305-2(D₂))的感测放大器306但不另外包括计算组件(例如,可执行反转及/或累加器功能性的图6中所展示的631、图8中所展示的831-2)。举例来说,感测电路可对应于图1中所展示的感测电路150。

[0054] 感测放大器306可对应于先前关于图2所描述的感测放大器206。可操作感测放大器306以确定存储于选定存储器单元中及/或由存在于互补数据线305-1(D)、305-2(D₂)上的电压表示的数据值(例如,逻辑状态)。如先前所论述,感测放大器(例如,306)可包含可在本文中称为初级锁存器的交叉耦合的锁存器。感测放大器306的实施例不限于图2中所展示的实例性感测放大器206,且可为(举例来说)电流模式感测放大器及/或单端感测放大器(例如,耦合到一个数据线的感测放大器)。而且,本发明的实施例不限于折叠式数据线架构。在若干个实施例中,可操作感测放大器306以使用平衡电路及/或联合反转电路执行逻辑操作,其中在不经由I/O线传送来自感测电路的数据的情况下(例如,在不经由例如列解码信号的激活执行数据线地址存取的情况下)将结果存储于初级锁存器中。

[0055] 逻辑操作(例如,涉及数据值的布尔逻辑函数)的执行是基本且常用的。布尔逻辑函数用于许多较高级函数中。因此,可借助经改善逻辑操作实现速度及/或电力效率,此可转化成较高级功能性的速度及/或电力效率。本文中描述用于在不经由输入/输出(I/O)线传送数据的情况下及/或在不将数据传送到在阵列外部的控制组件的情况下执行逻辑操作的设备及方法。取决于存储器阵列架构,用于执行逻辑操作的设备及方法可不需要对感测线(例如,数据线、数字线、位线)对的放大。

[0056] 如图3中所展示,感测电路350可经由移位电路323耦合到存储器阵列330。在此实例中,移位电路323包括耦合于数据线305-1(D)及305-2(D₂)中间的一对隔离晶体管321-1及321-2。即,隔离晶体管321-1的第一源极/漏极区域可耦合到数据线305-1(D)的第一部分且隔离晶体管321-1的第二源极/漏极区域可耦合到数据线305-1(D)的第二部分。隔离晶体管321-2可类似地耦合于数据线305-2(D₂)的部分之间。

[0057] 隔离晶体管321-1及321-2的栅极耦合到控制信号322(例如,“NORM”),控制信号322在被激活时启用(例如,接通)隔离晶体管321-1及321-2以将对应感测放大器306耦合到

与互补数据线对305-1 (D) 及305-2 (D_̄) 耦合的存储器单元列。根据各种实施例,将存储器单元耦合到特定感测放大器306的隔离晶体管321-1及321-2可称为移位电路323的“正常”配置。

[0058] 在图3中所图解说明的实例中,移位电路323还包含耦合于感测放大器306与邻近互补数据线对305-1 (D) 及305-2 (D_̄) 之间的另一(例如,第二)对隔离晶体管321-3及321-4。如图3中所展示,隔离晶体管321-3及321-4经配置以将互补数据线对305-1 (D) 及305-2 (D_̄) (例如,DIGIT (n) /DIGIT (n)_̄) 耦合到邻近感测放大器306。隔离晶体管321-3及321-4还可描述为经配置以将感测放大器306(例如,对应于例如DIGIT (n) /DIGIT (n)_̄的互补数据线对305-1 (D) 及305-2 (D_̄)) 耦合到邻近互补数据线对305-1 (D) 及305-2 (D_̄) (例如,DIGIT (n-1) /DIGIT (n-1)_̄) 。

[0059] 隔离晶体管321-3及321-4经配置以将邻近互补数据线对从隔离晶体管321-1及321-2的一侧(例如,存储器单元所耦合到的邻近互补数据线对305-1 (D) 及305-2的一部分) 耦合到与互补数据线对305-1 (D) 及305-2耦合的不同移位电路323的隔离晶体管321-1及321-2的相反侧(例如,感测放大器306所耦合到的互补数据线对305-1 (D) 及305-2的一部分)。隔离晶体管321-3及321-4的栅极可耦合到控制信号319(例如,“SHIFT”),控制信号319可(举例来说)在NORM控制信号322被撤销激活时经激活。

[0060] 尽管图3中所展示的移位电路323经配置使得隔离晶体管321-3及321-4将一对互补数据线305-1 (D) 及305-2 (D_̄) 耦合到右邻近感测放大器306(例如,或将感测放大器耦合到左邻近互补数据线对305-1 (D) 及305-2 (D_̄)),但本发明的实施例不限于图3中所图解说明的特定配置。例如,隔离晶体管321-3及321-4可经配置以将一对互补数据线305-1 (D) 及305-2 (D_̄) 耦合到左邻近感测放大器306(例如,或将感测放大器耦合到右邻近互补数据线对305-1 (D) 及305-2 (D_̄))。根据本发明的一些实施例,隔离晶体管321-3及321-4可经配置以将一对互补数据线305-1 (D) 及305-2 (D_̄) 耦合到非邻近的感测放大器306(例如,不同于隔离晶体管321-1及321-2将互补数据线对305-1 (D) 及305-2 (D_̄) 耦合到的感测放大器306)。

[0061] 在图3中所图解说明的实例中,移位电路323进一步包含耦合于感测放大器306与对应互补数据线对305-1 (D) 及305-2 (D_̄) (例如,隔离晶体管321-1及321-2将特定感测放大器306耦合到的互补数据线对305-1 (D) 及305-2 (D_̄)) 之间的另一(例如,第三)对隔离晶体管321-5及321-6。然而,隔离晶体管321-5及321-6经配置而以与隔离晶体管321-1及321-2将互补数据线对305-1 (D) 及305-2 (D_̄) 耦合到感测放大器306的定向相反的定向将互补数据线对305-1 (D) 及305-2 (D_̄) 耦合到感测放大器306。隔离晶体管321-5及321-6将互补数据线对305-1 (D) 及305-2 (D_̄) 转置为耦合到感测放大器306。

[0062] 即,隔离晶体管321-1及321-2可经配置以将数据线305-1 (D) 耦合到初级锁存器的节点S1(例如,图2中所展示的217-1) 且将数据线305-2 (D_̄) 耦合到初级锁存器的节点S2(例如,图2中所展示的217-2),且隔离晶体管321-5及321-6可经配置以将数据线305-1 (D) 耦合到初级锁存器的节点S2(例如,图2中所展示的217-2) 且将数据线305-2 (D_̄) 耦合到初级锁存器的节点S1(例如,图2中所展示的217-1)。如此,隔离晶体管321-5及321-6经配置以使互补数据线对305-1 (D) 及305-2 (D_̄) 反转到感测放大器306的初级锁存器(例如,图2中所展示的215)。隔离晶体管321-5及321-6的栅极可耦合到控制信号319(例如,“INV”),控制信号

319可(举例来说)在NORM控制信号322被撤销激活时经激活。可操作隔离晶体管321-5及321-6以反转感测放大器306的初级锁存器中的数据值及/或将经反转数据值存储于感测放大器306的初级锁存器中。

[0063] 移位电路323有效地配置为能够将计算组件350耦合到三个可能数据线配置中的一者(例如,经由第一对隔离晶体管耦合到对应互补数据线对为正常,经由第二对隔离晶体管耦合到邻近互补数据线对为移位,且经由第三对隔离晶体管耦合到对应互补数据线对的经转置布置为反转)的3对1多路复用器。

[0064] 本发明的实施例不限于图3中所展示的移位电路323的配置。在若干个实施例中,例如,可在不经由I/O线(例如,区域IO/IO_线)将数据传送出感测电路的情况下与执行例如加法及减法函数等计算函数相关联地操作例如展示图3中所展示的移位电路323(例如,联合感测放大器306)。

[0065] 每一存储器单元列可耦合到列解码线,所述列解码线可经启用以经由局部I/O线将来自对应感测放大器306的数据值传送到在阵列外部的例如外部处理资源(例如,主机处理器及/或其它功能单元电路)等控制组件。列解码线可耦合到列解码器(例如,图1中所展示的列解码器152)。然而,如本文中所描述,在若干个实施例中,不需要经由这些I/O线传送数据便能执行根据本发明的实施例的逻辑操作。在若干个实施例中,例如,在不将数据传送到在阵列外部的控制组件的情况下执行例如加法及减法函数等计算函数时,可操作(例如,联合感测放大器306)例如图3中所展示的移位电路323。

[0066] 图4图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图4图解说明与起始AND逻辑操作相关联的时序图。图4图解说明第一与第二操作数数据值的各种组合的感测放大器信号,包含平衡电路信号。图4展示对应于每一集合中的行X数据值与行Y数据值的每一组合的相应感测放大器及平衡电路信号。下文关于与图3中所展示的电路的AND操作相关联的伪码论述特定时序图信号。

[0067] 与执行逻辑操作(例如AND操作、OR操作)相关联的初始操作阶段可涉及将逻辑操作的第一操作数加载到感测放大器(例如,对应于图2中详细展示的感测放大器206的图3中所展示的感测放大器306)中。可如下总结与将存储于耦合到行304-X的单元中的第一数据值加载(例如,复制)到感测放大器306中相关联的伪码的实例:

[0068] 将行X复制到感测放大器中:

[0069] 停用EQ

[0070] 开启行X

[0071] 激发感测放大器(在此之后行X数据驻存于感测放大器中)

[0072] 关闭行X

[0073] 激活EqAND

[0074] 预充电(例如,停用控制信号EqF、ACT及RNL)

[0075] 在以上伪码中,“停用EQ”指示:如图4中所展示在 t_1 处停用对应于图3中所展示的感测放大器306(例如,图2中所展示的214)的平衡电路。由于图2中所展示的平衡电路214的晶体管236-1及236-1是PMOS晶体管,因此通过平衡信号EqAND及EqOR变高以关断晶体管236-1及236-1而发生平衡电路214的停用。平衡电路214的停用还涉及平衡信号EqF变高以接通晶体管237以使晶体管224、225-1及225-2的栅极接地(例如,使得互补数据线(例如,

305-1 (D) 及305-2 (D₂) 不再短接在一起且短接到 $V_{cc}/2$)。

[0076] 在停用平衡电路214之后,启用(例如,例如通过激活信号以选择特定行而选择、开启)选定行(例如,行X),如由伪码中的“开启行X”所展示且针对图4中的信号行X在 t_2 处所展示。当施加到行X 304-X的电压信号达到对应于选定单元的存取晶体管的阈值电压(V_t)时,存取晶体管接通且将数据线(例如,305-2 (D₂))耦合到选定单元,此形成数据线之间的差分电压信号。

[0077] 在开启行X之后,在以上伪码中,“激发感测放大器”指示感测放大器306被启用。举例来说,如图3中在 t_3 处所展示,ACT正控制信号变低且RNL负控制信号变低,此放大305-1 (D) 与D₂305-2之间的差分信号,从而导致对应于逻辑“1”的电压(例如, V_{cc})或对应于逻辑“0”的电压(例如,GND)处于数据线305-1 (D) 上(且对应于另一逻辑状态的电压处于互补数据线305-2 (D₂) 上)。所感测数据值存储于感测放大器306的初级锁存器中。在将数据线(例如,305-1 (D) 或305-2 (D₂))从平衡电压 $V_{cc}/2$ 充电到导轨电压 V_{cc} 中发生初级能量消耗。

[0078] 在激发感测放大器之后,在以上伪码中,停用(例如,例如通过对特定行的选择信号撤销激活而解除选择、关闭)选定行(例如,行X),如由“关闭行X”所指示且图4中在 t_4 处所指示,可通过存取晶体管关断以将选定单元从对应数据线解耦来完成此操作。在关闭行X之后,在以上伪码中,“激活EqAND”指示EqAND控制信号经驱迫为低,如图4中在 t_5 处所展示,此将晶体管238-2的一侧耦合到 V_{cc} 以准备使感测放大器306“预种”有基于行X数据值进行的AND逻辑操作的可能结果。

[0079] 在EqAND控制信号经驱迫为低(或同步为低,如图4中在 t_5 处所展示)之后,可将数据线预充电,如由以上伪码中的“预充电”所指示。在此情形中,“预充电”指示且尝试起始平衡操作以将数据线预充电,如图4中在 t_5 处所展示,此使感测放大器306“预种”有基于行X数据值的进行AND逻辑操作的可能结果。通过停用控制信号EqF、ACT及RNL而起始平衡操作。控制信号EqF通过变低以关断图2中所展示的晶体管237(此使晶体管224、225-1及225-2的栅极不接地)而经停用。控制信号还关断以停止激发感测放大器306。

[0080] 如果行X含有逻辑“0”,那么数据线305-1 (D) 为低且数据线305-2 (D₂) 为高,此致使晶体管238-2关断使得 V_{cc} 不通过晶体管236-2(其是接通,因为EqAND控制信号在上文经驱迫为低)施加到晶体管224、225-1及225-2的栅极。如此,数据线305-1及305-2不平衡且保持对应于行X逻辑“0”数据值的相应电压。

[0081] 如果行X含有逻辑“1”,那么数据线305-1 (D) 为高且数据线305-2 (D₂) 为低,此致使晶体管238-2接通使得 V_{cc} 通过晶体管236-2(其是接通,因为EqAND控制信号在上文经驱迫为低)施加到晶体管224、225-1及225-2的栅极。如此,数据线305-1及305-2正常地预充电(例如,短接在一起且短接到 $V_{cc}/2$),且当存取下一存储器单元时,数据线305-1及305-2电压将基于存储于下一选定存储器单元中的电荷而修改。

[0082] 与对第一数据值(例如,现在存储于感测放大器306中的行X数据值)及第二数据值(存储于耦合到行Y 304-Y的存储器单元302中)执行AND(或OR)操作相关联的后续操作阶段包含执行取决于将执行AND还是OR的特定步骤。与对数据值进行“AND”操作相关联的实例性伪码可包含:

[0083] 停用EQ

[0084] 开启行Y(以使感测放大器预种有来自行X的AND数据)

[0085] 激发感测放大器 (AND操作的结果驻存于感测放大器中)

[0086] 关闭行Y

[0087] 预充电

[0088] 在以上伪码中,“停用EQ”指示对应于感测放大器306的平衡信号被停用,图4中在 t_6 处图解说明此(例如,使得互补数据线305-1(D)及305-2(D₋)不再短接到 $V_{cc}/2$)。在平衡被停用之后,启用AND逻辑操作的第二操作数的选定行(例如,行Y),如以上伪码中由“开启行Y”所指示且图4中在 t_7 处所展示。当施加到行Y的电压信号达到对应于选定单元的存取晶体管(例如,302)的阈值电压(V_t)时,存取晶体管接通且将数据线(例如,D_305-1)耦合到选定单元(例如,电容器303-1),此形成数据线之间的差分电压信号。

[0089] 在AND逻辑操作的初始操作阶段中,感测放大器“预种”有来自AND逻辑操作的第一操作数(例如,行X)的AND数据,如上文所描述。在开启AND逻辑操作的第二操作数的选定行(例如,行Y)时,如果行X含有逻辑“0”,那么数据线305-1及305-2此后不平衡,且维持与逻辑“0”数据值相关联的电压(由于感测放大器306的先前激发而处于全轨),如果行Y含有逻辑“1”,那么存储于选定存储器单元中的电荷将不足以使逻辑“0”数据值翻转。如果行X含有逻辑“1”,那么不管存储于耦合到行Y的存储器单元中的数据值如何,AND逻辑操作的结果均将是逻辑“0”。如果行X含有逻辑“1”,那么数据线305-1及305-2此后平衡且存储于选定存储器单元中的电荷将把数据线305-1及305-2上的电压适当地修改为远离平衡电压(例如, $V_{cc}/2$)。

[0090] 在行Y被开启之后,在以上伪码中,“激发感测放大器”指示:感测放大器306经启用以放大305-1(D)与305-2(D₋)之间的差分信号,从而导致对应于逻辑“1”的电压(例如, V_{cc})或对应于逻辑“0”的电压(例如,GND)处于数据线305-1(D)上(且对应于另一逻辑状态的电压处于互补数据线305-2(D₋)上)。如图4中在 t_8 处所展示,ACT正控制信号变低且RNL负控制信号变低以激发感测放大器。数据线305-1及305-2上的数据值存储于感测放大器306的初级锁存器中,所述数据值可对应于存储于选定存储器单元中的数据值,如上文所述。

[0091] 在感测放大器在行Y开启的情况下激发之后,在以上伪码中,“关闭行Y”指示可停用选定行(例如,行Y),如图4中在 t_9 处所展示。根据以上伪码,AND逻辑操作的结果不仅存储于感测放大器306中,而且存储于耦合到行Y的存储器单元中,因为在感测放大器306被激发时行Y保持开启。如果不期望将AND逻辑操作的结果往回存储于对应于行Y的存储器单元中,那么可在激发感测放大器306之前隔离对应于行Y的存储器单元(例如,通过关断存取晶体管以将选定单元302从数据线305-1(D)解耦)。在数据线被隔离的情况下,以上伪码中的“预充电”可通过平衡操作导致数据线的预充电,如先前所描述及图4中在 t_{10} 处所展示。在 t_{10} 处,图4还展示通过正控制信号(例如,ACT)变高且负控制信号(例如,RNL)变高而停用感测放大器306。图4还展示在 t_{11} 处结束平衡操作,此可对应于下一逻辑操作的 t_1 。

[0092] 在替代方案中,图4针对涉及可能操作数组合(例如,行X/行Y数据值00、10、01及11)中的每一者的AND逻辑操作展示耦合到感测放大器(例如,图3中所展示的306)的数据线(例如,图3中所展示的305-1(D)及305-2(D₋))上的电压信号的行为。

[0093] 图5图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图5图解说明与起始OR逻辑操作相关联的时序图。图5图解说明第一与第二操作数数据值的各种组合的感测放大器信号。图5图解说明与执行OR逻辑操作相关联的

初始及后续操作阶段。行X数据值存储于感测放大器306中,感测放大器306预种有基于来自行X的数据值进行的OR逻辑函数的结果,且最终,第二数据值(例如,行Y)取决于每一操作数的数据值而可改变或不改变预种于感测放大器306中的OR逻辑函数结果。

[0094] 用以实施OR逻辑函数的伪码与上文关于AND逻辑函数所提供的伪码相同,只不过是EqOR控制信号被断言而非上文所论述的EqAND控制信号。图5中所图解说明的时序图反映这些类似性及差异。再次参考图2,断言(例如,将控制信号驱动为低)EqOR控制信号而非EqAND控制信号接通平衡电路214中的晶体管236-1而非晶体管236-2。因此,当EqOR控制信号被断言且数据线305-1及305-2上的电压对应于逻辑“0”(例如,行X的数据值是逻辑“0”)时, V_{cc} 被施加到晶体管224、225-1及225-2的栅极,此致使数据线305-1及305-2平衡(例如,短接在一起且短接到 $V_{cc}/2$)。此后,当存取下一存储器单元时,数据线305-1及305-2电压将基于存储于下一选定存储器单元中的电荷而修改,此反映当第一操作数数据值是逻辑“0”时OR逻辑函数的结果将与第二操作数逻辑值相同。

[0095] 如果行X的数据值是逻辑“1”,那么当EqOR控制信号被断言时, V_{cc} 不被施加到晶体管224、225-1及225-2的栅极,因为数据线305-1(D)上的电压为高从而使晶体管238-1保持关断使得在将行X数据值加载到感测放大器306中之后不发生平衡。如此,数据线305-1及305-2保持对应于逻辑“1”的行X数据值的全轨电压,存储于耦合到行Y的存储器单元中的电荷不可能使逻辑“1”翻转。如果第一操作数是逻辑“1”,那么不管第二操作数的数据值如何,OR逻辑函数的结果均将是逻辑“1”。因此,在开启行Y之后激发感测放大器时,将逻辑“1”保持于感测放大器中(如果行X数据值是逻辑“1”)。

[0096] 在替代实施方案中,图5针对涉及可能操作数组合(例如,行X/行Y数据值00、10、01及11)中的每一者的OR逻辑操作展示耦合到感测放大器(例如,图3中所展示的306)的数据线(例如,图3中所展示的305-1(D)及305-2(D_{_)上的电压信号的行为。}

[0097] 图6是图解说明根据本发明的若干个实施例的感测电路的示意图。根据本发明的若干个实施例,存储器阵列630耦合到感测电路650-1。在此实例中,感测电路650-1对应于相应存储器单元列(例如,耦合到相应互补数据线对605-1(D)及605-2(D_{_)。}

[0098] 根据各种实施例,感测电路650-1包括感测放大器606及计算组件631。感测放大器606可对应于先前关于图2所描述的感测放大器206。可操作感测放大器606以确定存储于选定存储器单元中及/或由存在于互补数据线605-1(D)及605-2(D_{_)上的电压表示的数据值。如先前所论述,感测放大器(例如,606)可包含可在本文中称为初级锁存器的交叉耦合的锁存器。感测放大器606的实施例不限于此实例性配置。}

[0099] 如图6中所展示,感测电路650-1可经由移位电路623-1耦合到存储器阵列630。根据各种实施例,移位电路623-1可类似于图3中所展示的移位电路323而配置及操作,只不过移位电路623-1不包含经配置以将数据线转置到计算组件(例如,仅包括图3中的感测放大器)的第三对隔离晶体管(例如,图3中所展示的321-5及321-6)。移位电路623-1经配置使得第二对隔离晶体管的一侧在感测放大器606与移位电路623-1的第一对隔离晶体管之间耦合到数据线605-1(D)及605-2(D_{_)。}

[0100] 替代地,计算组件631包含经配置以实施反转功能性的电路。在此实例中,移位电路623-1包括经由NORM控制信号操作且位于一对互补数据线605-1(D)及605-2(D_{_)的部分之间的第一对隔离晶体管及经由SHIFT控制信号操作且经配置以将不同(例如,邻近)互补}

数据线对605-1 (D) 及605-2 (D₂) 耦合到计算组件631的第二对隔离晶体管。

[0101] 根据各种实施例,计算组件631可包括经配置以将所述对互补感测线中的一者的第一部分选择性地耦合到接地参考且不将所述对互补感测线中的另一者的第一部分耦合到接地参考的反相电路。如图6中所展示,第一反相晶体管607-1的第一源极/漏极区域耦合到第一下拉晶体管609-1的第一源极/漏极区域。第二反相晶体管607-2的第一源极/漏极区域耦合到第二下拉晶体管609-2的第一源极/漏极区域。第一负载晶体管618-1的第一源极/漏极区域耦合到第一反相晶体管607-1的第二源极/漏极区域及所述对互补感测线中的第一者(例如,605-1 (D))。第一负载晶体管618-1的第二源极/漏极区域耦合到第一下拉晶体管609-1的栅极。

[0102] 第二负载晶体管618-2的第一源极/漏极区域耦合到第二反相晶体管607-2的第二源极/漏极区域及所述对互补感测线中的第二者(例如,605-2 (D₂))。第二负载晶体管618-2的第二源极/漏极区域耦合到第二下拉晶体管609-2的栅极。第一负载晶体管618-1的栅极耦合到第二负载晶体管618-2的栅极且耦合到LOAD控制信号线。第一下拉晶体管609-1的第二源极/漏极区域及第二下拉晶体管609-2的第二源极/漏极区域耦合到参考电压(例如,接地)。第一反相晶体管607-1的栅极及第二反相晶体管607-2的栅极耦合到INV控制信号线。

[0103] 根据各种实施例,可通过启用负载晶体管618-1及618-2而将存储于感测放大器606中的数据值传达到下拉晶体管609-1或609-2的相应栅极。断言LOAD控制信号线上的LOAD控制信号(例如,“开启LOAD”)致使负载晶体管618-1及618-2导通,此将对应于逻辑“1”的电压(例如,V_{CC})从互补数据线对605-1 (D) 及605-2 (D₂) 中的一个数据线施加到下拉晶体管609-1或609-2中的一者的栅极,且将对应于逻辑“0”的电压(例如,GND)从互补数据线对605-1 (D) 及605-2 (D₂) 中的另一数据线施加到下拉晶体管609-1或609-2中的另一者。结果是,对应于具有逻辑“1”的数据线的下拉晶体管609-1或609-2导通且对应于具有逻辑“0”的数据线的下拉晶体管609-1或609-2不导通。此后,可通过移除LOAD控制信号线上的LOAD控制信号(例如,“关闭LOAD”)而关断负载晶体管618-1及618-2。

[0104] 一旦将存储于感测放大器606中的数据值加载到下拉晶体管609-1及609-2的栅极,便可接通(例如,通过经由耦合到反相晶体管607-1及607-2的栅极的INV控制信号线断言INV控制信号)反相晶体管607-1及607-2。因此,通过一组反相晶体管及下拉晶体管(例如,607-1及609-1或607-2及609-2)下拉先前充电到V_{CC}的数据线605-1 (D) 或605-2。在此下拉期间激发感测放大器致使感测放大器606存储经反转数据值。此后,可通过对INV控制信号解除断言而再次关断反相晶体管607-1及607-2。可在另一逻辑操作(例如,AND、OR)期间或之后发生上文所描述的反转过程,使得可将操作数或结果反转。在下拉先前为高的数据线605-1或605-2之后激发感测放大器时,可通过使选定行开启而将经反转数据值存储到选定存储器单元。

[0105] 图7是图解说明根据本发明的若干个实施例的感测电路750-2的示意图。计算组件731-1可对应于图6中所展示的计算组件631。然而,移位电路723-2在配置、位置及数据线705-1及705-2与计算组件731-1之间的连接上不同于图6中关于移位电路623所展示者。移位电路723-2包含经配置以用于数据线之间的双向移位的两对隔离晶体管,且不包含经配置以将互补数据线划分成多个部分的隔离晶体管。

[0106] 根据各种实施例,移位电路723-2经配置以将计算组件(例如,其反相电路)选择性

地耦合到左邻近互补数据线对或右邻近互补数据线对。第一下拉晶体管的栅极可选择性地耦合到左及右邻近互补数据线对中的每一者的与所述互补数据线对中的第一数据线相对的数据线,第一下拉晶体管的第一源极/漏极区域通过第一反相晶体管将耦合到所述第一数据线。第二下拉晶体管的栅极可选择性地耦合到左及右邻近互补数据线对中的每一者的与所述互补数据线对中的第二数据线相对的数据线,第二下拉晶体管的第一源极/漏极区域通过第二反相晶体管耦合到所述第二数据线。

[0107] 更特定来说,计算组件731-1直接耦合到感测放大器706。移位电路723-2可位于感测放大器706与计算组件731-1之间。移位电路723-2可在感测放大器706与计算组件731-1之间直接耦合到数据线705-1及705-2的部分。移位电路723-2可直接耦合于(举例来说)不同互补数据线对之间(例如,邻近互补数据线对之间)。

[0108] 移位电路723-2可包含经配置以沿第一方向实施移位(例如,向左移位)的第一对隔离晶体管769-1及769-2以及经配置以沿第二方向实施移位(例如,向右移位)的第二对隔离晶体管769-3及769-4。举例来说,图7展示移位电路723-2可包含四个移位晶体管。移位晶体管769-1可布置于数据线DIGIT(n)与耦合到邻近数据线DIGIT(n-1)的下拉晶体管的栅极之间。移位晶体管769-2可布置于数据线DIGIT(n)与耦合到邻近数据线DIGIT(n-1)的下拉晶体管的栅极之间。移位晶体管769-1及769-2的栅极耦合到提供SHIFTL控制信号的向左移位(例如,“SHIFTL”)控制信号线,所述SHIFTL控制信号操作以致使移位晶体管在经断言时导通。

[0109] 移位晶体管769-3可布置于邻近数据线DIGIT(n-1)与耦合到数据线DIGIT(n)的下拉晶体管的栅极之间。移位晶体管769-4可布置于邻近数据线DIGIT(n-1)与耦合到数据线DIGIT(n)的下拉晶体管的栅极之间。移位晶体管769-3及769-4的栅极耦合到提供SHIFTR控制信号的向右移位(例如,“SHIFTR”)控制信号线,所述SHIFTR控制信号操作以致使移位晶体管在经断言时导通。

[0110] 根据各种实施例,移位电路723-2的移位晶体管可为额定为低于图6中所展示的移位电路623-1的隔离晶体管的电压的晶体管。举例来说,移位电路623-1的隔离晶体管(例如,用于NORM及SHIFT操作)可额定为在参考电压(例如,接地)与升高电压(例如,3V,其相对于存储器阵列的供应电压升高)之间切换。移位电路723-2的移位晶体管可额定为在参考电压(例如,接地)与供应电压(例如,可为1.2V的V_{CC})之间切换,借此通过使用在图7中所图解说明的电路中所提供的移位电路723-2配置实施向左移位及向右移位而节省电力。图7中所图解说明的配置还可以比图6中所图解说明的配置快的速度操作,因为不需要行循环来完成向左移位及向右移位。

[0111] 移位电路723-2经配置使得分别充电到对应于逻辑“0”的电压的一对数据线DIGIT(n)及DIGIT(n)_(例如,处于接地的数据线705-1(D)及处于V_{CC}的数据线705-2(D_上))致使耦合到数据线DIGIT(n-1)_(例如,处于接地的数据线705-1(D))的下拉晶体管接通(此又下拉数据线DIGIT(n-1)_) ,且不致使耦合到数据线DIGIT(n-1)的下拉晶体管接通(此又不下拉数据线DIGIT(n-1))。即,移位电路723-2并不被配置成仅仅直接耦合邻近数据线对(例如,数据线对及互补数据线对与互补数据线)。另外,移位电路723-2经配置使得分别充电到对应于逻辑“1”的电压的一对数据线DIGIT(n-1)及DIGIT(n-1)_(例如,处于V_{CC}的数据线705-1(D)及处于接地的数据线705-2(D_下))致使耦合到数据线DIGIT(n)_(例如,处于接地的数据线705-1(D))的下拉晶体管接通(此又下拉数据线DIGIT(n)_) ,且不

致使耦合到数据线DIGIT(n)的下拉晶体管接通(此又不下拉数据线DIGIT(n))。

[0112] 联合移位电路723-2的移位晶体管操作计算电路731-1的反相晶体管及负载晶体管以完成上文所描述的方向性移位。同时操作移位晶体管、反相晶体管及负载晶体管全部以完成上文所描述的数据线下拉以反映将邻近数据线充电到的电压。

[0113] 图8是图解说明根据本发明的若干个实施例的感测电路850-3的示意图。图8中所图解说明的电路类似于图7中所图解说明的电路,其中具有两个例外。首先,计算组件831-2包含锁存器864(例如,次级锁存器)且因此可用作且在本文中称为累加器,可联合感测放大器806操作所述累加器以实施逻辑操作。其次,移位电路823-2包含单个隔离晶体管对870-1及870-2,可联合负载/通过晶体管807-1及807-2操作单个隔离晶体管对870-1及870-2以实施双向移位。

[0114] 举例来说,负载晶体管经构造以处置与将数据线耦合到次级锁存器的节点(例如,S1及S2)相关联的负载。通过晶体管经构造以处置与将数据线耦合到邻近累加器(例如,通过移位电路823-2,如图8中所展示)相关联的较重负载。根据一些实施例,负载/通过晶体管807-1及807-2可经配置以适应对应于通过晶体管的较重负载,但是作为负载晶体管被耦合及操作。经配置为通过晶体管的负载/通过晶体管807-1及807-2也可用作负载晶体管。然而,经配置为负载晶体管的负载/通过晶体管807-1及807-2可能不能够用作通过晶体管。

[0115] 计算组件831-2包含具有第一输入节点817-1(S1)及第二输入节点817-2(S2)的锁存器864。根据各种本发明的实施例,锁存器864可配置为静态锁存器(例如,如图8中所展示的交叉耦合的锁存器)。然而,本发明的实施例不如此受限制,且锁存器864可实施为(举例来说)动态锁存器。然而,相比于使用动态锁存器作为次级锁存器,利用静态锁存器864(例如交叉耦合的锁存器)可提供经改善软错误率。根据一些实施例,锁存器864可为类似于图2中通过晶体管227-1、227-2、229-1及229-2针对感测放大器中的次级锁存器所展示者而实施的交叉耦合的锁存器。锁存器864可借助正及负控制信号实施(例如,通过类似于图2中所展示的晶体管211及213而配置的上拉及下拉晶体管),或可被实施成通过将PMOS晶体管的共同源极/漏极耦合到V_{CC}且将NMOS晶体管的共同源极/漏极耦合到接地而连续地被启用,如图8中所展示。

[0116] 可操作负载/通过晶体管807-1及807-2以将数据值从数据线DIGIT(n)/DIGIT(n)₋加载到锁存器864中(或从锁存器864加载到数据线DIGIT(n)/DIGIT(n)₋上)。可操作隔离晶体管870-1及870-2以将数据值从邻近数据线DIGIT(n-1)/DIGIT(n-1)₋加载到锁存器864中(或从锁存器864加载到数据线DIGIT(n-1)/DIGIT(n-1)₋上)。

[0117] 根据各种本发明的实施例,隔离变换器870-1可对应于图7中所展示的隔离晶体管769-3,且隔离变换器870-2可对应于图7中所展示的隔离晶体管769-4。即,隔离晶体管870-1及870-2耦合于计算组件(例如,与数据线DIGIT(n)/DIGIT(n)₋相关联的计算组件831-2)与邻近互补数据线对(例如,数据线DIGIT(n-1)/DIGIT(n-1)₋)之间且经操作以通过如下方式使邻近互补数据线对的状态向右移位:基于邻近互补数据线对所达到的电压而下拉一个数据线(例如,下拉来自被充电到比平衡电压大的电压的邻近对的数据线的互补数据线),如关于图7进一步详细地描述。

[0118] 可操作计算组件831-2的反相、下拉及负载晶体管以下拉如关于图7所描述的数据线且因此使所述数据线反转。然而,关于图8中针对计算组件831-2所展示的配置,将与数据

线DIGIT (n) /DIGIT (n) _一起使存储于锁存器864中的数据值反转,因为负载/通过晶体管807-1及807-2在反转过程期间导通且锁存器864在耦合到V_{cc}及接地时连续地经启用。

[0119] 图8中所图解说明的电路可通过使用呈主从配置的计算组件831-2的次级锁存器864及感测放大器806的初级锁存器而完成移位功能。根据本发明的实施例,可如下总结用以使行X数据值向右移位的操作:

[0120] 激活Shift

[0121] 将感测放大器数据写入到向右一个的次级锁存器中。

[0122] 对Shift撤销激活

[0123] 平衡 (EQ) 数据线

[0124] 对EQ撤销激活

[0125] 激活LOAD (将来自次级锁存器的经移位数据写入到数据线上)

[0126] 激发感测放大器 (在此之后经移位数据驻存于感测放大器中)

[0127] 对LOAD撤销激活

[0128] 以上伪码中所展示的“激活Shift”指示SHIFT控制信号变高,此致使隔离晶体管(例如,870-1及870-2)导通以将邻近互补数据线对(例如,左邻近数据线DIGIT (n-1) /DIGIT (n-1) _)耦合到次级锁存器864。对应于计算组件831-2的互补数据线对(例如,DIGIT (n) /DIGIT (n) _)与计算组件831-2被隔离,因为负载/通过晶体管807-1及807-2不导通。

[0129] 在将来自左邻近互补数据线对的向右移位的行X数据值存储于次级锁存器864中之后,以上伪码中所展示的“对Shift撤销激活”指示SHIFT控制信号变低,此致使移位晶体管(例如,870-1及870-2)停止导通且隔离左邻近互补数据线对与计算组件831-2。

[0130] 一旦左邻近互补数据线对与计算组件831-2被隔离,以上伪码中所展示的“平衡 (EQ) 数据线”便指示可以与先前针对“预充电”伪码操作所描述相同的方式平衡互补数据线对(例如,DIGIT (n) /DIGIT (n) _)。在平衡互补数据线对之后,以上伪码中所展示的“停用EQ”指示对应于感测放大器806的平衡(例如,不再短接在一起且短接到V_{cc}/2)被停用。

[0131] 在完成平衡之后,可将存储于次级锁存器864中的数据值复制到感测放大器806。以上伪码中所展示的“激活LOAD”指示LOAD控制信号变高,此致使负载/通过晶体管807-1及807-2导通,此将次级锁存器864耦合到互补数据线对(例如,DIGIT (n) /DIGIT (n) _)。此将存储于次级锁存器中的数据值置于互补数据线对上。

[0132] 此后,以上伪码中所展示的“激发感测放大器”指示将互补数据线对(例如,DIGIT (n) /DIGIT (n) _)上的数据值存储于感测放大器806中。一旦数据值存储于感测放大器806中,以上伪码中所展示的“对LOAD撤销激活”便指示LOAD控制信号变低,此致使负载/通过晶体管807-1及807-2停止导通且隔离次级锁存器864与互补数据线对及感测放大器806。

[0133] 可如下总结用以使行X数据值向左移位的操作:

[0134] 激活LOAD

[0135] 将感测放大器数据写入到对应累加器中。

[0136] 对LOAD撤销激活

[0137] 激活EQ (以平衡数据线)

[0138] 对EQ撤销激活

[0139] 激活SHIFT

[0140] 激发感测放大器 (在此之后经移位数据驻存于对应于左邻近数据线的感测放大器中)

[0141] 对SHIFT撤销激活

[0142] 以上伪码中所展示的“激活LOAD”指示LOAD控制信号变高,此致使负载/通过晶体管807-1及807-2导通,借此将次级锁存器864耦合到其上具有行X数据值的互补数据线对(例如,DIGIT(n)/DIGIT(n)₋)。此操作将行X数据值从互补数据线对置于次级锁存器864中。以此方式,可将存储于感测放大器806中的数据值复制到对应计算电路831-2(例如,耦合到与感测放大器相同的数据线)中。

[0143] 在行X数据值存储于次级锁存器864中之后,以上伪码中所展示的“平衡(EQ)数据线”指示可以与先前针对“预充电”伪码操作所描述相同的方式平衡互补数据线对。在平衡互补数据线对之后,以上伪码中所展示的“对EQ撤销激活”指示对应于感测放大器806的平衡信号被撤销激活(例如,使得互补数据线不再短接在一起且短接到V_{cc}/2)。

[0144] 在完成平衡之后,以上伪码中所展示的“激活SHIFT”指示SHIFT控制信号变高,此致使移位电路的移位晶体管(例如,870-1及870-2)导通,借此将计算组件831-2的次级锁存器864耦合到左邻近互补数据线对DIGIT(n-1)/DIGIT(n-1)₋,而且耦合到左邻近感测电路850-3的感测放大器806。对应于计算组件831-2的互补数据线对DIGIT(n)/DIGIT(n)₋与计算组件831-2被隔离,因为负载/通过晶体管807-1及807-2不导通。

[0145] 一旦次级锁存器耦合到左邻近互补数据线对,以上伪码中所展示的“激发感测放大器”便指示以先前针对将数据值存储于感测放大器中所描述的方式将互补数据线对上的数据值存储于左邻近感测放大器806中。

[0146] 在将来自互补数据线对的向左移位的行X数据值存储于左邻近感测放大器806中之后,以上伪码中所展示的“对Shift撤销激活”指示SHIFT控制信号变低,此致使移位电路823-2的移位晶体管(例如,870-1及870-2)停止导通且隔离互补数据线对与右邻近计算组件831-2。

[0147] 在将来自互补数据线对的向左移位的行X数据值存储于右邻近感测放大器806中之后,以上伪码中所展示的“对SHIFT撤销激活”指示SHIFT控制信号变低,此致使移位晶体管(例如,870-1及870-2)停止导通且隔离互补数据线对与右邻近计算组件831-2。

[0148] 上文所描述的移位循环比先前所描述的移位循环快,因为可消除行循环。由于行不开启而可减少电力;因此,不存在对存储器单元的相关联的充电及放电。还可相对于图3中所展示的具有移位电路323的电路配置减少电力,因为升高电压(例如,3.0V)被施加到图3中所展示的移位电路323的隔离晶体管,而在使用图8中所图解说明的电路实施SHIFT功能性时利用了V_{cc}(例如,1.2V)。

[0149] 如上文所提及,计算组件831-2的锁存器864可用作累加器且联合感测放大器806操作以实施逻辑操作。下文关于图9到12中所图解说明的时序图针对感测电路850-3描述这些操作。

[0150] 图9图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图9中所展示的时序图图解说明与执行逻辑操作(例如,R输入逻辑操作)的第一操作阶段相关联的信号(例如,电压信号)。例如,关于图9所描述的第一操作阶段可为AND、NAND、OR或NOR操作的第一操作阶段。执行图9中所图解说明的操作阶段可涉及消耗

显著少于先前处理方法的能量(例如,大约一半),先前处理方法可涉及提供电压轨之间(例如,供应与接地之间)的全摆动。

[0151] 在图9中所图解说明的实例中,对应于互补逻辑值(例如,“1”及“0”)的电压轨是供应电压(V_{cc})及参考电压(例如,接地(Gnd))。在执行逻辑操作之前,可发生平衡使得互补数据线D及D₋在平衡电压($V_{cc}/2$)下短接在一起,如先前所描述。

[0152] 下文所描述的逻辑操作的第一操作阶段涉及将逻辑操作的第一操作数加载到累加器中。图9中所展示的时间参考(例如, t_1 等)未必表示与其它时序图中的类似时间参考相同的绝对或相对时间。在时间 t_1 处,对平衡信号926撤销激活,且然后启用选定行(例如,对应于其数据值将被感测且用作第一输入的存储器单元的行)。信号904-0表示施加到选定存储器单元行的电压信号。当行信号904-0达到对应于选定单元的存取晶体管的阈值电压(V_t)时,存取晶体管接通且将数据线D耦合到选定存储器单元(例如,如果单元是1T1C DRAM单元,那么耦合到电容器),此在时间 t_2 与 t_3 之间形成数据线(例如,805-1(D)及805-2(D₋))之间的差分电压信号(例如,如分别由数据线上的信号905-1及905-2所指示)。由信号903表示选定单元的电压。由于能量守恒,形成数据线805-1(D)与805-2(D₋)之间的差分信号(例如,通过将单元耦合到数据线D)不消耗能量,因为可在耦合到行的多个存储器单元内摊还与启用/停用行信号904-0相关联的能量。

[0153] 在时间 t_3 处,通过控制信号990(例如,图2中所展示的ACT)变低且负控制信号928(例如,图2中所展示的RNL)变低而启用感测放大器(例如,图8中所展示的806),此放大数据线805-1(D)与805-2(D₋)之间的差分信号,从而导致对应于逻辑“1”的电压(例如, V_{cc})或对应于逻辑“0”的电压(例如,接地)处于数据线D上(且另一电压处于互补数据线D₋上),使得所感测数据值存储于感测放大器806的初级锁存器中。在将数据线805-1(D)从平衡电压 $V_{cc}/2$ 充电到导轨电压 V_{cc} 时发生初级能量消耗。

[0154] 根据一些实施例,感测放大器806的初级锁存器可通过相应感测放大器通过晶体管(例如,感测放大器806与互补数据线D及D₋之间的第二组通过晶体管)耦合到互补数据线D及D₋。感测放大器806的初级锁存器的一个节点(例如,S1)通过其耦合到数据线D的感测放大器通过晶体管可由PASSD控制信号911控制,且感测放大器806的初级锁存器的另一节点(例如,S2)通过其耦合到数据线D₋的感测放大器通过晶体管可由PASSDB控制信号(其可在此处与PASSD控制信号表现相同)控制。

[0155] 在时间 t_4 处,可启用感测放大器通过晶体管(例如,经由施加到耦合到感测放大器通过晶体管的相应栅极的控制线的相应PASSD及PASSDB控制信号)。在时间 t_5 处,经由相应控制线812-1及812-2激活累加器控制信号912-1(例如,ACCUM)及912-2(例如,ACCUMB)(例如,其中通过将控制线812-1耦合到GND且将控制线812-2耦合到 V_{DD} 而不持续地启用累加器)。如下文所描述,累加器控制信号912-1及912-2可保持激活以用于后续操作阶段。如此,在此实例中,激活ACCUMB控制信号912-1及ACCUM控制信号912-2会启用计算组件831的次级锁存器(例如,用作累加器)。将存储于感测放大器806中的所感测数据值传送(例如,复制)到次级锁存器864-S。

[0156] 在时间 t_6 处,通过PASSD及PASSDB控制信号911变低而停用(例如,关断)感测放大器通过晶体管。然而,由于累加器控制信号912-1及912-2保持激活,因此将经累加结果存储(例如,锁定)于次级锁存器(例如,用作累加器)中。在时间 t_7 处,对行信号904-0撤销激活,

且在时间 t_8 处停用阵列感测放大器(例如,对启用感测放大器的控制信号928及990撤销激活)。

[0157] 在时间 t_9 处,数据线D及 D_{-} 是平衡的(例如,平衡信号926被激活),如由数据线电压信号905-1及905-2从其相应轨值移动到平衡电压($V_{cc}/2$)所图解说明。所述平衡由于能量守恒定律而消耗极少能量。如先前与图2相关联地所描述,在此实例中,平衡可涉及在是 $V_{cc}/2$ 的平衡电压下将互补数据线D及 D_{-} 短接在一起。例如,可在存储器单元感测操作之前发生平衡。

[0158] 图10及11分别图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图10及11中所展示的时序图图解说明与执行逻辑操作(例如,R输入逻辑操作)的若干个中间操作阶段相关联的信号(例如,电压信号)。例如,图4中所展示的时序图对应于R输入NAND操作或R输入AND操作的若干个中间操作阶段,且图5中所展示的时序图对应于R输入NOR操作或R输入OR操作的若干个中间操作阶段。举例来说,执行AND或NAND操作可包含继例如关于图9所描述的初始操作阶段之后执行图10中所展示的操作阶段一或多次。类似地,执行OR或NOR操作可包含继例如关于图9所描述的初始操作阶段之后执行关于图11所展示及描述的操作阶段一或多次。

[0159] 如图10及11中所图解说明的时序图所展示,在时间 t_1 处,停用平衡(例如,对平衡信号1026/1126撤销激活),且然后启用选定行(例如,对应于其数据值将被感测且用作例如第二输入、第三输入等的输入的存储器单元的行)。信号1004-1/1104-1表示施加到选定行的电压信号。当行信号1004-1/1104-1达到对应于选定单元的存取晶体管的阈值电压(V_t)时,存取晶体管接通且将数据线D耦合到选定存储器单元(例如,如果单元是1T1C DRAM单元,那么耦合到电容器),此在时间 t_2 与 t_3 之间形成数据线D与 D_{-} 之间的差分电压信号(例如,如分别由信号1005-1/1105-1及1005-1/1005-2所指示)。由信号1003/1103表示选定单元的电压。由于能量守恒,形成D与 D_{-} 之间的差分信号(例如,通过将单元耦合到数据线D)不消耗能量,因为可在耦合到行的多个存储器单元内摊还与激活/撤销激活行信号1004-1/1104-1相关联的能量。

[0160] 在时间 t_3 处,启用感测放大器(例如,图8中所展示的806)(例如,正控制信号1090/1190(例如,对应于图2中所展示的ACT 290)变低,且负控制信号1028/1128(例如,图2中所展示的RNL 228)变低),此放大D与 D_{-} 之间的差分信号,从而导致对应于逻辑“1”的电压(例如, V_{cc})或对应于逻辑“0”的电压(例如,接地)处于数据线D上(且另一电压在互补数据线 D_{-} 上),使得所感测数据值存储于感测放大器806的初级锁存器中。在将数据线D(805-1)从平衡电压 $V_{cc}/2$ 充电到导轨电压 V_{cc} 中发生初级能量消耗。

[0161] 如图10及11中所图解说明的时序图所展示,在时间 t_4 处(例如,在感测选定单元之后),取决于特定逻辑操作而激活图10中所展示的控制信号1011-1(PASSD)及图11中所展示的控制信号1111-2(PASSDB)中的仅一者(例如,启用通过晶体管中的仅一者(如果存在))。举例来说,由于图10中所图解说明的时序图对应于NAND或AND操作的中间阶段,因此在时间 t_4 处激活控制信号1011-1(PASSD)以接通将初级锁存器耦合到数据线D的通过晶体管且PASSDB控制信号保持被撤销激活,从而使将初级锁存器耦合到数据线 D_{-} 的通过晶体管关断。相反地,由于图11中所图解说明的时序图对应于NOR或OR操作的中间阶段,因此在时间 t_4 处激活控制信号1111-2(PASSDB)以接通将初级锁存器耦合到数据线 D_{-} 的通过晶体管

且控制信号PASSD保持被撤销激活,从而使将初级锁存器耦合到数据线D的通过晶体管关断。从上文回想起:累加器控制信号912-1 (Accumb) 及912-2 (Accum) 在关于图9所描述的初始操作阶段期间被激活,且其在中间操作阶段期间保持被激活。

[0162] 由于先前启用累加器,因此仅激活PASSD (如图10中所展示的1011-1) 导致累加对应于图10中所展示的电压信号1005-1 (对应于数据线D) 的数据值。类似地,仅激活PASSDB (如图11中所展示的1111-2) 导致累加对应于电压信号1105-2 (对应于数据线D₁) 的数据值。例如,在图4中所图解说明的时序图所展示的实例性AND/NAND操作 (其中仅激活PASSD (1011-1)) 中,如果存储于第二选定存储器单元中的数据值是逻辑“0”,那么与次级锁存器相关联的经累加值被断言为低使得次级锁存器存储逻辑“0”。如果存储于第二选定存储器单元中的数据值并非逻辑“0”,那么次级锁存器保持其所存储第一选定存储器单元数据值 (例如,逻辑“1”或逻辑“0”)。如此,在此AND/NAND操作实例中,次级锁存器正用作零 (0) 累加器。

[0163] 类似地,在图11中所图解说明的时序图所展示的实例性OR/NOR操作 (其中仅激活PASSDB 1111-2) 中,如果存储于第二选定存储器单元中的数据值是逻辑“1”,那么与次级锁存器相关联的经累加值被断言为高使得次级锁存器存储逻辑“1”。如果存储于第二选定存储器单元中的数据值并非逻辑“1”,那么次级锁存器保持其所存储第一选定存储器单元数据值 (例如,逻辑“1”或逻辑“0”)。如此,在此OR/NOR操作实例中,次级锁存器正有效地用作一 (1) 累加器,因为D₁上的电压信号1105-2正设定累加器的真实数据值。

[0164] 在例如如图10或11中所展示的中间操作阶段结束时,对PASSD信号1011-1 (例如,用于AND/NAND) 或PASSDB信号1111-2 (例如,用于OR/NOR) 撤销激活 (例如,在时间t5处),停用选定行 (例如,在时间t6处),停用感测放大器 (例如,在时间t7处),且发生平衡 (例如,在时间t8处)。可重复例如如图10或11中所图解说明的中间操作阶段以便累加来自若干个额外行的结果。作为实例,可针对第三存储器单元执行图10及/或11中所图解说明的时序图序列后续 (例如,第二) 次,针对第四存储器单元执行后续 (例如,第三) 次等。例如,针对10输入NOR操作,图11中所展示的中间阶段可发生9次以提供10输入逻辑操作的9个输入,其中在初始操作阶段 (例如,如关于图9所描述) 期间确定第十输入。

[0165] 图12图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图12中所图解说明的时序图展示与执行逻辑操作 (例如,R输入逻辑操作) 的最后操作阶段相关联的信号 (例如,电压信号)。例如,图12中所图解说明的时序图对应于R输入AND操作或R输入OR操作的最后操作阶段。

[0166] 举例来说,执行R输入的最后操作阶段可包含继与图10及/或11相关联地所描述的中间操作阶段的若干个迭代之后执行图12中所展示的操作阶段。下文所展示的表1指示对应于与根据本文中所描述的若干个实施例执行若干个R输入逻辑操作相关联的操作阶段序列的各图。

[0167]

操作	图9	图10	图11	图12
AND	第一阶段	R-1个迭代		最后阶段
NAND	第一阶段	R-1个迭代		
OR	第一阶段		R-1个迭代	最后阶段

NOR	第一阶段		R-1个迭代	
-----	------	--	--------	--

[0168] 表1

[0169] 与将R输入逻辑操作的结果存储到阵列的行相关联地描述图12的时序图中所图解说明的最后操作阶段。然而,如上文所描述,在若干个实施例中,可将结果存储到除往回到阵列以外的适合位置(例如,经由I/O线存储到与控制器及/或主机处理器相关联的外部寄存器、存储到不同存储器装置的存储器阵列等)。

[0170] 如图12中所图解说明的时序图中所展示,在时间 t_1 处,停用平衡(例如,对平衡信号1226撤销激活)使得数据线D及D_浮浮动。在时间 t_2 处,激活PASSD控制信号1211(及PASSDB信号)以用于AND或OR操作。

[0171] 激活PASSD控制信号1211(及PASSDB信号)(例如,与AND或OR操作相关联地)将存储于图8中所展示的计算组件831-1的次级锁存器864中的所累加输出传送到感测放大器806的初级锁存器。例如,针对AND操作,如果在先前操作阶段(例如,图9中所图解说明的第一操作阶段及图10中所图解说明的中间操作阶段的一或多个迭代)中感测的存储器单元中的任何者存储逻辑“0”(例如,如果AND操作的R输入中的任何者是逻辑“0”),那么数据线D_浮将携带对应于逻辑“1”的电压(例如,V_{CC})且数据线D将携带对应于逻辑“0”的电压(例如,接地)。针对此AND操作实例,如果在先前操作阶段中感测的所有存储器单元存储逻辑“1”(例如,AND操作的所有R输入是逻辑“1”),那么数据线D_浮将携带对应于逻辑“0”的电压且数据线D将携带对应于逻辑“1”的电压。

[0172] 在时间 t_3 处,然后启用感测放大器806的初级锁存器(例如,正控制信号1290(例如,对应于图2中所展示的ACT 290)变低且负控制信号1228(例如,对应于图2中所展示的RNL 228)变低),此放大数据线D与D_浮之间的差分信号使得数据线D现在携带相应输入数据值的经AND操作的结果(如从在先前操作阶段期间感测的存储器单元确定)。如此,如果输入数据值中的任何者是逻辑“0”,那么数据线D将处于接地,且如果所有输入数据值是逻辑“1”,那么数据线D将处于V_{CC}。

[0173] 针对OR操作,如果在先前操作阶段(例如,图9的第一操作阶段及图11中所展示的中间操作阶段的一或多个迭代)中感测的存储器单元中的任何者存储逻辑“1”(例如,如果OR操作的R输入中的任何者是逻辑“1”),那么数据线D_浮将携带对应于逻辑“0”的电压(例如,接地)且数据线D将携带对应于逻辑“1”的电压(例如,V_{CC})。针对此OR实例,如果在先前操作阶段中感测的所有存储器单元存储逻辑“0”(例如,OR操作的所有R输入是逻辑“0”),那么数据线D_浮将携带对应于逻辑“0”的电压且数据线D_浮将携带对应于逻辑“1”的电压。在时间 t_3 处,然后启用感测放大器806的初级锁存器且数据线D现在携带相应输入数据值的经OR操作的结果(如从在先前操作阶段期间感测的存储器单元确定)。如此,如果输入数据值中的任何者是逻辑“1”,那么数据线D将处于V_{CC},且如果所有输入数据值是逻辑“0”,那么数据线D将处于接地。

[0174] 然后可将R输入AND或OR逻辑操作的结果往回存储到图1中所展示的阵列130的存储器单元。在图12中所展示的实例中,将R输入逻辑操作的结果存储到耦合到经开启的最后行(例如,最后逻辑操作操作数的行)的存储器单元。将逻辑操作的结果存储到存储器单元仅仅涉及通过启用特定行而启用相关联的行存取晶体管。存储器单元的电容器将被驱动到对应于数据线D上的数据值(例如,逻辑“1”或逻辑“0”)的电压,此本质上对先前存储于选定

存储器单元中的任何数据值重写。应注意,选定存储器单元可为存储用作逻辑操作的输入的数据值的相同存储器单元。例如,可将逻辑操作的结果往回存储到存储逻辑操作的操作数的存储器单元。

[0175] 时序图12中所图解说明的时序图展示,在时间t3处对正控制信号1290及负控制信号1228撤销激活(例如,信号1290变高且信号1228变低)以停用图8中所展示的感测放大器806。在时间t4处,对在时间t2处经激活的PASSD控制信号1211(及PASSDB信号)撤销激活。实施例并不限于此实例。例如,在若干个实施例中,可继时间t4之后(例如,在对PASSD控制信号1211(及PASSDB信号)撤销激活之后)启用图8中所展示的感测放大器806。

[0176] 如图12中所展示,在时间t5处,启用选定行(例如,通过行启用信号1204变高),此将选定单元的电容器驱动到对应于存储于累加器中的逻辑值的电压。在时间t6处,停用选定行。在时间t7处,停用图8中所展示的感测放大器806(例如,对正控制信号1228及负控制信号1290撤销激活),且在时间t8处发生平衡(例如,激活信号1226且使互补数据线1205-1(D)及1205-2(D_̄)上的电压为平衡电压)。

[0177] 尽管上文关于图12论述执行R输入的最后操作阶段的实例以用于执行AND及OR逻辑操作,但实施例不限于这些逻辑操作。举例来说,NAND及NOR操作还可涉及使用控制信号操作图8中所图解说明的感测电路而进行的对往回存储到阵列130(图1中所展示)的存储器单元的R输入的最后操作阶段。

[0178] 图13是图解说明根据本发明的若干个实施例的感测电路1350-4的示意图。图13中所展示的感测电路1350-4及移位电路1323-2与图8中所展示的感测电路850-3及移位电路823-2相同,其中具有一个例外。即,移位电路1323-2对应于图8中所展示的移位电路823-2,且感测电路1350-4对应于图8中所展示的感测电路850-3,其中具有下文所描述的一个差异。

[0179] 根据本发明的各种实施例,感测放大器1306对应于感测放大器806,只不过平衡电路的输入控制件耦合到次级锁存器1364的关键节点(gut node)(例如,第一输入1317-1(S1)及1317-2(S2))而非耦合到数据线1305-1(D)及1305-2(D_̄)。更特定来说,晶体管1338-1及1338-2(其对应于针对图2中所图解说明的感测放大器206所展示的晶体管238-1及238-2)的栅极耦合到次级锁存器1364的关键节点(例如,第一输入1317-1(S1)及1317-2(S2))。还关于图14中所图解说明的感测放大器1406展示这些连接。此配置将全轨信号(例如,V_{CC}或接地)提供到平衡电路,且因此可比关于图8中所图解说明的感测电路850-3所展示的配置更稳健。

[0180] 图14是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。在此实例中,感测电路的所述部分包括感测放大器1406。在若干个实施例中,感测放大器1406可对应于图13中所展示的经修改感测放大器1306(其可对应于关于图2所展示及描述的感测放大器206的经修改版本)。感测放大器1406展示晶体管1438-1及1438-2(其对应于图13中所展示的晶体管1338-1及1338-2)的栅极耦合到次级锁存器的关键节点(例如,S1及S2),如关于图13所描述。此不同于针对图2中所展示的晶体管238-1及238-2所展示的连接。

[0181] 此外,感测放大器1406展示晶体管1438-1的一个源极/漏极耦合到EqOR控制信号线1471,而非通过具有耦合到EqOR控制信号线的栅极的晶体管(例如,图2中所展示的236-1)。感测放大器1406还展示的晶体管1438-2的一个源极/漏极耦合到EqAND控制信号线

1472,而非通过具有耦合到EqAND控制信号线的栅极的晶体管(例如,图2中所展示的236-2)。EqOR及EqAND可提供可被断言为V_{CC}的控制信号。感测放大器1406的配置使用比感测放大器1306少两个的晶体管,且还使用少于感测放大器1306的电力,因为在预充电循环中存在较少用以充电及放电的电容。可在图3中所展示的感测放大器306中、针对图6中所展示的感测放大器606、针对图7中所展示的感测放大器706、针对图8中所展示的感测放大器806且针对图13中所展示的感测放大器1306利用针对感测放大器1406所展示的平衡电路到EqOR及EqAND的替代连接。

[0182] 图15是图解说明根据本发明的若干个实施例的感测电路的示意图。存储器单元包括存储元件(例如,电容器)及存取装置(例如,晶体管)。例如,晶体管1502-1及电容器1503-1构成存储器单元,且晶体管1502-2及电容器1503-2构成存储器单元等。在此实例中,存储器阵列1530是1T1C(一个晶体管一个电容器)存储器单元的DRAM阵列。在若干个实施例中,所述存储器单元可为破坏性读取存储器单元(例如,读取存储于所述单元中的数据会破坏数据使得起初存储于单元中的数据在经读取之后被刷新)。存储器阵列1530的单元布置成由字线1504-X(行X)、1504-Y(行Y)等耦合的行及由互补数据线对DIGIT(n-1)/DIGIT(n-1)_,DIGIT(n)/DIGIT(n)_,DIGIT(n+1)/DIGIT(n+1)_耦合的列。对应于每一对互补数据线的个别数据线还可分别称为数据线1505-1(D)及1505-2(D_)。尽管图15中展示仅三对互补数据线,但本发明的实施例并不如此受限制,且存储器单元阵列可包含额外存储器单元列及/或数据线(例如,4,096、8,192、16,384等)。

[0183] 存储器单元可耦合到不同数据线及/或字线。举例来说,晶体管1502-1的第一源极/漏极区域可耦合到数据线1505-1(D),晶体管1502-1的第二源极/漏极区域可耦合到电容器1503-1,且晶体管1502-1的栅极可耦合到字线1504-X。晶体管1502-2的第一源极/漏极区域可耦合到数据线1505-2(D_),晶体管1502-2的第二源极/漏极区域可耦合到电容器1503-2,且晶体管1502-2的栅极可耦合到字线1504-Y。如图15中所展示的单元板可耦合到电容器1503-1及1503-2中的每一者。单元板可为可在各种存储器阵列配置中将参考电压(例如,接地)施加到的共同节点。

[0184] 根据本发明的若干个实施例,存储器阵列1530耦合到感测电路1550。在此实例中,感测电路1550包括对应于相应存储器单元列(例如,耦合到相应互补数据线对)的感测放大器1506及计算组件1531。感测放大器1506可包括可在本文中称为初级锁存器的交叉耦合的锁存器。举例来说,感测放大器1506可如关于图16所描述而配置。

[0185] 在图15中所图解说明的实例中,对应于计算组件1531的电路包括静态锁存器1564及尤其实施动态锁存器的额外十个晶体管。计算组件1531的动态锁存器及/或静态锁存器可在本文中共同称为可用作累加器的次级锁存器。如此,计算组件1531可操作为及/或在本文中称为累加器。计算组件1531可耦合到数据线D_1505-1及D_1505-2中的每一者,如图15中所展示。然而,实施例不限于此实例。举例来说,计算组件1531的晶体管可全部是n沟道晶体管(例如,NMOS晶体管)。

[0186] 在此实例中,数据线D_1505-1可耦合到晶体管1516-1及1539-1的第一源极/漏极区域以及负载/通过晶体管1518-1的第一源极/漏极区域。数据线D_1505-2可耦合到晶体管1516-2及1539-2的第一源极/漏极区域以及负载/通过晶体管1518-2的第一源极/漏极区域。

[0187] 负载/通过晶体管1518-1及1518-2的栅极可共同耦合到LOAD控制信号或分别耦合到PASSD/PASSDB控制信号,如下文进一步论述。负载/通过晶体管1518-1的第二源极/漏极区域可直接耦合到晶体管1516-1及1539-2的栅极。负载/通过晶体管1518-2的第二源极/漏极区域可直接耦合到晶体管1516-2及1539-1的栅极。

[0188] 晶体管1516-1的第二源极/漏极区域可直接耦合到下拉晶体管1514-1的第一源极/漏极区域。晶体管1539-1的第二源极/漏极区域可直接耦合到下拉晶体管1507-1的第一源极/漏极区域。晶体管1516-2的第二源极/漏极区域可直接耦合到下拉晶体管1514-2的第一源极/漏极区域。晶体管1539-2的第二源极/漏极区域可直接耦合到下拉晶体管1507-2的第一源极/漏极区域。下拉晶体管1507-1、1507-2、1514-1及1514-2中的每一者的第二源极/漏极区域可共同一起耦合到参考电压线1591(例如,接地(GND))。下拉晶体管1507-1的栅极可耦合到AND控制信号线,下拉晶体管1514-1的栅极可耦合到ANDinv控制信号线1513-1,下拉晶体管1514-2的栅极可耦合到ORinv控制信号线1513-2,且下拉晶体管1507-2的栅极可耦合到OR控制信号线。

[0189] 晶体管1539-1的栅极可称为节点S1,且晶体管1539-2的栅极可称为节点S2。图15中所展示的电路将累加器数据动态地存储于节点S1及S2上。激活LOAD控制信号致使负载/通过晶体管1518-1及1518-2导通,且借此将互补数据加载到节点S1及S2上。LOAD控制信号可升高到大于 V_{DD} 的电压以将全 V_{DD} 电平传递到S1/S2。然而,使LOAD控制信号升高到大于 V_{DD} 的电压是任选的,且图15中所展示的电路的功能性不取决于LOAD控制信号被升高到大于 V_{DD} 的电压。

[0190] 图15中所展示的计算组件1531的配置具有当下拉晶体管1507-1、1507-2、1514-1及1514-2在激发感测放大器1506之前(例如,在感测放大器1506的预种期间)导通时平衡感测放大器的功能性的益处。如本文中所使用,激发感测放大器1506是指启用感测放大器1506以设定初级锁存器及随后停用感测放大器1506以保持经设定初级锁存器。在平衡被停用(在感测放大器中)之后但在感测放大器激发之前执行逻辑操作可节省电力使用,因为感测放大器的锁存器不必须使用全轨电压(例如, V_{DD} 、GND)来“翻转”。

[0191] 反相晶体管可在执行某些逻辑操作时下拉相应数据线。举例来说,可操作与晶体管1514-1(具有耦合到ANDinv控制信号线1513-1的栅极)串联的晶体管1516-1(具有耦合到动态锁存器的S2的栅极)以下拉数据线1505-1(D),且可操作与晶体管1514-2(具有耦合到ANDinv控制信号线1513-2的栅极)串联的晶体管1516-2(具有耦合到动态锁存器的S1的栅极)以下拉数据线1505-2(D₂)。

[0192] 锁存器1564可通过耦合到作用中负控制信号线1512-1(ACCUMB)及作用中正控制信号线1512-2(ACCUM)而以可控制方式经启用,而非经配置以通过耦合到接地及 V_{DD} 而连续地经启用。在各种实施例中,负载/通过晶体管1508-1及1508-2可各自具有耦合到LOAD控制信号或PASSD/PASSDB控制信号中的一者的栅极。

[0193] 根据一些实施例,负载/通过晶体管1518-1及1518-2的栅极可共同耦合到LOAD控制信号。在其中负载/通过晶体管1518-1及1518-2的栅极共同耦合到LOAD控制信号的配置中,晶体管1518-1及1518-2可为负载晶体管。激活LOAD控制信号致使负载晶体管导电,且借此将互补数据加载到节点S1及S2上。LOAD控制信号可升高到大于 V_{DD} 的电压以将全 V_{DD} 电平传递到S1/S2。然而,LOAD控制信号不需要升高到大于 V_{DD} 的电压是任选的,且图15中所展示

的电路的功能性不取决于LOAD控制信号被升高到大于 V_{DD} 的电压。

[0194] 根据一些实施例,负载/通过晶体管1518-1的栅极可耦合到PASSD控制信号,且负载/通过晶体管1518-2的栅极可耦合到PASSDb控制信号。在其中晶体管1518-1及1518-2的栅极分别耦合到PASSD及PASSDb控制信号中的一者的配置中,晶体管1518-1及1518-2可为通过晶体管。可以不同于负载晶体管的方式(例如,在不同时间处及/或在不同电压/电流条件下)操作通过晶体管。如此,通过晶体管的配置可不同于负载晶体管的配置。

[0195] 举例来说,负载晶体管经构造以处置与将数据线耦合到局部动态节点S1及S2相关联的负载。通过晶体管经构造以处置与将数据线耦合到邻近累加器(例如,通过移位电路1523,如图15中所展示)相关联的较重负载。根据一些实施例,负载/通过晶体管1518-1及1518-2可经配置以适应对应于通过晶体管的较重负载但是作为负载晶体管被耦合及操作。经配置为通过晶体管的负载/通过晶体管1518-1及1518-2还可用作负载晶体管。然而,经配置为负载晶体管的负载/通过晶体管1518-1及1518-2可能不能够用作通过晶体管。

[0196] 在若干个实施例中,包含锁存器1564的计算组件1531可包括按与其所耦合的阵列(例如,图15中所展示的阵列1530)的对应存储器单元的晶体管相同的间距形成的若干个晶体管,所述若干个晶体管可符合特定特征大小(例如, $4F^2$ 、 $6F^2$ 等)。根据各种实施例,锁存器1564包含通过负载/通过晶体管1518-1及1518-2耦合到一对互补数据线D1505-1及D_1505-2的四个晶体管1508-1、1508-2、1509-1及1509-2。然而,实施例不限于此配置。锁存器1564可为交叉耦合的锁存器(例如,例如n沟道晶体管(例如,NMOS晶体管)1509-1及1509-2的一对晶体管的栅极与例如p沟道晶体管(例如,PMOS晶体管)1508-1及1508-2的另一对晶体管的栅极交叉耦合)。如本文中进一步描述,交叉耦合的锁存器1564可称为静态锁存器。

[0197] 相应数据线D及D_上的电压或电流可提供到交叉耦合的锁存器1564的相应锁存器输入1517-1及1517-2(例如,次级锁存器的输入)。在此实例中,锁存器输入1517-1耦合到晶体管1508-1及1509-1的第一源极/漏极区域以及晶体管1508-2及1509-2的栅极。类似地,锁存器输入1517-2可耦合到晶体管1508-2及1509-2的第一源极/漏极区域以及晶体管1508-1及1509-1的栅极。

[0198] 在此实例中,晶体管1509-1及1509-2的第二源极/漏极区域共同耦合到负控制信号线1512-1(例如,类似于图16中关于初级锁存器所展示的控制信号RnIF的接地(GND)或ACCUMB控制信号)。晶体管1508-1及1508-2的第二源极/漏极区域共同耦合到正控制信号线1512-2(例如,类似于图16中关于初级锁存器所展示的控制信号ACT的 V_{DD} 或ACCUM控制信号)。正控制信号1512-2可提供供应电压(例如, V_{DD})且负控制信号1512-1可为参考电压(例如,接地)以启用交叉耦合的锁存器1564。根据一些实施例,晶体管1508-1及1508-2的第二源极/漏极区域共同直接耦合到供应电压(例如, V_{DD}),且晶体管1509-1及1509-2的第二源极/漏极区域共同直接耦合到参考电压(例如,接地)以便连续地启用锁存器1564。

[0199] 经启用交叉耦合的锁存器1564操作以放大锁存器输入1517-1(例如,第一共同节点)与锁存器输入1517-2(例如,第二共同节点)之间的差分电压,使得锁存器输入1517-1经驱动到经激活正控制信号电压(例如, V_{DD})或经激活负控制信号电压(例如,接地),且锁存器输入1517-2经驱动到经激活正控制信号电压(例如, V_{DD})或经激活负控制信号电压(例如,接地)中的另一者。

[0200] 图16是图解说明根据本发明的若干个实施例的感测电路的一部分的示意图。根据

各种实施例,感测放大器1606(例如,对应于图15中所展示的感测放大器1506)可包括交叉耦合的锁存器。然而,感测放大器1606的实施例不限于交叉耦合的锁存器。作为实例,感测放大器1606可为电流模式感测放大器及/或单端感测放大器(例如,耦合到一个数据线的感测放大器)。而且,本发明的实施例不限于折叠式数据线架构。

[0201] 在若干个实施例中,感测放大器(例如,1606)可包括按与其所耦合的对应计算组件1631及/或阵列(例如,图15中所展示的阵列1530)的存储器单元的晶体管相同的间距形成的若干个晶体管,所述若干个晶体管可符合特定特征大小(例如, $4F^2$ 、 $6F^2$ 等)。感测放大器1606包括锁存器1615,锁存器1615包含耦合到一对互补数据线D₁₆₀₅₋₁及D₁₆₀₅₋₂的四个晶体管。锁存器1615可为交叉耦合的锁存器(例如,例如n沟道晶体管(例如,NMOS晶体管)1627-1及1627-2等的一对晶体管的栅极与例如p沟道晶体管(例如,PMOS晶体管)1629-1及1629-2等的另一对晶体管的栅极交叉耦合)。如本文中进一步描述,包括晶体管1627-1、1627-2、1629-1及1629-2的锁存器1615可称为初级锁存器。然而,实施例并不限于此实例。

[0202] 相应数据线D及D₁₆₀₅₋₁上的电压或电流可提供到交叉耦合的锁存器1615的相应锁存器输入1633-1及1633-2(例如,次级锁存器的输入)。在此实例中,锁存器输入1633-1耦合到晶体管1627-1及1629-1的第一源极/漏极区域以及晶体管1627-2及1629-2的栅极。类似地,锁存器输入1633-2可耦合到晶体管1627-2及1629-2的第一源极/漏极区域以及晶体管1627-1及1629-1的栅极。计算组件1633(例如,用作累加器)可耦合到交叉耦合的锁存器1615的锁存器输入1633-1及1633-2,如所展示;然而,实施例不限于图16中所展示的实例。

[0203] 在此实例中,晶体管1627-1及1627-2的第二源极/漏极区域共同耦合到作用中负控制信号1628(RnIF)。晶体管1629-1及1629-2的第二源极/漏极区域共同耦合到作用中正控制信号1690(ACT)。ACT信号1690可为供应电压(例如, V_{DD})且RnIF信号可为参考电压(例如,接地)。激活信号1628及1690会启用交叉耦合的锁存器1615。

[0204] 经启用交叉耦合的锁存器1615操作以放大锁存器输入1633-1(例如,第一共同节点)与锁存器输入1633-2(例如,第二共同节点)之间的差分电压,使得锁存器输入1633-1经驱动到ACT信号电压及RnIF信号电压中的一者(例如, V_{DD} 及接地中的一者),且锁存器输入1633-2经驱动到ACT信号电压及RnIF信号电压中的另一者。

[0205] 感测放大器1606还可包含经配置以平衡数据线D与D₁₆₀₅₋₁(例如,与使感测放大器准备用于感测操作相关联)的电路。在此实例中,平衡电路包括具有第一源极/漏极区域的一晶体管1624,所述第一源极/漏极区域耦合到晶体管1625-1的第一源极/漏极区域及数据线D₁₆₀₅₋₁。晶体管1624的第二源极/漏极区域可耦合到晶体管1625-2的第一源极/漏极区域及数据线D₁₆₀₅₋₂。晶体管1624的栅极可耦合到晶体管1625-1及1625-2的栅极。

[0206] 晶体管1625-1及1625-2的第二源极/漏极区域耦合到可等于 $V_{DD}/2$ 的平衡电压1638(例如, $V_{DD}/2$),其中 V_{DD} 是与阵列相关联的供应电压。晶体管1624、1625-1及1625-2的栅极可耦合到控制信号1625(EQ)。如此,激活EQ会启用晶体管1624、1625-1及1625-2,此有效地将数据线D短接到数据线D₁₆₀₅₋₁使得数据线D及D₁₆₀₅₋₁经平衡到平衡电压 $V_{DD}/2$ 。根据本发明的各种实施例,可使用感测放大器执行若干个逻辑操作,且将结果存储于计算组件(例如,用作累加器)中。

[0207] 如图15中所展示,感测放大器1506及计算组件1531可经由移位电路1523耦合到阵列1530。在此实例中,移位电路1523包括一对隔离装置(例如,分别耦合到数据线1505-1(D)

及1505-2(D₁)的隔离晶体管1521-1及1521-2)。隔离晶体管1521-1及1521-2耦合到控制信号1522(NORM),控制信号1522在被激活时启用(例如,接通)隔离晶体管1521-1及1521-2以将对对应感测放大器1506及计算组件1531耦合到对应存储器单元列(例如,对应互补数据线对1505-1(D)及1505-2(D₁))。根据各种实施例,隔离晶体管1521-1及1521-2的导通可称为移位电路1523的“正常”配置。

[0208] 在图15中所图解说明的实例中,移位电路1523包含耦合到互补控制信号1521(SHIFT)的另一(例如,第二)对隔离装置(例如,隔离晶体管1521-3及1521-4),互补控制信号1519可(举例来说)在NORM被撤销激活时经激活。可操作隔离晶体管1521-3及1521-4(例如,经由控制信号1519)使得特定感测放大器1506及计算组件1531耦合到不同互补数据线对(例如,不同于隔离晶体管1521-1及1521-2将特定感测放大器1506及计算组件1531耦合到的互补数据线对的互补数据线对),或可将特定感测放大器1506及计算组件1531耦合到另一存储器阵列(且隔离特定感测放大器1506及计算组件1531与第一存储器阵列)。根据各种实施例,例如,移位电路1523可布置为感测放大器1506(例如,在其内)的一部分。

[0209] 尽管图15中所展示的移位电路1523包含用于将特定感测电路1550(例如,特定感测放大器1506及对应计算组件1531)耦合到特定互补数据线对1505-1(D)及1505-2(D₁) (例如,DIGIT(n)及DIGIT(n)₁)的隔离晶体管1521-1及1521-2以及经布置以将特定感测电路1550耦合到一个特定方向上的邻近互补数据线对(例如,在图15中的右边所展示的邻近数据线DIGIT(n+1)及DIGIT(n+1)₁)的隔离晶体管1521-3及1521-4,但本发明的实施例并不如此受限制。例如,移位电路可包含用于将特定感测电路耦合到特定互补数据线对(例如,DIGIT(n)及DIGIT(n)₁)的隔离晶体管1521-1及1521-2以及经布置以便用于将特定感测电路耦合到另一特定方向上的邻近互补数据线对(例如,在图15中的左边所展示的邻近数据线DIGIT(n-1)及DIGIT(n-1)₁)的隔离晶体管1521-3及1521-4。

[0210] 本发明的实施例不限于图15中所展示的移位电路1523的配置。在若干个实施例中,例如,可在不经由I/O线(例如,局部I/O线(I₀/I₀₁))将数据传送出感测电路1550的情况下与执行例如加法及减法函数等的计算函数相关联地操作例如展示图15中所展示的移位电路1523(例如,联合感测放大器1506及计算组件1531)。

[0211] 尽管图15中未展示,但每一存储器单元列可耦合到列解码线,所述列解码线可经启用以经由局部I/O线将来自对应感测放大器1506及/或计算组件1531的数据值传送到在阵列外部的例如外部处理资源(例如,主机处理器及/或其它功能单元电路)等的控制组件。列解码线可耦合到列解码器(例如,列解码器)。然而,如本文中所描述,在若干个实施例中,不需要经由这些I/O线传送数据便能执行根据本发明的实施例的逻辑操作。在若干个实施例中,例如,可在不将数据传送到在阵列外部的控制组件的情况下联合感测放大器1506及计算组件1531操作移位电路1523以执行例如加法及减法函数等的计算函数。

[0212] 可以数种模式(包含其中逻辑操作的结果最初存储于计算组件1531中的第一模式及其中逻辑操作的结果最初存储于感测放大器1506中的第二模式)操作感测电路1550以执行逻辑操作。感测电路1550以第一模式的操作类似于针对图8中所展示的感测电路850-3及图9到12中所展示的时序图所描述的操作(差异在于:计算组件1531的额外动态锁存器与计算组件1531的静态锁存器1564一起操作)。下文关于图17及18描述感测电路1550以第二模式的操作。另外,关于第二操作模式,可以预感测(例如,在逻辑操作控制信号为作用中之前

激发感测放大器)及后感测(例如,在逻辑操作控制信号为作用中之后激发感测放大器)模式两者操作感测电路1550,其中逻辑操作的结果最初存储于感测放大器1506中。

[0213] 如下文进一步描述,可联合计算组件1531操作感测放大器1506以使用来自阵列的数据作为输入来执行各种逻辑操作。在若干个实施例中,可在不经由数据线地址存取传送数据的情况下(例如,在不激发列解码信号使得经由局部I/O线将数据传送到在阵列及感测电路外部的电路的情况下)将逻辑操作的结果往回存储到阵列。如此,本发明的若干个实施例可实现使用少于各种先前方法的电力执行逻辑操作及与其相关联的计算函数。另外,由于若干个实施例消除对跨越I/O线传送数据以便执行计算函数(例如,在存储器与离散处理器之间)的需要,因此若干个实施例可实现与先前方法相比较经增加的并行处理能力。

[0214] 下文描述且在下文的表2中总结关于执行逻辑操作且将结果最初存储于感测放大器1506中的图15的感测电路1550的功能性。将特定逻辑操作的结果最初存储于感测放大器1506的初级锁存器中可提供与先前方法相比较经改善的多功能性,在先前方法中结果可最初驻存于计算组件1531的次级锁存器(例如,用作累加器)中,且然后随后传送到例如感测放大器1506。

[0215]

操作	累加器	感测放大器
AND	未改变	结果
OR	未改变	结果

[0216]

NOT	未改变	结果
SHIFT	未改变	经移位数据

[0217] 表2

[0218] 将特定操作的结果最初存储于感测放大器1506中(例如,而不必须执行额外操作以将结果从计算组件1531(例如,用作累加器)移动到感测放大器1506)是有利的,因为(例如)可在不执行预充电循环(例如,在互补数据线1505-1(D)及/或1505-2(D₂)上)的情况下将结果写入到(存储器单元阵列的)行或往回写入到累加器中。

[0219] 图17图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。

[0220] 可以数种模式(包含其中逻辑操作的结果最初存储于感测放大器1306中的第一模式及其中逻辑操作的结果最初存储于计算组件1331中的第二模式)操作感测电路1350以执行逻辑操作。下文关于图3及4描述感测电路1350以第一模式的操作,且下文关于图14到17描述感测电路1350以第二模式的操作。另外,关于第二操作模式,可以预感测(例如,在逻辑操作控制信号为作用中之前激发感测放大器)及后感测(例如,在逻辑操作控制信号为作用中之后激发感测放大器)模式两者操作感测电路1350,其中逻辑操作的结果最初存储于感测放大器1306中。

[0221] 如下文进一步描述,可联合计算组件1331操作感测放大器1306以使用来自阵列的

数据作为输入来执行各种逻辑操作。在若干个实施例中,可在不经由数据线地址存取传送数据的情况下(例如,在不激发列解码信号使得经由局部I/O线将数据传送到在阵列及感测电路外部的电路的情况下)将逻辑操作的结果往回存储到阵列。如此,本发明的若干个实施例可实现使用少于各种先前方法的电力执行逻辑操作及与其相关联的计算函数。另外,由于若干个实施例消除对跨越I/O线传送数据以便执行计算函数(例如,在存储器与离散处理器之间)的需要,因此若干个实施例可实现与先前方法相比较经增加的并行处理能力。

[0222] 图17图解说明与起始对第一操作数及第二操作数的AND逻辑操作相关联的时序图。在此实例中,第一操作数存储于耦合到第一存取线(例如,行X)的存储器单元中且第二操作数存储于耦合到第二存取线(例如,行Y)的存储器单元中。尽管实例涉及对存储于对应于一个特定列的单元中的数据执行AND,但实施例并不如此受限制。例如,可对整行的数据值与不同行的数据值并行进行AND操作。举例来说,如果阵列包括2,048列,那么可并行执行2,048个AND操作。

[0223] 图17图解说明与操作感测电路(例如,1550)以执行AND逻辑操作相关联的若干个控制信号。“EQ”对应于施加到感测放大器1506的平衡信号,“行X”对应于施加到存取线1504-X的启用信号,“行Y”对应于施加到存取线1504-Y的启用信号,“Act”及“RnIF”对应于施加到感测放大器1506的相应作用中正及负控制信号,“LOAD”对应于负载控制信号(例如,图15中所展示的LOAD/PASSD及LOAD/PASSDb),且“AND”对应于图15中所展示的AND控制信号。图17还图解说明展示在行X及行Y数据值的各种数据值组合的AND逻辑操作期间对应于感测放大器1506的数字线D及D_上的信号(例如电压信号)及对应于计算组件1531的节点S1及S2上的信号(例如,Accum)的波形图(例如,图式对应于相应数据值组合00、10、01、11)。下文关于与图15中所展示的电路的AND操作相关联的伪码论述特定时序图波形。

[0224] 可如下总结与将存储于耦合到行1504-X的单元中的第一数据值加载(例如,复制)到累加器中相关联的伪码的实例:

[0225] 将行X复制到累加器中:

[0226] 对EQ撤销激活

[0227] 开启行X

[0228] 激发感测放大器(在此之后行X数据驻存于感测放大器中)

[0229] 激活LOAD(感测放大器数据(行X)传送到累加器的节点S1及S2且动态地驻存于那里)

[0230] 对LOAD撤销激活

[0231] 关闭行X

[0232] 预充电

[0233] 在以上伪码中,“对EQ撤销激活”指示在如图17中所展示的 t_1 处停用对应于感测放大器1506的平衡信号(图17中所展示的EQ信号)(例如,使得互补数据线(例如,1505-1(D)及1505-2(D_上))不再短接到 $V_{DD}/2$)。在停用平衡之后,启用(例如,例如通过激活信号以选择特定行而选择、开启)选定行(例如,行X),如伪码中的“启用行X”所指示且针对图17中的信号行X在 t_2 处所展示。当施加到行X的电压信号达到对应于选定单元的存取晶体管(例如,1502-2)的阈值电压(V_t)时,存取晶体管接通且将数据线(例如,1505-2(D_上))耦合到选定单元(例如,耦合到电容器1503-2),此形成数据线之间的差分电压信号。

[0234] 在启用行X之后,在以上伪码中,“激发感测放大器”指示感测放大器1506经启用以设定初级锁存器且随后经停用。举例来说,如图17中在 t_3 处所展示,ACT正控制信号(例如,图16中所展示的1690)变高且 R_nIF 负控制信号(例如,图16中所展示的1628)变低,此放大1505-1(D)与 D_{1505-2} 之间的差分信号,从而导致对应于逻辑1的电压(例如, V_{DD})或对应于逻辑0的电压(例如,GND)处于数据线1505-1(D)上(且对应于另逻辑状态的电压处于互补数据线1505-2(D_{1505-2})上)。所感测数据值存储于感测放大器1506的初级锁存器中。在将数据线(例如,1505-1(D)或1505-2(D_{1505-2}))从平衡电压 $V_{DD}/2$ 充电到导轨电压 V_{DD} 时发生初级能量消耗。

[0235] 图17中所图解说明的四组可能感测放大器及累加器信号(例如,行X与行Y数据值的每一组合一组)展示数据线D及 D_{1505-2} 上的信号行为。行X数据值存储于感测放大器的初级锁存器中。应注意,图15展示对应于行X的包含存储元件1502-2的存储器单元耦合到互补数据线 D_{1505-2} ,而对应于行Y的包含存储元件1502-1的存储器单元耦合到数据线D。然而,如图15中可见,对应于“0”数据值的存储于存储器单元1502-2(对应于行X)中的电荷致使数据线 D_{1505-2} (存储器单元1502-2耦合到其)上的电压变高且对应于“1”数据值的存储于存储器单元1502-1中的电荷致使数据线D上的电压变低,此与存储于耦合到数据线D的对应于行Y的存储器单元1502-1中的数据状态与电荷之间的对应性相反。当将数据值写入到相应存储器单元时适当地考虑到将电荷存储于耦合到不同数据线的存储器单元时的这些差异。

[0236] 在激发感测放大器之后,在以上伪码中,“激活LOAD”指示:LOAD控制信号变高,如图17中在 t_4 处所展示,从而致使负载/通过晶体管1518-1及1518-2导通。以此方式,激活LOAD控制信号会启用计算组件1531的累加器中的次级锁存器。存储于感测放大器1506中的所感测数据值传送(例如,复制)到次级锁存器。如针对图17中所图解说明的四组可能感测放大器及累加器信号中的每一者所展示,累加器的次级锁存器的输入处的行为指示次级锁存器加载有行X数据值。如图17中所展示,累加器的次级锁存器可取决于先前存储于动态锁存器中的数据值而翻转(例如,参见针对行X=“0”及行Y=“0”及针对行X=“1”及行Y=“0”的累加器信号),或不翻转(例如,参见针对行X=“0”及行Y=“1”及针对行X=“1”及行Y=“1”的累加器信号)。

[0237] 在依据存储于感测放大器中(且存在于数据线1505-1(D)及1505-2(D_{1505-2})上)的数据值设定次级锁存器之后,在以上伪码中,“对LOAD撤销激活”指示:LOAD控制信号变回为低(如图17中在 t_5 处所展示)以致使负载/通过晶体管1518-1及1518-2停止导通且借此隔离动态锁存器与互补数据线。然而,数据值保持动态地存储于累加器的次级锁存器中。

[0238] 在将数据值存储于次级锁存器上之后,停用(例如,例如通过对特定行的选择信号撤销激活而解除选择、关闭)选定行(例如,行X),如由“关闭行X”所指示且图17中在 t_6 处所指示,可通过存取晶体管关断完成此操作以将选定单元从对应数据线解耦。一旦关闭选定行且隔离存储器单元与数据线,便可将数据线预充电,如以上伪码中的“预充电”所指示。可通过平衡操作完成对数据线的预充电,如图17中由EQ信号在 t_7 处变高所指示。如图17中在 t_7 处所图解说明的四组可能感测放大器及累加器信号中的每一者中所展示,平衡操作致使数据线D及 D_{1505-2} 上的电压各自返回到 $V_{DD}/2$ 。可(例如)在存储器单元感测操作或逻辑操作(下文所描述)之前发生平衡。

[0239] 与对第一数据值(现在存储于感测放大器1506及计算组件1531的次级锁存器中)

及第二数据值(存储于耦合到行Y 1504-Y的存储器单元1502-1中)执行AND或OR操作相关联的后续操作阶段包含执行取决于将执行AND还是OR的特定步骤。下文总结与对驻存于累加器中的数据值(例如,存储于耦合到行X 1504-X的存储器单元1502-2中的第一数据值)及第二数据值(例如,存储于耦合到行Y 1504-Y的存储器单元1502-1中的数据值)进行AND操作及OR操作相关联的伪码的实例。与对数据值进行AND操作相关联的实例性伪码可包含:

[0240] 对EQ撤销激活

[0241] 开启行Y

[0242] 激发感测放大器(在此之后行Y数据驻存于感测放大器中)

[0243] 关闭行Y

[0244] 在接下来的操作中,将把逻辑操作的结果置于将对为作用中的任一行重写的感测放大器上。

[0245] 即使在关闭行Y时,感测放大器仍含有行Y数据值。

[0246] 激活AND

[0247] 此导致感测放大器被写入为函数(例如,行X AND行Y)的值

[0248] 如果累加器含有“0”(即,节点S2上的电压对应于“0”且节点S1上的电压对应于“1”),那么感测放大器数据经写入为“0”

[0249] 如果累加器含有“1”(即,节点S2上的电压对应于“1”且节点S1上的电压对应于“0”),那么感测放大器数据保持未改变(行Y数据)

[0250] 此操作使累加器中的数据未改变。

[0251] 对AND撤销激活

[0252] 预充电

[0253] 在以上伪码中,“对EQ撤销激活”指示停用对应于感测放大器1506的平衡信号(例如,使得互补数据线1505-1(D)及1505-2(D_̄)不再短接到 $V_{DD}/2$),图17中在 t_8 处图解说明此。在停用平衡之后,启用选定行(例如,行Y),如以上伪码中由“开启行Y”所指示且图17中在 t_9 处所展示。当施加到行Y的电压信号达到对应于选定单元的存取晶体管(例如,1502-1)的阈值电压(V_t)时,存取晶体管接通且将数据线(例如,D_1505-1)耦合到选定单元(例如,电容器1503-1),此形成数据线之间的差分电压信号。

[0254] 在启用行Y之后,在以上伪码中,“激发感测放大器”指示:感测放大器1506经启用以放大1505-1(D)与1505-2(D_̄)之间的差分信号,从而导致对应于逻辑1的电压(例如, V_{DD})或对应于逻辑0的电压(例如,GND)处于数据线1505-1(D)上(且对应于另一逻辑状态的电压处于互补数据线1505-2(D_̄)上)。如图17中在 t_{10} 处所展示,ACT正控制信号(例如,图16中所展示的1690)变高且RnIF负控制信号(例如,图16中展示的1628)变低以激发感测放大器。来自存储器单元1502-1的所感测数据值存储于感测放大器1506的初级锁存器中,如先前所描述。次级锁存器仍对应于来自存储器单元1502-2的数据值,因为动态锁存器未改变。

[0255] 在从耦合到行Y的存储器单元1502-1感测到的第二数据值存储于感测放大器1506的初级锁存器中之后,在以上伪码中,“关闭行Y”指示:如果不期望将AND逻辑操作的结果往回存储于对应于行Y的存储器单元中,那么可停用选定行(例如,行Y)。然而,图17展示使行Y启用使得可将逻辑操作的结果往回存储于对应于行Y的存储器单元中。可通过存取晶体管关断完成隔离对应于行Y的存储器单元以将选定单元1502-1从数据线1505-1(D)解耦。在选

定行Y经配置(例如,以隔离存储器单元或不隔离存储器单元)之后,以上伪码中的“激活AND”指示:AND控制信号变高,如图17中在 t_{11} 处所展示,从而致使通过晶体管1507-1导通。以此方式,激活AND控制信号致使函数(例如,行X AND行Y)的值被写入到感测放大器。

[0256] 在第一数据值(例如,行X)存储于累加器1531的动态锁存器中且第二数据值(例如,行Y)存储于感测放大器1506中的情况下,如果计算组件1531的动态锁存器含有“0”(即,节点S2上的电压对应于“0”且节点S1上的电压对应于“1”),那么感测放大器数据被写入为“0”(而不管先前存储于感测放大器中的数据值如何),因为在节点S1上对应于“1”的电压致使晶体管1509-1导通,借此通过晶体管1509-1、通过晶体管1507-1及数据线1505-1(D)将感测放大器1505耦合到接地。当AND操作的任一数据值是“0”时,结果是“0”。此处,当第二数据值(在动态锁存中)是“0”时,不管第一数据值的状态如何,AND操作的结果均是“0”,且因此感测电路的配置致使“0”结果经写入且最初存储于感测放大器1506中。此操作使累加器中的数据值未改变(例如,来自行X)。

[0257] 如果累加器的次级锁存器含有“1”(例如,来自行X),那么AND操作的结果取决于存储于感测放大器1506中的数据值(例如,来自行Y)。如果存储于感测放大器1506中的数据值(例如,来自行Y)是“1”,那么AND操作的结果也应是“1”,但如果存储于感测放大器1506中的数据值(例如,来自行Y)是“0”,那么AND操作的结果也应是“0”。感测电路1550经配置使得:如果累加器的动态锁存器含有“1”(即,节点S2上的电压对应于“1”且节点S1上的电压对应于“0”),那么晶体管1509-1不导通,感测放大器不耦合到接地(如上文所描述),且先前存储于感测放大器1506中的数据值保持未改变(例如,行Y数据值,因此若行Y数据值是“1”,那么AND操作结果是“1”,且如果行Y数据值是“0”,那么AND操作结果是“0”)。此操作使累加器中的数据值未改变(例如,来自行X)。

[0258] 在AND操作的结果最初存储于感测放大器1506中之后,以上伪码中的“对AND撤销激活”指示:AND控制信号变低,如图17中在 t_{12} 处所展示,从而致使通过晶体管1507-1停止导电以隔离感测放大器1506(及数据线1505-1(D))与接地。如果先前未进行,那么可关闭行Y(如图17中在 t_{13} 处所展示)且可停用感测放大器(如图17中在 t_{14} 处通过ACT正控制信号变低且RnIF负控制信号变高所展示)。在隔离数据线的情况下,以上伪码中的“预充电”可通过平衡操作导致数据线的预充电,如先前所描述(例如,图17中所展示在 t_{14} 处开始)。

[0259] 在替代方案中,图17针对涉及可能操作数组合(例如,行X/行Y数据值00、10、01及11)中的每一者的AND逻辑操作展示耦合到感测放大器(例如,图15中所展示的1506)的数据线(例如,图15中所展示的1505-1(D)及1503-2(D₋))上的电压信号的行为及计算组件(例如,图15中所展示的1531)的次级锁存器的节点S1及S1上的电压信号的行为。

[0260] 尽管图17中所图解说明的时序图及上文所描述的伪码指示在开始将第二操作数(例如,行Y数据值)加载到感测放大器中之后起始AND逻辑操作,但可通过在开始将第二操作数(例如,行Y数据值)加载到感测放大器中之前起始AND逻辑操作而成功地操作图15中所展示的电路。

[0261] 图18图解说明根据本发明的若干个实施例的与使用感测电路执行若干个逻辑操作相关联的时序图。图18图解说明与在开始将第二操作数(例如,行Y数据值)加载到感测放大器中之后起始OR逻辑操作相关联的时序图。图18图解说明第一与第二操作数数据值的各种组合的感测放大器及累加器信号。下文关于与图15中所展示的电路的AND逻辑操作相关

联的伪码论述特定时序图信号。

[0262] 后续操作阶段可替代地与对第一数据值(现在存储于感测放大器1506及计算组件1531的次级锁存器中)及第二数据值(存储于耦合到行Y 1504-Y的存储器单元1502-1中)执行OR操作相关联。关于图18未重复先前关于图17中所展示的时间 t_1 到 t_7 所描述的用以将行X数据加载到感测放大器及累加器中的操作。

[0263] 对EQ撤销激活

[0264] 开启行Y

[0265] 激发感测放大器(在此之后行Y数据驻存于感测放大器中)

[0266] 关闭行Y

[0267] 当关闭行Y时,感测放大器仍含有行Y数据值。

[0268] 激活OR

[0269] 此导致感测放大器被写入为函数(例如,行X OR行Y)的值,此可如下对先前存储于感测放大器中的来自行Y的数据值重写:

[0270] 如果累加器含有“0”(即,节点S2上的电压对应于“0”且节点S1上的电压对应于“1”),那么感测放大器数据保持未改变(行Y数据)

[0271] 如果累加器含有“1”(即,节点S2上的电压对应于“1”且节点S1上的电压对应于“0”),那么感测放大器数据被写入为“1”

[0272] 此操作使累加器中的数据未改变。

[0273] 对OR撤销激活

[0274] 预充电

[0275] 以上伪码中所展示的“对EQ撤销激活”(图18中在 t_8 处所展示)、“开启行Y”(图18中在 t_9 处所展示)、“激发感测放大器”(图18中在 t_{10} 处所展示)及“关闭行Y”(图18中在 t_{13} 处所展示,且此可在起始特定逻辑功能控制信号之前发生)指示与先前关于AND操作伪码所描述相同的功能性。一旦适当地配置选定行Y的配置(例如,如果逻辑操作结果将存储于对应于行Y的存储器单元中,那么选定行Y经启用;或如果逻辑操作结果将不存储于对应于行Y的存储器单元中,那么选定行Y经关闭以隔离存储器单元),以上伪码中的“激活OR”便指示:OR控制信号变高(如图18中在 t_{11} 处所展示),此致使通过晶体管1507-2导通。以此方式,激活OR控制信号致使函数(例如,行X OR行Y)的值被写入到感测放大器。

[0276] 在第一数据值(例如,行X)存储于计算组件1531的次级锁存器中且第二数据值(例如,行Y)存储于感测放大器1506中的情况下,如果累加器的动态锁存器含有“0”(即,节点S2上的电压对应于“0”且节点S1上的电压对应于“1”),那么OR操作的结果取决于存储于感测放大器1506中的数据值(例如,来自行Y)。如果存储于感测放大器1506中的数据值(例如,来自行Y)是“1”,那么OR操作的结果应是“1”,但如果存储于感测放大器1506中的数据值(例如,来自行Y)是“0”,那么OR操作的结果也应是“0”。感测电路1550经配置使得:如果累加器的动态锁存器含有“0”(其中节点S2上的电压对应于“0”),那么晶体管1509-2关断且不导通(且通过晶体管1507-1也关断,因为AND控制信号未经断言),因此感测放大器1506不耦合到接地(任一侧),且先前存储于感测放大器1506中的数据值保持未改变(例如,行Y数据值,使得如果行Y数据值是“1”,那么OR操作结果是“1”,且如果行Y数据值是“0”,那么OR操作结果是“0”)。

[0277] 如果累加器的动态锁存器含有“1”（即，节点S2上的电压对应于“1”且节点S1上的电压对应于“0”），那么晶体管1509-2导通（通过晶体管1507-2同样导通，因为OR控制信号经断言），且耦合到数据线1505-2 (D₂)的感测放大器1506输入耦合到接地，因为在节点S2上对应于“1”的电压致使晶体管1509-2联合通过晶体管1507-2（其也导通，因为OR控制信号经断言）导通。以此方式，当累加器的次级锁存器含有“1”时，不管先前存储于感测放大器中的数据值如何，均将“1”作为OR操作的结果最初存储于感测放大器1506中。此操作使累加器中的数据未改变。在替代方案中，图18针对涉及可能操作数组组合（例如，行X/行Y数据值00、10、01及11）中的每一者的OR逻辑操作展示耦合到感测放大器（例如，图15中所展示的1506）的数据线（例如，图15中所展示的1505-1 (D₁)及1505-2 (D₂)）上的电压信号的行为及计算组件1531的次级锁存器的节点S1及S2上的电压信号的行为。

[0278] 在OR操作的结果最初存储于感测放大器1506中之后，以上伪码中的“对OR撤销激活”指示：OR控制信号变低（如图18中在t₁₂处所展示），从而致使通过晶体管1507-2停止导通以隔离感测放大器1506（及数据线D₁ 1505-2）与接地。如果先前未进行，那么可关闭行Y（如图18中在t₁₃处所展示）且可停用感测放大器（如图18中在t₁₄处通过ACT正控制信号变低且RnIF负控制信号变高所展示）。在隔离数据线的情况下，以上伪码中的“预充电”可通过平衡操作导致数据线的预充电，如先前所描述及图18中在t₁₄处所展示。

[0279] 图15中所图解说明的感测电路1550可如下提供额外逻辑操作灵活性。通过在上文所描述的AND及OR操作中用ANDinv控制信号的操作替代AND控制信号的操作及/或用ORinv控制信号的操作替代OR控制信号的操作，逻辑操作可从{行X AND行Y}改变为{~行X AND行Y}（其中“~行X”指示与行X数据值的对立面，例如，NOT行X）且可从{行X OR行Y}改变为{~行X OR行Y}。举例来说，在涉及反转数据值的AND操作期间，可断言ANDinv控制信号而非AND控制信号，且在涉及反转数据值的OR操作期间，可断言ORInv控制信号而非OR控制信号。激活ORinv控制信号致使晶体管1514-1导通且激活ANDinv控制信号致使晶体管1514-2导通。在每一情形中，断言适当的反转控制信号可使感测放大器翻转且致使最初存储于感测放大器1506中的结果为使用反转行X及真实行Y数据值的AND操作的结果或使用反转行X及真实行Y数据值的OR操作的结果。一个数据值的真实或互补版本可在累加器中用于（举例来说）通过首先加载将反转的数据值且其次加载将不反转的数据值而执行逻辑操作（例如，AND、OR）。

[0280] 在与上文关于使上文所描述的AND及OR操作的数据值反转所描述的方法类似的方法中，图15中所展示的感测电路可通过将非反转数据值置入到累加器的动态锁存器中且使用所述数据来使感测放大器1506中的数据值反转而执行NOT（例如，反转）操作。如先前所提及，激活ORinv控制信号致使晶体管1514-1导通且激活ANDinv控制信号致使晶体管1514-2导通。ORinv及/或ANDinv控制信号用于实施NOT函数，如下文进一步描述：

[0281] 将行X复制到累加器中

[0282] 对EQ撤销激活

[0283] 开启行X

[0284] 激发感测放大器（在此之后行X数据驻存于感测放大器中）

[0285] 激活LOAD（感测放大器数据（行X）传送到累加器的节点S1及S2且动态地驻存于那里）

[0286] 对LOAD撤销激活

[0287] 激活ANDinv及ORinv (此将互补数据值置于数据线上)

[0288] 此导致感测放大器中的数据值经反转 (例如, 使感测放大器锁存器翻转)

[0289] 此操作使累加器中的数据未改变

[0290] 对ANDinv及ORinv撤销激活

[0291] 关闭行X

[0292] 预充电

[0293] 以上伪码中所展示的“对EQ撤销激活”、“开启行X”、“激发感测放大器”、“激活LOAD”及“对LOAD撤销激活”指示与在用于AND操作及OR操作的伪码之前的上文所描述的用于“将行X复制到累加器中”初始操作阶段的伪码中的相同操作相同的功能性。然而, 不是在将行X数据加载到感测放大器1506中且复制到动态锁存器中之后关闭行X及预充电, 而是可将累加器的动态锁存器中的数据值的互补版本置于数据线上且因此通过启用 (例如, 致使晶体管导通) 及停用反相晶体管 (例如, ANDinv及ORinv) 而传送到感测放大器1506。此导致感测放大器1506从先前存储于感测放大器中的真实数据值翻转到存储于感测放大器中的互补数据值 (例如, 经反转数据值)。即, 可通过激活及撤销激活ANDinv及ORinv而将累加器中的数据值的真实或互补版本传送到感测放大器。此操作使累加器中的数据未改变。

[0294] 由于图15中所展示的感测电路1550将AND、OR及NOT逻辑操作的结果最初存储于感测放大器1506中 (例如, 感测放大器节点上), 因此这些逻辑操作结果可容易地且迅速地传达到任一经启用行及/或传达到计算组件1531的次级锁存器中。还可通过在感测放大器1506激发之前适当激发AND、OR、ANDinv及/或ORinv控制信号 (及具有耦合到特定控制信号的栅极的对应晶体管的操作) 而互换用于AND、OR及/或NOT逻辑操作的感测放大器1506及定序。

[0295] 当以此方式执行逻辑操作时, 感测放大器1506可预种有来自累加器的动态锁存器的数据值以减少所利用的总体电流, 因为当累加器函数复制到感测放大器1506时感测放大器1506未处于全轨电压 (例如, 供应电压或接地/参考电压)。关于经预种感测放大器1506的操作序列将数据线中的一者驱迫到参考电压 (从而使互补数据线处于 $V_{DD}/2$) 或使互补数据线未改变。当感测放大器1506激发时, 感测放大器1506将相应数据线拉到全轨。使用此操作序列将对经启用行中的数据重写。

[0296] 可通过使用传统DRAM隔离 (ISO) 方案将两个相邻数据线互补对多路复用 (“多路复用传输”) 而完成SHIFT操作。根据本发明的实施例, 移位电路1523可用于使存储于耦合到特定互补数据线对的存储器单元中的数据值移位到对应于不同互补数据线对的感测电路1550 (例如, 感测放大器1506) (例如, 例如对应于左或右邻近互补数据线对的感测放大器1506)。如本文中所使用, 感测放大器1506对应于在隔离晶体管1521-1及1521-2导通时感测放大器耦合到的互补数据线对。SHIFT操作 (向右或向左) 不将行X数据值预复制到累加器中。可如下总结使行X向右移位的操作:

[0297] 对Norm撤销激活且激活Shift

[0298] 对EQ撤销激活

[0299] 开启行X

[0300] 激发感测放大器 (在此之后经移位行X数据驻存于感测放大器中)

[0301] 激活Norm且对Shift撤销激活

[0302] 关闭行X

[0303] 预充电

[0304] 在以上伪码中，“对Norm撤销激活且激活Shift”指示：NORM控制信号变低，从而致使移位电路1523的隔离晶体管1521-1及1521-2不导通（例如，隔离感测放大器与对应互补数据线对）。SHIFT控制信号变高，从而致使隔离晶体管1521-3及1521-4导通，借此将感测放大器1506耦合到左邻近互补数据线对（例如，针对左邻近互补数据线对在非导通隔离晶体管1521-1及1521-2的存储器阵列侧上）。

[0305] 在配置移位电路之后，以上伪码中所展示的“对EQ撤销激活”、“开启行X”及“激发感测放大器”指示与在用于AND操作及OR操作的伪码之前的上文所描述的用于“将行X复制到累加器中”初始操作阶段的伪码中的相同操作相同的功能性。在这些操作之后，耦合到左邻近互补数据线对的存储器单元的行X数据值向右移位且存储于感测放大器1506中。

[0306] 在以上伪码中，“激活Norm且对Shift撤销激活”指示：NORM控制信号变高，从而致使移位电路1523的隔离晶体管1521-1及1521-2导通（例如，将感测放大器耦合到对应互补数据线对），且SHIFT控制信号变低，从而致使隔离晶体管1521-3及1521-4不导通且隔离感测放大器1506与左邻近互补数据线对（例如，针对左邻近互补数据线对在非导电隔离晶体管1521-1及1521-2的存储器阵列侧上）。由于行X仍在作用中，因此已向右移位的行X数据值通过隔离晶体管1521-1及1521-2传送到对应互补数据线对的行X。

[0307] 在行X数据值向右移位到对应互补数据线对之后，停用选定行（例如，行X），如以上伪码中的“关闭行X”所指示，可通过存取晶体管关断完成此操作以将选定单元从对应数据线解耦。一旦关闭选定行且隔离存储器单元与数据线，便可将数据线预充电，如以上伪码中的“预充电”所指示。可通过平衡操作完成数据线的预充电，如上文所描述。

[0308] 可如下总结使行X向左移位的操作：

[0309] 激活Norm且对Shift撤销激活

[0310] 对EQ撤销激活

[0311] 开启行X

[0312] 激发感测放大器（在此之后行X数据驻存于感测放大器中）

[0313] 对Norm撤销激活且激活Shift

[0314] 将感测放大器数据（向左移位的行X）传送到行X

[0315] 关闭行X

[0316] 预充电

[0317] 在以上伪码中，“激活Norm且对Shift撤销激活”指示：NORM控制信号变高，从而致使移位电路1523的隔离晶体管1521-1及1521-2导通，且SHIFT控制信号变低，从而致使隔离晶体管1521-3及1521-4不导通。此配置将感测放大器1506耦合到对应互补数据线对且隔离感测放大器与右邻近互补数据线对。

[0318] 在配置移位电路1523之后，以上伪码中所展示的“对EQ撤销激活”、“开启行X”及“激发感测放大器”指示与在用于AND操作及OR操作的伪码之前的上文所描述的用于“将行X复制到累加器中”初始操作阶段的伪码中的相同操作相同的功能性。在这些操作之后，将耦合到对应于感测电路1550的互补数据线对的存储器单元的行X数据值存储于感测放大器

1506中。

[0319] 在以上伪码中，“对Norm撤销激活且激活Shift”指示：NORM控制信号变低，从而致使移位电路1523的隔离晶体管1521-1及1521-2不导通（例如，隔离感测放大器与对应互补数据线对），且SHIFT控制信号变高，从而致使隔离晶体管1521-3及1521-4导通，从而将感测放大器耦合到左邻近互补数据线对（例如，针对左邻近互补数据线对在非导电隔离晶体管1521-1及1521-2的存储器阵列侧上）。由于行X仍在作用中，因此已向左移位的行X数据值传送到左邻近互补数据线对的行X。

[0320] 在行X数据值向左移位到左邻近互补数据线对之后，停用选定行（例如，行X），如由“关闭行X”所指示，可通过存取晶体管关断完成此操作以将选定单元从对应数据线解耦。一旦关闭选定行且隔离存储器单元与数据线，便可将数据线预充电，如以上伪码中的“预充电”所指示。可通过平衡操作完成数据线的预充电，如上文所描述。

[0321] 根据各种实施例，举例来说，可在存储器内处理器（PIM）装置的存储器阵列核心（例如DRAM每存储器单元一个晶体管（例如，1T1C）配置，为 $6F^2$ 或 $4F^2$ 存储器单元大小）中实现通用计算。本文中所描述的设备及方法的优点并非就单个指令速度实现，而是就可通过在不将数据传送到存储器阵列（例如，DRAM）或激发列解码的情况下并行计算整个数据库而达成的累积速度来实现。换句话说，可消除数据传送时间。举例来说，本发明的设备可使用耦合到数据线（例如，16K存储器单元列）的存储器单元中的数据值同时执行AND或OR。

[0322] 在其中移出数据以用于逻辑操作处理（例如，使用32或64位寄存器）的先前方法感测电路中，可并行执行与本发明的设备相比较较少的操作。以此方式，与涉及与存储器离散的中央处理单元（CPU）使得数据必须在其之间传送的常规配置相比较，有效地提供显著较高吞吐量。根据本发明的设备及/或方法还可使用比其中CPU与存储器离散的配置少的能量/面积。此外，本发明的设备及/或方法可对较小能量/面积优点进行改善，因为存储器中阵列逻辑操作通过消除某些数据值传送而节省能量。

[0323] 尽管本文中已图解说明及描述包含感测电路、感测放大器、计算电路、动态锁存器及/或移位电路的各种组合及配置的实例性实施例，但本发明的实施例不限于本文中明确陈述的那些组合。本文中所揭示的感测电路、感测放大器、计算电路、动态锁存器及/或移位电路的其它组合及配置明确地包含于本发明的范围内。

[0324] 尽管本文中已图解说明及描述了具体实施例，但所属领域的技术人员将了解，旨在实现相同结果的布置可替代所展示的具体实施例。本发明意欲涵盖本发明的一或多个实施例的修改或变化。应理解，已以说明性方式而非限定性方式做出以上描述。在审阅以上描述后，所属领域的技术人员将明了以上实施例的组合及本文中未具体描述的其它实施例。本发明的一或多个实施例的范围包含其中使用以上结构及方法的其它应用。因此，本发明的一或多个实施例的范围应参考所附权利要求书联合连同此权利要求书的等效内容的全部范围来确定。

[0325] 在前述实施方式中，出于简化本发明的目的，将一些特征一起集合于单个实施例中。本发明的此方法不应解释为反映本发明的所揭示实施例必须使用比明确陈述于每一权利要求中更多的特征的意图。而是，如以下权利要求书反映：发明性标的物在于少于一个所揭示实施例的所有特征。因此，特此将所附权利要求书并入到实施方案中，其中每一权利要求独立地作为单独实施例。

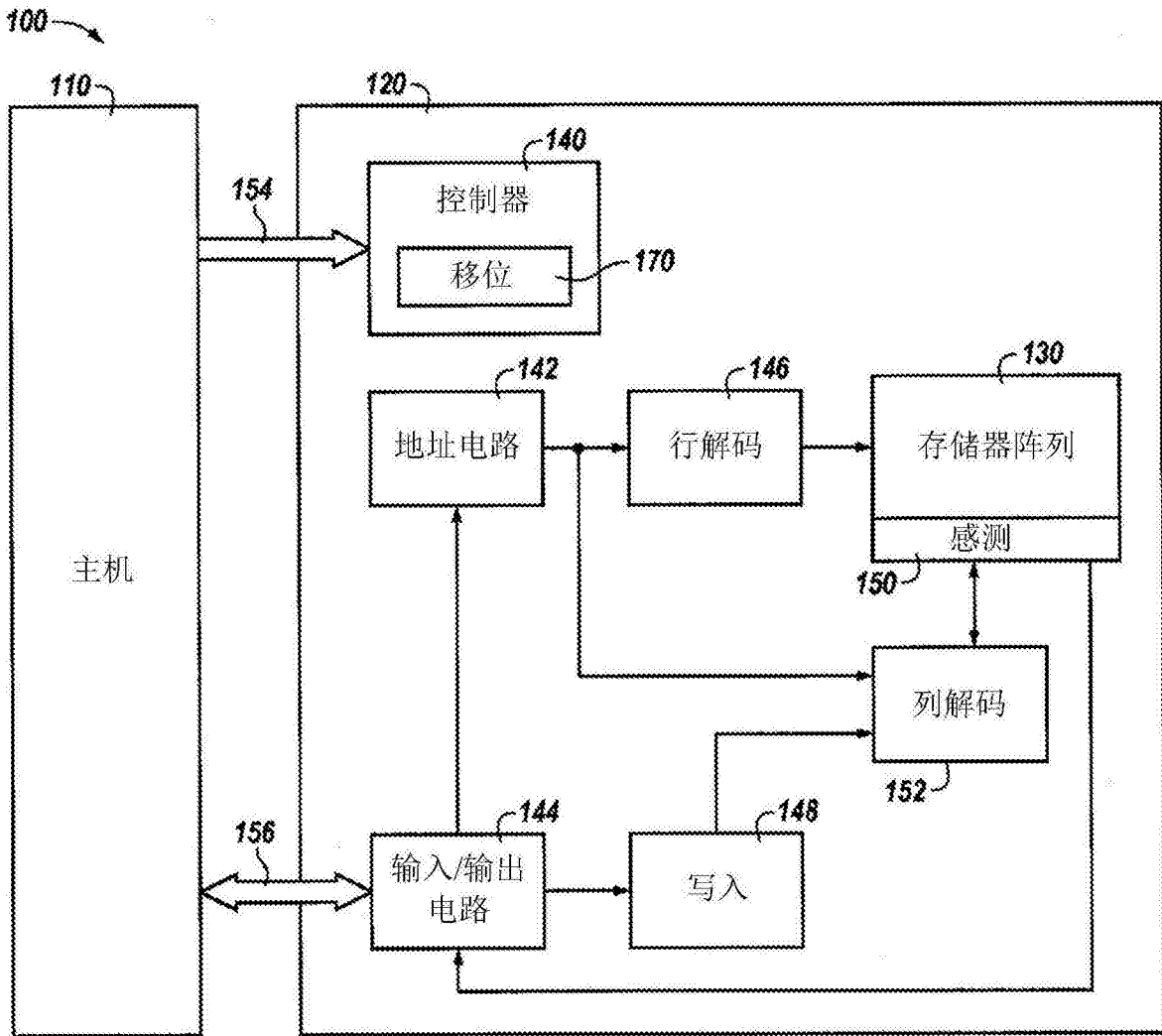


图1

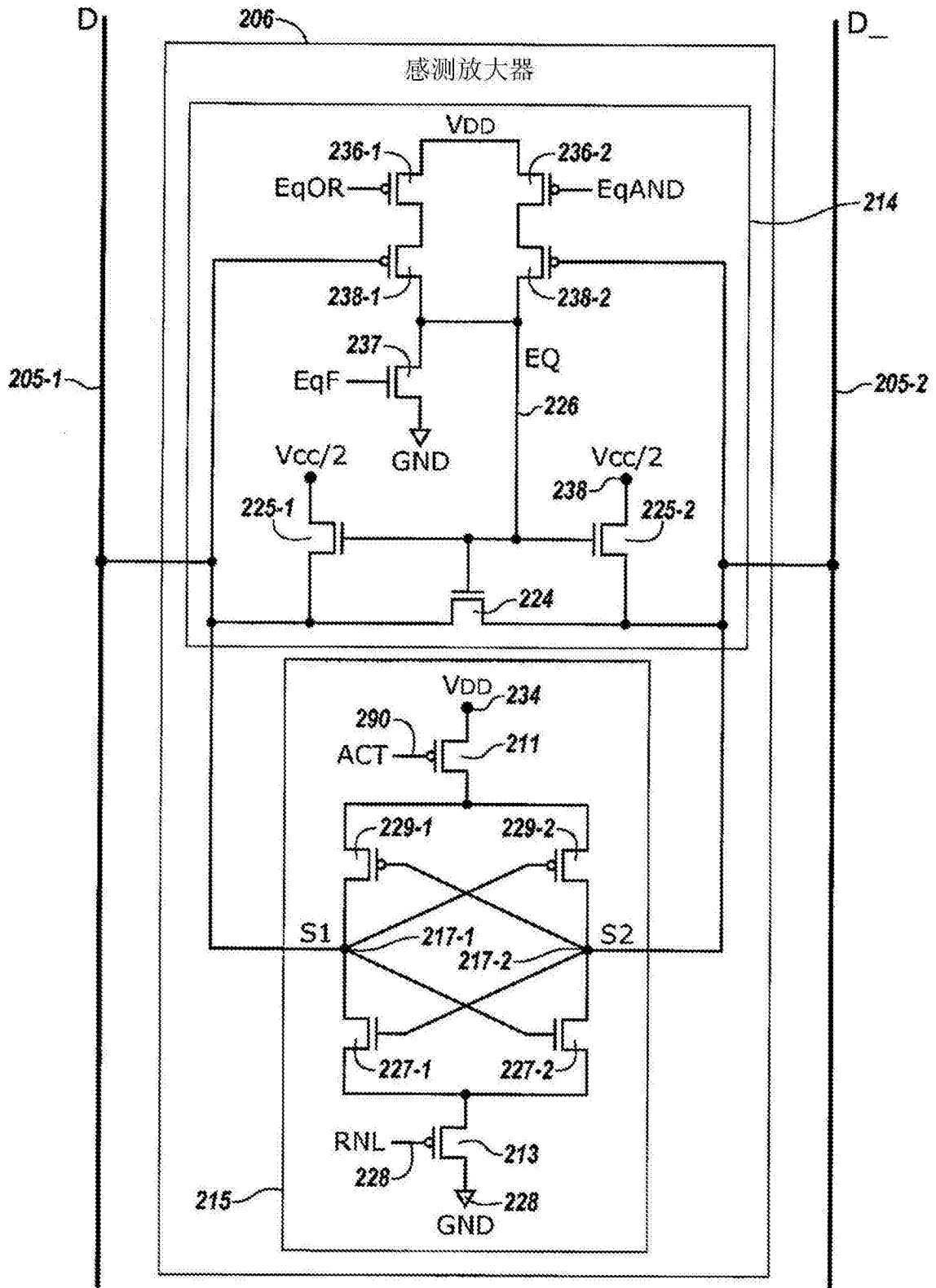


图2

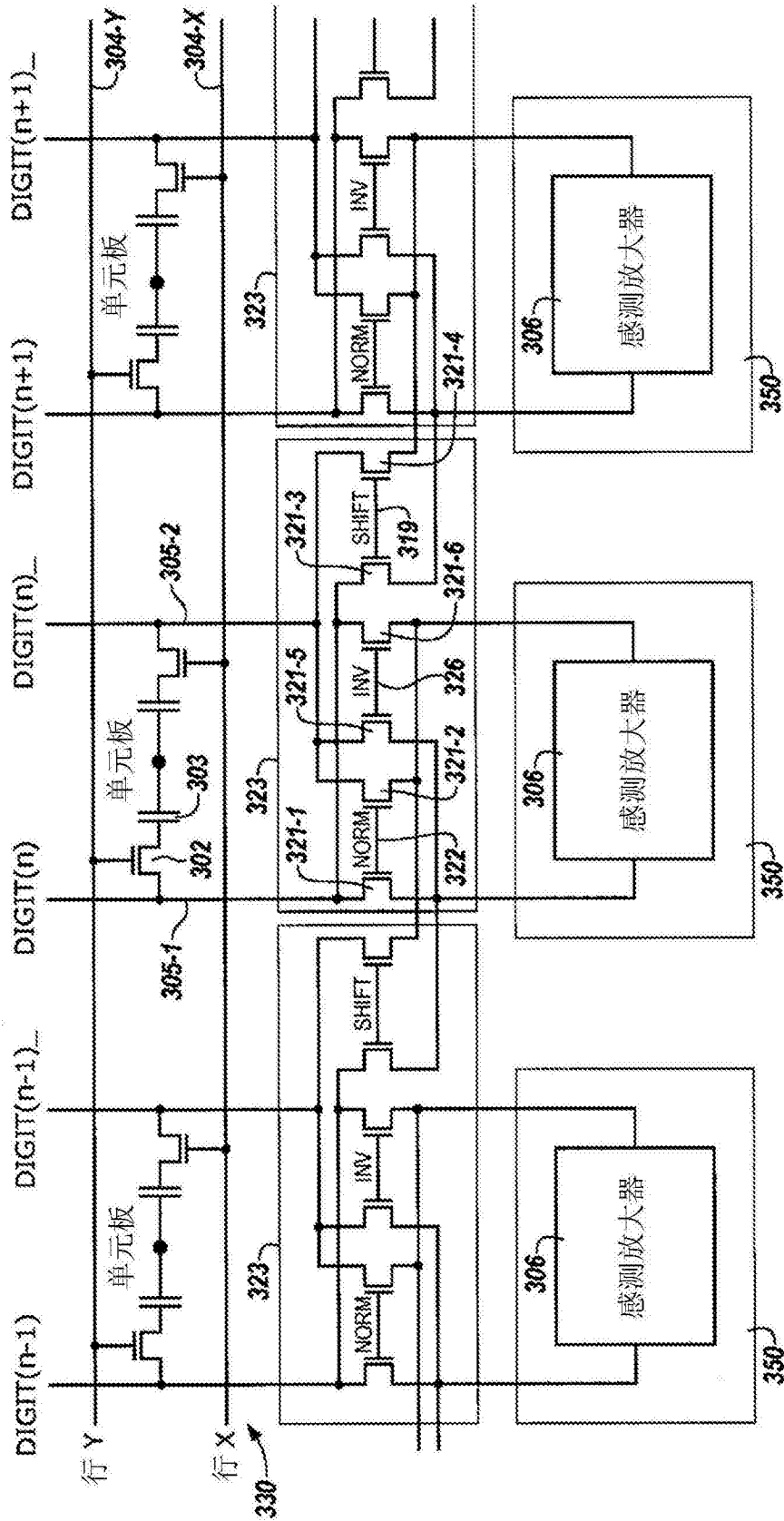


图3

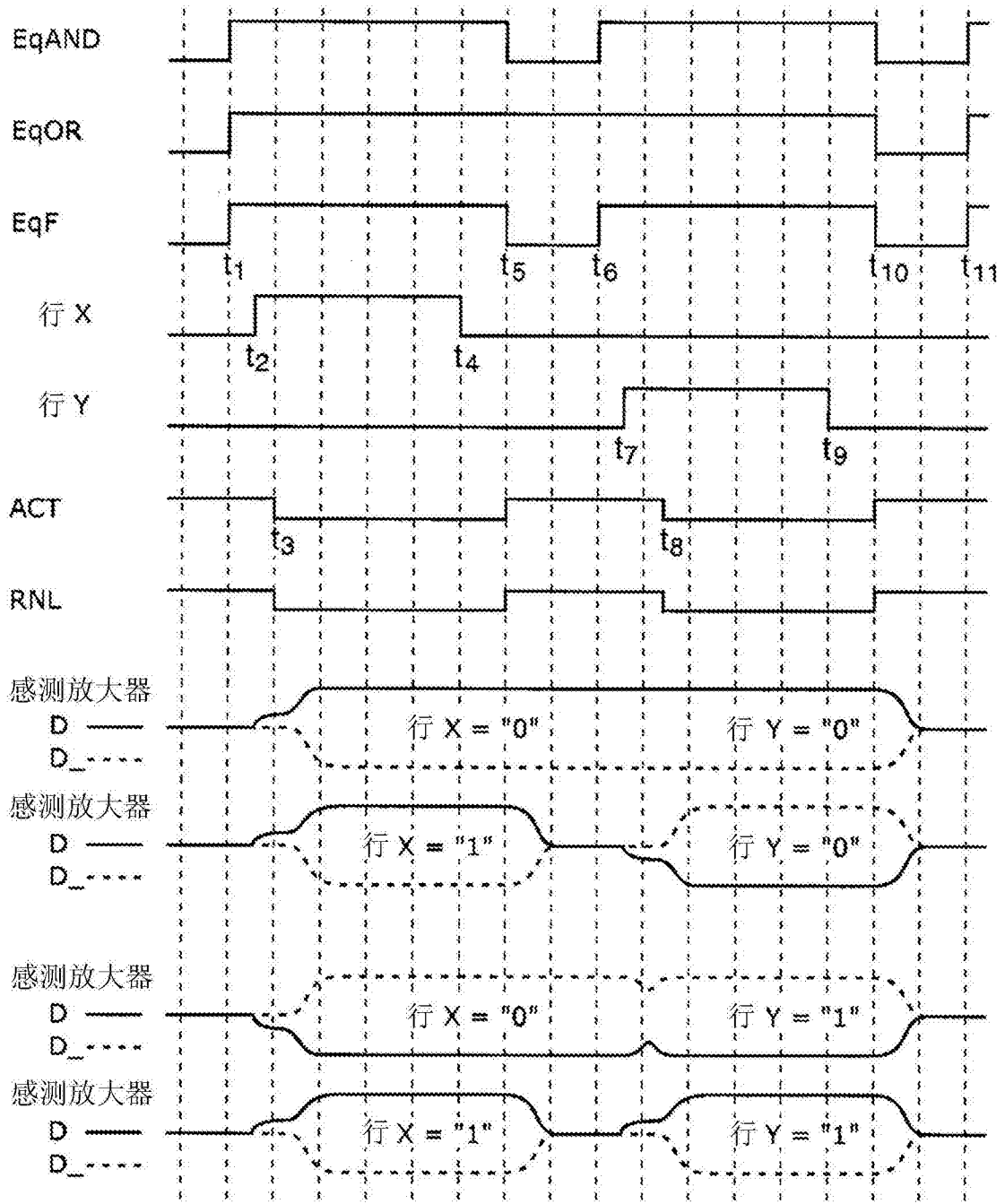


图4

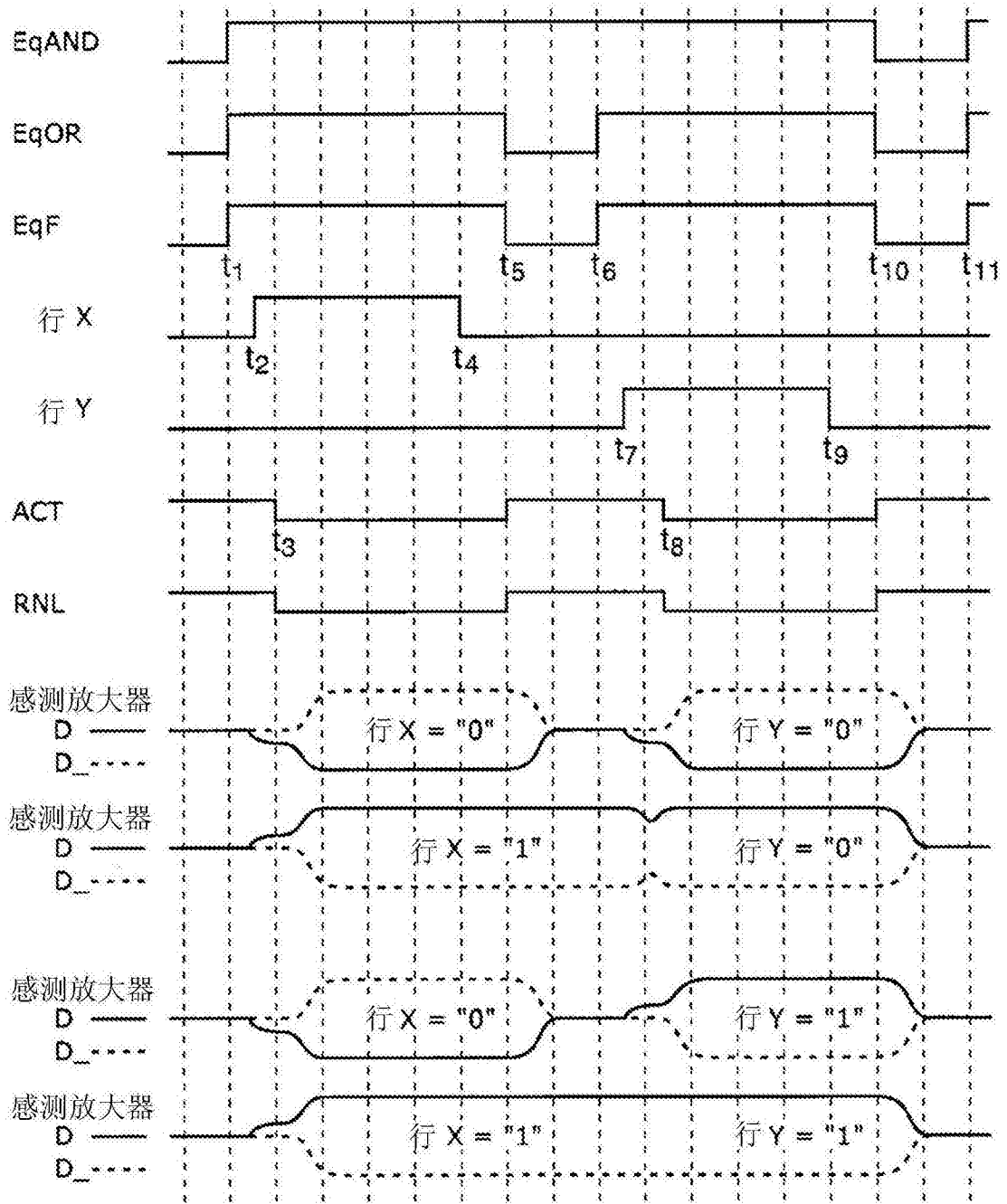


图5

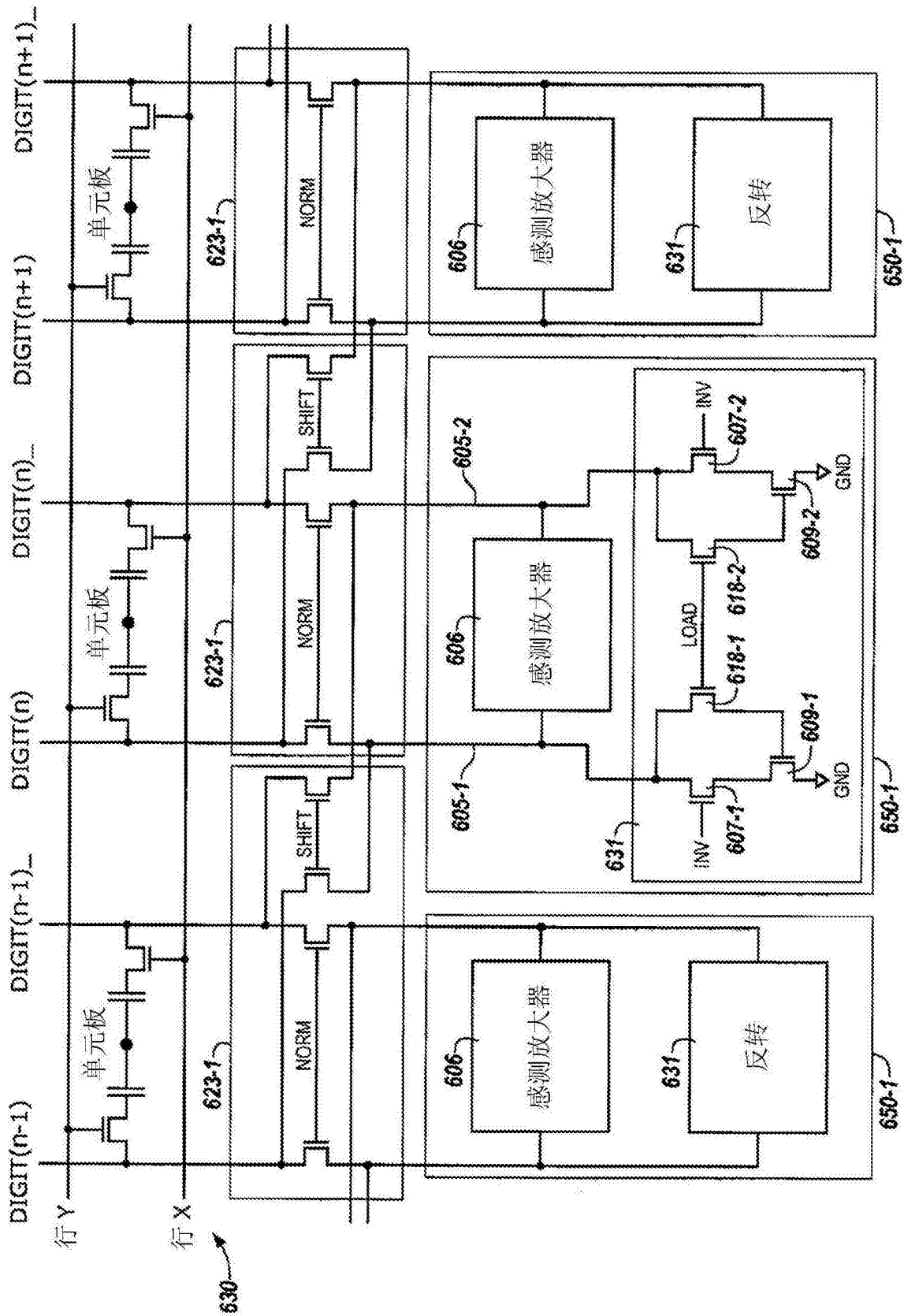


图6

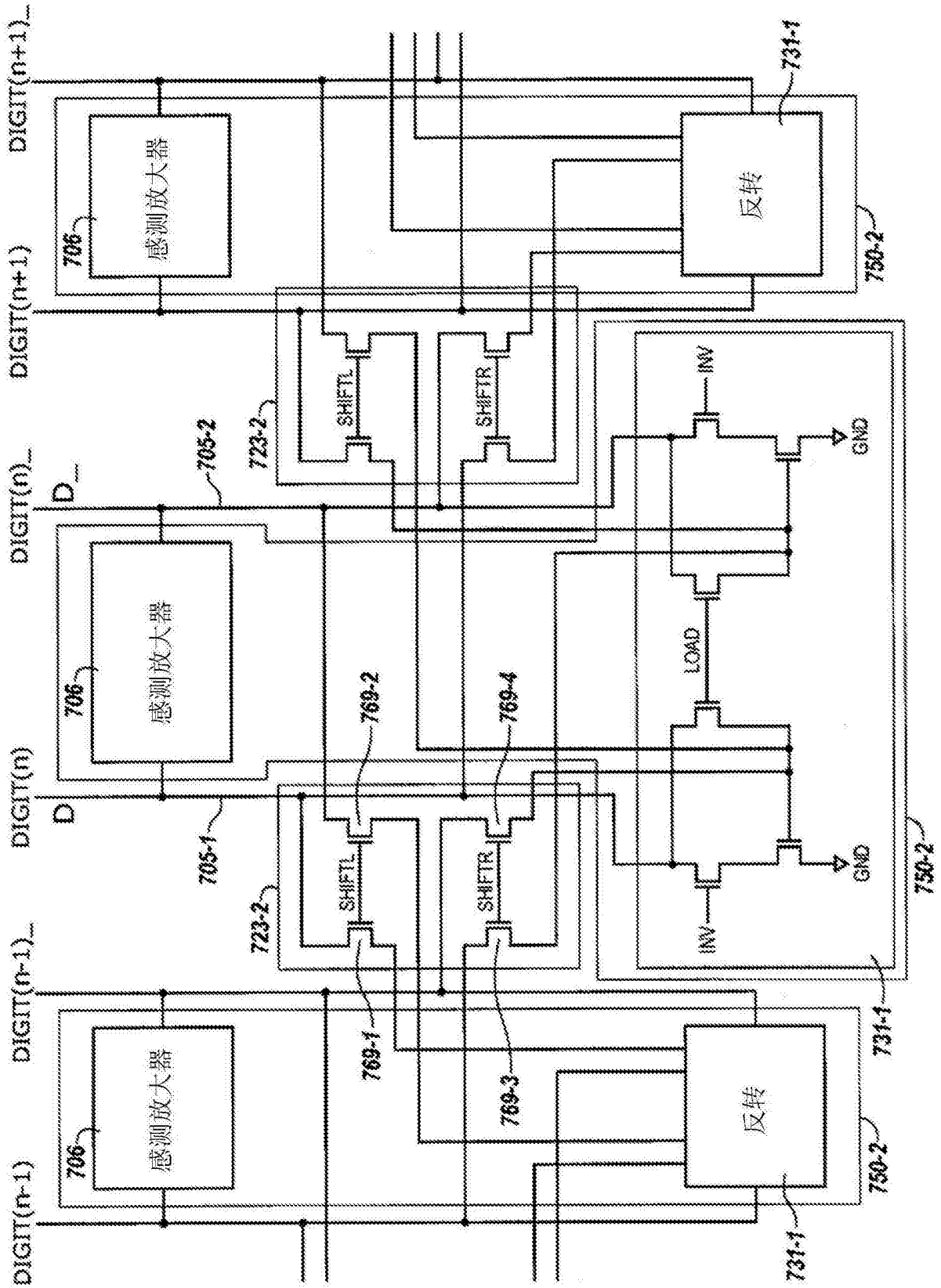


图7

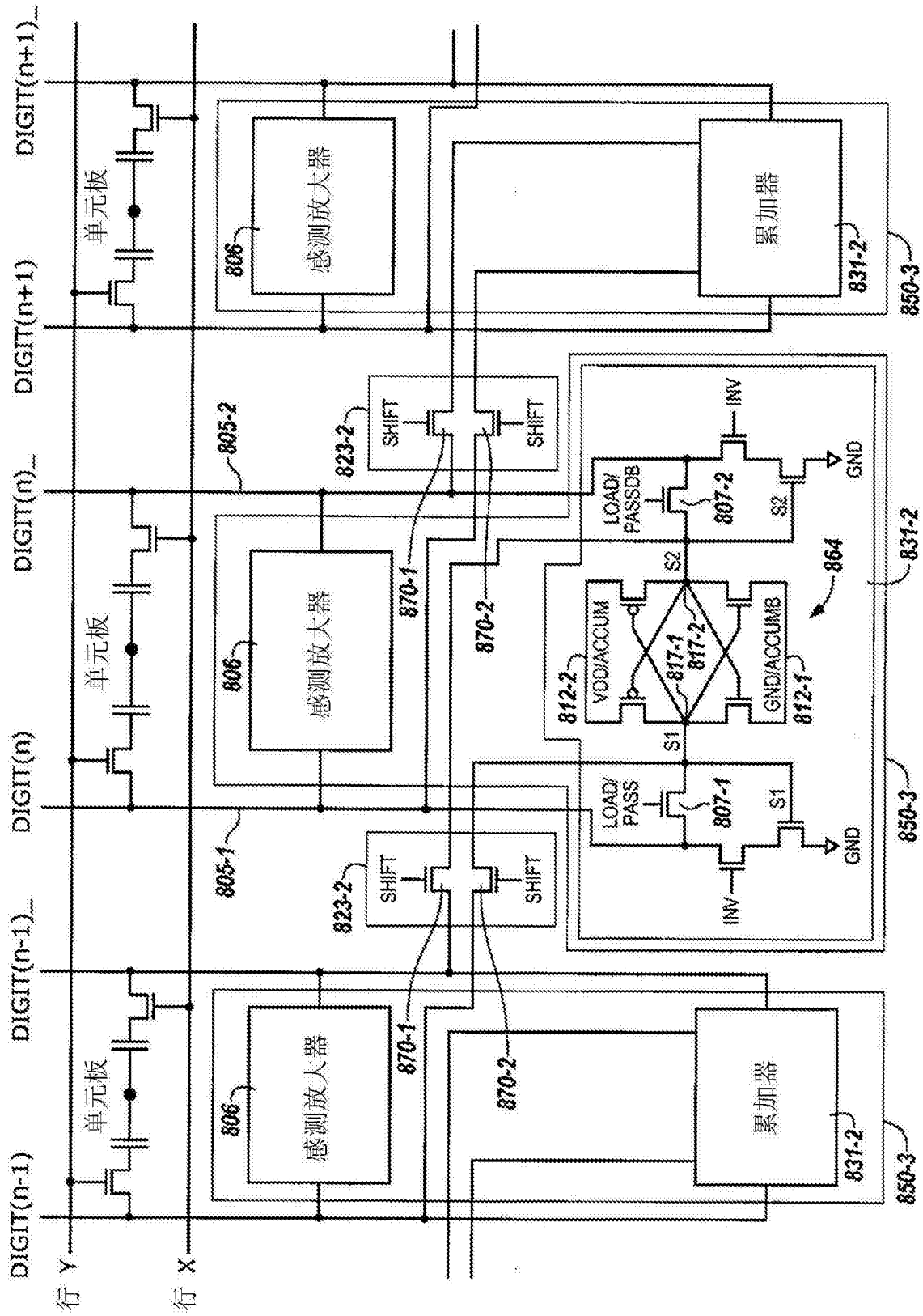


图8

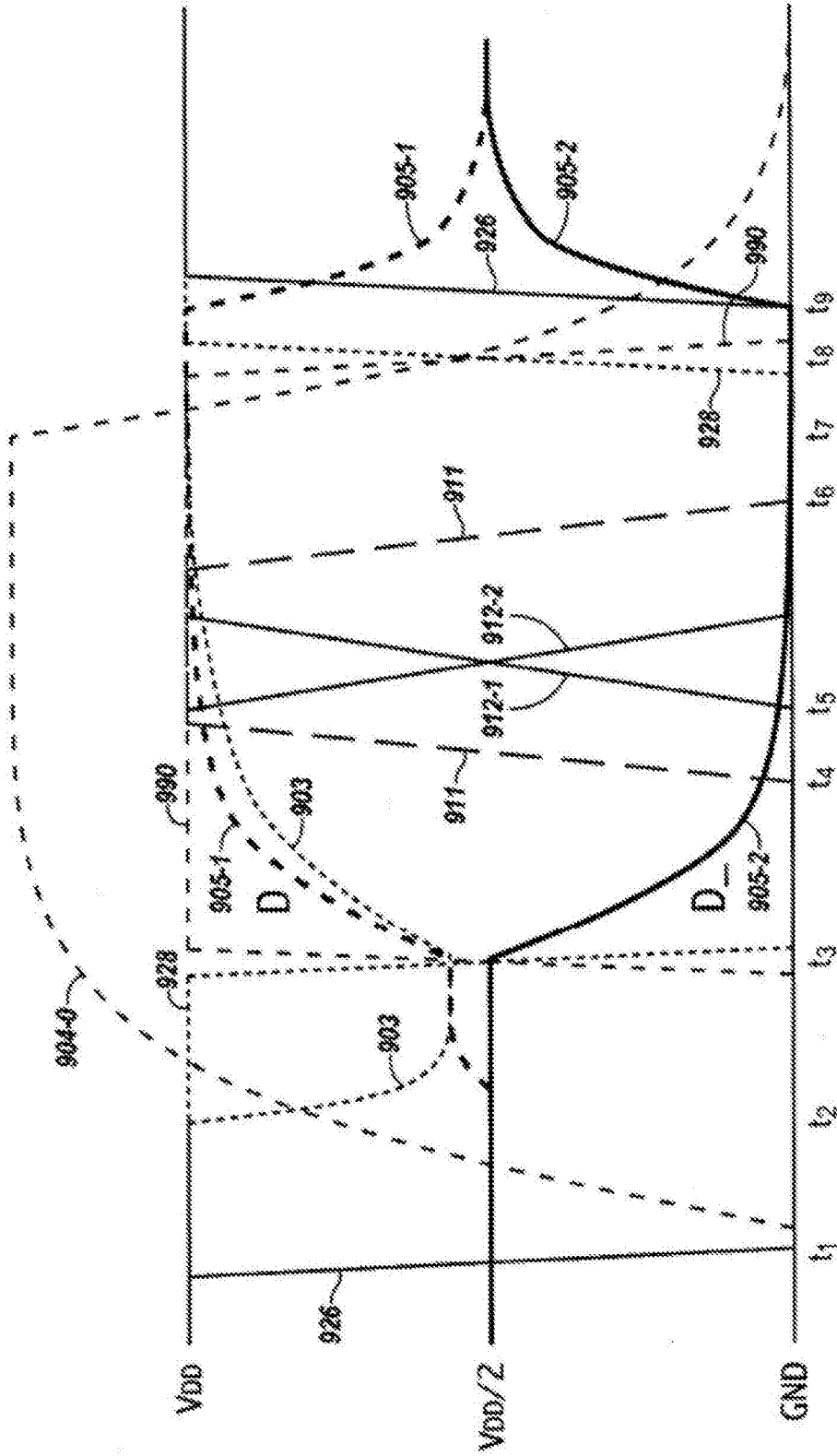


图9

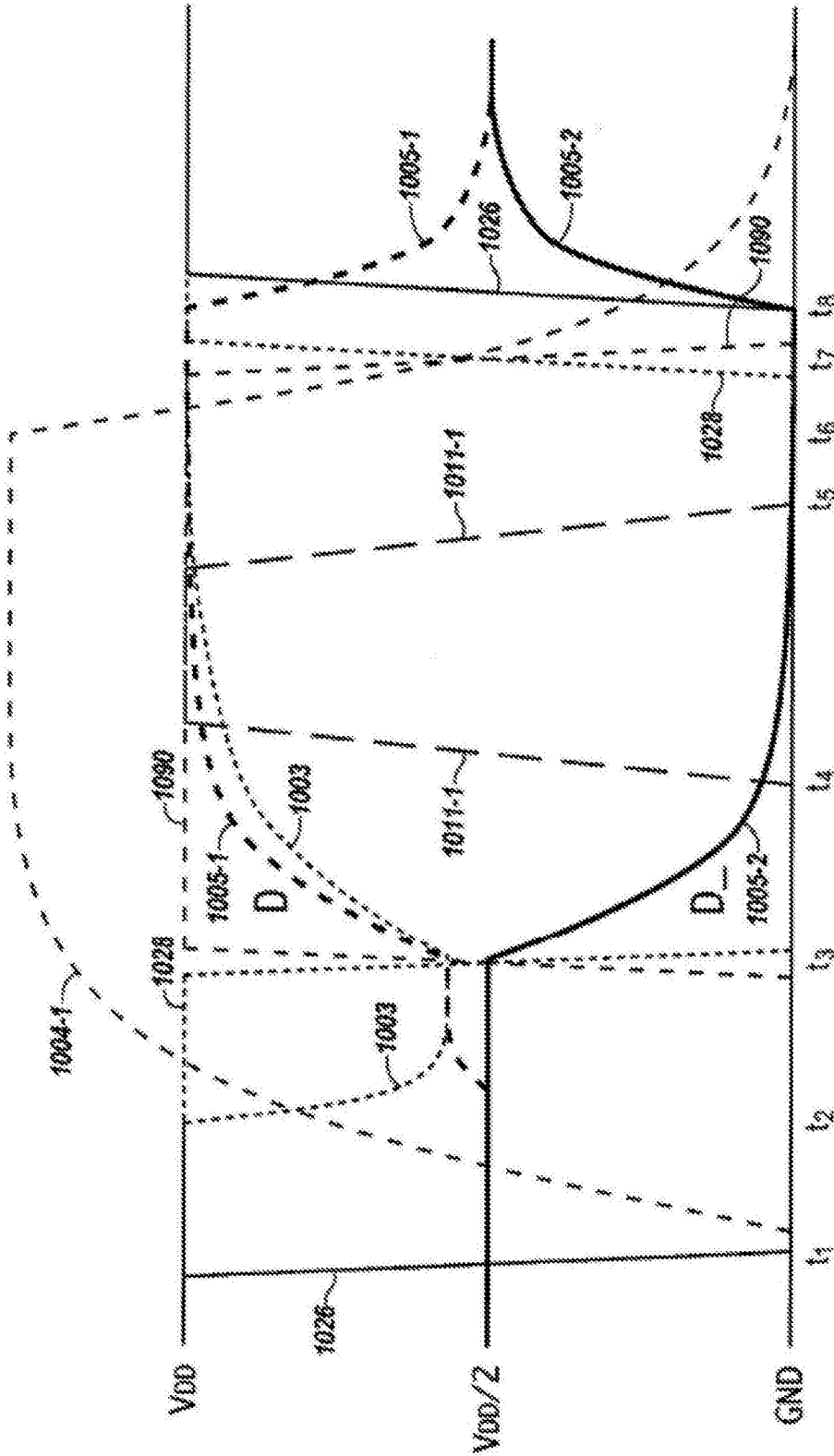


图10

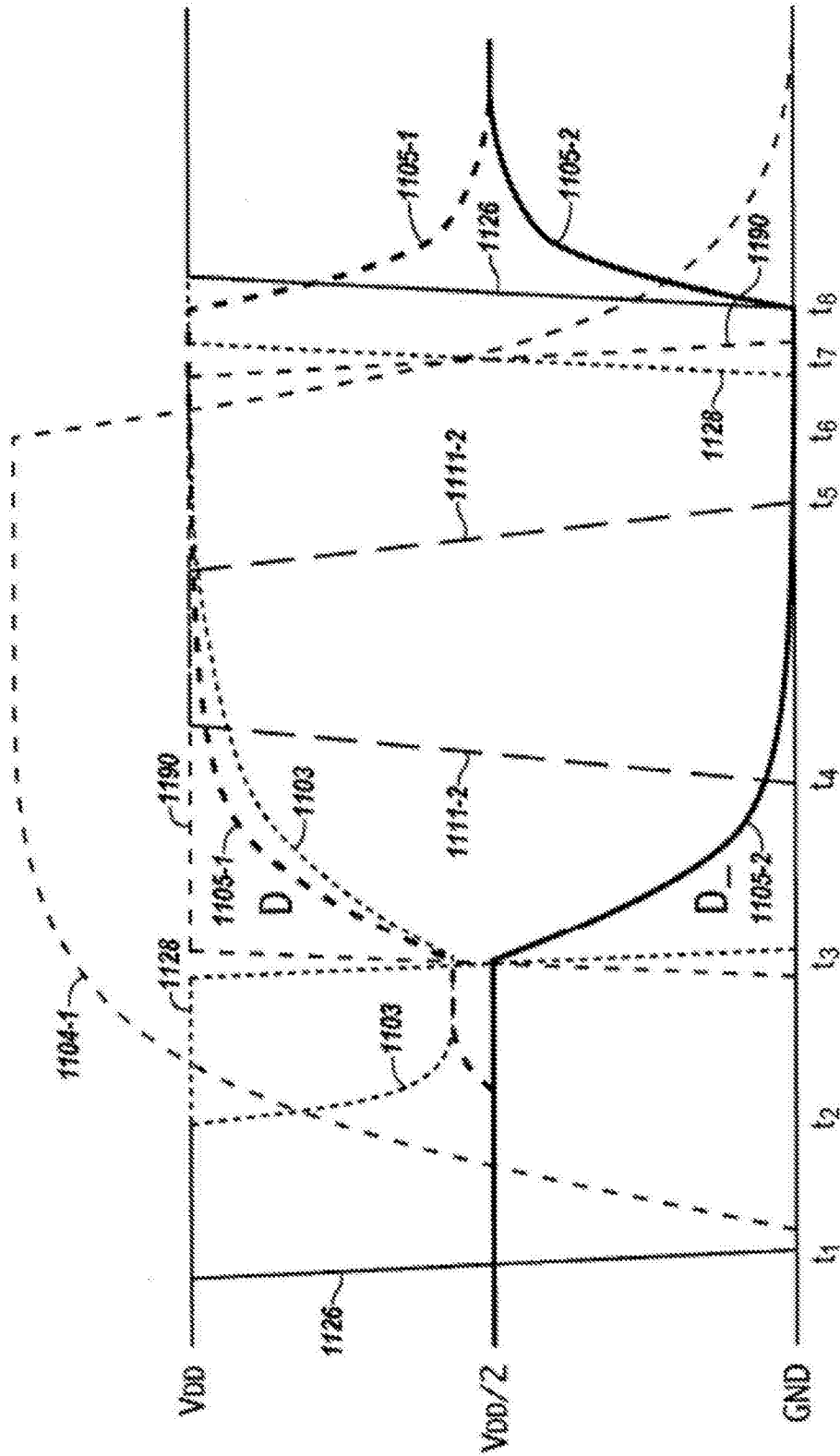


图11

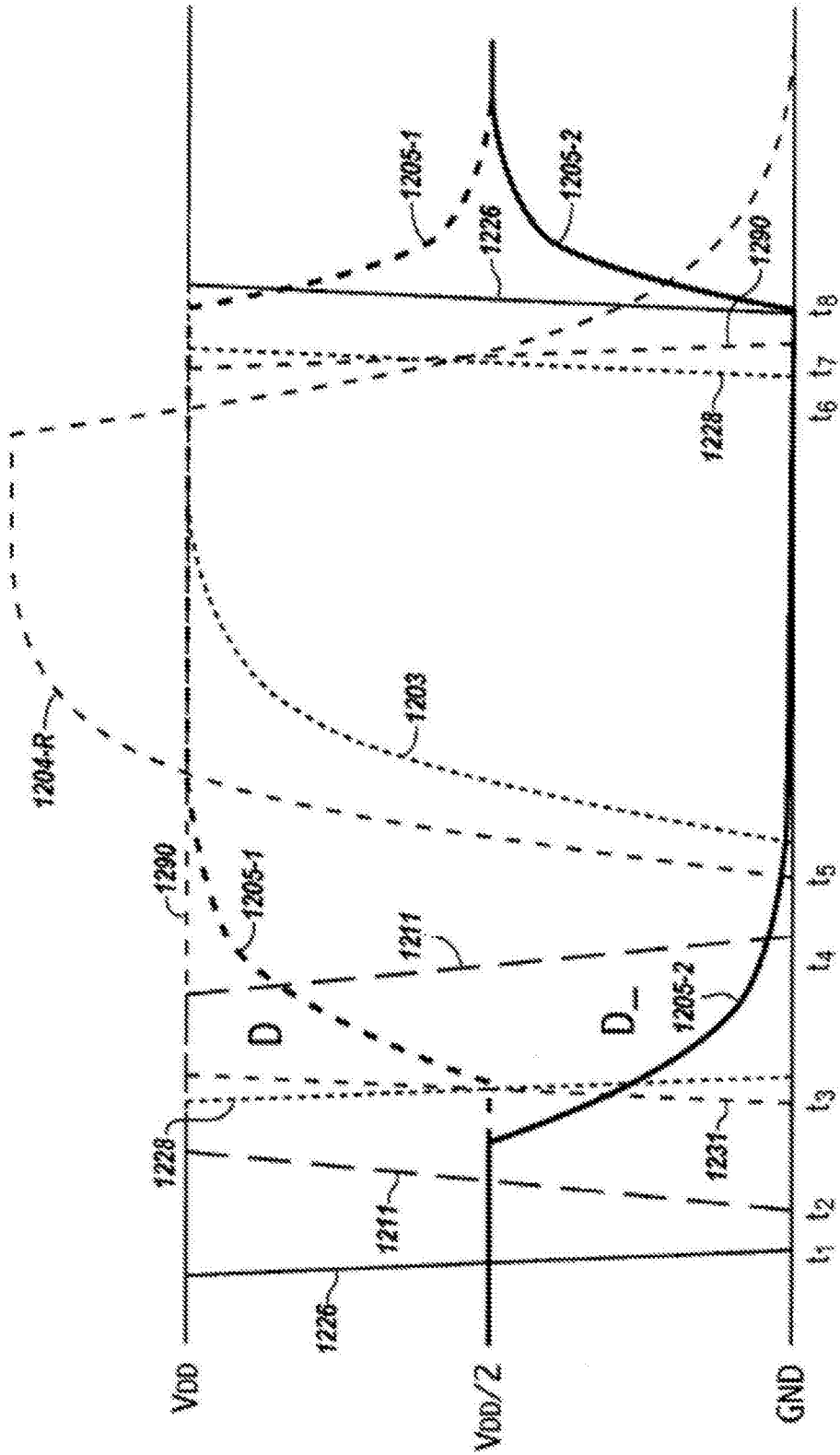


图12

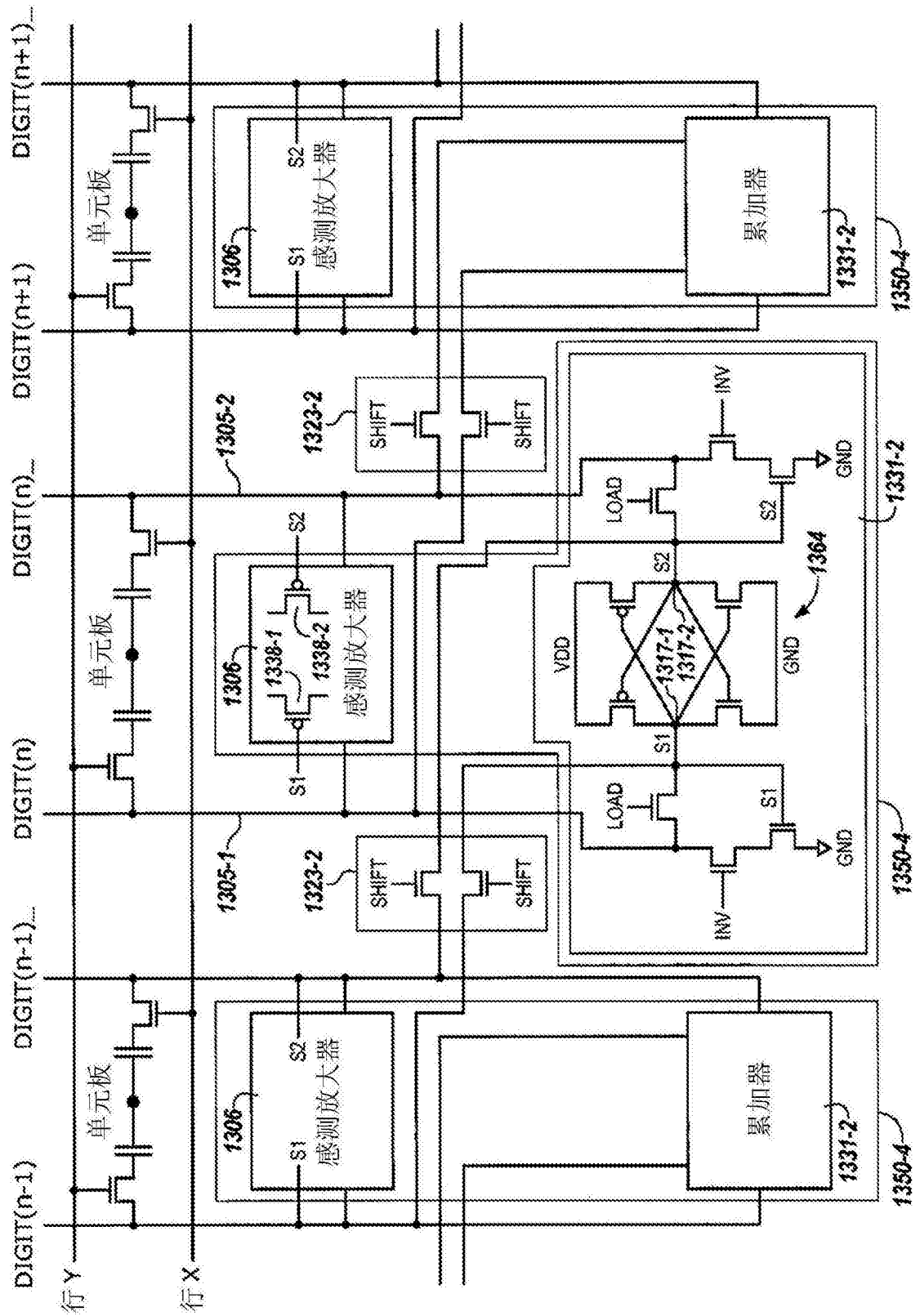


图13

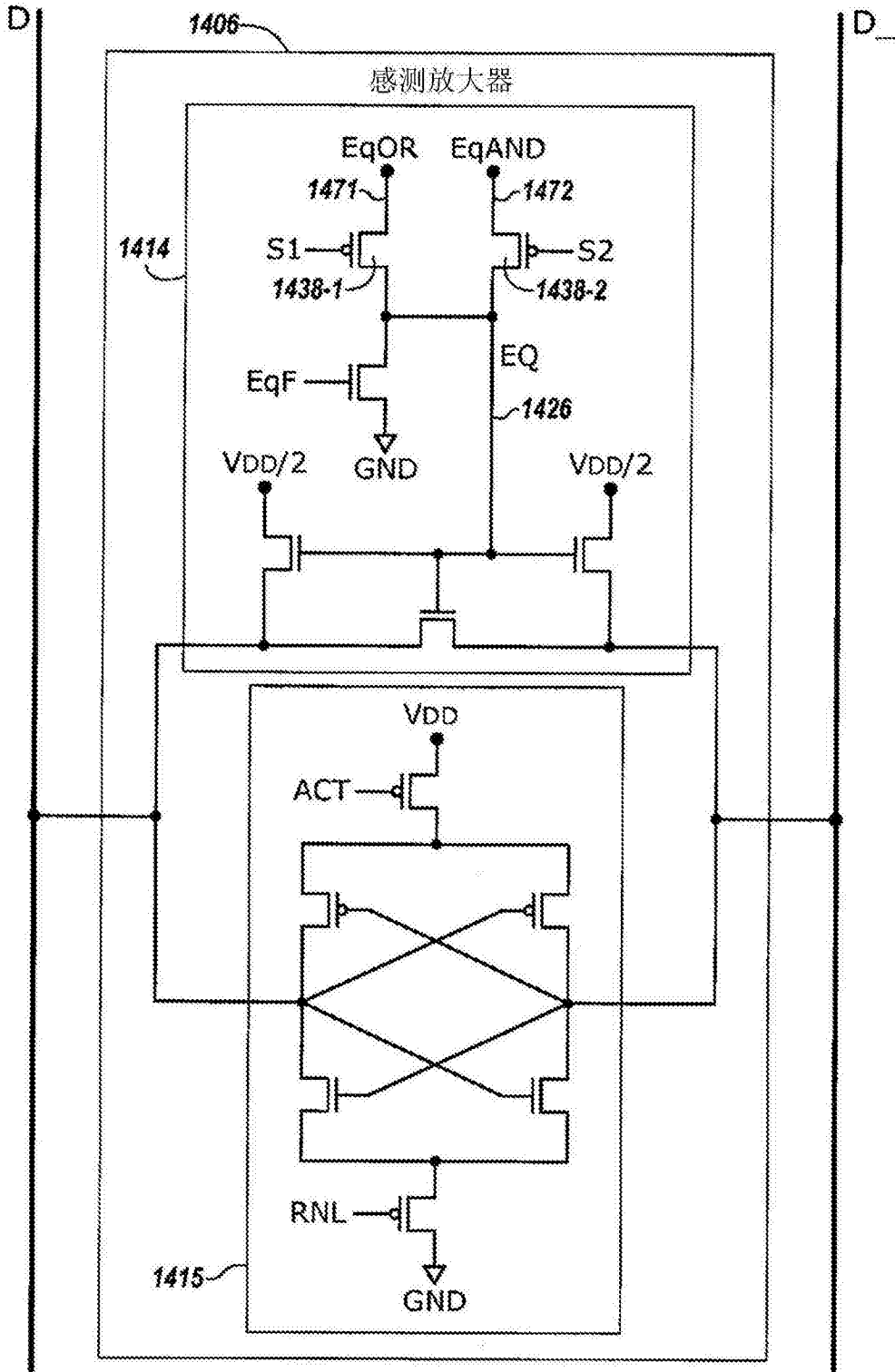


图14

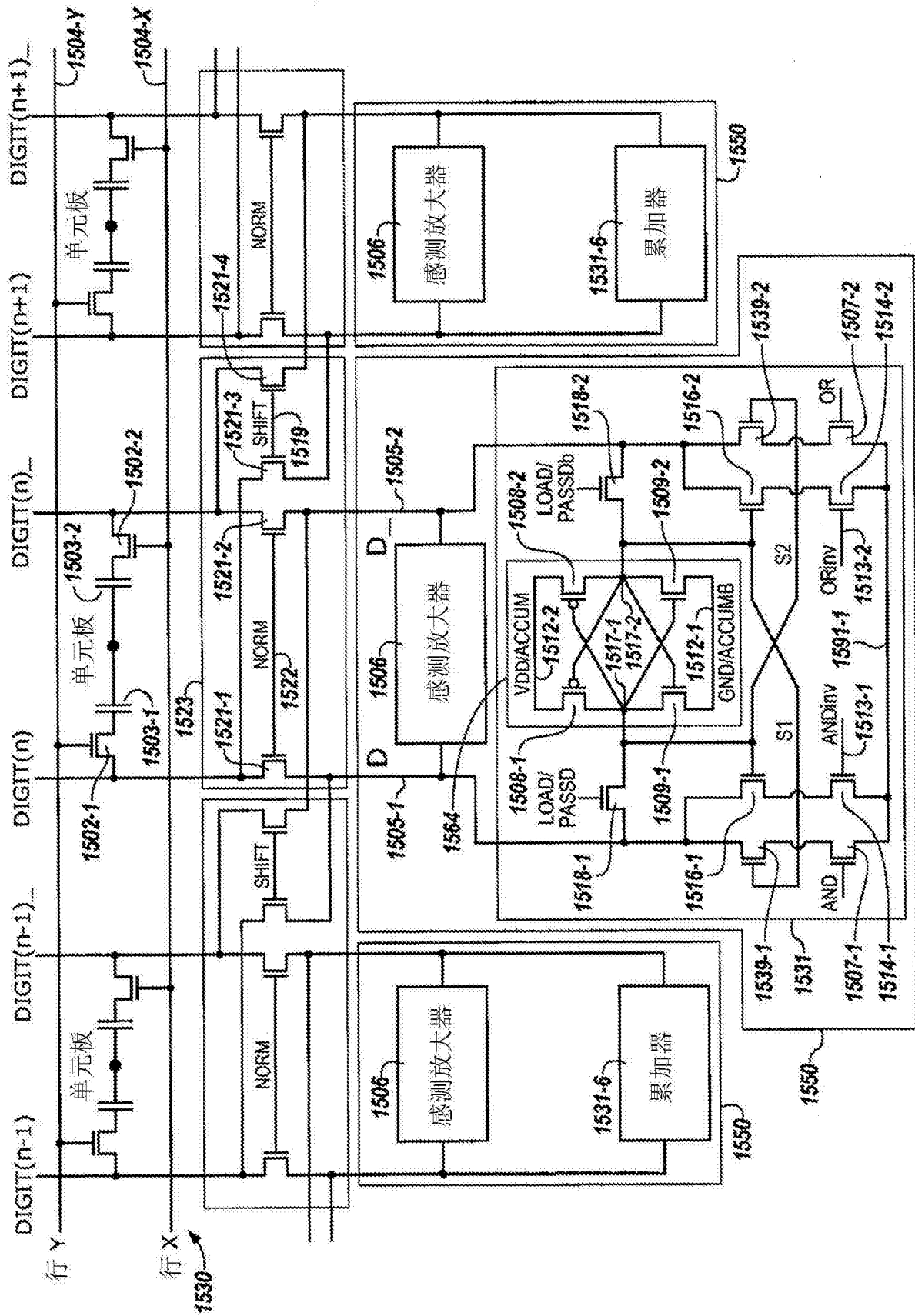


图15

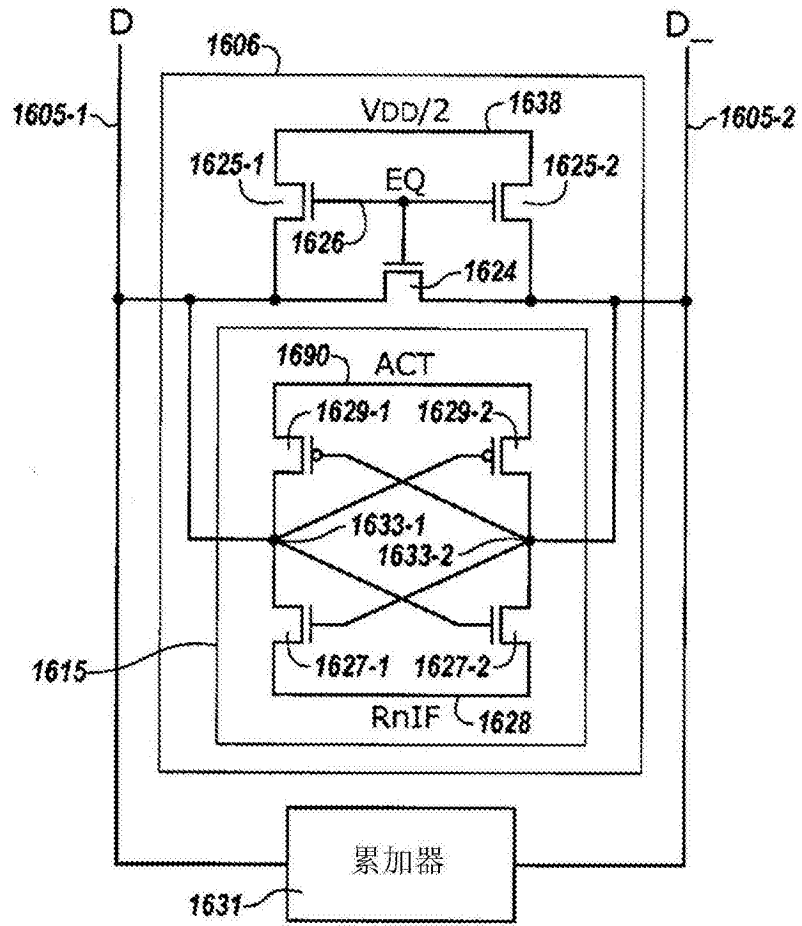


图16

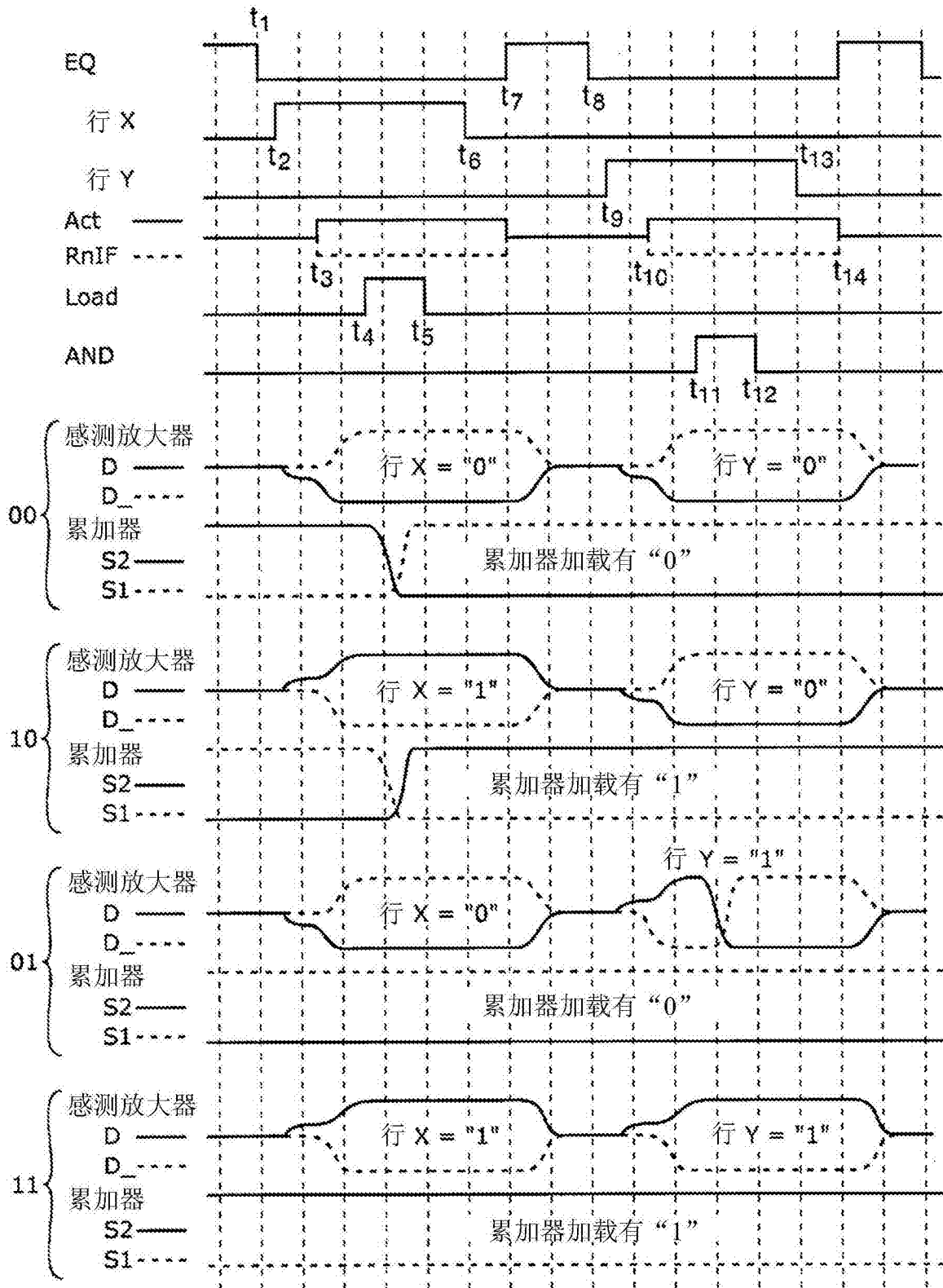


图17

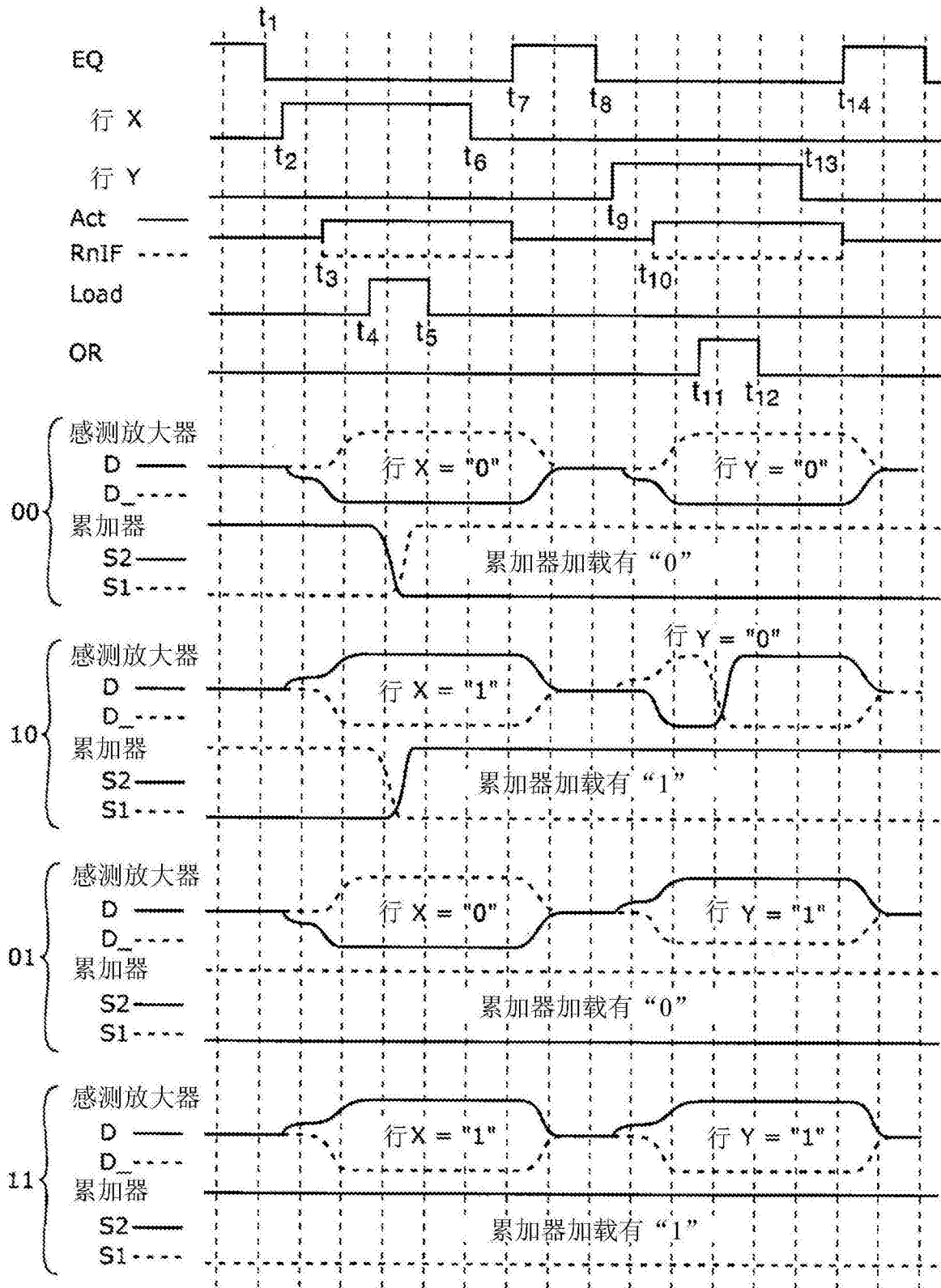


图18